

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 16 日 (16.04.2020)



(10) 国际公布号
WO 2020/073471 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/120046

(22) 国际申请日: 2018 年 12 月 10 日 (10.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
PCT/CN2018/109648
2018 年 10 月 10 日 (10.10.2018) CN

(71) 申请人: 深圳市柔宇科技有限公司 (SHENZHEN ROYOLE TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518000 (CN)。

(72) 发明人: 管曦萌 (GUAN, Ximeng); 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518000 (CN)。

(74) 代理人: 深圳市瑞方达知识产权事务所 (普通合伙) (SHENZHEN REFINED INTELLECTUAL PROPERTY OFFICE (GENERAL PARTNERSHIP)); 中国广东省深圳市南山区科兴路 11 号深南花园裙楼 B 区 413 室, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: GOA CIRCUIT, DISPLAY DEVICE AND DISPLAY CONTROL METHOD

(54) 发明名称: 一种 GOA 电路、显示装置和显示器控制方法

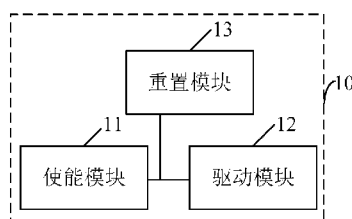


图 2

11 Enable module
12 Drive module
13 Reset module

(57) Abstract: A GOA circuit, a display device and a display control method. The GOA circuit comprises a plurality of mutually independent GOA units (10), and each GOA unit (10) comprises an enable module (11) and a drive module (12) disposed corresponding to the enable module (11). The enable module (11) comprises an input end of a row address signal for receiving the row address signal and an enable signal output end for outputting an enable signal according to the row address signal; and the drive module (12) comprises an enable signal input end for receiving the enable signal output from the enable signal output end, and a drive signal output end for outputting a drive signal according to the enable signal, wherein the drive signal output end is connected to gate lines of a row disposed corresponding to the drive module (12), so as to send the drive signal to the gate lines of the corresponding row and gate the corresponding row. The GOA circuit supports random addressing and has high product yield and low power consumption, the reset operation does not rely on external clock signals, and the quality of an output waveform is high.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种GOA电路、显示装置和显示器控制方法, 包括多个相互独立的GOA单元(10), 每一个GOA单元(10)包括一个使能模块(11)以及与使能模块(11)对应设置的驱动模块(12); 使能模块(11)包括用于接收行地址信号的行地址信号的输入端, 以及用于根据行地址信号输出使能信号的使能信号输出端; 驱动模块(12)包括用于接收使能信号输出端输出的使能信号的使能信号输入端, 以及用于根据使能信号输出驱动信号的驱动信号输出端, 驱动信号输出端连接与驱动模块(12)对应设置的行的栅线, 以将驱动信号发送至对应行的栅线, 选通对应行。GOA电路支持随机寻址, 产品良率高, 功耗低, 复位操作不依赖外部时钟信号, 输出波形质量高。

说明书

发明名称：一种GOA电路、显示装置和显示器控制方法

技术领域

[0001] 本发明涉及显示面板的技术领域，更具体地说，涉及一种GOA电路、显示装置和显示器控制方法。

背景技术

[0002] Gate driver on array (GOA) 电路广泛应用于LCD和AMOLED等电子显示器中，它是显示面板的关键部分，用于向像素矩阵提供扫描脉冲信号。

[0003] 传统的GOA电路基于前级触发后级的基本思想设计，一般由自举电容和单一极性的晶体管组成。基于该设计，像素阵列的扫描只能顺序进行，无法随机进行。

[0004] 当屏幕有N行，采用逐行扫描，刷新率是60Hz，留给每一行的时间是 $1/60/N$ 。驱动GOA的时钟线的电容负载正比于： $C_{gon} + C_{ov} * (N-1) + C_{pixel}$ 。 C_{gon} 是处于激活状态的GOA对时钟线的负载贡献， C_{ov} 是处于非激活状态的其余N-1级GOA对时钟线的负载贡献， C_{pixel} 是正在扫描的行上所有像素对时钟线的负载贡献。当GOA输出晶体管尺寸增加时， C_{gon} 和 C_{ov} 都会按比例增加。

[0005] 当屏幕尺寸不断增加、分辨率不断增高、像素密度不断增加时，对GOA电路的挑战会不断增加，这表现在：

[0006] 每一行像素数量增加，GOA电路的负载增加(C_{pixel})。

[0007] 每一行像素的尺寸减小，与之配合的GOA电路可以使用的面积不断减小，制作GOA电路的晶体管尺寸受到进一步限制，驱动能力下降。

[0008] 绝对行数的增加使得每一行的扫描时间不断减小($1/60/N$)，为了满足更为苛刻的时序要求，GOA输出晶体管的尺寸需要增加。这个要求不仅和前述面积减小矛盾，而且导致 C_{gon} 和 C_{ov} 不断增加。

[0009] 绝对行数的增加使得处于关闭状态的GOA的级数(N-1)不断增加，时钟线的负载相应增加，无用功增加。

[0010] 绝对行数的增加使得GOA出现缺陷的可能增加。一旦某一级GOA出现失误，就会导致后面所有GOA失误，造成屏幕报废。

[0011] 以上一切因素导致传统GOA的电路结构在用于尺寸不断增大、分辨率不断增加、像素密度不断提高的屏幕中时，面临的根本困难越来越严重，时序难以满足，功耗不断增加，且良率不断下降。

发明概述

技术问题

[0012] 本发明要解决的技术问题在于，针对现有技术的上述缺陷，提供一种GOA电路、显示装置和显示器控制方法。

问题的解决方案

技术解决方案

[0013] 本发明解决其技术问题所采用的技术方案是：提供一种GOA电路，包括多个相互独立的GOA单元，每一个所述GOA单元包括一个使能模块以及与所述使能模块对应设置的驱动模块；

[0014] 所述使能模块包括用于接收行地址信号的行地址信号的输入端，以及用于根据所述行地址信号输出使能信号的使能信号输出端；

[0015] 所述驱动模块包括用于接收所述使能信号输出端输出的使能信号的使能信号输入端，以及用于根据所述使能信号输出驱动信号的驱动信号输出端，所述驱动信号输出端连接与所述驱动模块对应设置的行的栅线，以将所述驱动信号发送至所述对应行的栅线，选通所述对应行。

[0016] 本发明还提供一种显示装置，包括以上所述的GOA电路。

[0017] 本发明还提供一种显示器控制方法，所述方法包括：

[0018] 输入寻址信号至显示器的GOA电路中的各个行译码器；

[0019] 开启与所述寻址信号对应的行译码器；

[0020] 通过开启的行译码器输出使能信号至显示器的GOA电路的驱动模块；

[0021] 通过接收使能信号的驱动模块驱动对应行的像素工作。

发明的有益效果

有益效果

- [0022] 实施本发明的一种GOA电路、显示装置和显示器控制方法，具有以下有益效果：
：本发明提供了一种支持随机寻址的GOA电路，该GOA电路允许数据不按照行的顺序写入屏幕，在屏幕大部分区域是静态图像，只有少部分区域不断变化时，只需要对该部分区域进行编程，且由于图像不变的行未选通，所以动态功耗有效降低，同时可以增加留给图像改变的每一行的时间，使得在显示尺寸和显示功率、显示刷新率之间可以实现实时、动态调整的可能。
- [0023] 另外，本发明的GOA电路中后级触发不依赖于前级的触发，所以当孤立一级GOA单元出现缺陷时，其余GOA单元的功能不会受到影响，使屏幕的良率和评级得到提升，提供了动态修理屏幕的可能。而且本发明的GOA电路不使用传统的自举结构，在某些实施例中时钟线不需要直接驱动GOA单元中的输出晶体管，因此，可以大大减少(N-1)级非活跃GOA单元对动态功耗的影响。
- [0024] 进一步地，本发明的GOA电路复位操作不依赖外部时钟信号，输出波形质量高，适用于高分辨率、大尺寸屏幕。

对附图的简要说明

附图说明

- [0025] 下面将结合附图及实施例对本发明作进一步说明，附图中：
- [0026] 图1是本发明一种GOA电路中单个GOA单元第一实施例的结构示意图；
- [0027] 图2是本发明一种GOA电路中单个GOA单元第二实施例的结构示意图；
- [0028] 图3是为顺序编码译码器的译码器的电路原理图；
- [0029] 图4是本发明以N型晶体管实现的行译码器的电路原理图；
- [0030] 图5是本发明以P型晶体管实现的行译码器的电路原理图；
- [0031] 图6a是以N型晶体管实现的行译码器的版图设计图（晶体管未合并）、图6b是根据本发明的预设条件合并晶体管后的行译码器的版图设计图，图6c是图6b的电路原理图；
- [0032] 图7a是以N型晶体管实现的行译码器（晶体管未合并）的电流流向示意图，图7b是根据本发明的预设条件合并晶体管后的行译码器的电流流向示意图；
- [0033] 图8是本发明重置模块第一实施例的电路原理图；

- [0034] 图9是本发明重置模块第二实施例的电路原理图；
- [0035] 图10为本发明一实施例提供的正边沿触发器的结构示意图；
- [0036] 图11为本发明实施例提供的锁存器的电路原理图；
- [0037] 图12为本发明实施例提供的缓冲反相器的电路原理图；
- [0038] 图13a为采用P型晶体管做译码器的单个GOA单元的电路原理图，图13b为采用N型晶体管做译码器的单个GOA单元的电路原理图；
- [0039] 图14a为重置模块采用第一实施例的单个GOA单元的电路原理图，图14b为采用图14a的电路的单级工作时序；
- [0040] 图15为采用图14a电路的单级工作时序仿真验证图；
- [0041] 图16为采用图14a电路的全屏GOA电路的示意图；
- [0042] 图17为图16的多级级联工作时序仿真验证图；
- [0043] 图18为重置模块采用第二实施例的单个GOA单元的电路原理图和工作时序图；
- [0044] 图19为图18的工作时序仿真验证图；
- [0045] 图20为采用图18电路的全屏GOA电路的示意图；
- [0046] 图21为图20的工作时序图和工作时序仿真验证图；
- [0047] 图22为本发明实施例的GOA电路在可卷曲收藏显示屏中的布局示意图；
- [0048] 图23为本发明实施例的GOA电路在拼接屏幕中的布局示意图；
- [0049] 图24为本发明实施例的一种显示器控制方法的流程示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [0050] 为了对本发明的技术特征、目的和效果有更加清楚的理解，现对照附图详细说明本发明的具体实施方式。
- [0051] 参考图1，为本发明一种GOA电路第一实施例的结构示意图。
- [0052] 如图1所示，该实施例的GOA电路包括多个相互独立的GOA单元10，每一个GOA单元10包括一个使能模块11以及与该使能模块11对应设置的驱动模块12。本发明的GOA电路基于互补极性的晶体管，即在面板上同时存在N型和P型晶体管。
- [0053] 使能模块11，包括用于接收行地址信号的输入端，以及用于根据所述行地址信

号输出使能信号的使能信号输出端。

[0054] 这里，需要说明的是，本发明并不限定行地址信号的来源。在一些具体实施例中，该行地址信号可以由外部的驱动IC产生，但在另一些实施例中，行地址信号也可以由显示屏自身产生。例如，当显示屏可以提供两种互补极性晶体管时，在显示屏上设计专用电路，该专用电路可直接产生前述行地址信号，而不需要外部的驱动IC提供。

[0055] 可选的，本发明实施例的使能模块11为基于二进制编码的行译码器，或者为基于格雷码编码的行译码器。其中，每一行译码器可以包括多个串联的晶体管，且相邻行、同一列的两个晶体管在满足预设条件时合并为一个晶体管。

[0056] 通过使用本发明实施例的行译码器，可以实现随机寻址，允许数据不按照行的顺序写入屏幕，且后级触发不依赖于前级的触发，有效提升屏幕良率和评级，给动态修理屏幕提供了可能，而且通过采用格雷码编码的行译码器可以减少版图中的横向跨线，允许更多的晶体管合并，在最常使用的顺序扫描过程中减少译码器的动态功耗。

[0057] 以下以顺序编码译码器与本发明的行译码器设计进行对比说明：

[0058] 如图3所示，为顺序编码译码器的电路原理图，该行译码器以4位16级的GOA为例，如果以顺序编码来设计译码器，则第0级编码是0000、第1级编码是0001、.....、第15级编码是1111，具体如表1所示。

[]

级数	编码	行地址信号
0	0000	$\overline{S3}\overline{S2}\overline{S1}\overline{S0}$
1	0001	$\overline{S3}\overline{S2}\overline{S1}S0$
2	0010	$\overline{S3}\overline{S2}S1\overline{S0}$
3	0011	$\overline{S3}\overline{S2}S1S0$
4	0100	$\overline{S3}S2\overline{S1}\overline{S0}$
5	0101	$\overline{S3}S2\overline{S1}S0$
6	0110	$\overline{S3}S2S1\overline{S0}$
7	0111	$\overline{S3}S2S1S0$

[0059] 表1

[0060] 由图3可以看出，以顺序编码实施的译码器存在很多横向跨线，并且每一行需要的横向跨线数目不一。对于 2^N 级译码器，最坏情况下，在第 $2^{N-1}-1$ 和 2^{N-1} 级之间，需要的横向跨线达到 $(N-1)$ 条。而由于横向跨线过多，必然对屏幕带来一定影响。如：占用行高，限制像素密度（PPI）的增加；增加连线之间的互感，造成信号串扰、增加连线负载，引起动态功耗和延时上升；不利于修理、不利于良率提升。

[0061] 而采用本发明的基于格雷码编码的行译码器，由格雷码的性质可以知道，相邻编码之间只有1位不同，所以本发明的每一行译码器只需要一根横向跨线，这个性质与屏幕分辨率的大小无关，即无论是FHD或者4K UHD，在使用本发明的GOA行译码器时每一行的横向跨线都只需要一条。其中，本发明基于格雷码编码的行译码器的一个具体实施例的电路原理图如图4所示

。该实施例的行译码器以4位16级GOA为例，则第0级编码是0000、第1级编码是0001、第2级编码是0011、第3级编码是0010、.....、第15级编码是1000，具体如表2所示。

[]

级数	编码	行地址信号
0	0000	$\overline{S_3S_2S_1S_0}$
1	0001	$\overline{S_3S_2S_1}S_0$
2	0011	$\overline{S_3S_2}S_1S_0$
3	0010	$\overline{S_3S_2}S_1\overline{S_0}$
4	0110	$\overline{S_3}S_2S_1\overline{S_0}$
5	0111	$\overline{S_3}S_2S_1S_0$
6	0101	$\overline{S_3}S_2\overline{S_1}S_0$
7	0100	$\overline{S_3}S_2\overline{S_1}\overline{S_0}$

[0062] 表2

[0063] 这里需要说明的是图3、图4的原理图中晶体管为N型晶体管且只有16级、4个地址位。但本发明适用范围应包括N型和P型晶体管以及任意多级的情况。另外，图3、图4中的晶体管符号仅代表此处需要晶体管，并不代表此处晶体管的数量。特别的，在图4的原理图中，如果相邻行、同一列的两个晶体管满足预设条件时可以合并为一个晶体管。即相邻行、同一列的两个晶体管在满足预设条件时可以合并为一个尺寸更大、驱动能力更高的晶体管。

[0064] 其中，相邻行、同一列的两个晶体管满足预设条件包括：两个晶体管的栅极短接在一起，且各自是本行译码器的最高位的晶体管，或者两个晶体管的栅极短

接在一起，且紧邻前一高位的晶体管合并在一起。

[0065] 当然，本发明的行译码器也可以采用P型晶体管实现，其中，P型晶体管的实现和N型晶体管的实现类似，区别点在于：编码0对应正信号，编码1对应反信号，且电压极性与N型对称。具体的，以P型晶体管实现的电路原理图如图5所示，具体编码如表3所示。

□

级数	编码	行地址信号
0	0000	$S_3S_2S_1S_0$
1	0001	$S_3S_2S_1\overline{S_0}$
2	0011	$S_3S_2\overline{S_1S_0}$
3	0010	$S_3S_2\overline{S_1}S_0$
4	0110	$S_3\overline{S_2}\overline{S_1S_0}$
5	0111	$S_3\overline{S_2}S_1\overline{S_0}$
6	0101	$S_3\overline{S_2}\overline{S_1}\overline{S_0}$
7	0100	$S_3\overline{S_2}S_1S_0$

[0066] 表3

[0067] 同样地，P型晶体管实现的行译码器中的晶体管的合并条件与N型晶体管的合并条件相同，在此不再赘述。

[0068] 进一步地，如图6b所示，为本发明以N型晶体管实现的行译码器的版图设计图。本发明通过采用前述的以晶体管串联实现的行译码器，可以使得行译码器的版图实现十分紧凑、节省面积和优化延时的效果。

[0069] 具体的，如图6b所示，同一行的晶体管相互间是串联的，所以同一行的相邻晶体管的源漏极可以共用，不需要使用金属和接触孔来实现连接，该设计方式既

可以节省横向的面积，又可以有效避免金属连线带来的接触电阻和负载电容对行译码器延时的影响。

[0070] 其中，图6a的版图为晶体管未合并的示意图，图6b为晶体管合并后的示意图。

[0071] 如图6a-6c所示，其最左边第一列（a1）的晶体管（n11~n14），根据预设条件，由于它们的栅极短接在一起，并且各自是本行最高位的晶体管，所以，左边第一列（a1）的晶体管（n11~n14）可以合并，合并后的版图如图6b的左边第一列（a1'）所示。接着考虑图6a左数第二列（a2），由于它们的栅极短接在一起，并且它们紧邻前一高位的晶体管（即左数第一列（a1）的晶体管（n11~n14））已经合并在一起，所以，根据预设条件，左数第二列（a2）的晶体管（n21~n24）也可以合并在一起，合并后的版图如图6b的左数第二列（a2'）所示。接着考虑图6a左数第三列（a3），由于栅极并不全部短接在一起（如图6c所示，晶体管n31与晶体管n32的栅极短接，晶体管n33与晶体管n34的栅极短接，但是晶体管n32与晶体管n33的栅极不短接），所以这一列（a3）的4个晶体管（n31~n34）不能全部合并；但是，上半部分两个晶体管（晶体管n31与晶体管n32）和下半部分两个晶体管（晶体管n33与晶体管n34）的栅极分别短接在一起，并且它们紧邻前一高位的晶体管（即左数第二列（a2）的晶体管（n21~n24））已经合并在一起，所以根据预设条件，上半部分两个晶体管（晶体管n31与晶体管n32）和下半部分两个晶体管（晶体管n33与晶体管n34）可以分别两两合并，合并后的版图如图6b的左数第三列（a3'）所示。最后考虑最低列（a4），这四个晶体管（n41~n44）只有中间两个晶体管（晶体管n42和晶体管n43）的栅极短接在一起，然而中间这两个晶体管（晶体管n42和晶体管n43）的紧邻前一高位的晶体管（晶体管n32和晶体管n33）并没有合并，所以这四个晶体管（n41~n44）不满足预设条件，不能合并，因此，最低列（a4）的四个晶体管（n41~n44）没有任何两个晶体管可以合并，所以最后行译码器合并后的版图如图6b所示。其中，图6b的电路原理图如图6c所示，在图6c中虚线框内的晶体管合并在一起。

[0072] 这里需要说明的是，合并是指晶体管在版图上原属于不同行的晶体管的有源区（如图6中的灰色区域（AA））可以融合。经过融合，可以使有源区宽度增加，即晶体管的宽度增加，可以获得更高的驱动电流（或等效来看，可以使导通电阻

更低)；且相互分离的有源区的边缘之间必须满足制程最小间隔要求的设计规则，而融合之后不需要考虑此规则，对掩膜版制作和光刻的要求都可以得到降低，对制程良率有很大的改善。

[0073] 以下以图7a和图7b对合并后的行译码器的优势作进一步说明。

[0074] 如图7a所示，考虑0001行被选中的情形。在没有合并的情况下，电流只能从本行的4个串联的TFT流过。在合并的情况下，电流向高位流动时可迅速分散到更宽的路径中（如图7b所示）。由于电阻和电流路径宽度成反比，越到高位，电阻越小，所以对使能端放电的总电阻比不合并的小，即译码速度加快。

[0075] 假设，不合并情况下单个晶体管开启后的有效电阻是 R ，两个晶体管合并后有效电阻降为 $R/2$ 。所以不合并情况下，每一行的放电总电阻为 $4 \cdot R$ ；合并情况下的放电总电阻为 $R \cdot (1 + 1/2 + 1/4 + 1/8) < 2 \cdot R$ （等比级数）。考虑一个4096行的屏幕，需要14位地址，14个晶体管串联。不合并情况下总电阻为 $14 \cdot R$ ，合并后总电阻是 $R \cdot (1 + 1/2 + 1/4 + 1/8 + \dots + 1/4096) < 2 \cdot R$ 。根据等比级数的特性可以看出合并后的总放电电阻不会随着分辨率行数的增加而等比例增加，而是存在一个上限，因此放电时间即译码时间在合并后即不受分辨率增加的影响。所以合并技术使得本发明的行译码设计可以支持高分辨率屏幕，使得译码速度基本和增加的地址线无关。

[0076] 驱动模块12，其包括与所述使能模块11的使能信号输出端连接、用于接收所述使能信号输出端输出的使能信号的使能信号输入端，以及用于根据所述使能信号输出驱动信号的驱动信号输出端，所述驱动信号输出端连接与所述驱动模块12对应设置的行的栅线，以将所述驱动信号发送至所述对应行的栅线，选通所述对应行。

[0077] 可选的，该驱动模块12所输出的驱动信号为脉冲信号。其中，该驱动模块12可以为脉冲发生器。

[0078] 本发明实施例的方案，提供了一种支持随机寻址的GOA电路，该GOA电路允许数据不按照行的顺序写入屏幕，在屏幕大部分区域是静态图像，只有少部分区域不断变化时，只需要对该部分区域进行编程，且由于图像不变的行未选通，所以动态功耗有效降低，同时可以增加留给图像改变的每一行的时间，使得

在显示尺寸和显示功率、显示刷新率之间可以实现实时、动态调整的可能。

[0079] 另外，本发明的GOA电路中后级触发不依赖于前级的触发，所以当孤立一级GOA单元10出现缺陷时，其余GOA单元10的功能不会受到影响，使屏幕的良率和评级得到提升，提供了动态修理屏幕的可能。而且本发明的GOA电路不使用传统的自举结构，时钟线不需要直接驱动GOA单元10中的输出晶体管，因此，可以大大减少(N-1)级非活跃GOA单元10对动态功耗的影响。

[0080] 本发明的GOA电路适用于高分辨率、大尺寸屏幕。

[0081] 参考图2，为本发明一种GOA电路第二实施例的结构示意图。

[0082] 该实施例在实施例一的基础上，进一步地，每一个GOA单元10还包括与所述使能模块11的使能信号输出端连接、用于在所述驱动模块12输出驱动信号后并将所述对应行选通后、将所述使能模块11重置的重置模块13。

[0083] 可选的，该重置模块13可以包括一个或者多个。当该重置模块13包括多个时，每一个重置模块13与每一行译码器对应设置。

[0084] 其中，在行译码器中的任意一行译码器完成一次使能信号输出，并使驱动模块12输出驱动信号后，该行的重置模块13都进行重置，以使在下一个行地址信号到来时重新选择输出驱动信号的行。具体的，如果使能模块11输出的使能信号为高电平（1），则重置模块13将重置为低电平（0）；如果使能模块11输出的是低电平（0），则重置模块13将重置为高电平（1）。

[0085] 如图8所示，为本发明以重置模块13第一实施例的电路原理图。在该实施例中，是以P型晶体管组成的译码器的任意一行与该行对应设置的重置模块13的一个实施例。

[0086] 如图8所示，该重置模块13可以包括复位晶体管。

[0087] 该复位晶体管的第一电极连接所述使能模块11的使能信号输出端，复位晶体管的第二电极接地信号（GND），复位晶体管的栅极连接第一时钟信号（CLKR）。这里需要说明的是，该第一时钟信号（CLKR）为由外部提供的额外的时钟信号。进一步地，该实施例是以P型晶体管组成的行译码器，当采用N型晶体管组成的行译码器时，其极性与P型晶体管组成的行译码器完全对称，在此不再赘述。

[0088] 图8以P型晶体管做译码器、译码输出为高电平作示例。

[0089] 如图8所示，当第一时钟信号（CLKR）的高脉冲到来时，复位晶体管打开，对该行译码器的输出端被下拉到低电平，该行译码器的输出端被重置为低电平。

[0090] 如图9所示，为本发明以重置模块13第二实施例的电路原理图。在该实施例中，是以P型晶体管组成的译码器的任意一行与该行对应设置的重置模块13的一个实施例。

[0091] 如图9所示，该重置模块13包括下拉晶体管135、第一级正边沿触发器132、第一级反相器131、第二级正边沿触发器134和第二级反相器133。

[0092] 第一级正边沿触发器132的正输入端（D）和第一级反相器131的输入端一并连接使能模块11的使能信号输出端，第一级正边沿触发器132的反输入端连接第一级反相器131的输出端，第一级正边沿触发器132的时钟信号输入端（CK）与第二级反相器133的输入端一并连接第二时钟信号（CLK）；第二级正边沿触发器134的正输入端（D）连接第一级正边沿触发器132的正输出端（Q），第二级正边沿触发器134的反输入端连接第一级正边沿触发器132的反输出端，第二级正边沿触发器134的时钟信号输入端连接第二级反相器133的输出端，第二级正边沿触发器134的正输出端（Q）连接下拉晶体管135的栅极。其中，下拉晶体管135的第一电极连接使能模块11的使能信号输出端，下拉晶体管135的第二电极接地信号（GND）。

[0093] 该实施例中，重置模块13不需要额外的重置时钟，其与本级锁存器共用一个时钟（CLK）及其反向信号，即本实施例中的（CLK）为与本级锁存器共用的（CLK）。

[0094] 如图9所示，本实施例的重置模块13是由两级级联的正边沿触发器和反相器组成的。其中，正边沿触发器是数字逻辑电路中的基本电路之一，其基本功能是：只在输入时钟的上升沿将输入端（D）的信号存储并送到输出端（Q），其他时刻不管输入端（D）如何变化，输出端（Q）的信号保持不变。基于该原理，本实施例中重置模块13的重置原理为：EN被选中、输出高电平时，在CLK上升沿锁存该高电位，并在CLK的下一个下降沿传递到下拉晶体管135的栅极（NRES端），打开下拉晶体管135，将EN重置到低电平；EN没被选中、输出为低电平

时，触发器无输出，下拉晶体管135的栅极（NRES端）始终为低电平，下拉晶体管135关闭，不影响EN电位。

[0095] 本发明实施例中，正边沿触发器具有多种实现形式，本发明不局限于该触发器的具体实现。以下以一个具体实施例进行说明。具体的，如图10所示，在该实施例中，所应用的正边沿触发器可以为主从触发器，其可以由两级锁存器组成。

[0096] 如图10所示，第一级正边沿触发器132和第二级正边沿触发器134均包括主触发器1301、从触发器1302和主从反相器1303。

[0097] 主触发器1301的输入端（S）为正边沿触发器的正输入端（D），主触发器1301的正输出端连接从触发器的输入端（S），主触发器的复位端（R）为正边沿触发器的反输入端，主触发器1301的反输出端连接从触发器1302的复位端（R）；从触发器1302的正输出端（Q）为正边沿触发器的正输出端（Q），从触发器1302的反输出端为正边沿触发器的反输出端，从触发器1302的时钟信号输入端（CP）通过主从反相器1303的输出端，主从反相器1303的输入端和主触发器1301的时钟信号输入端（CP）的连接端为正边沿触发器的时钟信号输入端（CK）。

[0098] 进一步地，本发明实施例的驱动模块12可以包括锁存电路121。和缓冲放大电路122，其中，锁存电路121的第一端连接第二时钟信号（CLK），锁存电路121的第二端连接使能模块11的使能信号输出端，锁存电路121的第三端连接缓冲放大电路122输入端，缓冲放大电路122的输出端作为驱动模块12的驱动信号输出端连接与驱动模块12对应设置的行的栅线。

[0099] 进一步地，本发明实施例的驱动模块12还可以包括缓冲放大电路122。此时，锁存电路121的输出端不直接与驱动模块12对应设置的行的栅线连接，而是先与缓冲放大电路122的输入端连接，然后缓冲放大电路122的输出端再作为驱动模块12的驱动信号输出端连接与驱动模块12对应设置的行的栅线。

[0100] 进一步地，本发明实施例中，锁存电路121可以包括锁存器，缓冲放大电路122可以由一级反相器组成或者由多级级联的反相器组成。

[0101] 在一个具体实施例中，若缓冲放大电路122由一级反相器组成，锁存电路121由锁存器组成，则锁存器的输入端（S）连接第二时钟信号（CLK），锁存器的使

能端（CP）连接使能模块11的使能信号输出端，锁存器的输出端（Q）连接一级反相器的输入端，一级反相器的输出端连接于驱动模块12对应设置的行的栅线。其中，锁存器的输入端（S）为锁存电路121的数据输入端，锁存器的使能端（CP）为锁存电路121的时钟输入端，锁存器的输出端（Q）为锁存电路121的输出端；一级反相器的输入端为缓冲放大电路122的输入端，一级反相器的输出端为缓冲放大电路122的输出端。

[0102] 进一步地，在另一个具体实施例中，若缓冲放大电路122由多级级联的反相器组成，锁存电路121由锁存器组成，假设有n级，n为大于或等于2的整数，则锁存器的输入端（S）连接第二时钟信号（CLK），锁存器的使能端（CP）连接使能模块11的使能信号输出端，锁存器的输出端（Q）连接第1级反相器的输入端，第n级反相器的输出端连接于驱动模块12对应设置的行的栅线；锁存器的输入端（S）为锁存电路121的数据输入端，锁存器的使能端（CP）为锁存电路121的时钟输入端，锁存器的输出端（Q）为锁存电路121的输出端；第1级反相器的输入端为缓冲放大电路122的输入端，第n级反相器的输出端为缓冲放大电路122的输出端。

[0103] 这里，本发明实施例所采用的锁存器均为带有门控功能的锁存器，其工作原理为：

[0104] 以使能端（CP）高电平有效的锁存器为例：

[0105] 当CP电位为低电平时，输出端Q保持不变，输入端S的信号不影响输出端Q。

[0106] 当CP电位为高电平时，输出端Q的二进制信号随着输入端S的输入电位变化。

可以理解地，锁存器有多种实施方案，本发明不局限于锁存器的某一种具体实施方案。本发明通过在每个GOA单元10中采用锁存器可以产生以下优势：利用锁存原理，可以有效抑制电路内部交流信号或毛刺信号耦合到输出端，且锁存器具有波形重建功能，即使外部时钟波形因为RC延时产生变形，经过锁存器重建以后，也能输出高质量方波脉冲。

[0107] 以下以一个具体的实施例对本发明采用的锁存器进行说明，其中，最常用的锁存器为SR型锁存器。

[0108] 如图11所示，在该实施例中，锁存器包括：锁存反相器1210、第一与门1211、

第二与门1212、第一或非门1213和第二或非门1214。

[0109] 锁存反相器1210的输入端与第一与门1211的第一输入端一并连接第二时钟信号（CLK），锁存反相器1210的输出端连接第二与门1212的第二输入端，第一与门1211的第二输入端和第二与门1212的第一输入端一并连接使能模块的使能信号输出端；第一与门1211的输出端连接第一或非门1213的第一输入端，第一或非门1213的第二输入端连接第二或非门1214的输出端，第一或非门1213的输出端连接第二或非门1214的第一输入端，第一或非门1213的输出端还连接缓冲放大电路122的输入端；第二或非门1214的第二输入端连接第二与门1212的输出端。

[0110] 其中，第一与门1211的第一输入端为锁存电路121的第一端，第一与门1211的第二输入端和第二与门1212的第一输入端的连接端为锁存电路121的第二端，第一或非门1213的输出端为锁存电路121的第三端。

[0111] 进一步地，本发明实施例中缓冲放大电路中所采用的反相器均可以由晶体管组成。

[0112] 具体的，如图12所示，每一个反相器均可以包括：P型晶体管和N型晶体管。

[0113] 具体的，P型晶体管的第一电极连接恒压高电位（VGH），P型晶体管的第二电极连接N型晶体管的第一电极，N型晶体管的第二电极连接恒压低电位（VGL），P型晶体管的栅极和N型晶体管的栅极连接，P型晶体管的第二电极和N型晶体管的第一电极连接。

[0114] 其中，P型晶体管的栅极和N型晶体管的栅极的连接端为反相器的输入端，P型晶体管的第二电极和N型晶体管的第一电极的连接端为反相器的输出端。

[0115] 这里需要说明的是，本发明实施例中，每一个GOA单元10中的P型晶体管是低温多晶硅、无定型硅、或者是由碳、硅、锗三种元素按任意比例混合的材料制作沟道的薄膜晶体管。每一个GOA单元10中的N型晶体管是基于金属氧化物制作沟道的薄膜晶体管。而且，本发明实施例为基于互补极性的晶体管的GOA电路，即在面板上可以同时存在N型和P型晶体管的情况。

[0116] 参考图13a和图13b为本发明实施例分别采用P型晶体管和N型晶体管做译码器的单个GOA单元10的电路原理图。

- [0117] 如图13a和图13b所示, 其中, VSS为输入的直流低电平, VDD为输入的直流高电平, S[0:N]为输入选址信号, CLK为输入时钟信号, EN为GOA单元10的内部使能节点。NFET表示N型晶体管组成的行译码器, PFET表示P型晶体管组成的行译码器, R表示重置模块13, 121表示锁存电路, Buf表示缓冲放大电路122。
- [0118] 参考图14a和图14b, 图14a是以P型晶体管组成译码器、且重置模块13采用图8所示第一实施例的单个GOA单元10的电路原理图。在该实施例中, 以4位地址为例; 锁存电路121包括锁存器;
- [0119] 如图14b所示, CLK1~CLK4均可以由驱动IC提供, 在屏幕开启显示后持续提供; S[0:N]为输入行译码器的行地址信号, Dn-2、Dn-1、Dn、Dn+1、Dn+2为输入行译码器的行地址信号(S[0:N])中不同时段行地址信号。
- [0120] 时段t1: 为地址译码阶段, S[0:N]中的行地址信号Dn对应的某一级GOA单元10中的行译码器被选中, 该行的行译码器的使能信号输出端(EN)输出的使能信号为高电平, 由于第一时钟信号(CLKR)为低电平, 所以重置模块13中的复位晶体管关闭, 不影响使能信号的输出; 而第二时钟信号(CLK)的上升沿到来, 锁存器将输入端(S)输入的高电平信号存储并送到输出端(Q)输出至缓冲放大电路122, 由缓冲放大路122处理后输出至与该行对应的栅线。
- [0121] 时段t2: 使能节点(EN)输出的仍为高电平, 重置模块13中的复位晶体管仍处于关闭状态, 第二时钟信号(CLK)电压回落, 带动输出端(OUT)电压回落。
- [0122] 时段t3: 第一时钟信号(CLKR)的上升沿到来、为高电平, 重置模块13中的复位晶体管被打开, 从而将使能节点(EN)下拉到低电平(GND), 即行译码器被重置。锁存器的使能端(CP)变为低电平, 因此其输出不随输入端(S)的变化而变化, 而保持为低电平。
- [0123] 时段t4: EN未被选中, 第二时钟信号(CLK)仍处于低电平, 锁存器的使能输入端(CP)保持为低电平, 其输出不随输入端(S)的变化而变化, 仍然保持为低电平, 重置模块13中的复位晶体管仍处于低电平, 重置模块13中的复位晶体管关闭。
- [0124] 其中, 图15为图14a的工作时序仿真验证图, 由图15可以看出, 仿真结果与工

作时序结果相当。其中，采用图14所示的多个GOA单元10的示意图如图16所示。由图16中可以看出在每一级GOA单元10中，和传统的GOA电路不同，每一级GOA单元10的输出只进入像素阵列，不进入之后或之前的任何一级GOA单元10。即本发明的任一级GOA单元10的工作都不依赖于前级或后级的GOA提供使能信号，而是由本级内部的行译码器来产生使能信号。

[0125] 参考图17为图16的多级级联工作时序仿真验证图。

[0126] 参考图18，为重置模块采用图9所示第二实施例的单个GOA单元10的电路原理图和工作时序图。该实施例中，重置模块13包括下拉晶体管135、第一级正边沿触发器132、第二级正边沿触发器134；锁存电路121包括锁存器。

[0127] 如图18所示，CLK由驱动IC提供；S[0:N]为输入行译码器的行地址信号，Dn-3、Dn-2、Dn-1、Dn、Dn+1、Dn+2为输入行译码器的行地址信号（S[0:N]）中不同同时段的行地址信号。

[0128] 时段t1：为地址译码阶段，行地址信号Dn对应的某一级GOA单元10中的行译码器被选中，该行的行译码器的使能信号输出端（EN）输出的使能信号为高电平，由于重置信号（NRES）为低电平，所以下拉晶体管135关闭，不影响使能信号的输出。

[0129] 时段t2：第二时钟信号（CLK）的一个脉冲到来，锁存电路121中的锁存器将输入端（S）输入的脉冲信号存储并送到输出端（Q）输出至缓冲放大电路122。同时，在这个时钟信号的上升沿，第一级正边沿触发器132将EN高电平锁存，并输出到第一级正边沿触发器132的输出端。在随后到来的时钟信号的下降沿，第二级正边沿触发器134将前述第一级正边沿触发器132输出的高电平锁存，并输出到第二级正边沿触发器134的输出端，并输出至下拉晶体管135的栅极(NRES)。

[0130] 时段t3：由于重置信号（NRES）升高，下拉晶体管135打开，行译码器的使能信号输出端（EN）被重置为低电平，锁存电路121中的锁存器关闭。在此之后，直到译码器再次被选中为止，行译码器的使能信号输出端（EN）都是低电平，锁存电路121中的锁存器保持关闭，其输出保持为低电平。

[0131] 其中，图18的工作时序仿真验证图详见图19。由图19可以看出仿真结果与工作

时序结果相当。其中，采用图18的电路的全屏GOA电路的示意图如图20所示，其工作时序仿真验证图详见图21。

[0132] 本发明实施例通过在每一个GOA单元10中引入锁存器，有效抵制电路内部交流信号或毛刺信号偶合到输出端，且具有波形重建功能，即使外部时钟波形因为RC延时而变形也能输出高质量方波脉冲，在某些实施例中，还可以通过自身产生复位（重置）信号（自复位），不依赖于额外的时钟；需要的时钟数少，最少只需要2个相位相反的方波时钟。任意时间可以随机编程的行数比例增加，最高可达全部行数的1/2。特别适合高分辨率、可变尺寸屏幕的电路设计。

[0133] 另外，本发明实施例的GOA电路还可适用于可折叠或可卷曲收回的屏幕，且对于可折叠或可卷曲收回的屏幕，允许折叠和收回的部分不显示图像、不产生功耗；允许动态调整显示和不显示区域的分界线。

[0134] 其中，本发明实施例的GOA电路对于可卷曲、可折叠、拼接屏幕在屏幕中的布局如图22和图23所示。

[0135] 如图22所示，采用本发明实施例的GOA电路，在可卷曲收藏的柔性显示屏中，只需要扫描需要显示图像的部分，即输送给GOA的地址范围为第j+1行到第N行，卷曲收藏部分（承受机械应力部分）可以在第一帧画面输送时编入黑色信号，此后不再扫描，以达到节省功耗、延长使用寿命的目的。在屏幕伸缩调整时，可以通过动态调整输入GOA的地址范围为改变扫描和不扫描的部分，达到动态节省功耗的目的。

[0136] 如图23所示，本发明实施例的GOA电路可以应用于无缝拼接显示屏，在无缝拼接显示屏中，每块待拼接显示屏设计制造时，译码器预留更高位的地址，并留出冗余的地址线。单块屏幕单独工作时，只需将不需要的高位地址线置于全开电平，保证所有行译码器的高位晶体管全部打开，则只需对低位扫描即可。多块屏幕拼接时，GOA部分在结合处直接电学桥接，地址线、时钟线和供电线各自短接，启用更高位的地址即可。

[0137] 本发明实施例的方案，提供了一种基于锁存器的、支持随机寻址的GOA电路，该GOA电路允许数据不按照行的顺序写入屏幕，在屏幕大部分区域是静态图像，只有少部分区域不断变化时，只需要对该部分区域进行编程，且由于图像不

变的行未选通，所以动态功耗有效降低，同时可以增加留给图像改变的每一行的时间，使得在显示尺寸和显示功率、显示刷新率之间可以实现实时、动态调整的可能。

[0138] 另外，本发明的GOA电路中后级触发不依赖于前级的触发，所以当孤立一级GOA单元10出现缺陷时，其余GOA单元10的功能不会受到影响，使屏幕的良率和评级得到提升，提供了动态修理屏幕的可能。而且本发明的GOA电路不使用传统的自举结构，时钟线不需要直接驱动GOA单元10中的输出晶体管，因此，可以大大减少(N-1)级非活跃GOA单元10对动态功耗的影响。

[0139] 本发明的GOA电路适用于高分辨率、大尺寸屏幕。

[0140] 而且，本发明实施例通过在每一个GOA单元中引入锁存器，有效抵制电路内部交流信号或毛刺信号耦合到输出端，且具有波形重建功能，即使外部时钟波形因为RC延时而变形也能输出高质量方波脉冲，在某些实施例中，还可以通过自身产生复位（重置）信号（自复位），不依赖于额外的时钟；需要的时钟数少，最少只需要2个相位相反的方波时钟。任意时间可以随机编程的行数比例增加，最高可达全部行数的1/2。特别适合高分辨率、可变尺寸屏幕的电路设计。

[0141] 另外，本发明实施例的GOA电路还可适用于可折叠或可卷曲收回的屏幕，且对于可折叠或可卷曲收回的屏幕，允许折叠和收回的部分不显示图像、不产生功耗；允许动态调整显示和不显示区域的分界线。

[0142] 进一步地，本发明还提供了一种显示装置，该显示装置包括前述实施例的GOA电路。其中，该显示装置包括但不限于LTPS显示装置、AMOLED显示装置。

[0143] 本发明还提供了一种显示器控制方法，如图24所示，该显示器控制方法可以包括以下步骤：

[0144] 步骤S1、输入寻址信号至显示器的GOA电路中的各个行译码器。

[0145] 步骤S2、开启与寻址信号对应的行译码器。

[0146] 步骤S3、通过开启的行译码器输出使能信号至显示器的GOA电路的驱动模块。

[0147] 步骤S4、通过接收使能信号的驱动模块驱动对应行的像素工作。

[0148] 本发明实施例的显示器控制方法中，显示器的GOA电路可以为前述实施例的GOA电路。

- [0149] 进一步地，本发明实施例的显示器控制方法还包括：开启与寻址信号对应的行译码器时，与寻址信号不对应的行译码器保持关闭。
- [0150] 进一步地，本发明实施例的显示器控制方法还包括：通过寻址信号选择性地开启部分行译码器。
- [0151] 可选的，本发明实施例中，驱动模块包括锁存器，该锁存器用于接收使能信号。
- [0152] 进一步地，本发明实施例的显示器控制方法还包括：输入第二时钟信号至锁存器；锁存器根据使能信号对所述第二时钟信号的波形进行重建之后输出。
- [0153] 进一步地，本发明实施例中，驱动模块还包括放大器，锁存器输出的信号经由放大器放大之后驱动对应行的像素工作。
- [0154] 进一步地，本发明实施例的显示器控制方法还包括：对开启的行译码器输出的使能信号复位。其中，该对开启的行译码器输出的使能信号复位可以通过复位电路执行。
- [0155] 进一步地，本发明实施例的显示器控制方法还包括：输入第一时钟信号至复位电路；该复位电路根据第一时钟信号对使能信号进行复位。
- [0156] 进一步地，本发明实施例的显示器控制方法还包括：输入第二时钟信号至复位电路；该复位电路根据第二时钟信号对使能信号进行复位。
- [0157] 以上实施例只为说明本发明的技术构思及特点，其目的在于让熟悉此项技术的人士能够了解本发明的内容并据此实施，并不能限制本发明的保护范围。凡跟本发明权利要求范围所做的均等变化与修饰，均应属于本发明权利要求的涵盖范围。
- [0158] 应当理解的是，对本领域普通技术人员来说，可以根据上述说明加以改进或变换，而所有这些改进和变换都应属于本发明所附权利要求的保护范围。

权利要求书

- [权利要求 1] 一种GOA电路，其特征在于，包括多个相互独立的GOA单元，每一个所述GOA单元包括一个使能模块以及与所述使能模块对应设置的驱动模块；
- 所述使能模块包括用于接收行地址信号的行地址信号的输入端，以及用于根据所述行地址信号输出使能信号的使能信号输出端；
- 所述驱动模块包括用于接收所述使能信号输出端输出的使能信号的使能信号输入端，以及用于根据所述使能信号输出驱动信号的驱动信号输出端，所述驱动信号输出端连接与所述驱动模块对应设置的行的栅线，以将所述驱动信号发送至所述对应行的栅线，选通所述对应行。
- [权利要求 2] 根据权利要求1所述的GOA电路，其特征在于，所述使能模块为基于二进制编码的行译码器或者基于格雷码编码的行译码器。
- [权利要求 3] 根据权利要求2所述的GOA电路，其特征在于，所述每一行译码器包括多个串联的晶体管，且相邻行、同一列的两个晶体管在满足预设条件时合并为一个晶体管。
- [权利要求 4] 根据权利要求3所述的GOA电路，其特征在于，所述相邻行、同一列的两个晶体管满足预设条件包括：
- 两个晶体管的栅极短接在一起，且各自是本行译码器的最高位的晶体管，或者两个晶体管的栅极短接在一起，且紧邻前一高位的晶体管合并在一起。
- [权利要求 5] 根据权利要求1所述的GOA电路，其特征在于，每一个所述GOA单元还包括与所述使能模块的使能信号输出端连接、用于在所述驱动模块输出驱动信号并将所述对应行选通后、将所述使能模块重置的重置模块。
- [权利要求 6] 根据权利要求5所述的GOA电路，其特征在于，所述重置模块包括复位晶体管；
- 所述复位晶体管的第一电极连接所述使能模块的使能信号输出端，所述复位晶体管的第二电极接地信号，所述复位晶体管的栅极连接第一

时钟信号。

[权利要求 7]

根据权利要求5所述的GOA电路，其特征在于，所述重置模块包括下拉晶体管、第一级正边沿触发器、第一级反相器、第二级正边沿触发器和第二级反相器；

所述第一级正边沿触发器的正输入端和所述第一级反相器的输入端一并连接所述使能模块的使能信号输出端，所述第一级正边沿触发器的反输入端连接所述第一级反相器的输出端，所述第一级正边沿触发器的时钟信号输入端连接与所述第二级反相器的输入端一并连接第二时钟信号；

所述第二级正边沿触发器的正输入端连接所述第一级正边沿触发器的正输出端，所述第二级正边沿触发器的反输入端连接所述第一级正边沿触发器的反输出端，所述第二级正边沿触发器的时钟信号输入端连接所述第二级反相器的输出端，所述第二级正边沿触发器的正输出端连接所述下拉晶体管的栅极；

所述下拉晶体管的第一电极连接所述使能模块的使能信号输出端，所述下拉晶体管的第二电极接地信号。

[权利要求 8]

根据权利要求7所述的GOA电路，其特征在于，所述第一级正边沿触发器和所述第二级正边沿触发器均包括主触发器、从触发器和主从反相器；

所述主触发器的输入端为正边沿触发器的正输入端，所述主触发器的正输出端连接所述从触发器的输入端，所述主触发器的复位端为正边沿触发器的反输入端，所述主触发器的反输出端连接所述从触发器的复位端；

所述从触发器的正输出端为正边沿触发器的正输出端，所述从触发器的反输出端为正边沿触发器的反输出端，所述从触发器的时钟信号输入端通过所述主从反相器的输出端，所述主从反相器的输入端和所述主触发器的时钟信号输入端的连接端为正边沿触发器的时钟信号输入端。

- [权利要求 9] 根据权利要求1所述的GOA电路，其特征在于，所述驱动模块包括：
锁存电路；
所述锁存电路的数据输入端连接第二时钟信号，所述锁存电路的时钟输入端连接所述使能模块的使能信号输出端，所述锁存电路的输出端作为所述驱动模块的驱动信号输出端连接与所述驱动模块对应设置的行的栅线。
- [权利要求 10] 根据权利要求9所述的GOA电路，其特征在于，所述驱动模块还包括
缓冲放大电路；
所述缓冲放大电路的输入端连接所述锁存电路的输出端，所述缓冲放大电路的输出端作为所述驱动模块的驱动信号输出端连接与所述驱动模块对应设置的行的栅线。
- [权利要求 11] 根据权利要求10所述的GOA电路，其特征在于，所述锁存电路包括
锁存器；所述缓冲放大电路包括一级反相器；
所述锁存器的输入端连接第二时钟信号，所述锁存器的使能端连接所述使能模块的使能信号输出端，所述锁存器的输出端连接所述一级反相器的输入端，所述一级反相器的输出端连接与所述驱动模块对应设置的行的栅线；
所述锁存器的输入端为所述锁存电路的数据输入端，所述锁存器的使能端为所述锁存电路的时钟输入端，所述锁存器的输出端为所述锁存电路的输出端；
所述一级反相器的输入端为所述缓冲放大电路的输入端，所述一级反相器的输出端为所述缓冲放大电路的输出端。
- [权利要求 12] 根据权利要求10所述的GOA电路，其特征在于，所述锁存电路包括
锁存器；所述缓冲放大电路包括n级级联的反相器；其中，n为大于或等于2的整数；
锁存器的输入端连接第二时钟信号，所述锁存器的使能端连接所述使能模块的使能信号输出端，所述锁存器的输出端连接第1级反相器的输入端，第n级反相器的输出端连接与所述驱动模块对应设置的行的

栅线；

所述锁存器的输入端为所述锁存电路的数据输入端，所述锁存器的使能端为所述锁存电路的数据输入端，所述锁存器的输出端为所述锁存电路的输出端；

所述第1级反相器的输入端为所述缓冲放大电路的输入端，所述第n级反相器的输出端为所述缓冲放大电路的输出端。

[权利要求 13]

根据权利要求11或12所述的GOA电路，其特征在于，所述锁存器包括：锁存反相器、第一与门、第二与门、第一或非门和第二或非门；所述锁存反相器的输入端与所述第一与门的第一输入端一并连接第二时钟信号，所述锁存反相器的输出端连接所述第二与门的第二输入端，所述第一与门的第二输入端和所述第二与门的第一输入端一并连接所述使能模块的使能信号输出端；

所述第一与门的输出端连接所述第一或非门的第一输入端，所述第一或非门的第二输入端连接所述第二或非门的输出端，所述第一或非门的输出端连接所述第二或非门的第一输入端，所述第一或非门的输出端还连接所述缓冲放大电路的输入端；所述第二或非门的第二输入端连接所述第二与门的输出端；

所述第一与门的第一输入端为所述锁存电路的数据输入端，所述第一与门的第二输入端和所述第二与门的第一输入端的连接端为所述锁存电路的时钟输入端，所述第一或非门的输出端为所述锁存电路的输出端。

[权利要求 14]

权利要求11或12所述的GOA电路，其特征在于，所述反相器包括：P型晶体管和N型晶体管；

所述P型晶体管的第一电极连接恒压高电位，所述P型晶体管的第二电极连接所述N型晶体管的第一电极，所述N型晶体管的第二电极连接恒压低电位，所述P型晶体管的栅极和所述N型晶体管的栅极连接，所述P型晶体管的第二电极和所述N型晶体管的第一电极连接；

其中，所述P型晶体管的栅极和所述N型晶体管的栅极的连接端为所

述反相器的输入端，所述P型晶体管的第二电极和所述N型晶体管的第一电极的连接端为所述反相器的输出端。

[权利要求 15] 根据权利要求1所述的GOA电路，其特征在于，每一个所述GOA单元中的P型晶体管是低温多晶硅、无定型硅、或者是由碳、硅、锗三种元素按任意比例混合的材料制作沟道的薄膜晶体管。

[权利要求 16] 根据权利要求1所述的GOA电路，其特征在于，每一个所述GOA单元中的N型晶体管是基于金属氧化物制作沟道的薄膜晶体管。

[权利要求 17] 一种显示装置，其特征在于，包括权利要求1-16任一项所述的GOA电路。

[权利要求 18] 一种显示器控制方法，其特征在于，所述方法包括：
输入寻址信号至显示器的GOA电路中的各个行译码器；
开启与所述寻址信号对应的行译码器；
通过开启的行译码器输出使能信号至显示器的GOA电路的驱动模块；
通过接收使能信号的驱动模块驱动对应行的像素工作。

[权利要求 19] 根据权利要求18所述的显示器控制方法，其特征在于，所述方法还包括：
开启与所述寻址信号对应的行译码器时，与所述寻址信号不对应的行译码器保持关闭。

[权利要求 20] 根据权利要求18所述的显示器控制方法，其特征在于，所述方法还包括：
所述寻址信号选择性地开启部分行译码器。

[权利要求 21] 根据权利要求18所述的显示器控制方法，其特征在于，所述驱动模块包括锁存器，所述锁存器用于接收所述使能信号。

[权利要求 22] 根据权利要求21所述的显示器控制方法，其特征在于，所述方法还包括：
输入第二时钟信号至所述锁存器；
所述锁存器根据所述使能信号对所述第二时钟信号的波形进行重建之

后输出。

- [权利要求 23] 根据权利要求21所述的显示器控制方法，其特征在于，所述驱动模块还包括放大器，所述锁存器输出的信号经由所述放大器放大之后驱动对应行的像素工作。
- [权利要求 24] 根据权利要求21所述的显示器控制方法，其特征在于，所述方法还包括：
对开启的行译码器输出的使能信号复位。
- [权利要求 25] 根据权利要求24所述的显示器控制方法，其特征在于，所述对开启的行译码器输出的使能信号复位通过复位电路执行。
- [权利要求 26] 根据权利要求25所述的显示器控制方法，其特征在于，所述方法还包括：
输入第一时钟信号至所述复位电路；
所述复位电路根据所述第一时钟信号对使能信号进行复位。
- [权利要求 27] 根据权利要求25所述的显示器控制方法，其特征在于，所述方法还包括：
输入第二时钟信号至所述复位电路；
所述复位电路根据所述第二时钟信号对使能信号进行复位。

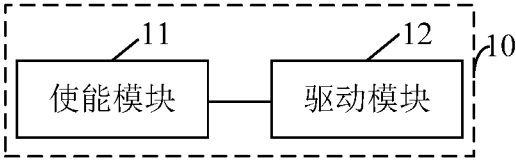


图 1

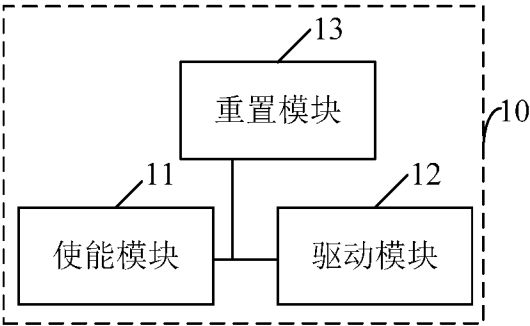


图 2

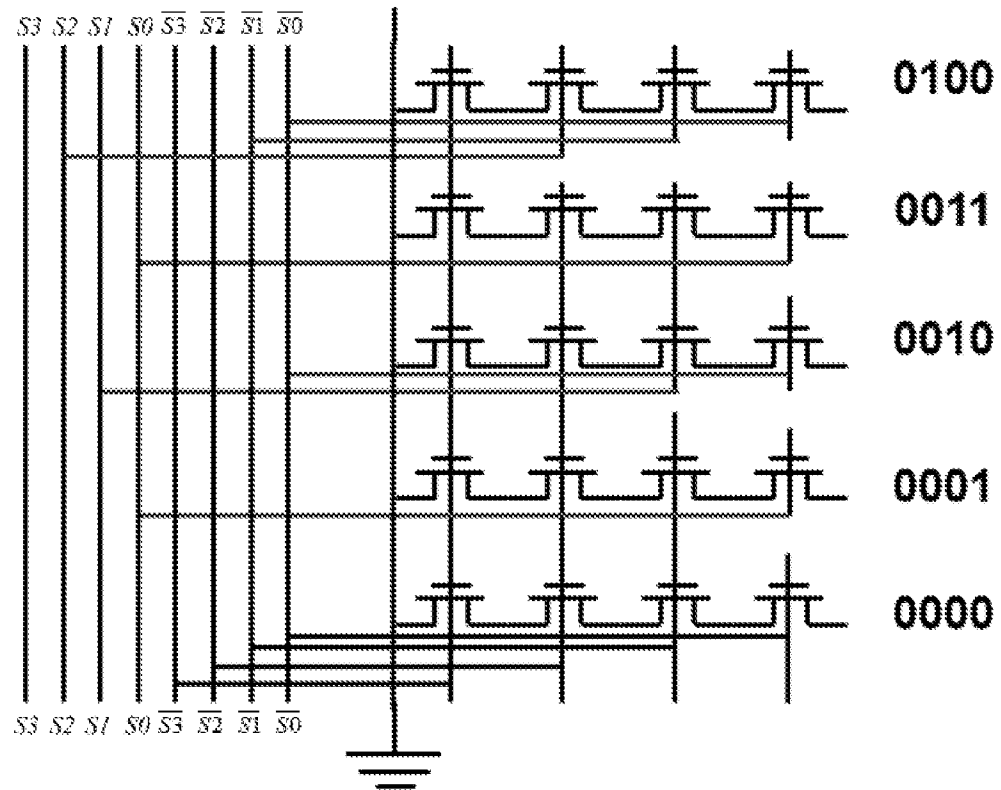


图 3

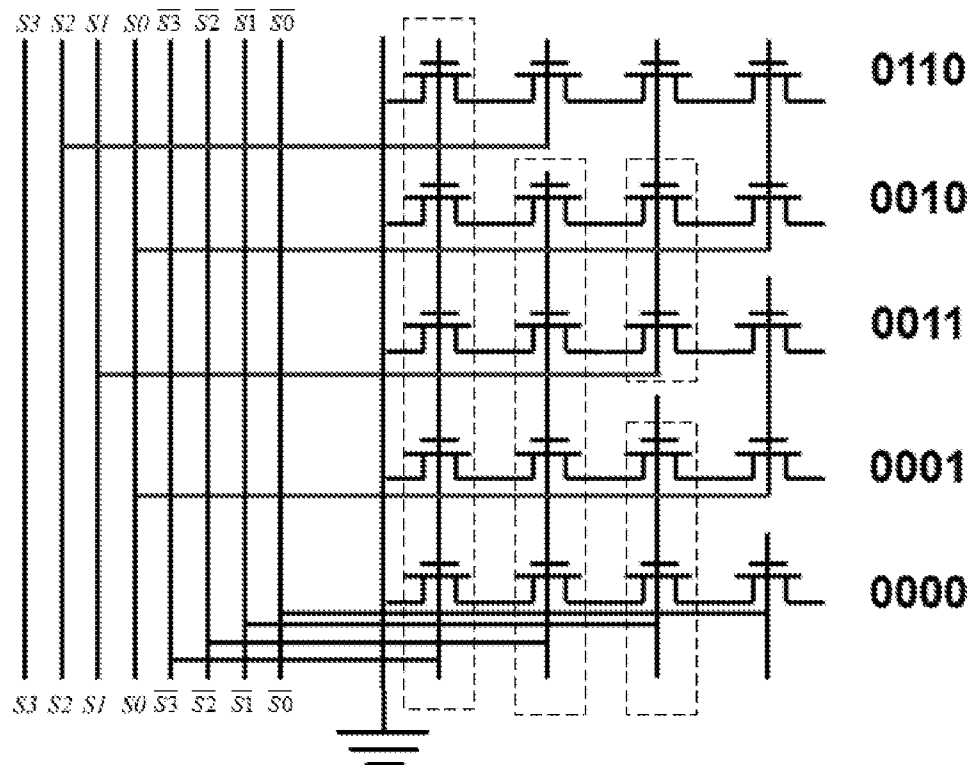


图 4

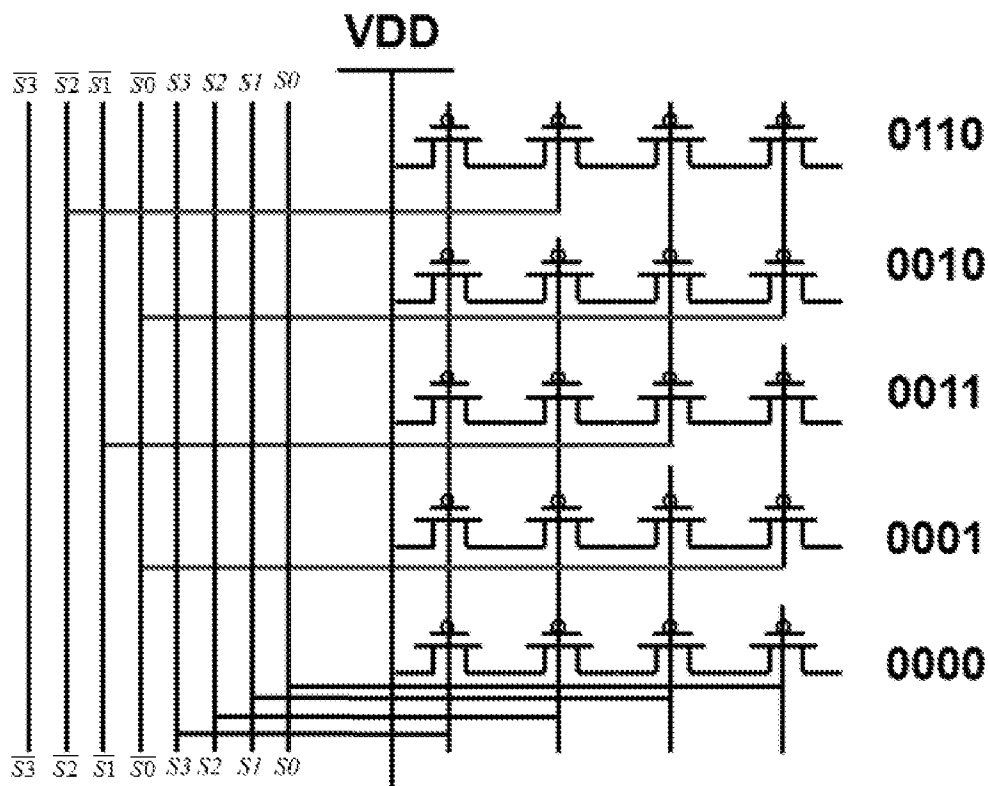


图 5

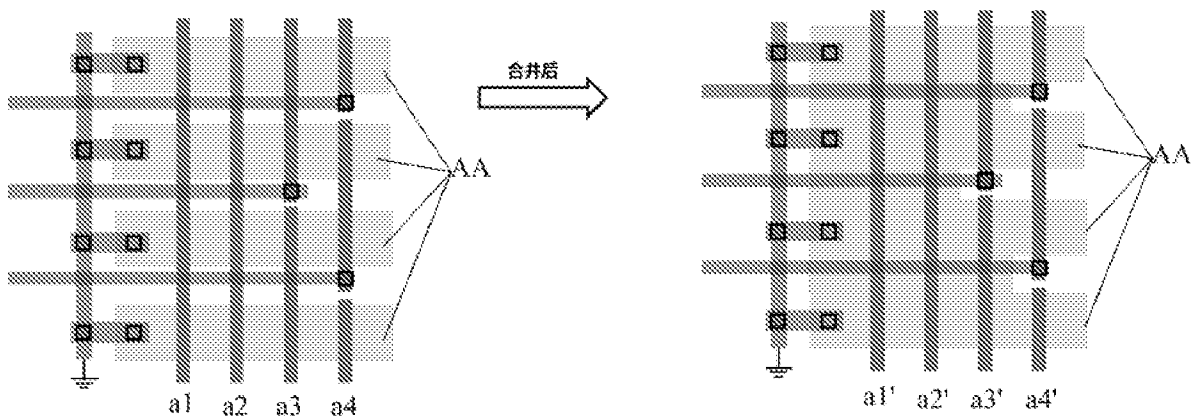


图 6a

图 6b

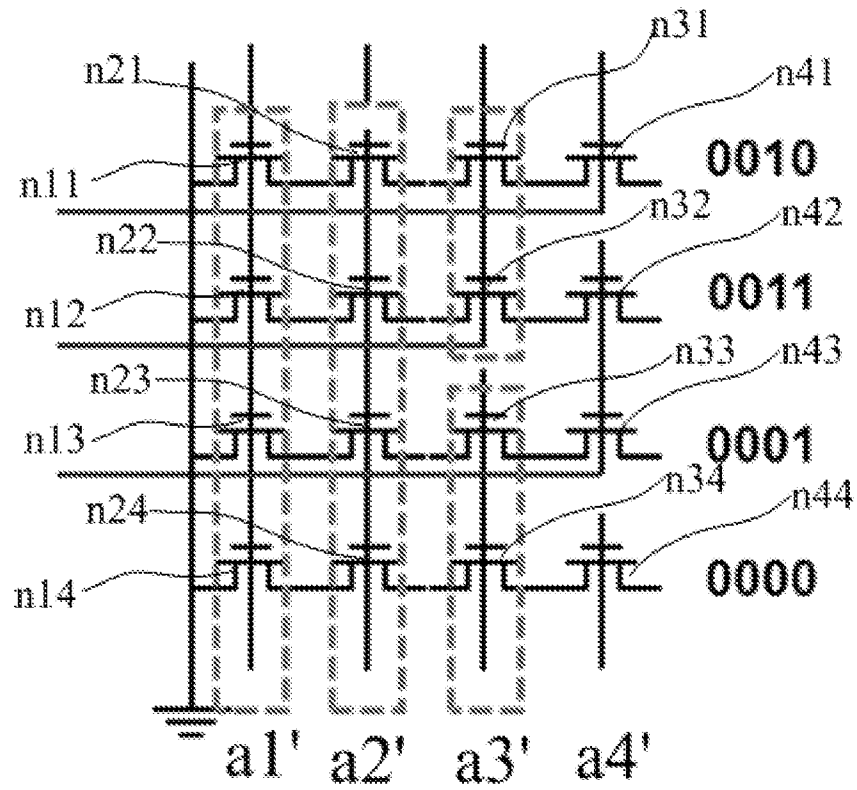


图 6c

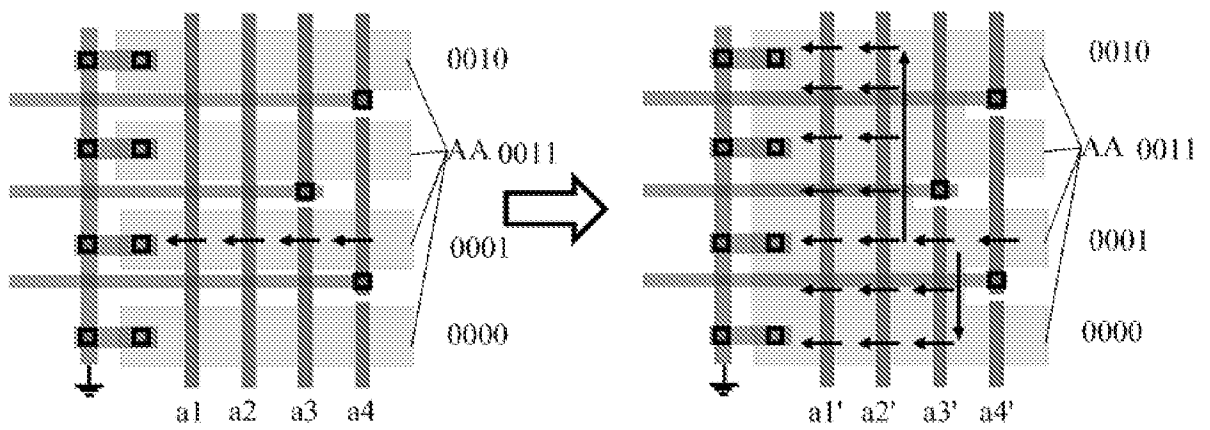


图 7a

图 7b

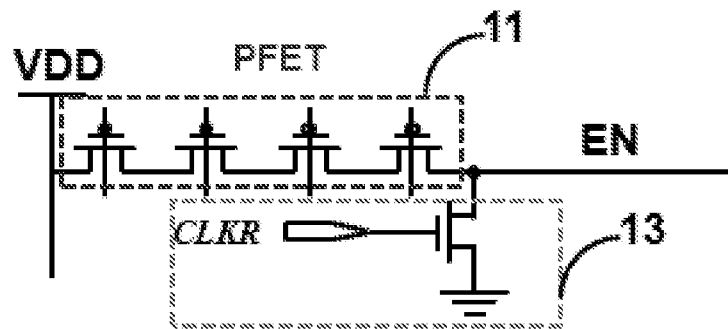


图 8

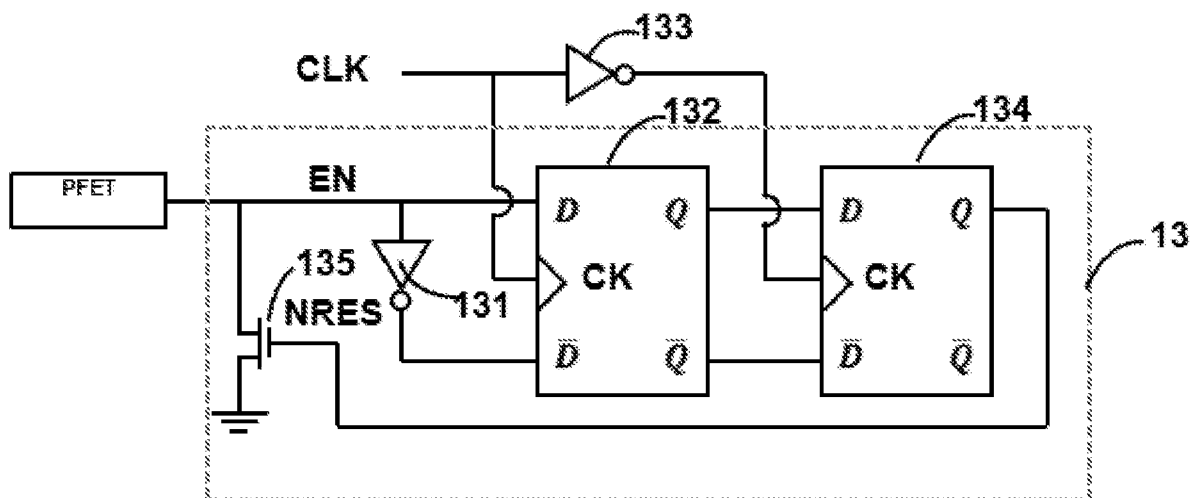


图 9

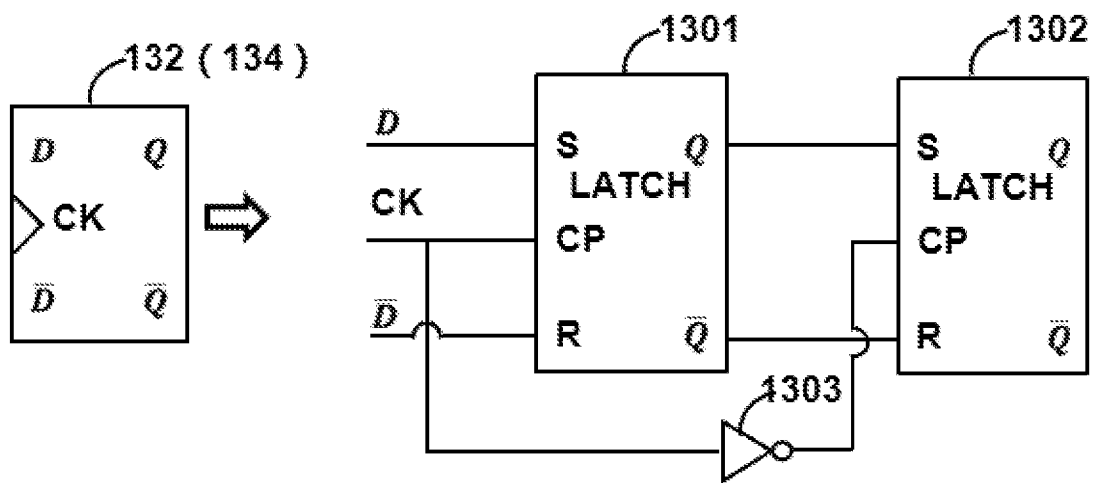


图 10

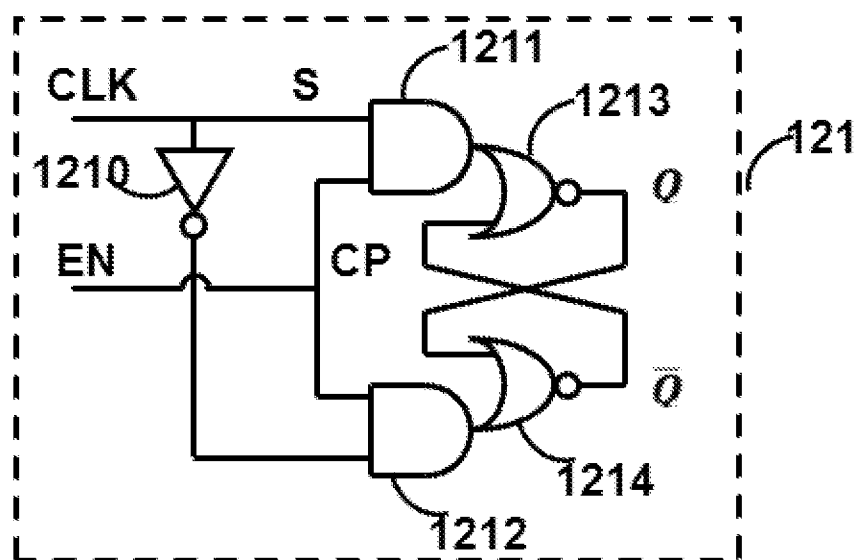


图 11

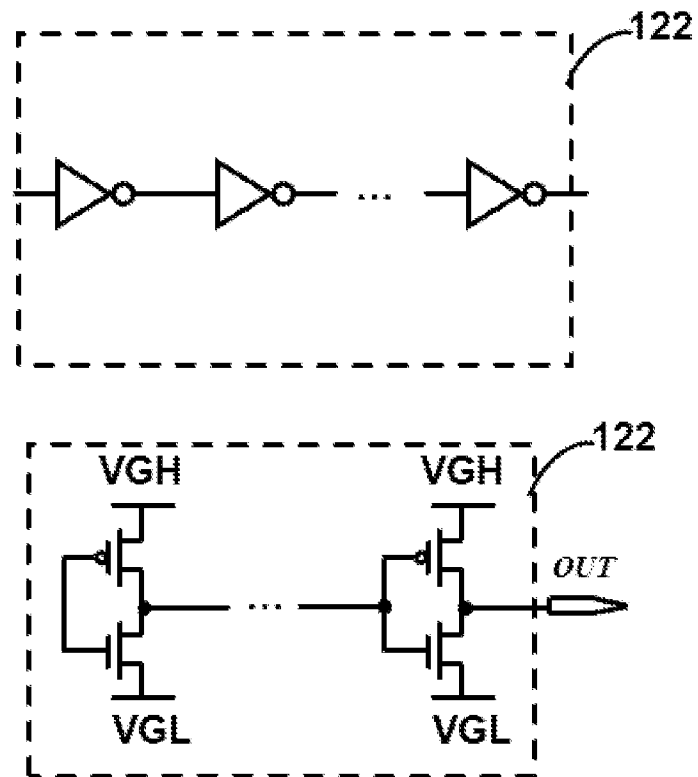


图 12

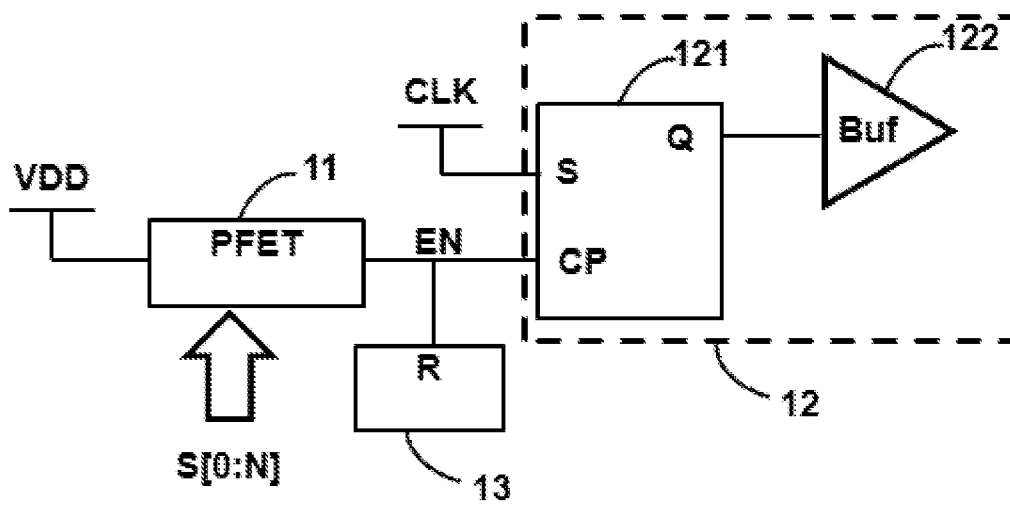


图 13a

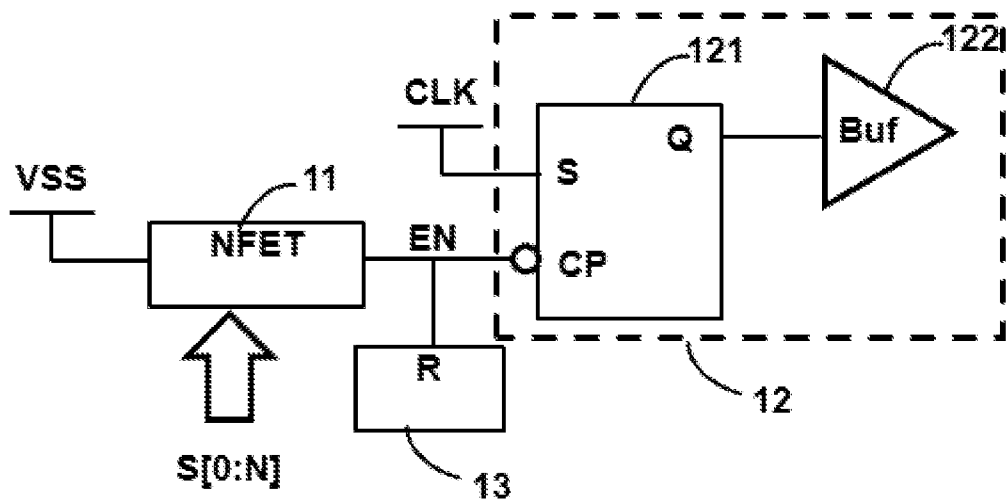


图 13b

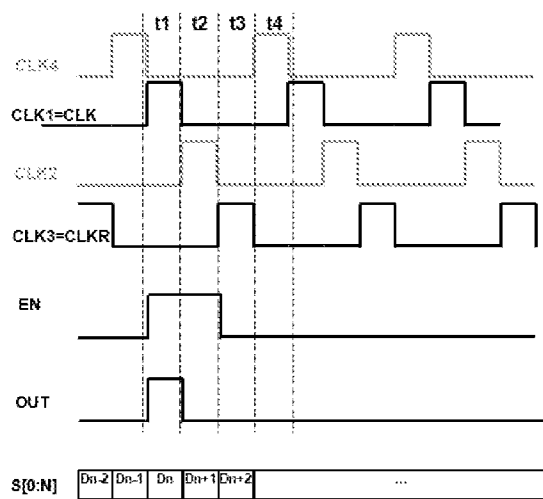


图 14b

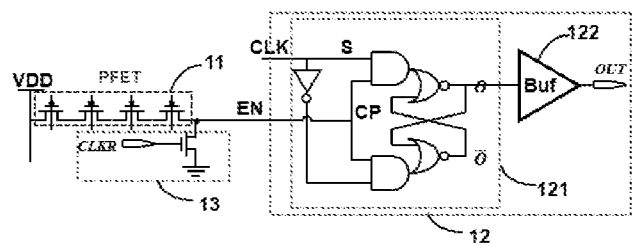


图 14a

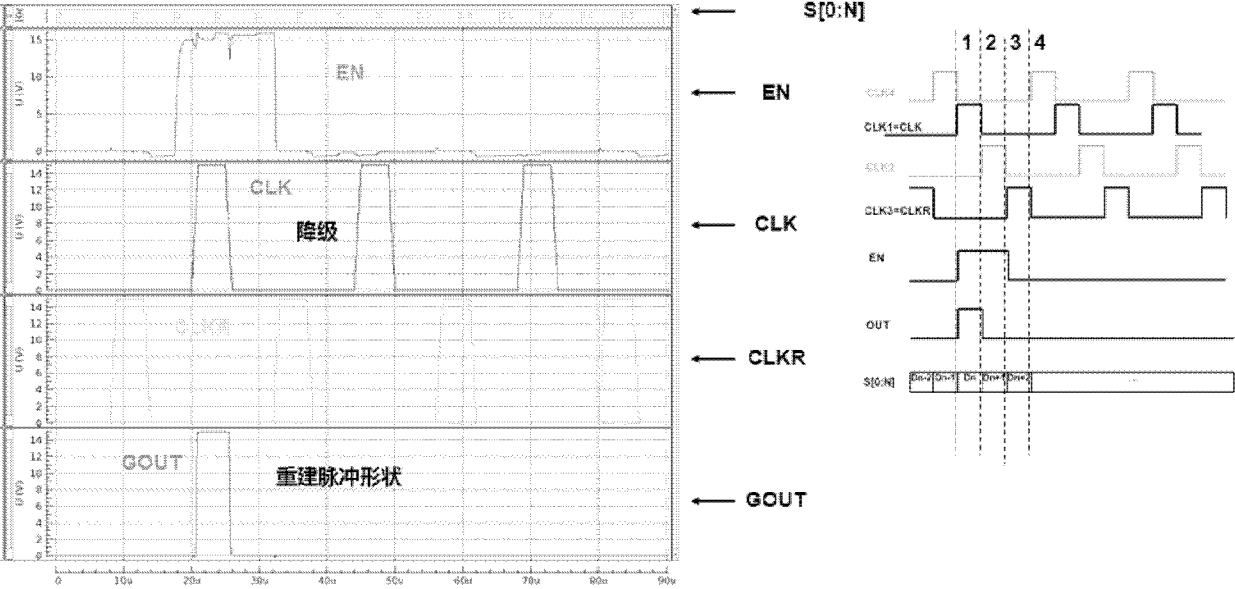


图 15

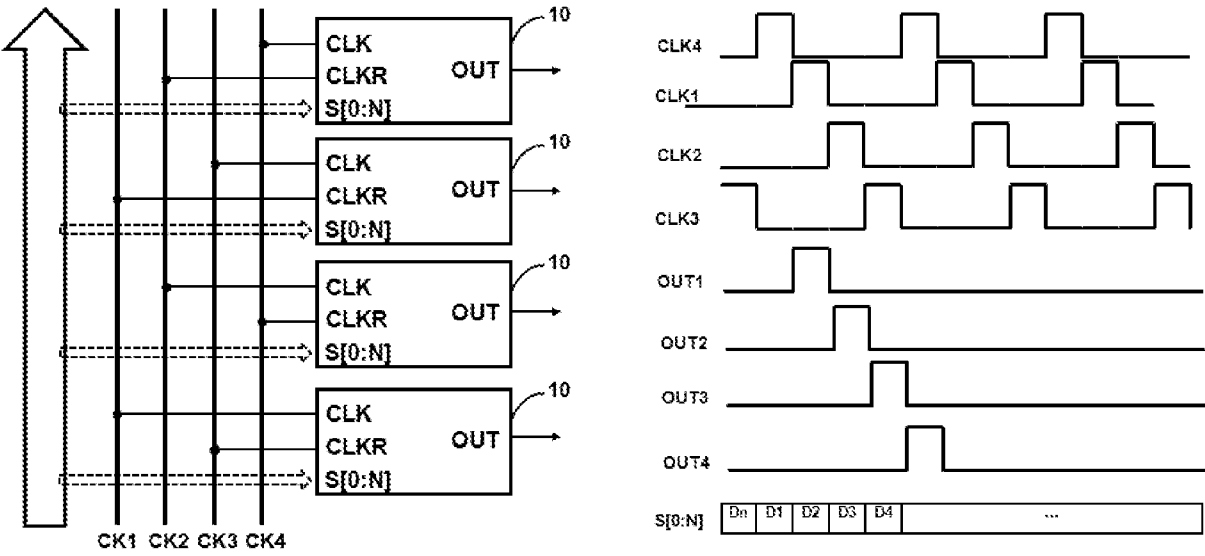


图 16

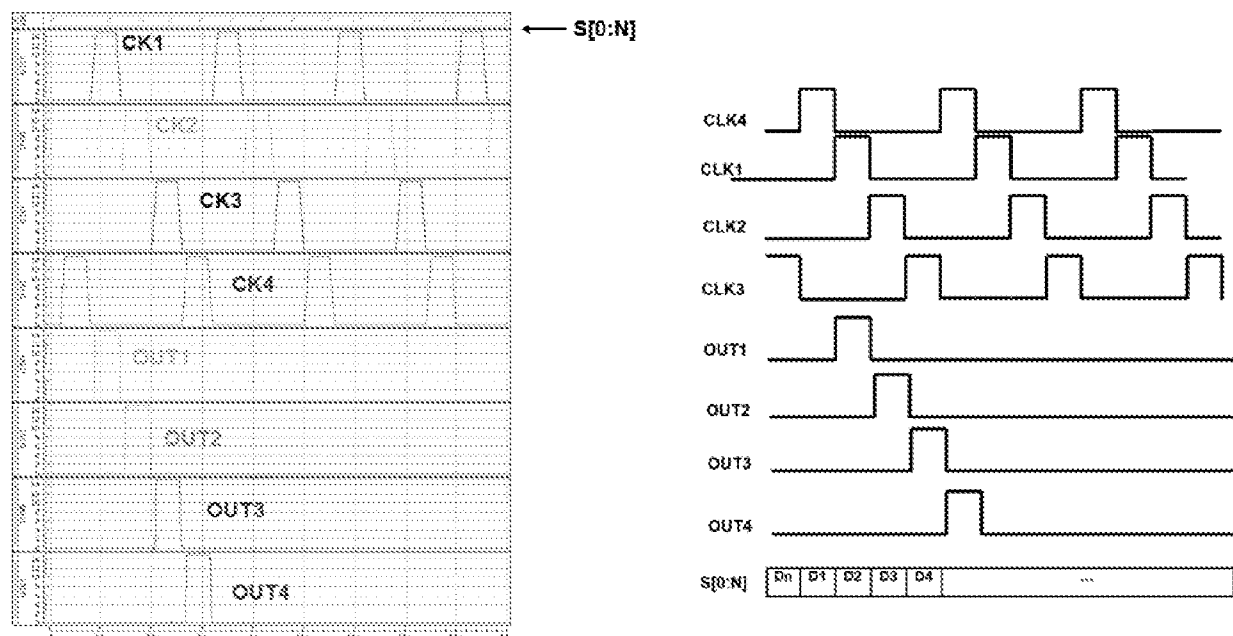


图 17

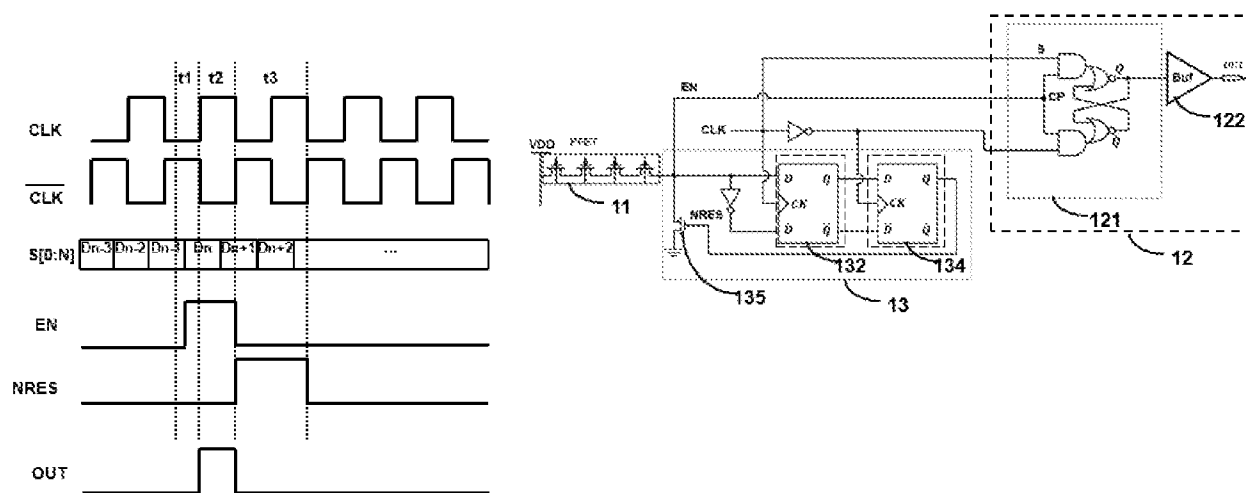


图 18

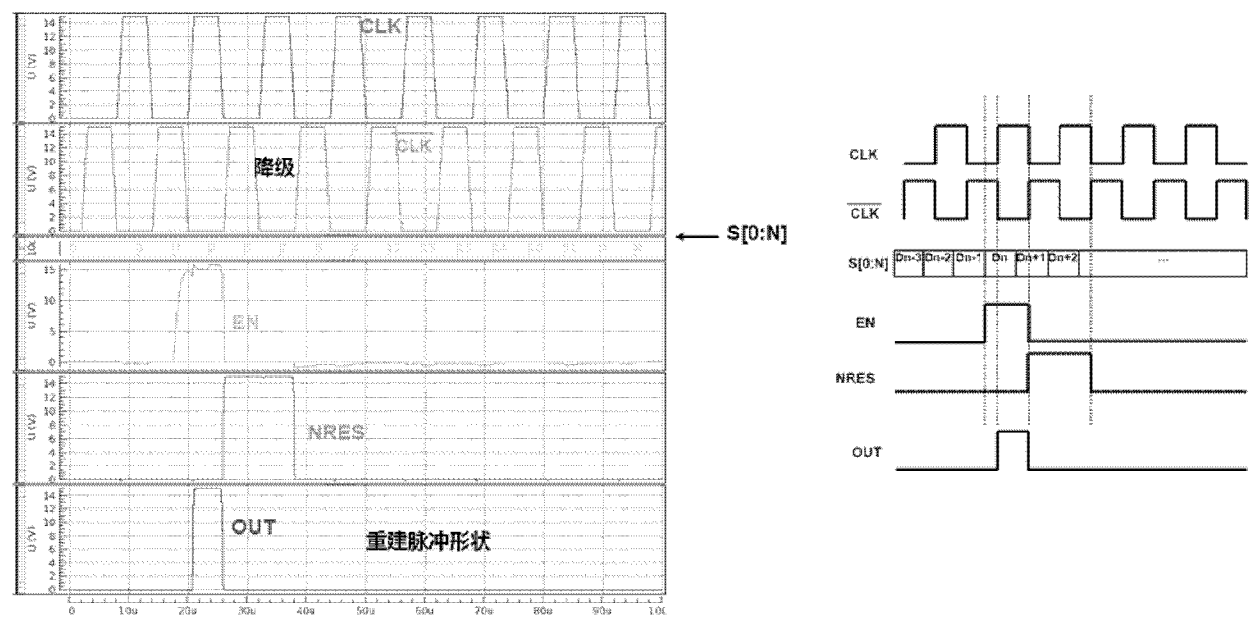


图 19

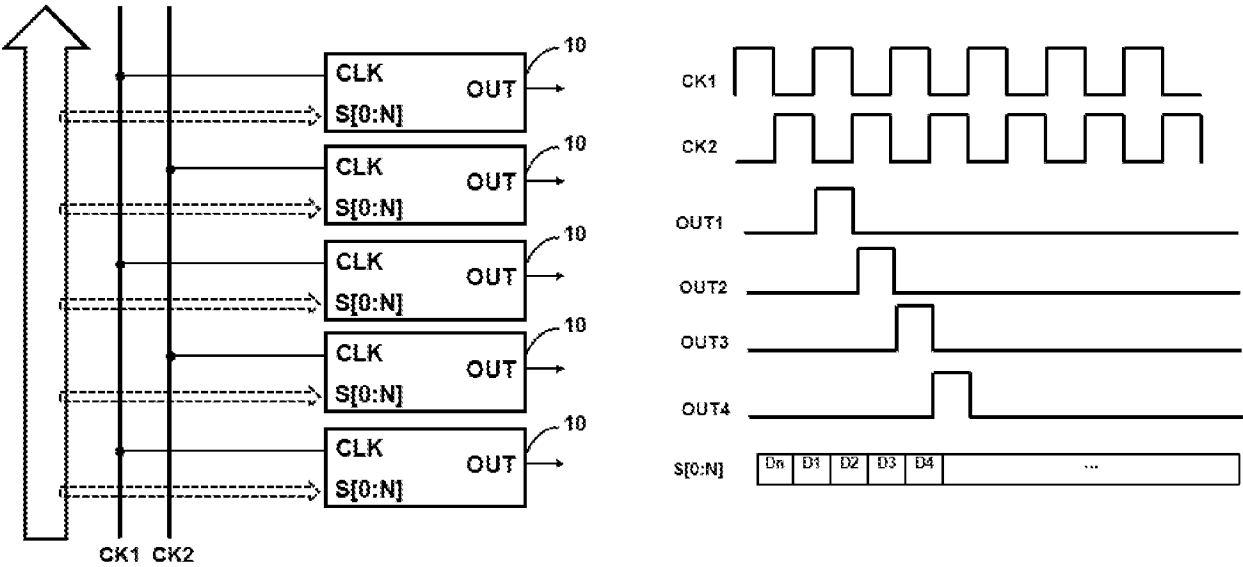


图 20

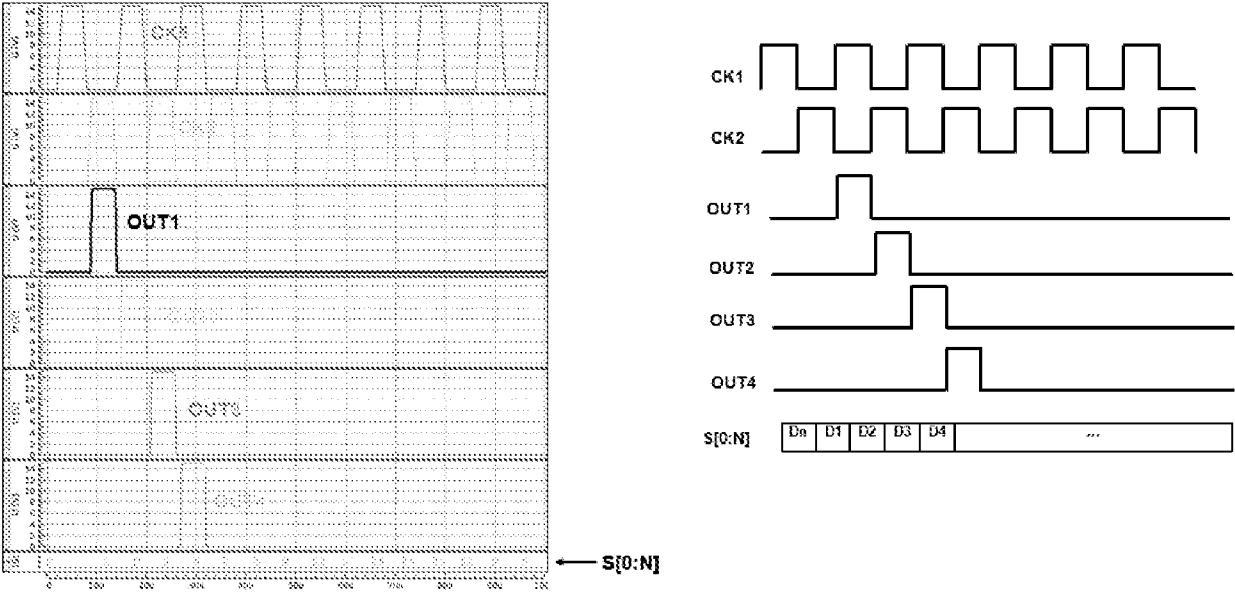


图 21

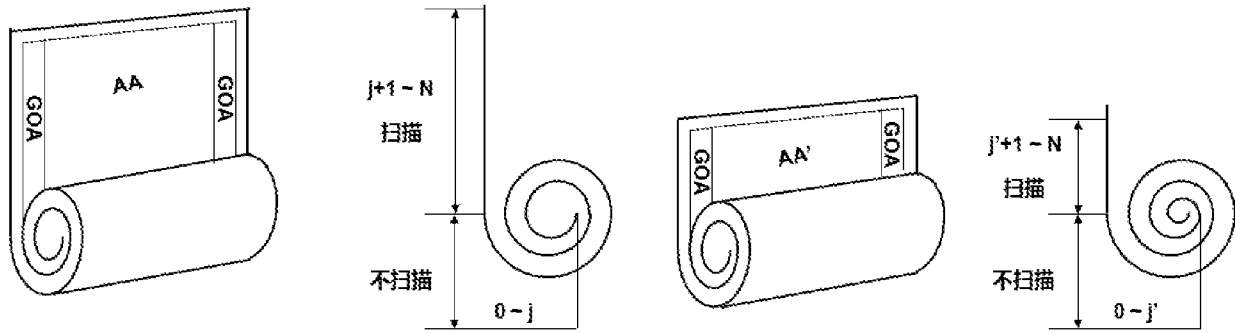


图 22

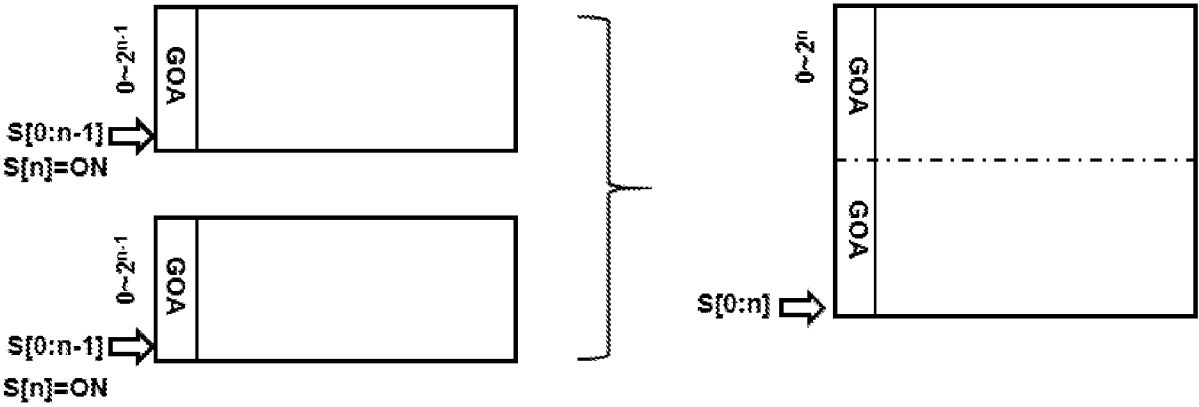


图 23

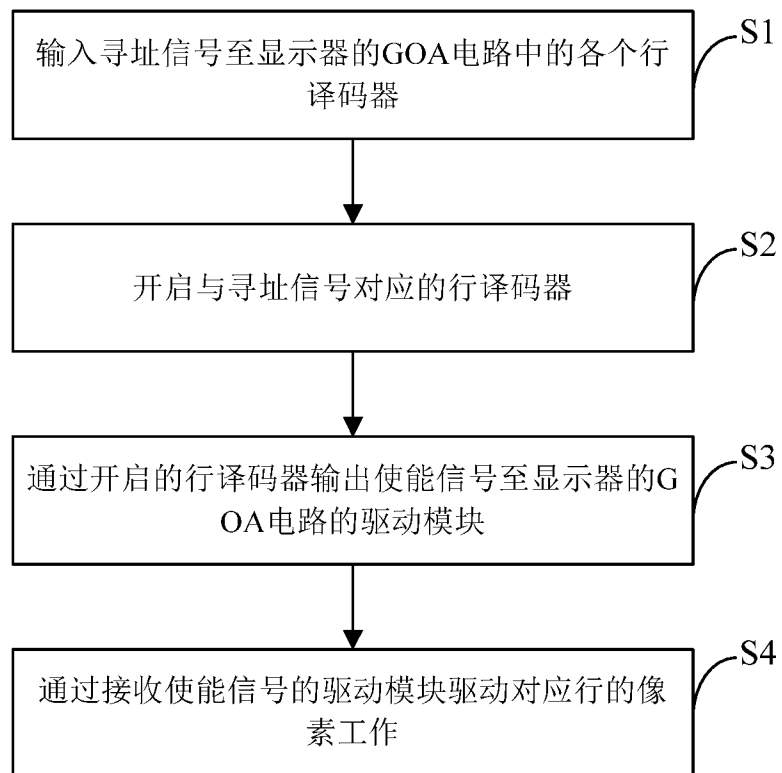


图 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/120046

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: 显示, 栅极, 驱动, 扫描, 移位, 寄存, GOA, 锁存, 地址, 译码, 解码, 复位, 重置, display, gate, driv+, shift, register, scan+, lock+, flip 1w latch, decod+, address, reset, init+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101577102 A (NOVATEK MICROELECTRONICS CORP.) 11 November 2009 (2009-11-11) description, p. 3, paragraph 2 to p. 9, paragraph 6, and figures 1-7	1-27
X	CN 101303837 A (RAYDIUM SEMICONDUCTOR CORPORATION) 12 November 2008 (2008-11-12) description, p. 3, paragraph 2 to p. 6, paragraph 3, and figures 1-6	1, 17-20
A	CN 105355179 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 February 2016 (2016-02-24) entire document	1-27
A	CN 106486069 A (SITRONIX TECHNOLOGY CO., LTD.) 08 March 2017 (2017-03-08) entire document	1-27
A	CN 202473187 U (SICHUAN CCO DISPLAY TECHNOLOGY CO., LTD.) 03 October 2012 (2012-10-03) entire document	1-27
A	US 2007104307 A1 (LG. PHILIPS LCD CO., LTD.) 10 May 2007 (2007-05-10) entire document	1-27

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 May 2019

Date of mailing of the international search report

28 June 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration; PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/120046

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101577102	A	11 November 2009	CN	101577102	B	28 September 2011
CN	101303837	A	12 November 2008	CN	101303837	B	15 September 2010
CN	105355179	A	24 February 2016	CN	105355179	B	02 March 2018
CN	106486069	A	08 March 2017	TW	I626640	B	11 June 2018
				CN	106486069	B	19 February 2019
				TW	201709194	A	01 March 2017
CN	202473187	U	03 October 2012	None			
US	2007104307	A1	10 May 2007	US	7529333	B2	05 May 2009
				KR	20070045908	A	02 May 2007
				KR	101308440	B	16 September 2013

国际检索报告

国际申请号

PCT/CN2018/120046

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT; CNKI; WPI; EP0D0C: 显示, 栅极, 驱动, 扫描, 移位, 寄存, GOA, 锁存, 地址, 译码, 解码, 复位, 重置, display, gate, driv+, shift, register, scan+, lock+, flip 1w latch, decod+, address, reset, init+																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 101577102 A (联咏科技股份有限公司) 2009年 11月 11日 (2009 - 11 - 11) 说明书第3页第2段-第9页第6段、附图1-7</td> <td>1-27</td> </tr> <tr> <td>X</td> <td>CN 101303837 A (瑞鼎科技股份有限公司) 2008年 11月 12日 (2008 - 11 - 12) 说明书第3页第2段-第6页第3段、附图1-6</td> <td>1, 17-20</td> </tr> <tr> <td>A</td> <td>CN 105355179 A (武汉华星光电技术有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文</td> <td>1-27</td> </tr> <tr> <td>A</td> <td>CN 106486069 A (矽创电子股份有限公司) 2017年 3月 8日 (2017 - 03 - 08) 全文</td> <td>1-27</td> </tr> <tr> <td>A</td> <td>CN 202473187 U (四川虹视显示技术有限公司) 2012年 10月 3日 (2012 - 10 - 03) 全文</td> <td>1-27</td> </tr> <tr> <td>A</td> <td>US 2007104307 A1 (LG. PHILIPS LCD CO., LTD.) 2007年 5月 10日 (2007 - 05 - 10) 全文</td> <td>1-27</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 101577102 A (联咏科技股份有限公司) 2009年 11月 11日 (2009 - 11 - 11) 说明书第3页第2段-第9页第6段、附图1-7	1-27	X	CN 101303837 A (瑞鼎科技股份有限公司) 2008年 11月 12日 (2008 - 11 - 12) 说明书第3页第2段-第6页第3段、附图1-6	1, 17-20	A	CN 105355179 A (武汉华星光电技术有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文	1-27	A	CN 106486069 A (矽创电子股份有限公司) 2017年 3月 8日 (2017 - 03 - 08) 全文	1-27	A	CN 202473187 U (四川虹视显示技术有限公司) 2012年 10月 3日 (2012 - 10 - 03) 全文	1-27	A	US 2007104307 A1 (LG. PHILIPS LCD CO., LTD.) 2007年 5月 10日 (2007 - 05 - 10) 全文	1-27
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 101577102 A (联咏科技股份有限公司) 2009年 11月 11日 (2009 - 11 - 11) 说明书第3页第2段-第9页第6段、附图1-7	1-27																					
X	CN 101303837 A (瑞鼎科技股份有限公司) 2008年 11月 12日 (2008 - 11 - 12) 说明书第3页第2段-第6页第3段、附图1-6	1, 17-20																					
A	CN 105355179 A (武汉华星光电技术有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文	1-27																					
A	CN 106486069 A (矽创电子股份有限公司) 2017年 3月 8日 (2017 - 03 - 08) 全文	1-27																					
A	CN 202473187 U (四川虹视显示技术有限公司) 2012年 10月 3日 (2012 - 10 - 03) 全文	1-27																					
A	US 2007104307 A1 (LG. PHILIPS LCD CO., LTD.) 2007年 5月 10日 (2007 - 05 - 10) 全文	1-27																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td style="vertical-align: top;"> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td style="vertical-align: top;"> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2019年 5月 21日		国际检索报告邮寄日期 2019年 6月 28日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 高倩倩 电话号码 86-(10)-53962593																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/120046

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	101577102	A	2009年 11月 11日	CN 101577102 B	2011年 9月 28日
CN	101303837	A	2008年 11月 12日	CN 101303837 B	2010年 9月 15日
CN	105355179	A	2016年 2月 24日	CN 105355179 B	2018年 3月 2日
CN	106486069	A	2017年 3月 8日	TW 1626640 B	2018年 6月 11日
				CN 106486069 B	2019年 2月 19日
				TW 201709194 A	2017年 3月 1日
CN	202473187	U	2012年 10月 3日	无	
US	2007104307	A1	2007年 5月 10日	US 7529333 B2	2009年 5月 5日
				KR 20070045908 A	2007年 5月 2日
				KR 101308440 B	2013年 9月 16日

表 PCT/ISA/210 (同族专利附件) (2015年1月)