



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I538118 B

(45)公告日：中華民國 105 (2016) 年 06 月 11 日

(21)申請案號：102126177

(22)申請日：中華民國 102 (2013) 年 07 月 22 日

(51)Int. Cl. : H01L23/28 (2006.01)

H01L23/488 (2006.01)

(30)優先權：2012/07/31 美國

13/563,085

(71)申請人：英凡薩斯公司(美國) INVENSAS CORPORATION (US)

美國

(72)發明人：穆罕默德 依利亞斯 MOHAMMED, ILYAS (US)

(74)代理人：張煌燿

(56)參考文獻：

US 2009/0014876A1

US 2010/0109138A1

US 2010/0237471A1

審查人員：孫建文

申請專利範圍項數：32 項 圖式數：13 共 46 頁

(54)名稱

重組式晶圓級封裝動態隨機存取記憶體

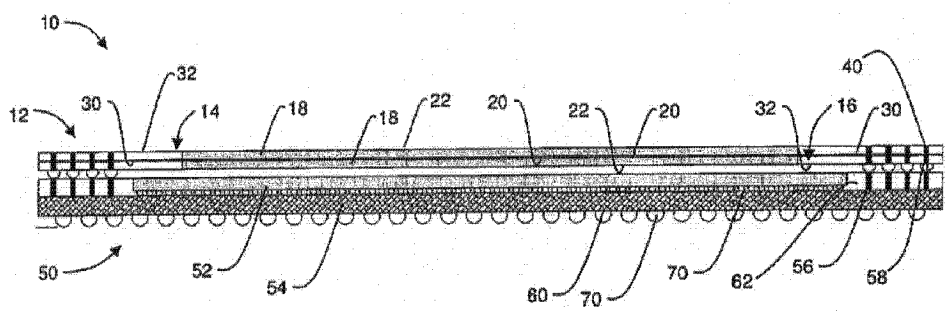
RECONSTITUTED WAFER-LEVEL PACKAGE DRAM

(57)摘要

本案為一種微電子封裝，包括一第一與第二封裝的微電子元件，各包括一半導體晶粒，係具一正面及複數個接點。一封裝材料，係至少接觸該半導體晶粒之側邊表面，並至少在其中一橫向從該側邊表面延伸。複數個導電元件，係從該接點延伸，並越過該正面至該封裝材料上之位置。該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒其中之一之正面或背面面向另一個半導體晶粒之正面或背面。複數個導電互連，係延伸通過該第一和第二微電子元件之該封裝材料，並透過該導電元件與該第一和第二微電子元件中至少一個半導體晶粒電性連接。

A microelectronic package includes first and second encapsulated microelectronic elements, each of which includes a semiconductor die having a front face and contacts thereon. An encapsulant contacts at least an edge surface of each semiconductor die and extends in at least one lateral direction therefrom. Electrically conductive elements extend from the contacts and over the front face to locations overlying the encapsulant. The first and second microelectronic elements are affixed to one another such that one of the front or back surfaces of one of the first and second semiconductor dies is oriented towards one of the front or back surfaces of the other of the first and second semiconductor dies. A plurality of electrically conductive interconnects extend through the encapsulants of the first and second microelectronic elements and are electrically connected with at least one semiconductor die of the first and second microelectronic elements by the conductive elements.

指定代表圖：



第 1 圖

- 符號簡單說明：
- 10 . . . 微電子組件
 - 12、50 . . . 微電子封裝
 - 14、16、52 . . . 微電子元件
 - 18 . . . 半導體晶粒
 - 20 . . . 正面
 - 22 . . . 背面
 - 30 . . . 第一主要表面
 - 32 . . . 第二主要表面
 - 40、56 . . . 導電互連
 - 54 . . . 基板
 - 58 . . . 端子
 - 60 . . . 接點
 - 70 . . . 導電塊

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

重組式晶圓級封裝動態隨機存取記憶體

Reconstituted Wafer-Level Package DRAM

【技術領域】

【0001】 本案為一種重組式晶圓級封裝動態隨機存取記憶體，尤指與微電子封裝和包括微電子封裝之組件相關之重組式晶圓級封裝動態隨機存取記憶體。

【先前技術】

【0002】 半導體晶片通常以單獨，預先封裝之單元型式呈現。一般標準的晶片具有一個平坦的矩形主體，該主體擁有寬大的正面，並具有多個接點可連接至晶片之內部電路系統。每個單獨的晶片通常是設置在具有外部端子之封裝中，該外部端子係依序電性連接至一個電路板，例如印刷電路板，藉以將晶片上的接點連接至電路板的導體。在許多習用的設計中，晶片封裝佔用電路板的面積遠大於晶片本身的面積。在本案中提及關於具有正面之平面晶片時，所指之晶片面積應理解為該正面之面積。

【0003】 微電子封裝可以在晶圓級製造；也就是說，外殼、端子以及其它構成封裝之功能是在晶片或晶粒仍處於晶圓形式時製造。在晶粒形成後，晶圓會接著進行一些其它的製程步驟，藉以在晶圓上形成封裝結構，

隨後再將晶圓切成小塊釋出單獨的封裝。晶圓級的處理可能是較佳的製造方法，它可以提供降低成本之優勢，並且因為每個晶粒封裝佔用的面積可能和晶粒本身的大小一樣或幾乎一樣，因此可以非常有效地利用封裝晶粒安裝所在之印刷電路板上之區域。以這種方式封裝之晶粒通常被稱為晶圓級晶片規模封裝(wafer-level chip scale package , WLCSP)或是晶圓級晶片尺寸封裝 (wafer-level chip sized package , WLCSP)。

【0004】 為了更節省安裝封裝晶粒之基板上的空間，多個晶片可能會以垂直堆疊形式結合在單一個封裝中。堆疊中的每個晶粒通常必需提供一個電性連接機構至堆疊中任一個或多個其它的晶粒，或者至堆疊所在的基板，或者兩種都有。這樣可以讓垂直堆疊多個晶粒的封裝佔用基板的表面積小於封裝內所有晶片加總在一起的總表面積。不過，由於涵蓋全部晶片的佈線(Routing)路徑是順沿著封裝上之同一表面，所以這樣的配置需要晶片至少具有一定程度的偏移，才能提供電性連接至上層晶片接點之機會。但是這會導致佈線路徑複雜之後果，以及需要不同的路徑至同一個封裝中位於晶片之間連接外部的邏輯單元。

【0005】 基於上述原因，多晶片微電子封裝具有改善電氣性能之空間，尤其是在包括這種封裝與另一個或其它封裝互相連接的組件。

【發明內容】

【0006】 本案係關於一種微電子封裝。該微電子封裝係包括第一和第二封裝的微電子元件，每個封裝的微電子元件係包括一半導體晶粒，係具

沿第一和第二橫向延伸之一正面、設於該正面上之複數個接點、相對於該正面之一背面，以及介於該正面與該背面之間延伸之一側邊表面。一封裝材料係至少接觸該半導體晶粒之側邊表面，並且從該側邊表面沿至少其中一橫向方向延伸。導電元件係從該半導體晶粒之接點開始延伸，並且至少在其中一個橫向方向越過該正面至該封裝材料上之位置。該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒其中之一的正面或背面是朝向且相鄰另外一個半導體晶粒的正面或背面。該第一和第二微電子元件之封裝材料係定義出各自的外側相對表面。該封裝更包括複數個經由該第一和第二微電子元件之封裝材料延伸之導電互連。至少一部份的導電互連會經由該導電元件電性連接該第一和第二微電子元件中之至少一個半導體晶粒。該導電互連係暴露在該外側相對表面。

【0007】 在一個例子中，該第一和第二微電子元件可以設置在一起，使得該第一和第二半導體晶粒之正面正對彼此。在另一種配置中，該第一和第二微電子元件可以設置在一起，使得該第二半導體晶粒之正面正對該第一半導體晶粒之背面。在另一個例子中，該第一和第二微電子元件可以設置在一起，並使得該第一和第二半導體晶粒之背面正對彼此。

【0008】 至少可以配置一個微電子元件，使得該封裝材料之主要表面與對應的半導體晶粒之正面共面。同樣地，至少一個微電子元件可以經由配置，使得該封裝材料之第二主要表面與對應的半導體晶粒之背面共面。

【0009】 該導電互連可以包括雷射蝕刻之開口，該開口係於該封裝材

料之外側相對表面之間延伸，並與各自的導電元件相交，且該開口至少一部份填充導電金屬。第一導電互連可以經由對應的導電元件電性連接該第一半導體晶粒，第二導電互連可以經由對應的導電元件電性連接該第二半導體晶粒。在特定的例子中，該第一導電互連可以和該第二導電互連具有相同的數量。此外，所有的導電互連不是第一導電互連就是第二導電互連。

【0010】 在一個例子中，該第一和第二半導體晶粒可以是記憶晶片，並配置比其它功能還要更多的主動元件來提供記憶儲存陣列功能。每個記憶晶片可以包括一動態隨機存取記憶體(DRAM)儲存陣列。

【0011】 一微電子組件可以包括如上所述之一第一微電子封裝以及一第二微電子封裝。該第二微電子封裝可以定義出其上具有端子之一第一表面與其上具有封裝接點之一第二表面。該第二微電子封裝中更可以包括一微電子元件，係設置在該第一和第二表面之間，並電性連接該端子和該封裝接點。在該第一微電子封裝之導電互連與該第二微電子封裝之端子之正對端部之間可以加入複數個導電連接元件。

【0012】 該第二封裝的微電子元件可以是一邏輯晶片，並配置比其它功能還要更多的主動元件來提供邏輯功能。該第二微電子封裝更可以包括一基板，該微電子元件係安裝在該基板上。該基板可以包括電性連接在該微電子元件與該端子之間的導電元件。

【0013】 該第二封裝之端子可以以其基座連接至對應導電元件之打線接合作為末端。在這種例子中，該第二微電子封裝更可以包括形成在該

基板表面和至少該微電子元件一部份上之一封裝層。該封裝層更可以沿該打線接合之側邊表面延伸，並且可以分隔該打線接合。該封裝層係可定義該第二封裝之該第一表面，並且該打線接合的末端表面可以不被該第二表面上之該封裝層覆蓋。

【0014】 在一個例子中，第一導電互連可以經由對應的導電元件電性連接該第一微電子元件，第二導電互連可以經由對應的導電元件電性連接該第二微電子元件，此外，第三導電互連可以不與該第一或該第二微電子元件連接。該第一微電子封裝更可以包括一第三微電子封裝，該第三微電子封裝係覆蓋在該第一微電子封裝上，並具封裝接點，該封裝接點係連接暴露在該封裝材料之該第一表面上之該第三導電元件之末端。

【0015】 在一個實施例的配置中，該第二微電子封裝係可包括一基板，該基板係定義出該第二封裝之該第一表面，並具有相反於該第一表面之第三表面，且該微電子元件係安裝在該第三表面上。

【0016】 一系統可以包括上述之微電子組件以及一個或多個電子元件。

【0017】 本案更關於一種具第一和第二封裝的微電子元件之微電子封裝。每個微電子元件包括一半導體晶粒，係具沿第一和第二橫向延伸之一正面、設於該正面上之複數個接點、相對於該正面之一背面，以及介於該正面與該背面之間延伸之一側邊表面。每個微電子元件更包括一封裝材料以及導電元件，該封裝材料係至少接觸該對應之半導體晶粒之側邊表

面，並且從該側邊表面沿至少其中一橫向方向延伸，藉以定義出一主要表面，該主要表面係與該半導體晶粒之正面共面或平行；該導電元件係包括從該半導體晶粒之接點沿該正面延伸之金屬化通孔。該導電元件中至少一部份會延伸至該側邊表面之外，並到達覆蓋該封裝材料之主要表面之位置。該第一和第二微電子元件係設置在一起，使得該正面能互相正對，且該主要表面也能互相正對。該封裝更包括延伸通過該第一和第二微電子元件之封裝材料之複數個導電互連。至少一部份的導電互連會經由該導電元件電性連接該第一和第二微電子元件中之至少一個半導體晶粒。該導電互連係暴露在該封裝材料之第一和第二相對表面，其係相反於該主要表面。

【0018】 本案更關於一種製造微電子封裝的方法。該方法係包括經由第一和第二封裝的微電子元件形成複數個導電互連。每個封裝微電子元件係包括一半導體晶粒，係具沿第一和第二橫向方向延伸之一正面、設於該正面上之複數個接點、相對於該正面之一背面，以及介於該正面與該背面之間延伸的一側邊表面。一封裝材料係至少接觸該對應之半導體晶粒之側邊表面，並且從該側邊表面沿至少其中一橫向方向延伸。導電元件係從該半導體晶粒之接點在至少其中一橫向方向延伸至覆蓋該封裝材料之位置。該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒其中之一之正面或背面是朝向且相鄰另外一個半導體晶粒的正面或背面。該第一和第二微電子元件之封裝材料係定義出各自的外側相對表面。導電互連係以通過該第一和第二微電子元件之封裝材料之型式形成，使得至少一

部份的導電互連會經由該導電元件電性連接該第一和第二微電子元件中之至少一個半導體晶粒。該導電互連係暴露在該外側相對表面。

【0019】 該導電互連可以由通過該第一和第二微電子元件之封裝材料以及通過對應導電元件之雷射蝕刻開口所形成，並且透過至少一部份填充導電金屬方式形成。

【0020】 在一個例子中，更可以包括將該第一和第二微電子元件設置在一起，使得該正面能互相正對之方法。在另一個例子中，該方法更可以包括將該第一和第二微電子元件設置在一起，使得該第二微電子元件之正面正對該第一微電子元件之背面。在另一個例子中，該方法更可以包括將該第一和第二微電子元件設置在一起，使得該背面正對彼此。

【0021】 該導電互連可以配置成包括第一導電互連及第二導電互連，該第一導電互連係經由對應的導電元件電性連接該第一微電子元件，該第二導電互連係經由對應的導電元件電性連接該第二微電子元件。形成在該封裝中之該第一導電互連可以和形成在該封裝中之該第二導電通孔具有相同的數量。導電互連更可以配置成包括第三導電互連，其於該封裝中係無任何其它的電性連接。

【0022】 該方法更可以包括形成該導電元件，其係沿著覆蓋在該對應之半導體晶粒之正面與該封裝材料之第一主要表面上之一介電區域延伸。形成該導電元件可以包括在該微電子元件設置在一起之前，先於該第一或第二微電子元件中至少其中之一上形成該導電元件。除此之外或是取而代

之，形成該導電元件可以包括在該微電子元件設置在一起之前，先於覆蓋該第一或第二微電子元件中至少其中之一之一介電區域上形成該導電元件。

【0023】 本案更關於一種製造微電子組件之方法。該方法包括製造一第一微電子封裝之步驟，該步驟包括形成通過第一和第二封裝的微電子元件之複數個導電互連。每個微電子元件係包括一半導體晶粒，係具沿第一和第二橫向方向延伸之一正面、設於該正面上之複數個接點、相對於該正面之一背面，以及介於該正面與該背面之間延伸之一側邊表面。一封裝材料係至少接觸該對應之半導體晶粒之側邊表面，並且從該側邊表面沿至少其中一橫向方向延伸。導電元件係包括金屬化通孔，其係從該半導體晶粒之接點在至少其中一橫向方向延伸至覆蓋該封裝材料之位置。該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒其中之一的正面或背面是朝向且相鄰另外一個半導體晶粒的正面或背面。該第一和第二微電子元件之封裝材料係定義出各自的外側相對表面。該導電互連係經由該第一和第二微電子元件之封裝材料形成，使得至少一部份的導電互連會經由該導電元件電性連接該第一和第二微電子元件中之至少一個半導體晶粒。該導電互連係暴露在該外側相對表面。該方法更包括將該第一微電子封裝設置在具一邏輯晶片之一第二微電子封裝上，該邏輯晶片係電性連接暴露在該第二封裝之一第一表面上之端子以及電性連接暴露在該第二微電子封裝之一第二表面上之封裝接點。該方法更包括利用複數個導電連接元

件接合面向該第二微電子封裝之該第一微電子封裝之導電互連之末端與該第二微電子封裝之端子。

【0024】 該方法更包括將一第三微電子封裝設置在該第一微電子封裝上，該第三微電子封裝係包括設置在正對該第一封裝之位置並暴露在其上一表面之端子。在這種例子中，該方法更可包括連接該第三微電子封裝之端子與配置在朝向該第三微電子封裝處之該導電互連之末端。

【0025】 該導電互連可以配置成包括第一導電互連、第二導電互連及第三導電互連，該第一導電互連係經由對應的導電元件電性連接該第一微電子元件，該第二導電互連係經由對應的導電元件電性連接該第二微電子元件，該第三導電互連於該封裝中係無其它電性連接。該第三微電子封裝之端子係可與該第三導電互連之末端連接，該第三導電互連係電性連接該第三封裝與該第二封裝。

【圖式簡單說明】

【0026】 本發明的各種實施例將參照示意圖說明。當然，這些示意圖僅描繪出本案部份的實施例，因此不以此限制本案之範圍。

【0027】 第1圖為本案較佳實施例之一微電子組件示意圖；

【0028】 第1A圖為本案較佳實施例之包括在第1圖之組件中之一微電子封裝之細部示意圖；

【0029】 第2圖為本案較佳實施例之如第1圖所示之封裝俯視圖；

【0030】 第3圖為本案較佳實施例之如第1圖所示之封裝底視圖；

【0031】 第4圖為本案較佳實施例之另一種微電子組件示意圖；

【0032】 第5圖為本案較佳實施例之另一種微電子組件示意圖；

【0033】 第6~10圖為本案較佳實施例之製造微電子元件之方法步驟中各種反復運作流程之製造中單元示意圖；

【0034】 第11圖為本案較佳實施例之另一種微電子組件示意圖；

【0035】 第12圖為本案較佳實施例之另一種微電子組件示意圖；

【0036】 第13圖為本案較佳實施例之包括微電子組件之系統示意圖。

【實施方式】

【0037】 參照示意圖，其中類似的數字編號係用於表示類似的特徵；如第1圖所示，一微電子組件10係具一第一微電子封裝12堆疊在一第二微電子封裝50上之形式。在一個例子中，組件10可為記憶功能位於邏輯功能(memory-on-logic)上之組件形式，其中第一微電子封裝12係為記憶功能封裝，第二微電子封裝50係為邏輯功能封裝，當然，在此所描述的配置係可用在不同類型或不同類型之組合之封裝配置。第一微電子封裝12和第二微電子封裝50都包括一個或多個本身具有複數個主動元件之對應半導體晶粒18和微電子元件52(內含半導體晶粒)。記憶封裝可以是一種具有將大部份主動元件配置成進行記憶儲存陣列功能之半導體晶粒之封裝。同樣地，邏輯封裝可以是一種將內部大部份主動元件配置成執行處理器功能之封裝。

【0038】 第一微電子封裝12可以包括第一和第二封裝的微電子元件14和16。每一個封裝的微電子元件14、16係包括一半導體晶粒18。如上所述，這些半導體晶粒18可為一種記憶體晶片，例如DRAM 晶片或類似晶片。在其它的例子中，該半導體晶粒18可為一種特殊應用積體電路(Application-Specific Integrated Circuit, ASIC)晶片。在第一微電子封裝12中也可能包括各種組合之ASIC與記憶晶片。半導體晶粒18更包括一沿橫向方向延伸之正面20，並且在其上具有元件接點26。背面22係設置在正面20的相反面，且通常是與其平行的。側邊表面24係於正面20和背面22之間延伸，並且定義出半導體晶粒18之外緣。

【0039】 封裝材料28至少部分地圍繞半導體晶粒18。封裝材料可由介電材料所製成，並且可利用模製或其它方式形成在至少部份地圍繞半導體晶粒18之位置。封裝材料28可以接觸一個或多個半導體晶粒18之側邊表面24，並且可以從該處朝一個或多個垂直於側邊表面24之橫向方向向外延伸。在一個例子中，正面20與背面22可為長方形或正方形，四個側邊表面24可以在正面20與背面22之各邊間延伸。封裝材料28可以圍繞所有四個側邊表面24，並且可從該處向外延伸，藉以使微電子元件14或16形成一矩形形狀。封裝材料28包括第一和第二主要表面30和32，其係分別對應且平行於半導體晶粒18的正面20和背面22。在一些例子中，封裝材料28更可接觸背面22，並從該處向外延伸，使得第二主要表面32覆蓋背面22。在其它的實施例中，例如第1圖所示，封裝材料28可以不覆蓋正面20和背面22，使得第一主要表面30大體上與正面20共面延伸，以及/或者第二主要表面32大體上與背面22共面延伸。

【0040】 每個微電子元件14和16更可以包括一介電區域48，其係至少覆蓋半導體晶粒18之正面20。如第1A圖所示，介電區域48可能延伸超過半導體晶粒18的側邊表面24，並覆蓋封裝材料28之第一主要表面30。介電區域48可能部份或全部由任何適當之介電材料所製成。例如：介電區域48可能包括一彈性材料層，像是聚醯亞胺(polyimide)層、BT樹脂(BT resin)層，或是其它一般用於製造捲帶式自動接合(Tape Automated Bonding, TAB)帶之介電材料層。或者，介電區域48可能包括相對堅硬、類似板狀之材料，例

如纖維強化之環氧樹脂之厚層，如Fr-4 或 Fr-5板。無論採用哪一種材料，介電區域48可能包括單層或多層之介電材料。

【0041】 如第1A圖中所示的細部示意圖，半導體晶粒18之接點26可以連接導電元件。具體而言，導電通孔38可延伸通過介電區域48連接半導體晶粒18之接點26。其它的導電功能，例如跡線36，可以與導電通孔38連接，並且可以由此在一個或多個橫向方向沿介電區域48延伸超過正面20，更可以延伸超過封裝材料28之第一主要表面30，藉以連接一個或多個沿第一主要表面30設置在不同位置之接點26。這種導電元件可由導電性金屬所製成，例如銅、金、銀、鎳、鋁或是這些金屬的各種合金。

【0042】 如第1A圖所示，第一微電子元件14和第二微電子封裝16可以組裝在一起，使得各自半導體晶粒18之正面20正對彼此。在這樣的配置中，各自封裝材料28的第一主要表面30同樣可以彼此正對。微電子元件可以透過結合層44連接在一起，其可為黏著劑、模製介電、或是類似可以結合在微電子元件14和16之介電區域48之間之物質。結合層44更可以配置來隔離並圍繞導電元件，如跡線36和接點26。在所示的例子中，結合層44係將微電子元件14和16分隔開來，使得跡線36的佈線模式不會互相干擾。在其它的實例中，第一和第二微電子元件14和16對應的佈線模式可建構成橫向分隔形式，使得微電子元件14和16可以彼此靠近一點。

【0043】 導電互連40可延伸通過第一和第二微電子元件14和16二者之封裝材料28，使得其上之末端表面46A暴露在第一微電子元件14之封裝材

料28之第二主要表面32上，並且相反側的末端表面46B係暴露在第二微電子元件16之封裝材料28之第二主要表面32上。導電互連40也可以延伸通過並連接與微電子元件14和16其一相關聯的對應導電元件。在第1A圖的例子中，導電元件40A係於跡線36之末端處連接一墊34，其中跡線36係沿微電子元件14之主要表面30及正面20延伸，並且連接微電子元件14之半導體晶粒18之對應接點。同樣地，導電元件40B係於另一跡線36之末端處連接一墊34，其中跡線36係沿微電子元件16之主要表面30及正面20延伸，並且連接微電子元件16之半導體晶粒18之對應接點。透過如此的配置，在微電子元件14和16之第二主要表面32與任一半導體晶粒18之間可以建立大量的連接。這可以允許，例如，至微電子元件14和16二者之半導體晶粒18之連接，經由暴露在微電子元件16之第二主要表面32上的導電互連40之末端表面46B實現(反之亦然)。導電互連可為金屬化通孔，透過於一開口鍍上導電金屬之方式形成，該開口可以通過封裝材料，以及通過設置在它們之間之導電元件之一部份，並且透過蝕刻、鑽孔等類似方式形成，這部份隨後將作進一步的詳細說明。用於導電互連40之導電性金屬可以包括銅、金、銀、鎳、鋁或是這些金屬的各種合金。

【0044】 在封裝材料28內可以安排任何配置或樣式之導電互連40。在第2圖所示的例子中，導電互連40被安排成區域陣列之樣式，於其中導電互連40在封裝材料28內以及半導體晶粒18之周圍處，被安排成是由許多行列之導電互連40所構成之網格樣式。導電互連40在這樣的陣列中可以根據陣

列間距彼此分隔，其可以小於如500微米，或是在其它例子中介於約250和300微米之間。該陣列可以在第二封裝50中與端子58之陣列配合配置，藉以如透過連接端子58與如導電互連40之末端表面46B來達到幫助介於封裝之間之特定電性連接之效果。這樣將可以允許，例如微電子元件52與第一封裝12中之微電子元件14和16二者之半導體晶粒18之間之連接成立。

【0045】 微電子元件14和16各自之導電元件可以經由配置，使得其中一個半導體晶粒18上只有一個接點26連接對應的導電互連40。例如，微電子元件14和16各自的墊34可以配置在不同的陣列或是配置成其它讓每個都能部份對應於導電互連40陣列之樣式。這種部份對應的樣式如在微電子元件14和16之間是可以不同的，使得與微電子元件14關聯的墊34不會佔據任何與微電子元件16關聯之墊34之位置，反之亦然。許多關於這種不同樣式的配置都是可能的。舉例而言，可以將微電子元件16全部之墊34設置在微電子元件14之墊34所組成的陣列內。另外一個例子，可以將微電子元件14之墊34與微電子元件16之墊34交錯設置在一陣列中，其它的配置也是可能的。跡線36可以經由佈線，使其在封裝12中，除了對應半導體晶粒18上的單一墊34和單一接點26之外，沒有接觸任何的其它的功能元件。

【0046】 如前所述，導電互連40可以設置在連接第二封裝50之端子29之位置，其中第二微電子封裝50在某些例子中可為一邏輯封裝。如第1圖所示，第二微電子封裝50可以採用將微電子元件52設置在基板54上之形式，且於覆蓋在基板54上之封裝材料表面上具有端子58。端子58可以是導電互

連56的端面，且導電互連56係從沿基板54一表面延伸之導電元件開始擴展並透過如導電塊70之元件連接微電子元件52。導電互連可以採用數個配置中的任何一種，並且可以包括導電引腳或線柱。在另一個例子中，導電互連56可為打線接合之形式，如描述在美國專利號7,391,121、美國專利申請公開號2005/0095835(描述了楔形接合製程，可以視為是打線接合形式)，以及在共同轉讓的美國專利申請號13/462,158、13/404,408、13/405,108、13/405,125和13/404,458中，在此引用這些公開之內容作為參考。基板54可以包括重新分配，藉以連接暴露於微電子元件52與端子58對側之基板54上的封裝接點，進而協助微電子系統中之微電子組件10與其它微電子裝置之間之連接。在一個實施例中，封裝接點60可以透過導電接合塊連接電路板等類似元件（未呈現）上面的端子。這樣的封裝接點60可以配置成如第3圖所示之圖案或陣列形式，並且可作為微電子組件10的輸入及輸出連接。

【0047】 如第4圖所示，在封裝12A上可以堆疊另一個封裝12B。封裝12B可以和封裝12A具有相似的配置，其內部元件配置和前第1~3圖所述之封裝12相似。在這樣的例子中，封裝12A可以經由調整，藉以協助介於封裝12B和封裝50之間之電性連接。要做到這一點，封裝12A內一些導電互連40可以不和封裝12A內任一半導體晶粒18連接。這樣的導電互連40更可以不和任何導電元件連接，例如封裝12A中的墊34或跡線36。封裝12A中這些未連接的導電互連40可以與封裝12B中的導電互連40連接，封裝12B中的導電互連40本身可以透過描述在第1A圖中封裝12之類似方式與其中任一半導體晶

粒18連接。在另一個例子中，封裝12B中一些導電互連40本身也可以不和任何一個封裝12B中的半導體晶粒18連接，並且可以和封裝12A中未連接的導電互連40一起用來協助介於封裝50與另外一個堆疊在封裝12B上的封裝(圖中未示出)之間之電性連接。在這種堆疊配置中，最上層的封裝可以和第4圖中的封裝12A或12B具有類似的結構，或者也可以是具有接點之一個或多個封裝的微電子元件之形式，且該接點係至少暴露在一朝向它下面之封裝的導電互連40之表面上。

● **【0048】** 第5圖顯示了組件110，其係為第1圖組件之一種變型。尤其，組件110係包括一第一封裝112，其結構係類似於第1~3圖中之封裝12。組件110更包括一第二封裝150，其係類似於第1~4圖中之封裝50，但是係經由配置令導電互連56之端子158設置在遠離封裝112之位置，並且作為接點連接組件110與外部元件，例如電路板或類似元件。因此，微電子元件152對側之基板154上的接點160係作為端子，並透過導電塊70或類似元件連接封裝112之導電互連140之末端。在這種配置中，導電互連156可以是封裝的打線接合形式，如上所述，藉以實現導電互連156末端之接點160之微細間距。藉由基板154（或它的層）之重新分配可以提供端子158連接導電互連140所需的配置。在組件110中可以透過與上述第4圖類似的方式包括更多的封裝（圖中未示出）。

● **【0049】** 第6~10圖為本案較佳實施例之於製造步驟期間之組件10之各種元件。尤其，第6圖顯示出組裝前之第一微電子元件14和第二微電子元

件16。微電子元件14和16可為晶圓級重組裝之封裝形式。也就是說，它們可以在具有複數個嵌入在封裝材料層中之半導體晶粒之晶圓中形成。接著，可以將晶圓切成小塊或是分割成單獨的微電子元件，包括如周圍至少一部份圍繞一些封裝材料之單一半導體晶粒。其它的製程步驟可以用來建立特定的封裝，包括研磨封裝材料之一個或多個表面，藉以建立主要表面30及32，其係緊鄰半導體晶粒18之正面20與背面22，並且可以透過這樣的研磨製程獲得削薄之效果。在分割之前或之後，導電元件，包括墊34、跡線36和導電通孔38，可以根據之前所述的原理，沿著半導體晶粒18之正面20和封裝材料28之第一主要表面30形成。額外的介電層可以選擇性地形成在未被導電元件覆蓋之第一主要表面30和正面20之部份上。

【0050】 如第6圖所示，隨後可以設置微電子元件14和16之位置，使得各自的正面20和第一主要表面30彼此正對，且如前所述各自導電元件之位置係適當地對應設置。接著，微電子元件14和16可以透過設置在微電子元件14和16之間的黏著層或硬化介電材料層接合在一起。在一些實施例中，當微電子元件14和16移動靠在一起時，這樣的層可以散佈在導電元件之間。如第7圖所示，這樣的接合可以產生如製造中單元12'之結果。

【0051】 接著，在圖7中的製造中單元可以經由處理形成開口，該開口係通過第一和第二微電子元件14和16之封裝材料28，並且通過與其相關聯之導電元件之所需部位。在一個例子中，當微電子元件14和16組裝在一起時，與微電子元件14和16關聯之墊34係配置在一陣列中，並且形成的開

開口42可以通過墊34以及封裝材料28覆蓋墊34之部位。在所示的例子中，開口42可以完全延伸通過製造中單元12，使其開通兩個微電子元件14和16之第二主要表面32。在其它的實施例中，例如當封裝要被生成為堆疊中最上層的封裝時，該開口可以從單一個第二主要表面32延伸至一個足以延伸通過墊34之適當深度。開口42可以透過鑽孔、蝕刻或類似方式製成。蝕刻可以經由一種化學蝕刻劑或類似之物以及至少暫時覆蓋在第二主要表面32上的遮罩層實現。在另一個例子中，開口42可以透過雷射蝕刻方式形成。雷射蝕刻是較方便的，因為它可以使用特別設定的設備，根據偵測墊34之結果，定位和瞄準製造中單元12'形成開口42之部位。

【0052】 隨後可以在開口42填充導電金屬，例如銅或其它上述之金屬，藉以形成導電互連40。這可以透過在洞中鍍上導電金屬之方式實現。這樣的鍍法可以透過電鍍或非電鍍方式達成，並且可以在開口42內之種子層或其它類似層沈積完成後進行。當使用時，這樣的種子層可以是導電性的，藉以允許導電互連40和墊34或其它導電元件之間之電性連接。在一些實施例中，導電互連40的末端46可以透過研磨或類似方式平坦化，使得它們大致上與第二主要表面32齊平。在其它的例子中，接點可以形成在導電互連40之末端46上，藉以提供額外區域連接至其它元件。

【0053】 如第10圖所示，封裝12係對齊封裝50，使得導電互連40，尤其是其上之末端表面46B，係與所需之封裝50之端子58對齊。在一個例子中，封裝50可以透過上述參考所述的任何方法，包括共同轉讓的美國專利

申請號13/462,158、13/404,408、13/405,108、13/405,125和13/404,458，形成為包括封裝之打線接合互連之封裝。接著，互連40之末端表面46B係透過如焊錫球或是類似之物之導電塊70與對應的端子58接合，藉以形成如第1圖所示之封裝。可以執行額外的步驟，包括形成類似於封裝12之額外封裝，其更可組裝在封裝12上，並讓這樣的額外封裝之導電互連連接封裝12之某些導電互連40，如上文關於第4圖所述。

【0054】 第11圖顯示了微電子組件210，其係包括與其他微電子封裝250組裝之封裝212，其中封裝250可以類似於如第1圖所述之封裝50。封裝212可以是第1圖所示之封裝12之變型，具有許多共同的特性。尤其，封裝212可以包括第一和第二微電子元件214和216，且第一和第二微電子元件214和216係具半導體晶粒218以及至少部分地圍繞半導體晶粒218之封裝材料228。每個微電子元件214和216可以包括各自的導電元件，該導電元件係包括將各自半導體晶粒218之接點226與沿正面20和第一主要表面30延伸之跡線36連接至墊34之導電通孔238。第11圖中的第一和第二微電子元件214和216可以組裝在一起，使得微電子元件214的第一主要表面230正對微電子元件216的第二主要表面232。另外，在這樣的配置中，第一微電子元件214之半導體晶粒218之正面220係正對第二微電子元件216之半導體晶粒218之背面222。

【0055】 在第11圖之配置中，導電元件之位置，特別是微電子封裝214和216各自之墊234可以類似於第1~4圖之微電子封裝12之方式決定。尤其，

可以設置墊234之位置，使得每個導電互連240僅通過微電子元件214或216當中之其中一墊234。此外，如第1~4圖所示之封裝12，一些導電互連240可以不和封裝212中任一半導體晶粒218電性連接，並且可以用來連接封裝250之端部258與其它堆疊在封裝212頂部之封裝(圖中未顯示)。

【0056】 組件210之製造方法也可以類似於如第6~10圖所示之組件10之製造方法，但是當組裝在一起時，微電子元件214和216是以如上述之背面對正面形式設置。另外，第二微電子元件216之導電元件可以在其與第一微電子元件214組裝後形成。

【0057】 第12圖顯示了微電子組件310之另一種變型，包括與另一微電子封裝350組裝之封裝312，其中封裝350可以類似第1圖所述之封裝50。封裝312可以是第1圖所示之封裝12之變型，具有許多共同的特性。尤其，封裝312可以包括第一和第二微電子元件314和316，且第一和第二微電子元件314和316係具半導體晶粒318以及至少部分地圍繞半導體晶粒318之封裝材料328。每個微電子元件314和316可以包括各自的導電元件，該導電元件係包括將各自半導體晶粒318之接點326與沿正面320和第一主要表面330延伸之跡線336連接至墊334之導電通孔338。第12圖中的第一和第二微電子元件314和316可以組裝在一起，使得微電子元件314和316的第二主要表面332彼此正對。另外，在這樣的配置中，第一和第二微電子元件314和316之半導體晶粒318之背面322可以彼此正對。

【0058】 在第12圖之配置中，導電元件之位置，特別是微電子封裝314

和316各自之墊334可以類似於第1~4圖之微電子封裝12之方式決定。尤其，可以設置墊334之位置，使得每個導電互連340僅通過微電子元件314或316當中之其中一墊334。此外，如第1~4圖所示之封裝12，一些導電互連340可以不和封裝312中任一半導體晶粒318電性連接，並且可以用來連接封裝350之端子358與其它堆疊在封裝312頂部之封裝(圖中未顯示)。在第12圖之封裝312的一些變型中，第二微電子元件316之導電墊334係暴露在封裝312上，並且正對封裝350之端子358，因此可以透過焊錫球370或是類似之物與其直接連接。所以，這樣的墊334可能不需要與其它任何導電互連340相關聯。在這樣的例子中，導電互連340可以與第一微電子元件314之墊連接，且在封裝312內也可以不具連接，提供其它組裝在封裝312上之封裝(圖中未示出)連接。

【0059】 組件310之製造方法也可以類似於如第6~10圖所示之組件10之製造方法，但是當組裝在一起時，微電子元件314和316是以如上述之背面對背面形式設置。另外，第一和第二微電子元件314和316之導電元件可以在組裝後形成。

【0060】 上述的結構可以應用在各種電子系統之建構中。例如，本發明另一個實施例中之系統1包括如第1~4圖所述之微電子封裝10以及其它的電子組件2和3。在所述的例子中，組件2係為半導體晶片，而組件3為顯示螢幕，但也可以為任何其它組件。當然，為了清楚說明起見，第13圖只有描述了兩個額外的組件，但是事實上該系統可能會包括任意數量之類似組

件組合。如上所述之微電子封裝10可以是，例如，如第1圖所述之微電子封裝，或是如第4圖所述之合併複數個微電子封裝之結構。封裝10更可以包括任一個第11圖或第12圖所述之實施例。在進一步的變型中，可以提供多種變化，並且可以使用任意數量之此種結構。

【0061】 微電子封裝10和組件2和3係安裝在共用的殼體4中，以虛線示意，並且彼此電性連接形成所需之電路。在所示之系統中，該系統係包括電路板5，如軟性印刷電路板，且該電路板係包括許多導體6將組件互連在一起，其中在第13圖中只標示一個。然而，這僅僅只是一個範例，任何適合用於進行電性連接之結構都是可以使用的。

【0062】 殼體4示意成一種可攜式外殼，可以使用在例如手機或個人數位助理中，螢幕3係露在殼體的表面。其中，微電子封裝10係包括一感光元件，例如成像晶片、透鏡7或者其它也可能會用來將光線路由至結構之光學裝置。同樣地，在第13圖所示之簡化系統僅僅是作為範例，其它的系統，包括通常被視為是固定結構之系統，如桌上型電腦、路由器等類似系統，也可以使用上述之結構。

【0063】 本案所揭露之技術，得由熟習本技術人士據以實施，而其前所未有之作法亦具備專利性，爰依法提出專利之申請。惟上述之實施例尚不足以涵蓋本案所欲保護之專利範圍，因此，提出申請專利範圍如附。

【符號說明】

【0064】 1：系統

【0065】 10、110、210、310：微電子組件

【0066】 12、12A、12B、50、112、150、212、250、312、350：微

電子封裝

【0067】 12'：製造中單元

【0068】 14、16、52、152、214、216、314、316、352：微電子元件

【0069】 18、218、318：半導體晶粒

【0070】 2、3：電子組件

【0071】 20、220、320：正面

【0072】 22、222、322：背面

【0073】 24：側邊表面

【0074】 26、60、160、226、326、360：接點

【0075】 28、228、328、362：封裝材料

【0076】 29、58、158、258、358：端子

【0077】 30、230、330：第一主要表面

【0078】 32、232、332：第二主要表面

【0079】 34、234、334：墊

【0080】 36、336：跡線

【0081】 38、238、338：導電通孔

- 【0082】 370：焊錫球
- 【0083】 4：殼體
- 【0084】 40、56、140、146、156、240、340、356：導電互連
- 【0085】 40A、40B：導電元件
- 【0086】 42：開口
- 【0087】 44：結合層
- 【0088】 46：末端
- 【0089】 46A、46B：末端表面
- 【0090】 48：介電區域
- 【0091】 5：電路板
- 【0092】 54、154、354：基板
- 【0093】 6：導體
- 【0094】 62：封裝材料
- 【0095】 7：透鏡
- 【0096】 70：導電塊

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

-

-



發明摘要

公告本

※ 申請案號：102126177

※ 申請日：

102. 7. 22

※IPC 分類：

HdL 23/58 (2006.01)

HdL 23/488 (2006.01)

【發明名稱】

重組式晶圓級封裝動態隨機存取記憶體

Reconstituted Wafer-Level Package DRAM

【中文】

本案為一種微電子封裝，包括一第一與第二封裝的微電子元件，各包括一半導體晶粒，係具一正面及複數個接點。一封裝材料，係至少接觸該半導體晶粒之側邊表面，並至少在其中一橫向從該側邊表面延伸。複數個導電元件，係從該接點延伸，並越過該正面至該封裝材料上之位置。該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒其中之一之正面或背面面向另一個半導體晶粒之正面或背面。複數個導電互連，係延伸通過該第一和第二微電子元件之該封裝材料，並透過該導電元件與該第一和第二微電子元件中至少一個半導體晶粒電性連接。

【英文】

A microelectronic package includes first and second encapsulated microelectronic elements, each of which includes a semiconductor die having a front face and contacts thereon. An encapsulant contacts at least an edge surface of each semiconductor die and extends in at least one lateral direction therefrom. Electrically conductive elements extend from the contacts and over the front face to locations overlying the encapsulant. The first and second microelectronic elements are affixed to one another such that one of the front or back surfaces of one of the first and second semiconductor dies is oriented towards one of the front or back surfaces of the other of the first and second semiconductor dies. A plurality of electrically conductive interconnects extend through the encapsulants of the first and second microelectronic elements and are electrically connected with at least one semiconductor die of the first and second microelectronic elements by the conductive elements.

【代表圖】

【本案指定代表圖】：第（ 一 ）圖。

【本代表圖之符號簡單說明】：

10：微電子組件

12、50：微電子封裝

14、16、52：微電子元件

18：半導體晶粒

20：正面

22：背面

30：第一主要表面

32：第二主要表面

40、56：導電互連

54：基板

58：端子

60：接點

70：導電塊

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

104年12月31日
修正本

2015/12/30 修正

申請專利範圍

1. 一種微電子封裝，包括：

一第一與第二封裝的微電子元件，係各包括：

一半導體晶粒，係具沿一第一和第二橫向方向延伸之一正面、設於該正面上之複數個接點、相對於該正面之一背面以及於該正面和該背面之間延伸之一側邊表面；

一封裝材料，係至少接觸該半導體晶粒之該側邊表面，並至少在其中一橫向方向從該側邊表面延伸；

導電元件，係從該半導體晶粒之接點延伸，並至少在其中一橫向方向越過該正面至該封裝材料上面之位置；

其中，該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒其中之一之正面或背面是朝向且相鄰另外一個半導體晶粒的正面或背面，該第一和第二微電子元件之封裝材料係定義出各自的外側相對表面；

複數個導電互連，係延伸通過該第一和第二微電子元件之該封裝材料，至少一部份的導電互連會透過該導電元件與該第一和第二微電子元件中至少一個半導體晶粒連接，該導電互連係暴露在該外側相對表面上；

其中該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒之該正面係彼此正對。

2. 如申請專利範圍第 1 項所述之微電子封裝，其中該第一和第二微電子元件係設置在一起，使得該第二半導體晶粒之該正面正對該第一半導體晶粒

之該背面。

3. 如申請專利範圍第 1 項所述之微電子封裝，其中該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒之該背面係彼此正對。

4. 如申請專利範圍第 1 項所述之微電子封裝，其中至少配置一個微電子元件，使得該封裝材料之主要表面與對應的半導體晶粒之正面共面。

5. 如申請專利範圍第 1 項所述之微電子封裝，其中至少配置一個微電子元件，使得該封裝材料之第二主要表面與對應的半導體晶粒之背面共面。

6. 如申請專利範圍第 1 項所述之微電子封裝，其中該導電互連係包括雷射蝕刻之開口，該開口係於該封裝材料之外側相對表面之間延伸，並與各自的導電元件相交，且該開口至少部份地填充一導電金屬。

7. 如申請專利範圍第 1 項所述之微電子封裝，其中該導電互連中之第一導電互連係經由對應的導電元件電性連接該第一半導體晶粒，該導電互連中之第二導電互連係經由對應的導電元件電性連接該第二半導體晶粒。

8. 如申請專利範圍第 7 項所述之微電子封裝，其中該第一導電互連之數量係與該第二導電互連之數量相同。

9. 如申請專利範圍第 7 項所述之微電子封裝，其中所有的導電互連不是屬於該第一導電互連就是屬於該第二導電互連。

10. 如申請專利範圍第 1 項所述之微電子封裝，其中該第一和第二半導體晶粒係為記憶晶片，其係配置比其它功能還要更多的主動元件來提供記憶儲存陣列功能。

11. 如申請專利範圍第 10 項所述之微電子封裝，其中每個記憶晶片係包括一動態隨機存取記憶體(DRAM)儲存陣列。

12. 一種微電子組件，包括：

一第一微電子封裝，係如申請專利範圍第 1 項所述之封裝；

一第二微電子封裝，係定義出其上具有端子之一第一表面、其上具有封裝接點之一第二表面，該微電子封裝更包括一微電子元件，係設置在該第一和第二表面之間，並電性連接該端子和該封裝接點；

複數個導電連接元件，係接合在該第一微電子封裝之該導電互連之正對末端與該第二微電子封裝之端子之間；

其中該端子係為打線接合之末端，其基座係連接對應之導電元件。

13. 如申請專利範圍第 12 項所述之微電子組件，其中該第二封裝之微電子封裝係為一邏輯晶片，並配置比其它功能還要更多的主動元件來提供邏輯功能。

14. 如申請專利範圍第 12 項所述之微電子組件，其中該第二微電子封裝更包括一基板，該微電子元件係安裝在該基板上，且該基板係包括電性連接在該微電子元件與該端子之間之導電元件。

15. 如申請專利範圍第 12 項所述之微電子組件，其中該第二微電子封裝更可以包括一封裝層，係形成在該基板表面上以及至少該微電子元件之一部份上，該封裝層更沿該打線接合之側邊表面延伸，並且分隔該打線接合，此外，該封裝層係定義該第二封裝之該第一表面，且該打線接合之末端表面係未被該第二表面上之該封裝層覆蓋。

16. 如申請專利範圍第 12 項所述之微電子組件，其中該第二微電子封裝更包括一基板，該基板係定義出該第二封裝之該第一表面，並具有相對於該第一表面之第三表面，且該微電子元件係安裝在該第三表面上。

17. 如申請專利範圍第 12 項所述之微電子組件，其中該導電互連中之第一導電互連係經由對應之導電元件電性連接該第一半導體元件，該導電互連中之第二導電互連係經由對應之導電元件電性連接該第二半導體元件，該導電互連中之第三導電互連係不與該第一或第二半導體元件之任一個連接。

18. 如申請專利範圍第 17 項所述之微電子組件，其中更包括一第三微電子

封裝，係覆蓋在該第一微電子封裝之上，並具封裝接點，該封裝接點係連接該第三導電元件之末端，該第三導電元件之末端係暴露在該封裝材料之該第一表面上。

19. 一種系統，係包括如申請專利範圍第 12 項所述之微電子組件，以及一個或多個電子元件。

20. 一種微電子封裝，包括：

一第一和第二封裝的微電子元件，係各包括一半導體晶粒，係具沿一第一和第二橫向方向延伸之一正面、設於該正面上之複數個接點、相對於該正面之一背面以及於該正面和該背面之間延伸之一側邊表面；每個微電子元件係具：一封裝材料以及複數個導電元件，該封裝材料係至少接觸該對應之半導體晶粒之側邊表面，並且從該側邊表面沿至少其中一橫向方向延伸，藉以定義出一主要表面，該主要表面係與該半導體晶粒之正面共面或平行；該複數個導電元件係包括從該半導體晶粒之接點沿該正面延伸之金屬化通孔，該導電元件中至少一部份會延伸至該側邊表面以外之位置，並覆蓋該封裝材料之主要表面；

其中，該第一和第二微電子元件係設置在一起，使得該正面能彼此正對，且該主要表面也能彼此正對；

複數個導電互連，係於遠離該主要表面之方向延伸通過該第一和第二微電子元件之封裝材料，至少一部份的導電互連會經由該導電元件電性連接該第一和第二微電子元件中之至少一個半導體晶粒，該導電互連係暴露在

該封裝材料之第一和第二相對表面，其係於該主要表面之對側；

其中該導電互連可以設置成包括第一導電互連、第二導電互連及第三導電互連，該第一導電互連係經由對應的導電元件電性連接該第一微電子元件，該第二導電互連係經由對應的導電元件電性連接該第二微電子元件，該第三導電互連於該封裝中係無其它電性連接，一第三微電子封裝之端子係與該第三導電互連之末端接合，該第三導電互連係電性連接該第三封裝與該第二封裝。

21. 一種製造微電子封裝之方法，包括下列步驟：

形成通過第一和第二封裝的微電子元件之複數個導電互連，每個微電子元件係包括：

一半導體晶粒，係具沿一第一和第二橫向方向延伸之一正面、設於該正面上之複數個接點、相對於該正面之一背面以及於該正面和該背面之間延伸之一側邊表面；

一封裝材料，係至少接觸該對應之半導體晶粒之側邊表面，並且從該側邊表面沿至少其中一橫向方向延伸；

導電元件，係從該半導體晶粒之接點於至少其中一橫向方向延伸至該封裝材料上之位置；

其中，該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒其中之一的正面或背面是朝向且相鄰另外一個半導體晶粒的正面或背面，該第一和第二微電子元件之封裝材料係定義出各自的外側相對表面；

其中，該導電互連係以通過該第一和第二微電子元件之封裝材料之方式

形成，使得至少一部份的導電互連會經由該導電元件電性連接該第一和第二微電子元件中之至少一個半導體晶粒，該導電互連係暴露在該外側相對表面；

其中更包括將該第一和第二微電子元件係設置在一起，使得該背面彼此正對。

22. 如申請專利範圍第 21 項所述之製造微電子封裝之方法，其中該導電互連係由通過該第一和第二微電子元件之封裝材料以及通過對應導電元件之雷射蝕刻開口所形成，並且透過至少部份地填充導電金屬至該開口之方式形成。

23. 如申請專利範圍第 21 項所述之製造微電子封裝之方法，其中更包括將該第一和第二微電子元件設置在一起，使得該正面彼此正對。

24. 如申請專利範圍第 21 項所述之製造微電子封裝之方法，其中更包括將該第一和第二微電子元件係設置在一起，使得該第二半導體元件之該正面正對該第一半導體元件之該背面。

25. 如申請專利範圍第 21 項所述之製造微電子封裝之方法，其中形成該導電互連係藉以包括經由對應的導電元件連接該第一半導體元件之第一導電互連，以及，經由對應的導電元件連接該第二半導體元件之第二導電互連。

26. 如申請專利範圍第 25 項所述之製造微電子封裝之方法，其中形成在該封裝中之該第一導電互連之數量係與形成在該封裝中之該第二導電通孔之數量相同。

27. 如申請專利範圍第 25 項所述之製造微電子封裝之方法，其中形成該導電互連更藉以包括於封裝中沒有其它電性連接之第三導電互連。

28. 如申請專利範圍第 21 項所述之製造微電子封裝之方法，其中更包括形成該導電元件，係沿著覆蓋在該對應之半導體晶粒之正面與該封裝材料之第一主要表面上之一介電區域延伸。

29. 如申請專利範圍第 28 項所述之製造微電子封裝之方法，其中形成該導電元件係包括在將該微電子元件設置在一起之步驟前，先於該第一或第二微電子元件中至少其中之一上形成該導電元件。

30. 如申請專利範圍第 28 項所述之製造微電子封裝之方法，其中形成該導電元件係包括在將該微電子元件設置在一起之步驟前，先於覆蓋該第一或第二微電子元件中至少其中之一之一介電區域上形成該導電元件。

31. 一種製造微電子組件之方法，包括下列步驟：

透過一方法製造一第一微電子封裝，該方法包括下列步驟：

形成通過第一和第二封裝的微電子元件之複數個導電互連，每個微

電子元件係包括：

一半導體晶粒，係具沿一第一和第二橫向方向延伸之一正面、設於該正面上之複數個接點、相對於該正面之一背面以及於該正面和該背面之間延伸之一側邊表面；

一封裝材料，係至少接觸該對應之半導體晶粒之側邊表面，並且從該側邊表面沿至少其中一橫向方向延伸；

導電元件，包括金屬化通孔，其係從該半導體晶粒之接點於至少其中一橫向方向延伸至該封裝材料上之位置；

其中，該第一和第二微電子元件係設置在一起，使得該第一和第二半導體晶粒其中之一的正面或背面是朝向且相鄰另外一個半導體晶粒的正面或背面，該第一和第二微電子元件之封裝材料係定義出各自的外側相對表面；

其中，該導電互連係以通過該第一和第二微電子元件之封裝材料之方式形成，使得至少一部份的導電互連會經由該導電元件電性連接該第一和第二微電子元件中之至少一個半導體晶粒，該導電互連係暴露在該外側相對表面；

將該第一微電子封裝設置在一第二微電子封裝上，該第二微電子封裝係包括一邏輯晶片，該邏輯晶片係電性連接暴露在該第二封裝之一第一表面上之端子以及電性連接暴露在該第二微電子封裝之一第二表面上之封裝接點；

利用複數個導電連接元件接合面向該第二微電子封裝之該第一微電子封裝之導電互連之末端與該第二微電子封裝之端子；

其中該導電互連可以設置成包括第一導電互連、第二導電互連及第三導電互連，該第一導電互連係經由對應的導電元件電性連接該第一微電子元件，該第二導電互連係經由對應的導電元件電性連接該第二微電子元件，該第三導電互連於該封裝中係無其它電性連接，該第三微電子封裝之端子係與該第三導電互連之末端接合，該第三導電互連係電性連接該第三封裝與該第二封裝。

32. 如申請專利範圍第 31 項所述之製造微電子組件之方法，其中更包括將一第三微電子封裝設置在該第一微電子封裝上，該第三微電子封裝係包括設置在正對該第一封裝之位置並暴露在其上一表面之端子；該方法更可以包括接合該第三微電子封裝之端子與配置在朝向該第三微電子封裝處之該導電互連之末端。