

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月2日(02.04.2020)



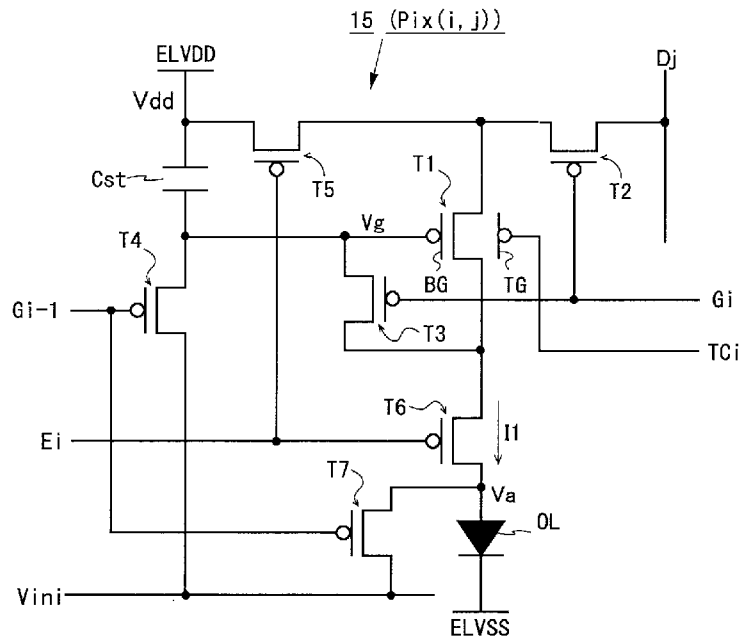
(10) 国際公開番号

WO 2020/066024 A1

- (51) 国際特許分類: *G09G 3/3233* (2016.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2018/036597
- (22) 国際出願日: 2018年9月28日(28.09.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 岡部 達 (OKABE, Tohru). 家根田 剛士(YANEDA, Takeshi).
- (74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE AND DRIVE METHOD THEREFOR

(54) 発明の名称: 表示装置およびその駆動方法



(57) **Abstract:** The present application discloses an electric current drive type display device that can perform good display without generating flickering even when cessation drive is performed. In a pixel circuit (15), after initialization of a gate voltage (Vg) by a first initialization transistor (T4), a voltage of a data signal line (Di) is written onto a holding capacitor (Cst) via a writing control transistor (T2) and a drive transistor (T1). Then, light-emitting control transistors (T5), (T6) are turned on, and an organic EL element (OL) emits light upon reception of a drive electric current (I1) from the drive transistor (T1). In the period of this light emission, even when the gate voltage (Vg) is decreased by a leakage electric current of the first initialization transistor (T4) in an OFF state, compensation for the decrease is performed by increasing



WO 2020/066024 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

a threshold value control voltage to be applied to a threshold value control terminal (TG) of the drive transistor (T1). As a result, even when a refresh cycle becomes long because of cessation drive, increase of brightness caused by decrease of the gate voltage (Vg) can be suppressed, and generation of flickering can be prevented.

(57) 要約: 本願は、休止駆動が行われるときにもフリッカの生じない良好な表示を行える電流駆動型の表示装置を開示する。画素回路(15)において、第1初期化トランジスタ(T4)によるゲート電圧(Vg)の初期化後に、データ信号線(Di)の電圧が書込制御トランジスタ(T2)および駆動トランジスタ(T1)を介して保持キャパシタ(Cst)に書き込まれる。その後、発光制御トランジスタ(T5)、(T6)がオンして駆動トランジスタ(T1)からの駆動電流(I1)により有機EL素子(OL)が発光する。この発光期間において、オフ状態の第1初期化トランジスタ(T4)の漏れ電流によりゲート電圧(Vg)が低下しても、駆動トランジスタ(T1)の閾値制御端子(TG)に与える閾値制御電圧を増大させることで当該低下が補償される。その結果、休止駆動によりリフレッシュ周期が長くなっても、上記ゲート電圧(Vg)の低下による輝度の増大を抑えフリッカの発生を防止することができる。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳しくは、有機EL (Electro Luminescence) 表示装置等の電流で駆動される表示素子を備えた電流駆動型の表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、有機EL素子（有機発光ダイオード (Organic Light Emitting Diode: OLED) とも呼ばれる）を含む画素回路を備えた有機EL表示装置が実用化されている。有機EL表示装置の画素回路は、有機EL素子に加えて、駆動トランジスタや、書込制御トランジスタ、保持キャパシタ等を含んでいる。駆動トランジスタや書込制御トランジスタには、薄膜トランジスタ (Thin Film Transistor) が使用され、駆動トランジスタの制御端子としてのゲート端子に保持キャパシタが接続され、この保持キャパシタには、駆動回路からデータ信号線を介して、表示すべき画像を表す映像信号に応じた電圧（より詳しくは、当該画素回路で形成すべき画素の階調値を示す電圧）がデータ電圧として与えられる。有機EL素子は、それに流れる電流に応じた輝度で発光する自発光型表示素子である。駆動トランジスタは、有機EL素子と直列に設けられ、保持キャパシタに保持される電圧にしたがって、有機EL素子に流れる電流を制御する。

[0003] 一方、低消費電力の表示装置として、休止駆動（間欠駆動または低周波駆動とも呼ばれる）を行う表示装置が知られている。休止駆動とは、同じ画像を続けて表示するときに駆動期間（リフレッシュ期間）と休止期間（非リフレッシュ期間）を設け、駆動期間では駆動回路を動作させ、休止期間では駆動回路の動作を停止させる駆動方法である。休止駆動は、画素回路内のトランジスタのオフリーク特性が良い（オフリーク電流が小さい）場合に適用できる。休止駆動を行う表示装置は、例えば、特許文献1に記載されている。

先行技術文献

特許文献

- [0004] 特許文献1：日本国特開2004-78124号公報
特許文献2：日本国特開2017-83813号公報
特許文献3：日本国特開2013-3569号公報

発明の概要

発明が解決しようとする課題

- [0005] 有機EL素子と駆動トランジスタの特性には、ばらつきや変動が発生する。このため、有機EL表示装置において高画質表示を行うためには、これらの素子の特性のばらつきや変動を補償する必要がある。このような素子の特性の補償を画素回路の内部で行う有機EL表示装置では、その画素回路は、例えば、駆動トランジスタのゲート端子の電圧すなわち保持キャパシタに保持される電圧を所定レベルに初期化した後、ダイオード接続状態とした駆動トランジスタを介してデータ電圧で保持キャパシタを充電するように構成されている。この構成の画素回路では、保持キャパシタに保持された電圧の初期化のための初期化トランジスタが設けられており、保持キャパシタの一方の端子（駆動トランジスタのゲート端子と接続されている端子）はその初期化トランジスタを介して初期化電圧の供給線に接続されている。
- [0006] 上記のような画素回路を備える表示装置において既述の休止駆動を行うと、休止期間において有機EL素子の輝度が低下または上昇し、駆動期間の開始毎に有機EL素子の輝度が本来の輝度に戻る。休止駆動では、休止期間の長さは通常フレーム期間（1/60秒）に比べ格段に長く、表示装置の駆動周波数が実質的に通常駆動よりも大幅に低くなる（例えば10Hz以下）。このように休止駆動により駆動周波数が大幅に低下すると、休止期間と駆動期間との繰り返しにより生じる有機EL素子の輝度変化がフリッカとして視認されることになる。
- [0007] そこで、電流駆動型の表示装置において休止駆動が行われるときにもフリ

ツカの生じない良好な表示を行えるようにすることが望まれる。

課題を解決するための手段

[0008] 本発明の幾つかの実施形態に係る表示装置は、複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

第1および第2電源線と、

前記複数のデータ信号線を駆動するデータ信号線駆動回路と、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

前記複数の画素回路の外部または内部に設けられた閾値制御回路と

を備え、

各画素回路は、

前記複数の走査信号線のいずれか1つに対応するとともに前記複数のデータ信号線のいずれか1つに対応し、

電流によって駆動される表示素子と、保持キャパシタと、駆動トランジスタとを含み、

前記駆動トランジスタは、それに流れる電流を制御するための主制御端子と、その閾値を制御するための閾値制御端子とを有し、

前記駆動トランジスタの前記主制御端子は、前記保持キャパシタを介して前記第1電源線に接続されており、

各画素回路は、

対応する走査信号線が選択されたときに、対応するデータ信号線の電圧がデータ電圧として前記保持キャパシタに書き込まれ、

前記表示素子の発光期間では、前記第1電源線から前記駆動トランジスタおよび前記表示素子を介して前記第2電源線に至る経路に前記表示素子の駆動電流が流れ、前記保持キャパシタに保持された電圧に応じて前記駆動トランジスタにより当該駆動電流が制御されるように構成されており、

前記閾値制御回路は、各画素回路につき、前記表示素子の発光期間におい

て、当該画素回路内の漏れ電流による前記保持キャパシタの保持電圧の変化を補償するように前記駆動トランジスタの閾値を変化させる閾値制御電圧を前記閾値制御端子に与える。

[0009] 本発明の他の幾つかの実施形態に係る駆動方法は、複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、第1および第2電源線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、

前記複数のデータ信号線を駆動するデータ信号線駆動ステップと、
前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、
前記複数の画素回路に含まれる駆動トランジスタの閾値を制御する閾値制御ステップと

を備え、

各画素回路は、

前記複数の走査信号線のいずれか1つに対応するとともに前記複数のデータ信号線のいずれか1つに対応し、

電流によって駆動される表示素子と、保持キャパシタと、前記駆動トランジスタとを含み、

前記駆動トランジスタは、それに流れる電流を制御するための主制御端子と、その閾値を制御するための閾値制御端子とを有し、

前記駆動トランジスタの前記主制御端子は、前記保持キャパシタを介して前記第1電源線に接続されており、

各画素回路は、

対応する走査信号線が選択されたときに、対応するデータ信号線の電圧がデータ電圧として前記保持キャパシタに書き込まれ、

前記表示素子の発光期間では、前記第1電源線から前記駆動トランジスタおよび前記表示素子を介して前記第2電源線に至る経路に前記表示素子の駆動電流が流れ、前記保持キャパシタに保持された電圧に応じて前記駆動ト

ランジスタにより当該駆動電流が制御されるように構成されており、

前記閾値制御ステップでは、各画素回路につき、前記表示素子の発光期間において、当該画素回路内の漏れ電流による前記保持キャパシタの保持電圧の変化を補償するように前記駆動トランジスタの閾値を変化させる閾値制御電圧が前記閾値制御端子に与えられる。

発明の効果

[0010] 本発明の上記幾つかの実施形態によれば、表示装置におけるいずれの画素回路においても、当該画素回路に対応する走査信号線が選択されて当該画素回路内の保持キャパシタにデータ電圧が書き込まれた後の発光期間において、その保持キャパシタに保持されている電圧が当該画素回路内の漏れ電流により変化しても、その保持電圧の変化を補償するようにすなわち駆動トランジスタの主制御端子の電圧変化を補償するように当該駆動トランジスタの閾値を変化させる閾値制御電圧が閾値制御端子に与えられる。これにより、保持キャパシタにおける保持電圧の変化による駆動電流の変化が抑制される。その結果、リフレッシュ周期で表示素子の輝度が増加することによるフリッカの発生が防止される。また、休止駆動を行うときのようにリフレッシュ周期が長い場合であってもフリッカの発生が防止されるので、休止駆動と組み合わせることにより、消費電力を低減しつつフリッカの視認されない良好な画像を表示することが可能となる。

図面の簡単な説明

[0011] [図1]第1の実施形態に係る表示装置の全体構成を示すブロック図である。
[図2]上記第1の実施形態に係る表示装置で通常駆動を行う場合の動作を示す信号波形図である。
[図3]上記第1の実施形態に係る表示装置で休止駆動を行う場合の動作を示す信号波形図である。
[図4]上記第1の実施形態における画素回路の構成を示す回路図である。
[図5]上記第1の実施形態における画素回路に含まれる駆動トランジスタの構造を模式的に示す断面図である。

[図6]上記第1の実施形態における画素回路の動作を説明するための信号波形図である。

[図7]上記第1の実施形態における画素回路のリセット動作を示す回路図(A)、当該画素回路のデータ書込の動作を示す回路図(B)、および、当該画素回路の点灯動作を示す回路図(C)である。

[図8]駆動トランジスタの閾値制御なしで休止駆動を行った場合の問題点を説明するための波形図である。

[図9]上記第1の実施形態の作用・効果を説明するための波形図である。

[図10]第2の実施形態に係る表示装置の全体構成を示すブロック図である。

[図11]上記第2の実施形態における画素回路の構成を示す回路図である。

[図12]上記第2の実施形態に係る表示装置の駆動を説明するための信号波形図である。

[図13]上記第2の実施形態における画素回路の他の構成例を示す回路図である。

発明を実施するための形態

[0012] 以下、添付図面を参照しながら実施形態について説明する。なお、以下で言及する各トランジスタにおいて、ゲート端子は制御端子に相当し、ドレイン端子およびソース端子の一方は第1導通端子に相当し、他方は第2導通端子に相当する。また、以下の実施形態におけるトランジスタはすべてPチャンネル型であるものとして説明するが、本発明はこれに限定されない。さらに、以下の実施形態におけるトランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。さらにまた、本明細書における「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0013] <1. 第1の実施形態>

<1.1 全体構成>

図1は、第1の実施形態に係る有機EL表示装置10の全体構成を示すブ

ロック図である。この表示装置10は、内部補償を行う有機EL表示装置である。すなわち、この表示装置10において、各画素回路は、その内部の駆動トランジスタの閾値電圧のばらつきや変動を補償する機能を有している（詳細は後述）。

[0014] 図1に示すように、この表示装置10は、表示部11、表示制御回路20、データ側駆動回路30、走査側駆動回路40、および、電源回路50を備えている。データ側駆動回路はデータ信号線駆動回路（「データドライバ」とも呼ばれる）として機能する。走査側駆動回路40は、走査信号線駆動回路（「ゲートドライバ」とも呼ばれる）および発光制御回路（「エミッションドライバ」とも呼ばれる）として機能する。図1に示す構成ではこれら走査側の2つの回路が1つの走査側駆動回路40として実現されているが、これら2つの回路が適宜分離された構成であってもよく、また、これら2つの回路が表示部11の一方側と他方側に分離されて配置される構成であってもよい。また、走査側駆動回路およびデータ信号線駆動回路の少なくとも一部が表示部11と一体的に形成されていてもよい。これらの点は、後述の他の実施形態や変形例においても同様である。電源回路50は、表示部11に供給すべき後述のハイレベル電源電圧 $ELVDD$ 、ローレベル電源電圧 $ELVSS$ 、初期化電圧 $Vini$ 、および、表示制御回路20、データ側駆動回路30、および走査側駆動回路40に供給すべき電源電圧（不図示）とを生成する。

[0015] 表示部11には、 m 本（ m は2以上の整数）のデータ信号線 $D1 \sim Dm$ と、これらに交差する $n+1$ 本（ n は2以上の整数）の走査信号線 $G0 \sim Gn$ とが配設されており、 n 本の走査信号線 $G1 \sim Gn$ にそれぞれ沿って n 本の発光制御線（エミッションライン） $E1 \sim En$ が配設されている。また、表示部11には、 m 本のデータ信号線 $D1 \sim Dm$ および n 本の走査信号線 $G1 \sim Gn$ に沿ってマトリクス状に配置された $m \times n$ 個の画素回路15が設けられており、各画素回路15は、 m 本のデータ信号線 $D1 \sim Dm$ のいずれか1つに対応するとともに n 本の走査信号線 $G1 \sim Gn$ のいずれか1つに対応す

る（以下、各画素回路15を区別する場合には、 i 番目の走査信号線 G_i および j 番目のデータ信号線 D_j に対応する画素回路を「 i 行 j 列目の画素回路」ともいい、符号“ $P_{ix}(i, j)$ ”で示すものとする）。これらに加えて本実施形態における表示部11には、 n 本の走査信号線 $G_1 \sim G_n$ にそれぞれ沿って n 本の閾値制御線 $TC_1 \sim TC_n$ が配設されている。 n 本の発光制御線 $E_1 \sim E_n$ は n 本の走査信号線 $G_1 \sim G_n$ にそれぞれ対応し、 n 本の閾値制御線 $TC_1 \sim TC_n$ も n 本の走査信号線 $G_1 \sim G_n$ にそれぞれ対応する。したがって各画素回路15は、 n 本の発光制御線 $E_1 \sim E_n$ のいずれか1つ、および、 n 本の閾値制御線 $TC_1 \sim TC_n$ のいずれか1つにも対応する。

[0016] また表示部11には、各画素回路15に共通の図示しない電源線が配設されている。すなわち、後述の有機EL素子を駆動するためのハイレベル電源電圧 $ELVDD$ を供給するための電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号“ $ELVDD$ ”で示す）、および、有機EL素子を駆動するためのローレベル電源電圧 $ELVSS$ を供給するための電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号“ $ELVSS$ ”で示す）が配設されている。より詳しくは、ローレベル電源線 $ELVSS$ は複数の画素回路15に共通する陰極である。さらに表示部11には、各画素回路15の初期化のためのリセット動作（「初期化動作」ともいう）に使用する初期化電圧 V_{ini} を供給するための図示しない初期化電圧供給線（初期化電圧と同じく符号“ V_{ini} ”で示す）も配設されている。ハイレベル電源電圧 $ELVDD$ 、ローレベル電源電圧 $ELVSS$ 、および初期化電圧 V_{ini} は、電源回路50から供給される。

[0017] 表示制御回路20は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号 S_{in} を表示装置10の外部から受け取り、この入力信号 S_{in} に基づきデータ側制御信号 S_{cd} および走査側制御信号 S_{cs} を生成し、データ側制御信号 S_{cd} をデータ側駆動回路（データ信号線駆動回路）30に、走査側制御信号 S_{cs} を走査側駆動回路（走

査信号線駆動／発光制御回路) 40にそれぞれ出力する。また表示制御回路20は、入力信号 S_{in} に基づき閾値制御信号 $TC(1) \sim TC(n)$ を生成して表示部11における閾値制御線 $TC1 \sim TCn$ にそれぞれ印加する閾値制御回路22を含んでいる。これら閾値制御信号 $TC(1) \sim TC(n)$ の詳細については後述する。

[0018] データ側駆動回路30は、表示制御回路20からのデータ側制御信号 S_{cd} に基づきデータ信号線 $D1 \sim Dm$ を駆動する。すなわちデータ側駆動回路30は、データ側制御信号 S_{cd} に基づき、表示すべき画像を表す m 個のデータ信号 $D(1) \sim D(m)$ を並列に出力してデータ信号線 $D1 \sim Dm$ にそれぞれ印加する。

[0019] 走査側駆動回路40は、表示制御回路20からの走査側制御信号 S_{cs} に基づき、走査信号線 $G0 \sim Gn$ を駆動する走査信号線駆動回路、および、発光制御線 $E1 \sim En$ を駆動する発光制御回路として機能する。

[0020] より詳細には、走査側駆動回路40は、走査信号線駆動回路として、走査側制御信号 S_{cs} に基づき、各フレーム期間において走査信号線 $G0 \sim Gn$ を1水平期間に対応する所定期間ずつ順次に選択し、選択した走査信号線 Gk に対してアクティブな信号(ローレベル電圧)を印加し、かつ、非選択の走査信号線には非アクティブな信号(ハイレベル電圧)を印加する。これにより、選択された走査信号線 Gk ($1 \leq k \leq n$)に対応した m 個の画素回路 $Pix(k, 1) \sim Pix(k, m)$ が一括して選択される。その結果、当該走査信号線 Gk の選択期間(以下「第 k 走査選択期間」という)において、データ側駆動回路30からデータ信号線 $D1 \sim Dm$ に印加された m 個のデータ信号 $D(1) \sim D(m)$ の電圧(以下では、これらの電圧を区別せずに単に「データ電圧」と呼ぶことがある)が画素データとして、画素回路 $Pix(k, 1) \sim Pix(k, m)$ にそれぞれ書き込まれる。

[0021] また走査側駆動回路40は、発光制御回路として、走査側制御信号 S_{cs} に基づき、 i 番目の発光制御線 Ei に対し、第 i 水平期間では非発光を示す発光制御信号(ハイレベル電圧)を印加し、それ以外の期間では発光を示す

発光制御信号（ローレベル電圧）を印加する（後述の図6参照）。 i 番目の走査信号線 G_i に対応する画素回路（以下「 i 行目の画素回路」ともいう） $P_{ix}(i, 1) \sim P_{ix}(i, m)$ 内の有機EL素子は、発光制御線 E_i の電圧がローレベルである間、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ にそれぞれ書き込まれたデータ電圧に応じた輝度で発光する。

[0022] <1. 2 概略動作>

次に、図2および図3を参照して、本実施形態に係る表示装置10の概略動作について説明する。本実施形態に係る表示装置10は、通常駆動モードと休止駆動モードとの2つの動作モードを有している。通常駆動モードでは、図2に示すように、1フレーム期間において走査信号線 $G_0 \sim G_1$ を順次選択して表示部11（の画素回路 $P_{ix}(1, 1) \sim P_{ix}(n, m)$ ）に画像データを書き込むリフレッシュ期間（以下「RF期間」ともいう）が繰り返されるのに対し、休止駆動モードでは、図3に示すように、そのようなリフレッシュ期間と、走査信号線 $G_0 \sim G_1$ を非選択状態に維持して表示部11への画像データの書き込みを停止する非リフレッシュ期間（以下「NRF」期間ともいう）とが交互に繰り返される。休止駆動モードでは、非リフレッシュ期間において走査側およびデータ側駆動回路が停止し直前のリフレッシュ期間に書き込まれた画像データによる表示が継続する。このため休止駆動モードは、静止画を表示する場合において表示装置の消費電力の削減に有効である。

[0023] 外部からの入力信号 S_{in} には、上記のような通常駆動モードと休止駆動モードのうちいずれの動作モードで表示部11を駆動するかを示す動作モード信号 S_m が含まれている。この動作モード信号 S_m は、走査側制御信号 S_{cs} の一部として走査側駆動回路40に与えられるとともに、データ側制御信号 S_{cd} の一部としてデータ側駆動回路30に与えられる。走査側駆動回路40は、この動作モード信号 S_m で示される動作モードに応じて走査信号線 $G_0 \sim G_n$ および発光制御線 $E_1 \sim E_n$ を駆動し、データ側駆動回路30は、この動作モード信号 S_m で示される動作モードに応じてデータ信号線 D_1

～ D_n を駆動する。また表示制御回路20（における閾値制御回路22）は、この動作モード信号 S_m で示される動作モードに応じて閾値制御線 TC_1 ～ TC_n を駆動する。

[0024] 本実施形態では、各画素回路 $P_{ix}(i, j)$ につき、それに対応する走査信号線 G_i が選択状態のときにデータ書込動作が行われ、その走査信号線 G_i の直前の走査信号線 G_{i-1} の選択状態のときリセット動作が行われ、各画素回路 $P_{ix}(i, j)$ がそのデータ書込動作およびリセット動作が行われる期間において非発光状態となるように発光制御線 E_i が駆動される（ $i = 1 \sim N$ ）。すなわち、図2および図3に示すようにRF期間では、発光制御線 $E_1 \sim E_n$ は、走査信号線 $G_0 \sim G_n$ の駆動に連動するように、2水平期間ずつ順次に活性状態となる。なお後述のように、本実施形態における画素回路 $P_{ix}(i, j)$ では、発光制御トランジスタ T_5, T_6 としてPチャネル型トランジスタが使用されるので（後述の図4参照）、各発光制御線 E_i は、ローレベル（Lレベル）の電圧を与えられると活性状態となり、ハイレベル（Hレベル）の電圧を与えられると非活性状態となる。

[0025] また図2に示すように、通常駆動モードでは、各閾値制御線 TC_i の電圧は、予め決められた閾値制御初期電圧 V_{tc1} に維持され、各画素回路 $P_{ix}(i, j)$ における駆動トランジスタの閾値は変化しない（詳細は後述）。

[0026] これに対し休止駆動モードでは、図3に示すように、各閾値制御線 TC_i の電圧は、NRF期間（非リフレッシュ期間）において時間の経過と共に漸次増大し、次のRF期間（リフレッシュ期間）において閾値制御初期電圧 V_{tc1} まで低下する。なお、休止駆動モードにおけるNRF期間では、各走査信号線 $G_0 \sim G_n$ が非選択状態（Hレベル）に維持されるとともに、各発光制御線 $E_1 \sim E_n$ が活性状態（Lレベル）に維持される。したがって、NRF期間の間、走査側およびデータ側駆動回路は停止し、各画素回路 $P_{ix}(i, j)$ は、それに保持されたデータ電圧に応じて発光を継続する。

[0027] <1.3 画素回路の構成>

次に、図4および図5を参照して本実施形態における画素回路15の構成について説明する。

[0028] 図4は、本実施形態における画素回路15の構成を示す回路図、より詳しくは、 i 番目の走査信号線 G_i および j 番目のデータ信号線 D_j に対応する画素回路15すなわち i 行 j 列目の画素回路 $P_{i \times j}(i, j)$ の構成を示す回路図である($1 \leq i \leq n$ 、 $1 \leq j \leq m$)。図4に示すように画素回路15は、表示素子としての有機EL素子OL、駆動トランジスタT1、書込制御トランジスタT2、閾値補償トランジスタT3、第1初期化トランジスタT4、第1発光制御トランジスタT5、第2発光制御トランジスタT6、第2初期化トランジスタT7、および、保持キャパシタCstを含んでいる。この画素回路15において、駆動トランジスタT1以外のトランジスタT2~T7はスイッチング素子として機能する。

[0029] 画素回路15には、それに対応する走査信号線（以下、画素回路に注目した説明において「対応走査信号線」ともいう） G_i 、対応走査信号線 G_i の直前の走査信号線（走査信号線 $G_1 \sim G_n$ の走査順における直前の走査信号線であり、以下、画素回路に注目した説明において「先行走査信号線」ともいう） G_{i-1} 、それに対応する発光制御線（以下、画素回路に注目した説明において「対応発光制御線」ともいう） E_i 、それに対応する閾値制御線（以下、画素回路に注目した説明において「対応閾値制御線」ともいう） T_{Ci} 、それに対応するデータ信号線（以下、画素回路に注目した説明において「対応データ信号線」ともいう） D_j 、初期化電圧供給線 V_{ini} 、ハイレベル電源線 $ELVDD$ 、および、ローレベル電源線 $ELVSS$ が接続されている。

[0030] 図4に示すように、画素回路15では、駆動トランジスタT1のソース端子は、書込制御トランジスタT2を介して対応データ信号線 D_j に接続されるとともに、第1発光制御トランジスタT5を介してハイレベル電源線 $ELVDD$ に接続されている。駆動トランジスタT1のドレイン端子は、第2発光制御トランジスタT6を介して有機EL素子OLのアノード電極に接続さ

れている。駆動トランジスタT1のゲート端子は、保持キャパシタCstを介してハイレベル電源線ELVDDに接続され、かつ、閾値補償トランジスタT3を介して当該駆動トランジスタT1のドレイン端子に接続され、かつ、第1初期化トランジスタT4を介して初期化電圧供給線Vin1に接続されている。有機EL素子OLのアノード電極は第2初期化トランジスタT7を介して初期化電圧供給線Vin1に接続され、有機EL素子OLのカソード電極はローレベル電源線ELVSSに接続されている。また、書込制御トランジスタT2および閾値補償トランジスタT3のゲート端子は対応走査信号線Giに接続され、第1および第2発光制御トランジスタT5、T6のゲート端子は対応発光制御線Eiに接続され、第1初期化トランジスタT4および第2初期化トランジスタT7のゲート端子は先行走査信号線Gi-1に接続されている。本実施形態における画素回路15の駆動トランジスタT1は、トップゲート電極TGとボトムゲート電極BGとを有する薄膜トランジスタである（詳細は後述）。なお、第2初期化トランジスタT7のゲート端子は、先行走査信号線Gi-1に代えて対応走査信号線Giに接続されていてもよい。

[0031] 図5は、駆動トランジスタT1の一構成例を示す断面図である。図5に示すように、ガラス基板やポリイミド等の樹脂材料で形成されたフレキシブル基板の絶縁体基板110の上に形成された防湿層としての無機絶縁膜112の上にボトムゲート電極BGが形成され、それを覆うようにゲート絶縁膜BG1が形成されている。このゲート絶縁膜BG1の上に半導体層が形成され、この半導体層は、チャンネル領域としての真性半導体122と、そのチャンネル領域を介して対向するように形成されたソース領域としての導体121aおよびドレイン領域としての導体121bとからなる。このような構成の半導体層の上にさらにゲート絶縁膜TG1が形成され、その上にトップゲート電極TGが形成されている。このトップゲート電極TGを覆うように第1無機絶縁膜114および第2無機絶縁膜116が順に形成され、その上に他の素子との電氣的接続のための金属層120a、120bが形成されている。

ソース領域としての導体121aはコンタクトホールによって金属層120aと電氣的に接続され、ドレイン領域としての導体121bはコンタクトホールによって金属層120bと電氣的に接続されている。第2無機絶縁膜116の上には金属層120a, 120bを覆うように平坦化膜としての絶縁層118が形成されている。

[0032] 上記のように駆動トランジスタT1は、チャネル領域（真性半導体層）122の一方の面（図では上面）とゲート絶縁膜TG1を介して対向するように配置されたトップゲート電極TGと、チャネル領域122の他方の面とゲート絶縁膜BG1を介して対向するように配置されたボトムゲート電極BGとを備えている（図5参照）。以下では、このようにチャネル領域の一面側と他面側とにゲート電極を有する構成を「ダブルゲート型」という。このようなダブルゲート型のトランジスタでは、その2つのゲート電極の一方を本来の制御端子（当該トランジスタに流れる電流を制御するための端子）として使用し、他方のゲート電極を、それに与える電圧によって当該トランジスタの閾値を制御するための端子として使用することができる。本実施形態における駆動トランジスタT1では、その2つのゲート電極BG, TGのうち、ボトムゲート電極BGをソース・ドレイン間の電流を制御するための主ゲート端子（「主制御端子」ともいう）として使用し、トップゲート電極TGを駆動トランジスタT1の閾値を制御するための閾値制御端子として使用する。このため、駆動トランジスタT1は、主ゲート端子としてのボトムゲート電極BGを保持キャパシタCstに接続され、閾値制御端子としてのトップゲート電極TGを対応閾値制御線TCiに接続されている。なお、以下において、単に「ゲート端子」というときは、「主ゲート端子」を指すものとする。

[0033] 駆動トランジスタT1は飽和領域で動作し、発光期間において有機EL素子OLに流れる駆動電流I1は次式（1）で与えられる。式（1）に含まれる駆動トランジスタT1のゲインβは、次式（2）で与えられる。

$$I1 = (\beta / 2) (|Vgs| - |Vth|)^2$$

$$= (\beta / 2) (| V g - E L V D D | - | V t h |) ^ 2 \dots (1)$$

$$\beta = \mu \times (W / L) \times C o x \dots (2)$$

ただし、上記の式（１）および式（２）において、 $V g s$ 、 $V t h$ 、 μ 、 W 、 L 、 $C o x$ は、それぞれ、駆動トランジスタ $T 1$ のゲート・ソース間電圧、閾値、移動度、ゲート幅、ゲート長、および、単位面積あたりのゲート絶縁膜容量を表す。

[0034] < 1. 4 画素回路の動作 >

次に、図６および図７を参照して本実施形態における画素回路１５の動作について説明する。

[0035] 図６は、本実施形態における画素回路の動作を説明するための信号波形図である。図７（Ａ）は、本実施形態における画素回路１５のリセット動作を示す回路図であり、図７（Ｂ）は、当該画素回路１５のデータ書込動作を示す回路図であり、図７（Ｃ）は、当該画素回路１５の点灯動作を示す回路図である。

[0036] 図６は、上記のように構成された図４の画素回路１５すなわち i 行 j 列目の画素回路 $P i \times (i , j)$ のリセット動作、データ書込動作、および点灯動作における各信号線（対応発光制御線 $E i$ 、先行走査信号線 $G i - 1$ 、対応走査信号線 $G i$ 、対応データ信号線 $D j$ 、閾値制御線 $T C i$ ）の電圧、駆動トランジスタ $T 1$ の主ゲート端子の電圧（以下「ゲート電圧」という） $V g$ 、および、有機 $E L$ 素子 $O L$ のアノード電極の電圧（以下「アノード電圧」という） $V a$ の変化を示している。図６において、時刻 $t 1 \sim t 6$ の期間は、 i 行目の画素回路 $P i \times (i , 1) \sim P i \times (i , m)$ の非発光期間である。時刻 $t 2 \sim t 4$ の期間は第 $i - 1$ 水平期間であり、時刻 $t 2 \sim t 3$ の期間は $i - 1$ 番目の走査信号線（先行走査信号線） $G i - 1$ の選択期間すなわち第 $i - 1$ 走査選択期間である。この第 $i - 1$ 走査選択期間は、 i 行目の画素回路 $P i \times (i , 1) \sim P i \times (i , m)$ のリセット期間に相当する。時刻 $t 4 \sim t 6$ の期間は第 i 水平期間であり、時刻 $t 4 \sim t 5$ の期間は i 番目の走査信号線（対応走査信号線） $G i$ の選択期間すなわち第 i 走査選択期

間である。この第 i 走査選択期間は、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ のデータ書込期間に相当する。

[0037] i 行 j 列目の画素回路 $P_{ix}(i, j)$ では、図 6 に示すように時刻 t_1 において発光制御線 E_i の電圧が L レベルから H レベルに変化すると、第 1 および第 2 発光制御トランジスタ T_5, T_6 はオン状態からオフ状態に変化し、有機 EL 素子 OL は非発光状態となる。

[0038] 時刻 t_2 において、先行走査信号線 G_{i-1} の電圧が H レベルから L レベルに変化することで先行走査信号線 G_{i-1} が選択状態となる。このため、第 1 初期化トランジスタ T_4 がオン状態に変化する。これにより、駆動トランジスタ T_1 の主ゲート端子の電圧すなわちゲート電圧 V_g が初期化電圧 V_{ini} に初期化される。初期化電圧 V_{ini} は、画素回路 $P_{ix}(i, j)$ へのデータ電圧の書き込み時に、駆動トランジスタ T_1 をオン状態に維持できる程度の電圧である。また、時刻 t_2 で先行走査信号線 G_{i-1} が選択状態へと変化すると、第 2 初期化トランジスタ T_7 もオン状態に変化する。その結果、有機 EL 素子 OL の寄生容量における蓄積電荷が放電されて有機 EL 素子のアノード電圧 V_a が初期化電圧 V_{ini} に初期化される（図 6 参照）。なお、画素回路 $P_{ix}(i, j)$ におけるアノード電圧 V_a を他の画素回路におけるアノード電圧 V_a と区別する場合に符号 “ $V_a(i, j)$ ” を使用するものとする（以下においても同様）。さらに本実施形態では、この時刻 t_2 において対応閾値制御線 TC_i の電圧が、予め決められた閾値制御初期電圧 V_{tcl} に初期化され、その後、次のフレーム期間において先行走査信号線 G_{i-1} が選択状態となるまで（次のフレーム期間における第 $i-1$ 選択走査期間の開始時点まで）徐々に増大する。

[0039] 時刻 $t_2 \sim t_3$ の期間は、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ におけるリセット期間であり、画素回路 $P_{ix}(i, j)$ では、このリセット期間において上記のように第 1 初期化トランジスタ T_4 がオン状態である。図 7 (A) は、このリセット期間における画素回路 $P_{ix}(i, j)$ の状態すなわちリセット動作時の回路状態を模式的に示している。この

図7 (A) において、点線の円は、その中のスイッチング素子としてのトランジスタがオフ状態であることを示し、点線の矩形は、その中のスイッチング素子としてのトランジスタがオン状態であることを示している（このような表現方法は、図7 (B) および図7 (C) においても採用されている）。このリセット期間では、図7 (A) に示すように、第1および第2初期化トランジスタT4, T7がオン状態である。図6に、このときの画素回路 $P_{ix}(i, j)$ におけるゲート電圧 $V_g(i, j)$ の変化が示されている。なお、画素回路 $P_{ix}(i, j)$ におけるゲート電圧 V_g を他の画素回路におけるゲート電圧 V_g と区別する場合に符号“ $V_g(i, j)$ ”を使用するものとする（以下においても同様）。

[0040] 時刻 t_3 において、先行走査信号線 G_{i-1} の電圧がHレベルに変化することで先行走査信号線 G_{i-1} が非選択状態となる。このため、第1初期化トランジスタT4がオフ状態に変化する。この時刻 t_3 から第 i 走査選択期間の開始時点 t_4 までの間に、データ側駆動回路30により、 i 行 j 列目の画素のデータ電圧としてのデータ信号 $D(j)$ のデータ信号線 D_j への印加が開始され、少なくとも第 i 走査選択期間の終了時点 t_5 まで当該データ信号 $D(j)$ の印加が継続する。

[0041] 時刻 t_4 において、図6に示すように、対応走査信号線 G_i の電圧がHレベルからLレベルに変化することで対応走査信号線 G_i が選択状態となる。このため画素回路 $P_{ix}(i, j)$ において、書込制御トランジスタT2および閾値補償トランジスタT3がオン状態に変化する。

[0042] 時刻 $t_4 \sim t_5$ の期間は、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ におけるデータ書込期間であり、このデータ書込期間では、上記のように書込制御トランジスタT2および閾値補償トランジスタT3はオン状態である。図7 (B) は、このデータ書込期間における画素回路 $P_{ix}(i, j)$ の状態すなわちデータ書込動作時の回路状態を模式的に示している。このデータ書込期間では、対応データ信号線 D_j の電圧がデータ電圧 V_{data} として、ダイオード接続状態の駆動トランジスタT1を介して保持キャ

パシタ C_{st} に与えられる。その結果、図6に示すように、ゲート電圧 $V_g(i, j)$ は、次式(5)で与えられる値に向かって変化する。

$$V_g(i, j) = V_{data} - |V_{th}| \quad \dots (5)$$

すなわち、このデータ書込期間において、閾値補償の施されたデータ電圧が保持キャパシタ C_{st} に書き込まれ、ゲート電圧 $V_g(i, j)$ は上記式(5)で与えられる値となる。

[0043] その後、時刻 t_6 において、発光制御線 E_i の電圧が L レベルに変化する。これに伴い、第1および第2発光制御トランジスタ T_5 , T_6 がオン状態に変化する。時刻 t_6 以降は発光期間であり、この発光期間では、画素回路 $P_{ix}(i, j)$ において、上記のようにして第1および第2発光制御トランジスタ T_5 , T_6 はオン状態であり、書込制御トランジスタ T_2 、閾値補償トランジスタ T_3 、第1初期化トランジスタ T_4 、および、第2初期化トランジスタ T_7 はオフ状態である。図7(C)は、この発光期間における画素回路 $P_{ix}(i, j)$ の状態すなわち点灯動作時の回路状態を模式的に示している。この発光期間(時刻 t_6 以降)では、ハイレベル電源線 $ELVDD$ から第1発光制御トランジスタ T_5 、駆動トランジスタ T_1 、第2発光制御トランジスタ T_6 、および、有機EL素子 OL を経由してローレベル電源線 $ELVSS$ に電流 I_1 が流れる。この電流 I_1 は上記式(1)で与えられる。駆動トランジスタ T_1 がPチャンネル型であって $ELVDD > V_g$ であることを考慮すると、上記式(1)および(5)より、この電流 I_1 は次式で与えられる。

$$\begin{aligned} I_1 &= (\beta/2) (ELVDD - V_g - |V_{th}|)^2 \\ &= (\beta/2) (ELVDD - V_{data})^2 \quad \dots (6) \end{aligned}$$

上記より、時刻 t_6 以降、有機EL素子 OL は、駆動トランジスタ T_1 の閾値 V_{th} に拘わらず、第 i 走査選択期間における対応データ信号線 D_j の電圧であるデータ電圧 V_{data} に応じた駆動電流 I_1 が流れることにより、当該データ電圧 V_{data} に応じた輝度で発光する。

[0044] 本実施形態のように、駆動トランジスタのゲート電圧を初期化した後にダ

イオード接続状態の駆動トランジスタを介して保持キャパシタにデータ電圧を書き込むように構成された画素回路を用いた表示装置では、各画素回路は、そのデータ書込の期間（図6に示す第*i*走査選択期間）だけでなく、その前のリセット期間（図6に示す第*i* - 1走査選択期間）においても有機EL素子が点灯しないように制御され、少なくとも両期間は非発光状態となる。

[0045] <1. 5 閾値制御のための構成および動作>

上記のように本実施形態では、休止駆動モードにおいて、各画素回路 $P_{i \times j}$ の駆動トランジスタ T_1 の閾値 V_{th} が、その閾値制御端子（トップゲート電極） TG に与えられる閾値制御線 TC_i の電圧すなわち閾値制御信号 $TC(i)$ の電圧（以下「閾値制御電圧」という） $V_{tc}(i)$ によって制御される（図3、図6参照）。このような本実施形態の作用および効果を説明する前に、まず、休止駆動モードにおいて駆動トランジスタ T_1 の閾値制御が行われない場合の問題について説明する。なお、以下の説明において参照する図面のうち、図8は、駆動トランジスタの閾値を制御することなく休止駆動を行った場合の問題点を説明するための波形図であり、図9は、本実施形態の作用および効果を説明するための波形図である。

[0046] 休止駆動モードでは、図3に示すように隣接する2つのRF期間の間に長いNRF期間が設けられるので、画素回路 $P_{i \times j}$ へのデータ電圧の書込周期（リフレッシュ周期）が通常駆動モードに比べて格段に長く、例えば0.1秒程度以上（リフレッシュレートで10Hz以下）となる。このため、NRF期間を含む発光期間において、オフ状態の第1初期化トランジスタ T_4 の漏れ電流 I_{off} による保持キャパシタ C_{st} の蓄積電荷の変化量が大きくなる。その結果、休止駆動モードにおける1リフレッシュ周期 T_{ref-PD} において駆動トランジスタ T_1 のゲート電圧 $V_g(i, j)$ の低下量も大きくなる。このようにして低下したゲート電圧 $V_g(i, j)$ は、次のRF期間で新たなデータ電圧の書き込みによって上昇する（図8に示す時刻 $T_{w1} \sim T_{w4}$ はこの書き込みの時点を示している）。したがって、休止駆動モードでは、駆動トランジスタ T_1 のゲート電圧 $V_g(i, j)$ は、

図8に示すようにリフレッシュ周期 T_{ref-PD} で周期的に変化する。これに応じて画素回路 $P_{ix}(i, j)$ における有機EL素子OLの輝度 $L(i, j)$ が図8に示すように次第に明るくなり、これがフリッカとして視認される。

[0047] これに対し本実施形態では、各画素回路 $P_{ix}(i, j)$ において、その駆動トランジスタ T_1 の閾値制御端子 TG に閾値制御線 TC_i を介して与えられる電圧 $V_{tc}(i)$ が図3、図6に示す如く変化するように閾値制御線 TC_i が駆動される。これにより、駆動トランジスタ T_1 の閾値の絶対値 $|V_{th}|$ は、 NRF 期間を含む発光期間において漸次に上昇し、次の RF 期間における第 $i-1$ 選択走査期間の開始時点 t_2 （この時点は、図9に示すデータ書き込みの時点 $T_{w1} \sim T_{w4}$ と実質的に同時点である）において閾値制御初期電圧 V_{tc1} に低下する。その結果、休止駆動モードでは、駆動トランジスタ T_1 の閾値制御端子 TG に与えられる閾値制御電圧 $V_{tc}(i)$ は、図8に示すようにリフレッシュ周期 T_{ref-PD} で周期的に変化する。

[0048] ここで、駆動トランジスタ T_1 はPチャンネル型であるので、閾値制御端子 TG に与えられる電圧 $V_{tc}(i)$ が正方向に高くなるほど、駆動トランジスタ T_1 の閾値の絶対値 $|V_{th}|$ は大きくなる（電流が流れにくくなる）。既述の式(1)からわかるように、閾値の絶対値 $|V_{th}|$ の増大は、駆動トランジスタ T_1 による有機EL素子OLの駆動電流 I_1 を減少させて輝度を低下させる方向に働く。したがって、発光期間における閾値制御電圧 $V_{tc}(i)$ の変化率を駆動トランジスタ T_1 の特性に応じて適切に設定することにより、画素回路 $P_{ix}(i, j)$ における有機EL素子OLの輝度 $L(i, j)$ の変化を、図8に実線で示すように低減することができる。よって、休止駆動モードにおいて、第1初期化トランジスタ T_4 の漏れ電流に起因する保持キャパシタ C_{st} の蓄積電荷量の変化によるフリッカの発生を抑制することができる。

[0049] 以下、このようにしてフリッカの発生を抑制するための閾値制御電圧 V_t

c (i) の具体的な設定方法につき説明する。

[0050] 発光期間において駆動トランジスタ T 1 から有機 E L 素子 O L に流れる駆動電流 I 1 は、既述の式 (1) で与えられる。ここで、説明の便宜のために、 $V_{dd} = E L V_{DD}$ とおき、駆動トランジスタ T 1 が P チャネル型であることを考慮して $V_{dd} > V_g$ とすると、この駆動電流 I 1 は次式のように表すことができる。

$$I1 = (\beta/2)(V_{dd} - V_g - |V_{th}|)^2 \quad \dots (7)$$

また、発光期間における第 1 初期化トランジスタ T 4 の漏れ電流 I o f f によってゲート電圧 $V_g = V_g(i, j)$ が変化することから、このゲート電圧 V_g を時間 t の関数とみなし $V_g(t)$ とおくことにし、画素回路 P i x (i , j) のデータ書込期間の終了時点 t 5 を $t = 0$ とすると (図 6 参照) 、内部補償が行われる本実施形態では既述の式 (5) より、

$$V_g(0) = V_{data} - |V_{th}| \quad \dots (8)$$

である。発光期間においてオフ状態である第 1 初期化トランジスタ T 4 の漏れ電流 I o f f によって変化するゲート電圧 $V_g(t)$ は、図 4 および図 7 (C) より次式のように表すことができる。

$$V_g(t) = (V_g(0) - V_{ini}) \exp(-t / (C_{st} \cdot R_{off})) + V_{ini} \quad \dots (9)$$

ここで、 V_{ini} は初期化電圧を、 C_{st} は保持キャパシタ C_{st} の容量値を、 R_{off} は第 1 初期化トランジスタ T 4 のオフ抵抗をそれぞれ示す。

[0051] 第 1 初期化トランジスタ T 4 の漏れ電流 I o f f によるゲート電圧 V_g の変化を考慮すると、上記式 (8) および (9) で示される $V_g(t)$ を用いて、駆動電流 I 1 を次式のように表すことができる。

$$I1 = (\beta/2)(V_{dd} - V_g(t) - |V_{th}|)^2 \quad \dots (10)$$

したがって、休止駆動モードにおいて駆動トランジスタ T 1 の閾値制御を行わない場合、画素回路 P i x (i , j) では、上記式 (8) (9) より、ゲート電圧 $V_g(t)$ は、データ書込期間後の発光期間において、上記式 (8) に示す $V_g(0)$ から漸次に低下し、次の R F 期間でのデータ電圧の書き込みにより上記 (8) に示す $V_g(0)$ へと上昇する。すなわち、ゲート電

圧 V_g は、図 8 に示すように休止駆動モードにおけるリフレッシュ周期 T_{ref-PD} で周期的に変化する。このようにゲート電圧 V_g が変化すると、上記式 (8) (10) より、駆動電流 I_1 は、データ書込期間後の発光期間において、

$$I_1 = (\beta/2)(V_{dd} - V_g(0) - |V_{th}|)^2 = (\beta/2)(V_{dd} - V_{data})^2$$

で示される値から漸次に増加し、次の RF 期間でのデータ電圧の書き込みにより

$$I_1 = (\beta/2)(V_{dd} - V_{data})^2$$

で示される値へと低下する。これに応じて、電流駆動型の有機 EL 素子 OL の輝度 $L(i, j)$ は、図 8 に示すように休止駆動モードにおけるリフレッシュ周期 T_{ref-PD} で周期的に変化する。このような有機 EL 素子 OL の輝度 $L(i, j)$ の変化は、フリッカとして視認される。

[0052] これに対し本実施形態における休止駆動モードでは、各画素回路 $P_{ix}(i, j)$ において駆動トランジスタ T1 の閾値制御端子 (トップゲート電極) TG に閾値制御線 TC_i を介して閾値制御電圧 $V_{tc}(i)$ を与えることで、当該駆動トランジスタ T1 の閾値 V_{th} を制御する。これにより、ゲート電圧 V_g の変化による駆動電流 I_1 の変化を抑えるためには、この閾値を時間 t の関数 $V_{th}(t)$ とみなし、理想的には

$$V_g(t) + |V_{th}(t)| = V_g(0) + |V_{th}(0)| \quad \dots (11)$$

となるように閾値 $V_{th}(t)$ を制御すればよい。このようにすれば、上記式 (10) より、駆動電流 I_1 は変化せず下式で示される値を維持する。

$$I_1 = (\beta/2)(V_{dd} - V_g(0) - |V_{th}(0)|)^2 \quad \dots (12)$$

ここで、 $t / (C_{st} \cdot R_{off})$ は十分に小さいとして、上記式 (9) で示される $V_g(t)$ を下記式で近似する。

$$V_g(t) = (V_g(0) - V_{ini})(1 - t/(C_{st} \cdot R_{off})) + V_{ini} \quad \dots (13)$$

上記式 (11) (13) より、

$$|V_{th}(t)| = |V_{th}(0)| + (V_g(0) - V_{ini})t/(C_{st} \cdot R_{off}) \quad \dots (14)$$

となる。

[0053] 一方、本実施形態のように駆動トランジスタ T1 のトップゲート電極 TG を閾値制御端子とした場合、閾値の絶対値 $|V_{th}|$ は、トップゲート電極 TG の電圧 V_{tg} についての下記の一次式で表すことができる。

$$|V_{th}| = a \cdot V_{tg} + b$$

本実施形態では、トップゲート電極 TG に V_{tg} として与えられる閾値制御電圧 $V_{tc}(i)$ が与えられるので、上記式は次のように書き直すことができる。

$$|V_{th}| = a \cdot V_{tc}(i) + b \quad \dots (15)$$

この式 (15) において、 a は定数であって、トップゲート電極 TG とボトムゲート電極 BG のゲート絶縁膜容量の比 C_t / C_b に等しい ($a = C_t / C_b$)。本実施形態における休止駆動モードでは、トップゲート電極 TG に V_{tg} として与えられる閾値制御電圧 $V_{tc}(i)$ を変化させることにより閾値 V_{th} が変化するので、両者を時間 t の関数 $V_{th}(t)$ 、 $V_{tc}(i, t)$ とみなし、 $t = 0$ のときの閾値制御電圧を $V_{tc}(i, 0) = V_{tcI}$ とおくと、上記式 (15) より

$$b = |V_{th}(0)| - a \cdot V_{tcI}$$

である。この式と上記式 (15) より、次式が得られる。

$$\begin{aligned} V_{tc}(i, t) &= \{|V_{th}(t)| - b\} / a \\ &= \{|V_{th}(t)| - |V_{th}(0)| + a \cdot V_{tcI}\} / a \quad \dots (16) \end{aligned}$$

この式 (16) に上記式 (14) を代入すると、

$$\begin{aligned} V_{tc}(i, t) &= V_{tcI} + (V_g(0) - V_{ini})t / \{(C_{st} \cdot R_{off}) \cdot a\} \\ &= V_{tcI} + (V_g(0) - V_{ini})t / \{(C_{st} \cdot R_{off})(C_t / C_b)\} \quad \dots (17) \end{aligned}$$

となる。

[0054] そこで、本実施形態における休止駆動モードでは、各画素回路 $P_{ix}(i, j)$ において ($i = 1 \sim n$, $j = 1 \sim m$)、データ電圧を書き込んだ時点 $t = 0$ から発光期間 (NRF 期間を含む) を経て次の RF 期間でデータ電圧を書き込むまでの期間 (1 リフレッシュ周期 $T_{ref} - PD$ の間)、上記式 (17) にしたがって変化する閾値制御電圧 $V_{tc}(i)$ が、閾値制御線 T

C_iを介して当該画素回路P_ix(i, j)における駆動トランジスタT₁の閾値制御端子(トップゲート電極)TGに与えられるように、閾値制御回路22により閾値制御信号TC(1)~TC(n)が生成されて閾値制御線TC₁~TC_nにそれぞれ印加される(図9、図3参照)。ここで、上記式(17)で示される閾値制御電圧V_{tc}(i, t)は閾値制御信号TC(i)の電圧に相当する。

[0055] なお、上記式(17)に含まれるV_g(0)は、既述の式(5)より

$$V_g(0) = V_{data} - |V_{th}(0)|$$

であるので、上記式(17)で示される閾値制御電圧V_{tc}(i, t)は、当該画素回路P_ix(i, j)に書き込むべきデータ電圧V_{data}すなわち対応データ信号線D_jの電圧に依存する。しかし、対応閾値制御線TC_iに対応する画素回路P_ix(i, 1)~P_ix(i, m)に書き込むべきm個のデータ電圧V_{data}の平均値、または、それらm個のデータ電圧V_{data}のうち最も低い輝度を示すデータ電圧をデータ電圧代表値V_{dpr}として決定し、このデータ電圧代表値V_{dpr}に対応するゲート電圧V_g(0) = V_{dpr} - |V_{th}(0)|を用いて式(17)にしたがって閾値制御電圧V_{tc}(i, t)を生成すればよい。すなわち、各閾値制御線TC_i(i = 1~n)につき、それに対応する画素回路P_ix(i, 1)~P_ix(i, m)に書き込むべきデータ電圧に対するデータ電圧代表値V_{dpr}を決定し、当該閾値制御線TC_iに対応する画素回路P_ix(i, 1)~P_ix(i, m)における駆動トランジスタT₁の閾値制御端子TGに与えるべき閾値制御電圧V_{tc}(i)を、当該データ電圧代表値V_{dpr}を用いた下記式で与えられる時間tの関数V_{tc}(i, t)で示される電圧として生成すればよい。

$$V_{tc}(i, t) = V_{tcI} + (V_{dpr} - |V_{th}(0)| - V_{ini})t / \{(C_{st} \cdot R_{off})(C_t/C_b)\}$$

… (18)

[0056] 上記式(18)からわかるように、C_t > C_bであれば、すなわち閾値制御端子側のゲート絶縁膜容量C_tが主制御端子側のゲート絶縁膜容量C_bよ

りも大きければ、閾値制御電圧 $V_{tc}(i, t)$ の変動（上下の幅）を小さくしても駆動トランジスタ T_1 のゲート電圧 V_g の変化による駆動電流 I_1 の変動を抑えることができる。

[0057] また、上記のデータ電圧代表値 V_{dpr} に代えて、1フレーム期間毎に表示部 $11b$ における $n \times m$ の画素回路 $P_{ix}(i, j)$ に書き込むべき $n \times m$ 個のデータ電圧の平均値、または、それら $n \times m$ 個のデータ電圧 V_{data} のうち最も低い輝度を示すデータ電圧をデータ電圧代表値 V_{drp} として決定してもよい。さらに、これに代えて、種々の表示画像に基づき予め決められた値を上記 $n \times m$ 個のデータ電圧 V_{data} に対するデータ電圧代表値 V_{dpr} としてもよい。これらの場合、各閾値制御線 TC_i につき同一のデータ電圧代表値 V_{dpr} が決定されることになるので、表示制御回路 20 から全ての画素回路 $P_{ix}(1, 1) \sim P_{ix}(n, m)$ における駆動トランジスタ T_1 の閾値制御端子 TG に対し、同一のデータ電圧代表値 V_{dpr} を用いた上記式 (18) で与えられる時間 t の関数 $V_{tc}(i, t)$ で示される閾値制御電圧、すなわち同一の時間関数 $V_{tc}(i, t) = V_{tc}(t)$ で示される閾値制御電圧が与えられる。

[0058] なお、上記のように同一の時間関数 $V_{tc}(t)$ で示される閾値制御電圧が全ての画素回路 $P_{ix}(1, 1) \sim P_{ix}(n, m)$ に与えられる場合には、図1に示すように走査信号線 $G_1 \sim G_n$ に沿って配設された n 本の閾値制御線 $TC_1 \sim TC_n$ に代えて、データ信号線 $D_1 \sim D_m$ に沿って m 本の閾値制御線 $TC_1 \sim TC_m$ を配設してもよい。また、上記のように同一の時間関数 $V_{tc}(t)$ で示される閾値制御電圧が全ての画素回路 $P_{ix}(1, 1) \sim P_{ix}(n, m)$ に与えられる場合には、配設すべき閾値制御線は、必ずしも、走査信号線 $G_1 \sim G_n$ またはデータ信号線 $D_1 \sim D_m$ に1対1に対応させる必要はなく、したがって、閾値制御線の本数は、走査信号線 $G_1 \sim G_n$ の本数やデータ信号線 $D_1 \sim D_m$ の本数よりも少なくてもよい。

[0059] <1.6 効果>

上記のような本実施形態によれば、休止駆動モードでは、各画素回路 P_i

$x(i, j)$ において、発光期間における第1初期化トランジスタ T_4 の漏れ電流による保持キャパシタ C_{st} の保持電圧の低下（蓄積電荷量の変化）すなわちゲート電圧 V_g の低下が、閾値制御電圧 $V_{tc}(i)$ の増大によって補償される（図9）。すなわち、各画素回路 $P_{ix}(i, j)$ において、発光期間での保持キャパシタ C_{st} の保持電圧の変化による主ゲート端子の電位変化（ゲート電圧 V_g の変化）に対して閾値制御端子 T_G の電位を逆方向に変化させる閾値制御電圧 $V_{tc}(i)$ が閾値制御端子 T_G に与えられることで、ゲート電圧 V_g の変化が補償される。これにより、ゲート電圧 V_g の低下による駆動電流の増大が抑制され、リフレッシュ周期 T_{ref-PD} で有機EL素子OLの輝度が変化することによるフリッカの発生を防ぐことができる。したがって、休止駆動モードにおいて、消費電力を低減しつつフリッカの視認されない良好な画像を表示することができる。

[0060] <2. 第2の実施形態>

<2. 1 全体構成および概略動作>

図10は、第2の実施形態に係る有機EL表示装置10bの全体構成を示すブロック図である。本実施形態に係る表示装置10bも、内部補償を行う有機EL表示装置である。この表示装置10bも、上記第1の実施形態と同様、表示部11b、表示制御回路20、データ側駆動回路30、走査側駆動回路40b、および、電源回路50を備えている。しかし本実施形態では、表示部11bは、閾値制御線 $TC_1 \sim TC_n$ が設けられておらず、この点で上記第1の実施形態と相違する。また、これに対応して本実施形態における表示制御回路20は、閾値制御回路を含んでいない。本実施形態の全体構成における他の点については上記第1の実施形態と同様であるので（図1参照）、同一または対応する部分に同一の参照符号を付して説明を省略する。

[0061] 本実施形態に係る表示装置10bも、上記第1の実施形態と同様、通常駆動モードと休止駆動モードとの2つの動作モードを有している。また上記第1の実施形態と同様、通常駆動モードでは、図2に示すようにリフレッシュ期間（RF期間）が繰り返されるのに対し、休止駆動モードでは、図3に示

すようにリフレッシュ期間（R F期間）と非リフレッシュ期間（N R F期間）とが交互に繰り返される。なお、本実施形態では、駆動トランジスタの閾値 V_{th} を制御するための電圧 V_{tc} は各画素回路内で生成される（詳細は後述）。

[0062] <2. 2 画素回路の構成>

次に、図11を参照して本実施形態における画素回路15の構成について説明する。

[0063] 図11は、本実施形態における画素回路15bの構成を示す回路図、より詳しくは、 i 番目の走査信号線 G_i および j 番目のデータ信号線 D_j に対応する画素回路15bすなわち i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。図11に示すように、この画素回路15bは、上記第1の実施形態における画素回路15と同様（図4）、表示素子としての有機EL素子OL、駆動トランジスタT1、書込制御トランジスタT2、閾値補償トランジスタT3、第1初期化トランジスタT4、第1発光制御トランジスタT5、第2発光制御トランジスタT6、第2初期化トランジスタT7、および、保持キャパシタ C_{st} を含んでいる。これに加えて、この画素回路15bは、閾値制御トランジスタT8、閾値制御キャパシタ C_{tc} 、および、閾値制御抵抗素子 R_{tc} を含んでいる。この閾値制御抵抗素子 R_{tc} の抵抗値は、閾値制御トランジスタT8のオン抵抗に比べ十分に大きい。また当該抵抗値は、閾値制御トランジスタT8のオフ抵抗に比べ小さい（本実施形態では、当該抵抗値は閾値制御トランジスタT8のオフ抵抗に比べ十分に小さいものとする）。このような閾値制御抵抗素子 R_{tc} は、例えば図5に示したようにゲート絶縁膜BGI上に形成される半導体層における導体領域を用いて実現することができ、また、トランジスタを用いて実現することもできる。後者の場合、例えば図13に示すように、チャンネル幅 W を小さくしチャンネル長を長くすることで通常よりもオン抵抗を大きくしたPチャンネル型のトランジスタT9を使用し、そのゲート端子に対応発光制御線 E_i を接続することにより、閾値制御抵抗素子 R_{tc} を実現

することができる。

[0064] なお、この画素回路15bにおいて、駆動トランジスタT1以外のトランジスタT2～T8はスイッチング素子として機能する。また、上記第1の実施形態と同様、駆動トランジスタT1は、トップゲート電極TGおよびボトムゲート電極BGを有するダブルゲート型のPチャネル型トランジスタであり（図5参照）、ボトムゲート電極BGは、当該駆動トランジスタT1に流れる電流を制御するための主ゲート端子として使用され、トップゲート電極TGは、当該駆動トランジスタT1の閾値を制御するための閾値制御端子として使用される。

[0065] 画素回路15bには、それに対応する走査信号線である対応走査信号線Gi、その対応走査信号線Giの直前の走査信号線である先行走査信号線Gi-1、それに対応する発光制御線である対応発光制御線Ei、それに対応するデータ信号線である対応データ信号線Dj、初期化電圧供給線Vini、ハイレベル電源線ELVDD、および、ローレベル電源線ELVSSが接続されている。画素回路15bにおいて、これらの信号線や電源線等と閾値制御トランジスタT8、閾値制御キャパシタCtc、および閾値制御抵抗素子Rtc以外の素子（有機EL素子OL、駆動トランジスタT1、書込制御トランジスタT2、閾値補償トランジスタT3、第1初期化トランジスタT4、第1発光制御トランジスタT5、第2発光制御トランジスタT6、第2初期化トランジスタT7、および、保持キャパシタCst）との接続形態、ならびに、閾値制御トランジスタT8、閾値制御キャパシタCtc、および閾値制御抵抗素子以外の当該素子の間での接続形態は、上記第1の実施形態における画素回路15と同様である（図4、図11参照）。

[0066] 図11に示すように、本実施形態における画素回路15bは、上記第1の実施形態とは異なり、閾値制御トランジスタT8、閾値制御キャパシタCtc、および閾値制御抵抗素子Rtcを含んでおり、駆動トランジスタT1の閾値制御端子（トップゲート電極）TGは、閾値制御キャパシタCtcを介してハイレベル電源線ELVDDに接続され、かつ、閾値制御トランジスタ

T 8 を介して初期化電圧供給線 V_{ini} に接続され、かつ、閾値制御抵抗素子 R_{tc} を介してハイレベル電源線 $ELVDD$ に接続されている。

[0067] <2. 3 画素回路の動作>

図 1 2 は、本実施形態における画素回路 1 5 b の動作を説明するための信号波形図であり、上記のように構成された図 1 1 の画素回路 1 5 b すなわち i 行 j 列目の画素回路 $P_{ix}(i, j)$ のリセット動作、データ書込動作、および点灯動作における各信号線（対応発光制御線 E_i 、先行走査信号線 G_{i-1} 、対応走査信号線 G_i 、対応データ信号線 D_j 、閾値制御端子 TG ）の電圧、駆動トランジスタ T_1 の主ゲート端子の電圧（ゲート電圧） V_g 、および、有機 EL 素子 OL のアノード電極の電圧（アノード電圧） V_a の変化を示している。

[0068] 図 1 2 に示す信号波形図を図 6 に示した信号波形図と比較すればわかるように、各画素回路 $P_{ix}(i, j)$ に接続された各信号線（対応発光制御線 E_i 、先行走査信号線 G_{i-1} 、対応走査信号線 G_i 、対応データ信号線 D_j ）は上記第 1 の実施形態と同様に駆動され、本実施形態における画素回路 $P_{ix}(i, j)$ においても、上記第 1 の実施形態と同様のリセット動作、データ書込動作、および、点灯動作が行われる。ただし、本実施形態では、各画素回路 $P_{ix}(i, j)$ の駆動トランジスタ T_1 の閾値制御端子 TG に与えられる電圧は、表示制御回路 2 0 内の閾値制御回路から対応閾値制御線 TC_i を介して与えられるのではなく、当該画素回路 $P_{ix}(i, j)$ 内において、閾値制御トランジスタ T_8 、閾値制御キャパシタ C_{tc} 、および閾値制御抵抗素子 R_{tc} を用いて生成される。この詳細は以下で説明する。

[0069] <2. 4 閾値制御のための構成および動作>

本実施形態における各画素回路 $P_{ix}(i, j)$ では、駆動トランジスタ T_1 の閾値制御端子 TG の電圧（以下「閾値制御電圧」という） V_{tc} は、図 1 2 に示すように変化する。すなわち、閾値制御トランジスタ T_8 は、そのゲート端子に対応走査信号線 G_i が接続されているので、図 1 2 に示すように、第 i 走査選択期間に相当するデータ書込期間の開始時点 t_4 でオフ状

態からオン状態に変化し、データ書込期間の終了時点 t_5 までオン状態に維持される。このため、閾値制御電圧 V_{tc} は、時刻 t_4 で初期化電圧 V_{ini} へと低下し、時刻 t_5 まで初期化電圧に維持される。その後、データ書込期間の終了時点 t_5 で閾値制御トランジスタ T_8 がオフ状態へと変化し、次の RF 期間で対応走査信号線 G_i が選択状態となるまでオフ状態に維持される。データ書込期間の終了時点 t_5 以降において閾値制御トランジスタ T_8 がオフ状態である間、閾値制御電圧 V_{tc} は以下のように変化する。以下では、閾値制御電圧 V_{tc} を時間 t の関数とみなし $V_{tc}(t)$ とおくことにし、データ書込期間の終了時点 t_5 を $t=0$ とする。

[0070] 閾値制御トランジスタ T_8 がオン状態のとき、閾値制御キャパシタ C_{tc} は、ハイレベル電源線 $ELVDD$ と初期化電圧供給線 V_{ini} により充電されて電圧 $V_{dd} - V_{ini}$ を保持するようになる。この後、データ書込期間の終了時点 t_5 に閾値制御トランジスタ T_8 がオフ状態となり、以後において閾値制御トランジスタ T_8 がオフ状態である間、閾値制御キャパシタ C_{tc} の蓄積電荷は、閾値制御抵抗素子 R_{tc} を介して放電される。したがって、このときの閾値制御電圧 $V_{tc}(t)$ は下記式で表すことができる。

$$V_{tc}(t) = (V_{ini} - V_{dd}) \exp(-t / (C_{tc} \cdot R_{tc})) + V_{dd} \quad \dots (19)$$

ここで、 $t / (C_{tc} \cdot R_{tc})$ は十分に小さいとして、上記式 (19) で示される $V_{tc}(t)$ を下記式で近似する。

$$\begin{aligned} V_{tc}(t) &= (V_{ini} - V_{dd}) \{ 1 - t / (C_{tc} \cdot R_{tc}) \} + V_{dd} \\ &= V_{ini} + (V_{dd} - V_{ini}) t / (C_{tc} \cdot R_{tc}) \quad \dots (20) \end{aligned}$$

[0071] 本実施形態においても、上記第1の実施形態と同様に閾値制御電圧 V_{tc} を変化させることにより、発光期間における第1初期化トランジスタ T_4 の漏れ電流に起因するゲート電圧 V_g の低下による駆動電流 I_1 の増大を抑えることができる。このためには、本実施形態では $V_{tc}(0) = V_{ini}$ であることを考慮し、既述の式 (17) と上記式 (20) と比較することにより、下記式を満たすように閾値制御キャパシタ C_{tc} の容量値（これも符号 “ C_{tc} ” で示す）および閾値制御抵抗素子 R_{tc} の抵抗値（これも符号 “

R t c” で示す) を設定すればよいことがわかる。

$$(V_{dd}-V_{ini})/(C_{tc} \cdot R_{tc})=(V_g(0)-V_{ini})/\{(C_{st} \cdot R_{off}) \cdot C_t/C_b\}$$

$$C_{tc} \cdot R_{tc}=(V_{dd}-V_{ini})(C_{st} \cdot R_{off})(C_t/C_b)/(V_g(0)-V_{ini}) \quad \dots (21)$$

[0072] なお、上記式(21)に含まれる $V_g(0)$ は、既述の式(5)より

$$V_g(0)=V_{data}-|V_{th}(0)|$$

であるので、上記式(21)を満たす容量値 C_{tc} および抵抗値 R_{tc} は、画素回路 $P_{ix}(i, j)$ に書き込むべきデータ電圧 V_{data} に依存する。しかし、上記第1の実施形態と同様にして、データ電圧代表値 V_{dpr} を決定し、このデータ電圧代表値 V_{dpr} に対応するゲート電圧 $V_g(0)=V_{dpr}-|V_{th}(0)|$ を用いて式(20)にしたがって閾値制御キャパシタの容量値 C_{tc} および閾値制御抵抗素子の抵抗値 R_{tc} を設定すればよい。ただし、容量値 C_{tc} および抵抗値 R_{tc} は回路定数であることから、本実施形態において決定されるデータ電圧代表値 V_{dpr} は固定値である。

[0073] また、上記式(21)からわかるように、 $C_t < C_b$ であれば、すなわち閾値制御端子側のゲート絶縁膜容量 C_t が主制御端子側のゲート絶縁膜容量 C_b よりも小さければ、 $C_{st} \cdot R_{off}$ に比べ $C_{tc} \cdot R_{tc}$ を小さくしても、駆動トランジスタ T_1 のゲート電圧 V_g の変化による駆動電流 I_1 の変動の抑制につき所望の効果を得ることができる。

[0074] <2.5 効果>

上記のような本実施形態によれば、各画素回路 $P_{ix}(i, j)$ 内において、閾値制御キャパシタ C_{tc} と閾値制御トランジスタ T_8 と閾値制御抵抗素子 R_{tc} とを用いて閾値制御電圧 V_{tc} を生成する閾値制御回路24が構成されており(図11参照)、この閾値制御電圧 V_{tc} により駆動トランジスタ T_1 の閾値 V_{th} が制御される。これにより、第1初期化トランジスタ T_4 の漏れ電流により駆動トランジスタ T_1 のゲート電圧 V_g が低下しても、駆動電流 I_1 の増大が抑えられる。したがって、表示部に閾値制御線 $TC_1 \sim TC_n$ を配設することなく、また、これらの閾値制御線 $TC_1 \sim TC_n$

を介して各画素回路 $P_{ix}(i, j)$ に与えるべき閾値制御電圧 $V_{tc}(1) \sim V_{tc}(n)$ を生成することもなく、上記第1の実施形態と同様の効果を得ることができる（図9参照）。

[0075] <3. 変形例>

本発明は上記実施形態に限定されるものではなく、本発明の範囲を逸脱しない限りにおいてさらに種々の変形を施すことができる。

[0076] 例えば上記第1の実施形態では、通常駆動モードにおいて、閾値制御電圧 $V_{tc}(i)$ が V_{tc1} に固定されるが、休止駆動モードと同様に閾値制御電圧 $V_{tc}(i)$ を変化させてもよい（図3、図9参照）。

[0077] また上記第1の実施形態では、休止駆動モードにおいて、閾値制御線 $TC1 \sim TCn$ により、各行の画素回路 $P_{ix}(i, 1) \sim P(i, m)$ に対し当該行に応じたタイミングで変化する閾値制御電圧 $V_{tc}(i)$ が、当該行の画素回路 $P_{ix}(i, 1) \sim P(i, m)$ における駆動トランジスタ $T1$ の閾値制御端子 TG 与えられる（図3参照）。しかし、 NRF 期間（非リフレッシュ期間）が十分に長い休止駆動モードにおいては、閾値制御線 $TC1 \sim TCn$ にそれぞれ印加すべき閾値制御信号 $TC(1) \sim TC(n)$ として同一の値の電圧（同一の時間関数で示される電圧） V_{tc} を生成するようにしてもよい。またこの場合、 n 本の閾値制御線 $TC1 \sim TCn$ を1本の閾値制御線に共通化し、同一の時間関数としての閾値制御電圧 V_{tc} を全ての画素回路 $P_{ix}(1, 1) \sim P(n, m)$ における駆動トランジスタ $T1$ の閾値制御端子 TG に与えるようにしてもよい。

[0078] 上記第1および第2の実施形態では、駆動トランジスタ $T1$ におけるトップゲート電極 TG が閾値制御端子として使用され、ボトムゲート電極 BG が主ゲート端子（駆動トランジスタ $T1$ に流れる電流を制御するための制御端子）として使用されているが（図4、図11）、これに代えて、トップゲート電極 TG を主ゲート端子として使用し、ボトムゲート電極 BG を閾値制御端子として使用してもよい。

[0079] 上記第1実施形態における休止駆動モードおよび第2の実施形態では、各

画素回路 $P_{ix}(i, j)$ の駆動トランジスタ T_1 の閾値制御端子 TG に与えられる閾値制御電圧 $V_{tc}(i)$ 、 V_{tc} は、その画素回路 $P_{ix}(i, j)$ におけるデータ電圧の書き込み時点の時間間隔に相当するリフレッシュ周期で周期的に変化する。すなわち、図3および図9等に示すように、1リフレッシュ周期内では閾値制御初期電圧 V_{tc1} から時間の経過と共に漸次に増大し、データ電圧の書込時点毎に閾値制御初期電圧 V_{tc1} へと戻る（ただし第2の実施形態では $V_{tc1} = V_{ini}$ である）。この閾値制御初期電圧 V_{tc1} (V_{ini}) へと戻る時点は、より詳しくは、第1の実施形態の休止駆動モードでは、図6に示すように当該画素回路 $P_{ix}(i, j)$ におけるリセット期間（第 $i-1$ 走査選択期間）の開始時点 t_2 であり、第2の実施形態では、図12に示すように当該画素回路 $P_{ix}(i, j)$ におけるデータ書込期間（第 i 走査選択期間）の開始時点 t_4 である。しかし、閾値制御電圧 $V_{ct}(t)$ が閾値制御初期電圧 V_{tc1} (V_{ini}) へと戻る時点は、非発光期間内（好ましくはデータ書込期間の開始時点 t_4 よりも前の期間 $t_1 \sim t_4$ 内）であればよく、図6や図12に示す時点に限定されない。したがって、例えば上記第2の実施形態では、図11に示すように画素回路 $P_{ix}(i, j)$ における閾値制御トランジスタ T_8 のゲート端子には対応走査信号線 G_i が接続されているが、これに代えて、当該ゲート端子に先行走査信号線 G_{i-1} を接続してもよい。なお、 NRF 期間（非リフレッシュ期間）が十分に長い休止駆動モードにおいては、閾値制御電圧 $V_{ct}(t)$ が閾値制御初期電圧 V_{tc1} (V_{ini}) に戻る時点を非発光期間内のどの時点に設定するかは、第1初期化トランジスタ T_4 等の漏れ電流による保持キャパシタ C_{st} の保持電圧（ゲート電圧 V_g ）の低下を補償するという効果には殆ど影響しない。

[0080] 上記第1および第2の実施形態では、図4および図11にそれぞれ示すような内部補償方式の画素回路15, 15bが使用されているが、画素回路の構成は、これらの構成に限定されるものではない。すなわち、保持キャパシタに保持される電圧に応じて有機EL素子等の電流駆動型の表示素子の駆動

電流を駆動トランジスタにより制御する構成であって、発光期間において画素回路内の漏れ電流により当該保持キャパシタにおける保持電圧が変化する可能性のある構成であれば、本発明の適用が可能である。また、上記第1および第2の実施形態では、画素回路15, 15bにおいて駆動トランジスタT1としてPチャネル型のトランジスタが使用されているが（図4および図11参照）、駆動トランジスタT1等にNチャネル型のトランジスタ（例えば、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）を主成分とする酸化物半導体であるIn-Ga-Zn-O（酸化インジウムガリウム亜鉛）によりチャネル層が形成されたNチャネル型の薄膜トランジスタ）を使用する場合であっても本発明の適用が可能であり、本発明の適用により同様の効果（休止駆動が行われるときにもフリッカの生じない良好な表示を行えるという効果）が得られる。

[0081] 上記第1および第2の実施形態では、表示画像においてフリッカを生じさせるゲート電圧 V_g （保持キャパシタ C_{st} の保持電圧）の低下の要因として第1初期化トランジスタT4の漏れ電流のみを考慮し、ゲート電圧 V_g の低下を数式化して当該低下を補償するための閾値制御電圧 V_{tc} の数式を導出している。ゲート電圧 V_g の低下の要因として他の経路による漏れ電流（例えば、駆動トランジスタT1の主ゲート端子から閾値補償トランジスタT3、発光制御トランジスタT6、および有機EL素子OLを介してローレベル電源線ELVSSへと至る経路による漏れ電流）が無視できない場合においても、上記と同様の考え方で、ゲート電圧 V_g の低下を数式化して当該低下を補償するための閾値制御電圧 V_{tc} の数式を導出することができる。

[0082] 以上においては、有機EL表示装置を例に挙げて実施形態およびその変形例が説明されたが、本発明は、有機EL表示装置に限定されるものではなく、電流で駆動される表示素子を用いた表示装置であれば適用可能である。ここで使用可能な表示素子は、電流によって輝度または透過率等が制御される表示素子であり、例えば、有機EL素子すなわち有機発光ダイオード（Organic Light Emitting Diode（OLED））の他、無機発光ダイオードや量子ド

ット発光ダイオード（Quantum dot Light Emitting Diode（QLED））等
が使用可能である。

符号の説明

- [0083] 10, 10b …有機EL表示装置
 11, 11b …表示部
 15, 15b …画素回路
 Pix(j, i) …画素回路 (i = 1 ~ n、j = 1 ~ m)
 20 …表示制御回路
 22, 24 …閾値制御回路
 30 …データ側駆動回路（データ信号線駆動回路）
 40 …走査側駆動回路（走査信号線駆動／発光制御回路）
 40b …走査側駆動回路（走査信号線駆動／発光制御回路）
 Gi …走査信号線 (i = 1 ~ n)
 Ei …発光制御線 (i = 1 ~ n)
 Tci …閾値制御線 (i = 1 ~ n)
 Dj …データ信号線 (j = 1 ~ m)
 Vini …初期化電圧供給線、初期化電圧
 ELVDD …ハイレベル電源線（第1電源線）、ハイレベル電源電圧
 ELVSS …ローレベル電源線（第2電源線）、ローレベル電源電圧
 OLED …有機EL素子（表示素子）
 Cst …保持キャパシタ
 Ctc …閾値制御キャパシタ
 Rtc …閾値制御抵抗素子
 T1 …駆動トランジスタ
 T2 …書込制御トランジスタ
 T3 …閾値補償トランジスタ
 T4 …第1初期化トランジスタ（初期化スイッチング素子）
 T5 …第1発光制御トランジスタ

- T 6 …第2発光制御トランジスタ
- T 7 …第2初期化トランジスタ
- T 8 …閾値制御トランジスタ（閾値制御スイッチング素子）
- B G …主ゲート端子、ボトムゲート電極（第1ゲート電極）
- T G …閾値制御端子、トップゲート電極（第2ゲート電極）
- B G I …ゲート絶縁膜（第1絶縁膜）
- T G I …ゲート絶縁膜（第2絶縁膜）
- V a …アノード電圧
- V g …ゲート電圧
- V t c …閾値制御電圧
- T r e f - P D …休止駆動モードにおけるリフレッシュ周期

請求の範囲

[請求項1]

複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

第1および第2電源線と、

前記複数のデータ信号線を駆動するデータ信号線駆動回路と、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

前記複数の画素回路の外部または内部に設けられた閾値制御回路とを備え、

各画素回路は、

前記複数の走査信号線のいずれか1つに対応するとともに前記複数のデータ信号線のいずれか1つに対応し、

電流によって駆動される表示素子と、保持キャパシタと、駆動トランジスタとを含み、

前記駆動トランジスタは、それに流れる電流を制御するための主制御端子と、その閾値を制御するための閾値制御端子とを有し、

前記駆動トランジスタの前記主制御端子は、前記保持キャパシタを介して前記第1電源線に接続されており、

各画素回路は、

対応する走査信号線が選択されたときに、対応するデータ信号線の電圧がデータ電圧として前記保持キャパシタに書き込まれ、

前記表示素子の発光期間では、前記第1電源線から前記駆動トランジスタおよび前記表示素子を介して前記第2電源線に至る経路に前記表示素子の駆動電流が流れ、前記保持キャパシタに保持された電圧に応じて前記駆動トランジスタにより当該駆動電流が制御されるように構成されており、

前記閾値制御回路は、各画素回路につき、前記表示素子の発光期間

において、当該画素回路内の漏れ電流による前記保持キャパシタの保持電圧の変化を補償するように前記駆動トランジスタの閾値を変化させる閾値制御電圧を前記閾値制御端子に与える、表示装置。

[請求項2]

初期化電圧供給線を更に備え、

各画素回路は、初期化スイッチング素子を更に含み

前記駆動トランジスタの前記主制御端子は、前記初期化スイッチング素子を介して前記初期化電圧供給線に接続されており、

前記表示素子の発光期間において前記保持キャパシタの保持電圧を変化させる前記漏れ電流は、オフ状態の前記初期化スイッチング素子の漏れ電流を含む、請求項1に記載の表示装置。

[請求項3]

前記複数の走査信号線にそれぞれ対応する複数の閾値制御線を更に備え、

前記複数の閾値制御線のそれぞれは、対応する走査信号線に接続された画素回路における前記駆動トランジスタの前記閾値制御端子に接続されており、

前記閾値制御回路は、前記複数の画素回路における前記駆動トランジスタの前記閾値制御端子に与えるべき閾値制御電圧を前記複数の画素回路の外部で生成し、前記複数の閾値制御線を介して前記複数の画素回路に供給する、請求項2に記載の表示装置。

[請求項4]

前記閾値制御回路は、前記複数の閾値制御線につき共通の閾値制御電圧を生成し、当該共通の閾値制御電圧を前記複数の閾値制御線を介して前記複数の画素回路に供給する、請求項3に記載の表示装置。

[請求項5]

前記閾値制御回路は、各閾値制御線によって供給すべき閾値制御電圧として、当該閾値制御線に対応する走査信号線に接続された画素回路におけるデータ電圧の書き込み時点の時間間隔に相当するリフレッシュ周期で周期的に変化し、かつ、当該画素回路におけるデータ電圧の各書き込み時点を時刻 $t = 0$ としたときに下記式で与えられる時間 t の関数 $V_{tc}(t)$ にしたがって各リフレッシュ周期内で変化する電圧

を生成する、請求項3に記載の表示装置：

$$V_{tc}(t) = V_{tcI} + (V_{dpr} - |V_{th}(0)| - V_{ini})t / \{(C_{st} \cdot R_{off})(C_t/C_b)\}$$

ここで、 V_{tcI} は、前記データ電圧の書込時点での前記閾値制御端子の電圧であり、 V_{dpr} は、当該閾値制御線に対応する走査信号線に接続された画素回路に書き込むべきデータ電圧の代表値に相当する値であり、 $V_{th}(0)$ は、前記データ電圧の書込時点での前記駆動トランジスタの閾値であり、 V_{ini} は、前記初期化電圧供給線の電圧であり、 C_{st} は、前記保持キャパシタの容量値であり、 R_{off} は、オフ状態の前記初期化スイッチング素子の抵抗値であり、 C_t は、前記駆動トランジスタの前記閾値制御端子におけるゲート絶縁膜容量の値であり、 C_b は、前記駆動トランジスタの前記主制御端子におけるゲート絶縁膜容量の値である。

[請求項6] 前記代表値は、各閾値制御線につき同一の値が決定される、請求項5に記載の表示装置。

[請求項7] 前記代表値は、各閾値制御線につき決定される値であって、当該閾値制御線に対応する走査信号線に接続された画素回路に書き込むべきデータ電圧の平均値に相当する値である、請求項5に記載の表示装置。

[請求項8] 前記複数のデータ信号線にそれぞれ沿って配設された複数の閾値制御線を更に備え、

前記複数の閾値制御線のそれぞれは、当該閾値制御線に対応するデータ信号線に接続された画素回路における前記駆動トランジスタの前記閾値制御端子に接続されており、

前記閾値制御回路は、前記複数の画素回路における前記駆動トランジスタの前記閾値制御端子に与えるべき閾値制御電圧として前記複数の閾値制御線につき共通の閾値制御電圧を前記複数の画素回路の外部で生成し、当該共通の閾値制御電圧を前記複数の閾値制御線を介して

前記複数の画素回路に供給する、請求項 2 に記載の表示装置。

[請求項9]

前記表示装置は、前記複数の走査信号線を順次に選択して前記複数の画素回路にデータ電圧を書き込むリフレッシュ期間が繰り返されるように前記走査信号線駆動回路および前記データ信号線駆動回路を駆動する通常駆動モードと、前記リフレッシュ期間と前記複数の走査信号線を非選択状態として前記複数の画素回路へのデータ電圧の書き込みを停止する非リフレッシュ期間とが交互に現れるように前記走査信号線駆動回路および前記データ信号線駆動回路を駆動する休止駆動モードとを有し、

前記閾値制御回路は、

前記通常駆動モードでは、各画素回路における前記駆動トランジスタの前記閾値制御端子に前記閾値制御電圧として一定電圧を与え、

前記休止駆動モードでは、各画素回路において、前記表示素子の発光期間に、当該画素回路内の漏れ電流による前記保持キャパシタの保持電圧の変化を補償するように前記駆動トランジスタの閾値を変化させる閾値制御電圧を前記閾値制御端子に与える、請求項 1 から 8 のいずれか 1 項に記載の表示装置。

[請求項10]

前記閾値制御回路は、前記休止駆動モードでは、各画素回路につき、前記表示素子の発光期間において、前記保持キャパシタの保持電圧の変化による前記主制御端子の電位変化に対して前記閾値制御端子の電位を逆方向に変化させる電圧を前記閾値制御電圧として前記閾値制御端子に与える、請求項 9 に記載の表示装置。

[請求項11]

前記駆動トランジスタは、前記主制御端子としての第 1 ゲート電極と、前記閾値制御端子としての第 2 ゲート電極と、第 1 および第 2 絶縁膜とを有し、

前記第 1 ゲート電極は、前記駆動トランジスタのチャネル領域に相当する半導体層の一方の面と前記第 1 絶縁膜を介して対向するように配置されており、

前記第2ゲート電極は、前記チャンネル領域に相当する前記半導体層の他方の面と前記第2絶縁膜を介して対向するように配置されている、請求項1から10のいずれか1項に記載の表示装置。

[請求項12] 前記第2ゲート電極と前記半導体層との前記第2絶縁膜を介した容量が、前記第1ゲート電極と前記半導体層との前記第1絶縁膜を介した容量よりも大きい、請求項11に記載の表示装置。

[請求項13] 各画素回路は、前記閾値制御回路を更に含み、
前記閾値制御回路は、閾値制御スイッチング素子と、閾値制御キャパシタと、閾値制御抵抗素子とを有し、
前記駆動トランジスタの前記閾値制御端子は、前記閾値制御キャパシタを介して前記第1電源線に接続され、かつ、前記閾値制御スイッチング素子を介して前記初期化電圧供給線に接続され、かつ、前記閾値制御抵抗素子を介して前記第1電源線に接続されており、
前記閾値制御回路は、前記閾値制御スイッチング素子が、前記閾値制御回路を含む画素回路におけるデータ電圧の書込時点毎にオフ状態からオン状態に変化するように構成されている、請求項2に記載の表示装置。

[請求項14] 各画素回路における前記閾値制御スイッチング素子の制御端子は、当該画素回路に対応する走査信号線または当該対応する走査信号線の直前に選択される走査信号線に接続されている、請求項13に記載の表示装置。

[請求項15] 前記駆動トランジスタは、前記主制御端子としての第1ゲート電極と、前記閾値制御端子としての第2ゲート電極と、第1および第2絶縁膜とを有し、
前記第1ゲート電極は、前記駆動トランジスタのチャンネル領域に相当する半導体層の一方の面と前記第1絶縁膜を介して対向するように配置されており、

前記第2ゲート電極は、前記チャンネル領域に相当する前記半導体層

の他方の面と前記第2絶縁膜を介して対向するように配置されている、請求項13または14に記載の表示装置。

[請求項16] 前記第2ゲート電極と前記半導体層との前記第2絶縁膜を介した容量が、前記第1ゲート電極と前記半導体層との前記第1絶縁膜を介した容量よりも小さい、請求項15に記載の表示装置。

[請求項17] 前記駆動トランジスタは、Pチャネル型トランジスタであり、前記第1電源線の電圧は、前記第2電源線の電圧よりも高い、請求項1から16のいずれか1項に記載の表示装置。

[請求項18] 複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、第1および第2電源線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、

前記複数のデータ信号線を駆動するデータ信号線駆動ステップと、前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

前記複数の画素回路に含まれる駆動トランジスタの閾値を制御する閾値制御ステップと

を備え、

各画素回路は、

前記複数の走査信号線のいずれか1つに対応するとともに前記複数のデータ信号線のいずれか1つに対応し、

電流によって駆動される表示素子と、保持キャパシタと、前記駆動トランジスタとを含み、

前記駆動トランジスタは、それに流れる電流を制御するための主制御端子と、その閾値を制御するための閾値制御端子とを有し、

前記駆動トランジスタの前記主制御端子は、前記保持キャパシタを介して前記第1電源線に接続されており、

各画素回路は、

対応する走査信号線が選択されたときに、対応するデータ信号線の電圧がデータ電圧として前記保持キャパシタに書き込まれ、

前記表示素子の発光期間では、前記第1電源線から前記駆動トランジスタおよび前記表示素子を介して前記第2電源線に至る経路に前記表示素子の駆動電流が流れ、前記保持キャパシタに保持された電圧に応じて前記駆動トランジスタにより当該駆動電流が制御されるように構成されており、

前記閾値制御ステップでは、各画素回路につき、前記表示素子の発光期間において、当該画素回路内の漏れ電流による前記保持キャパシタの保持電圧の変化を補償するように前記駆動トランジスタの閾値を変化させる閾値制御電圧が前記閾値制御端子に与えられる、駆動方法。

[請求項19]

前記表示装置は、初期化電圧供給線を更に備え、

各画素回路は、初期化スイッチング素子を更に含み

前記駆動トランジスタの前記主制御端子は、前記初期化スイッチング素子を介して前記初期化電圧供給線に接続されており、

前記表示素子の発光期間において前記保持キャパシタの保持電圧を変化させる前記漏れ電流は、オフ状態の前記初期化スイッチング素子の漏れ電流を含む、請求項18に記載の駆動方法。

[請求項20]

前記表示装置は、前記複数の走査信号線にそれぞれ対応する複数の閾値制御線を更に備え、

前記複数の閾値制御線のそれぞれは、対応する走査信号線に接続された画素回路における前記駆動トランジスタの前記閾値制御端子に接続されており、

前記閾値制御ステップでは、前記複数の画素回路における前記駆動トランジスタの前記閾値制御端子に与えるべき閾値制御電圧が前記複数の画素回路の外部で生成され、前記複数の閾値制御線を介して前記複数の画素回路に供給される、請求項19に記載の駆動方法。

[請求項21] 前記表示装置は、前記複数の走査信号線を順次に選択して前記複数の画素回路にデータ電圧を書き込む表示画像のリフレッシュが繰り返されるように前記走査信号線駆動ステップおよび前記データ信号線駆動ステップが実行される通常駆動モードと、前記表示画像のリフレッシュを行うリフレッシュ期間と前記複数の走査信号線を非選択状態として前記表示画像のリフレッシュを停止する非リフレッシュ期間とが交互に現れるように前記走査信号線駆動ステップおよび前記データ信号線駆動ステップが実行される休止駆動モードとを有し、

前記閾値制御ステップは、

前記通常駆動モードで、各画素回路における前記駆動トランジスタの前記閾値制御端子に前記閾値制御電圧として一定電圧を与えるステップと、

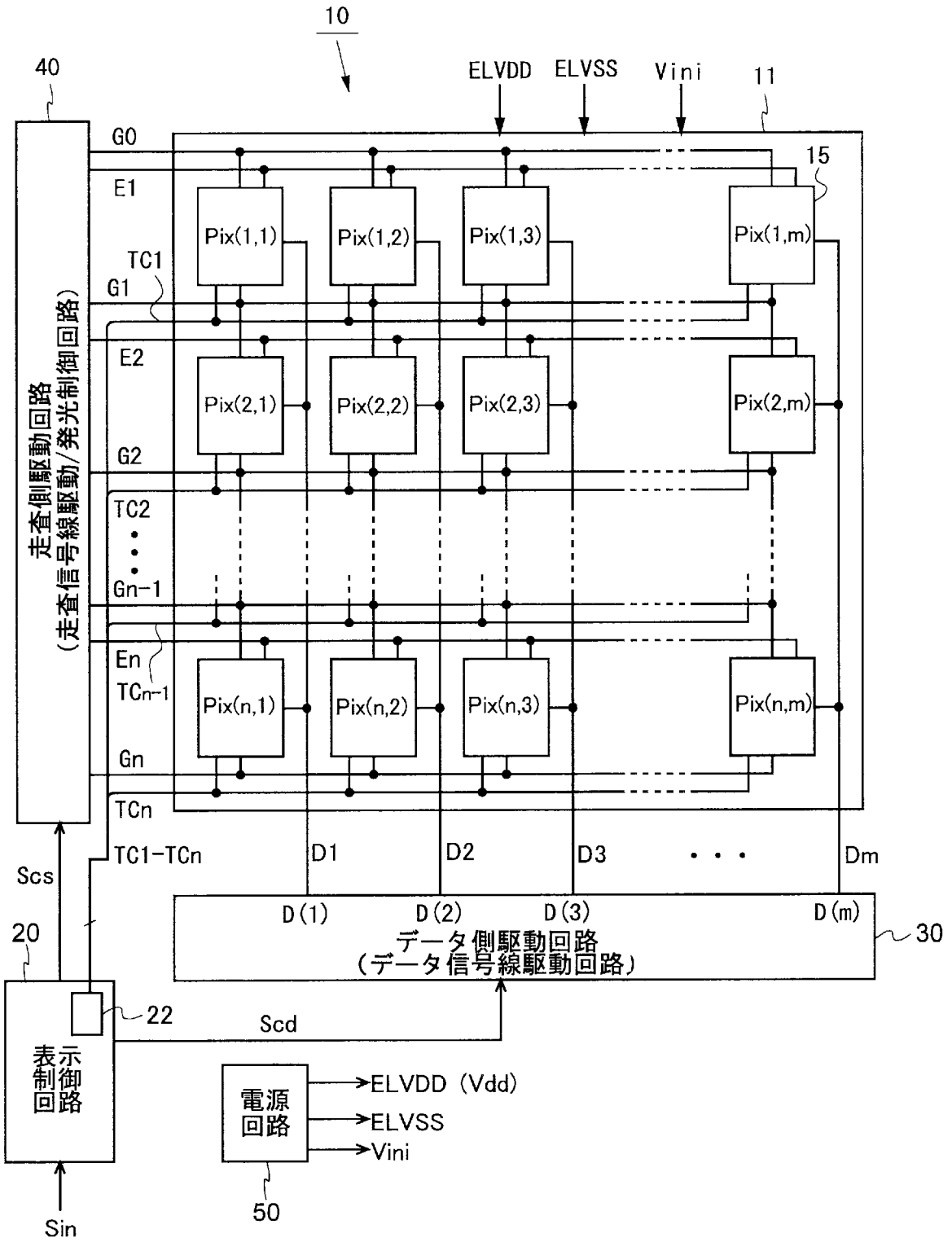
前記休止駆動モードで、各画素回路において、前記表示素子の発光期間に、当該画素回路内の漏れ電流による前記保持キャパシタの保持電圧の変化を補償するように前記駆動トランジスタの閾値を変化させる閾値制御電圧を前記閾値制御端子に与えるステップとを含む、請求項18から20のいずれか1項に記載の駆動方法。

[請求項22] 各画素回路は、閾値制御スイッチング素子と、閾値制御キャパシタと、閾値制御抵抗素子とを更に含み、

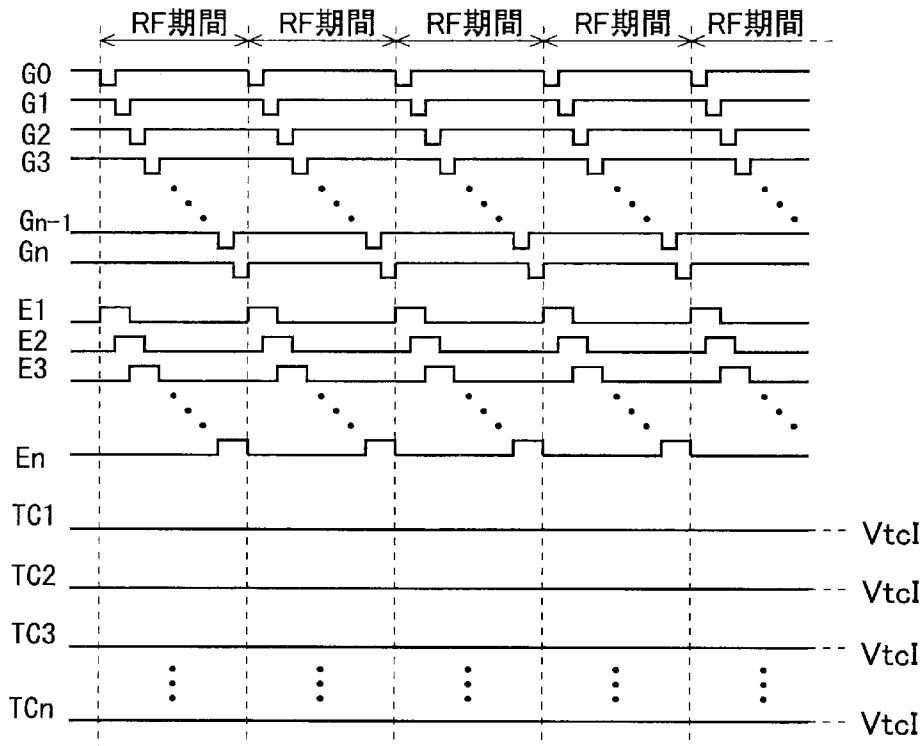
前記駆動トランジスタの前記閾値制御端子は、前記閾値制御キャパシタを介して前記第1電源線に接続され、かつ、前記閾値制御スイッチング素子を介して前記初期化電圧供給線に接続され、かつ、前記閾値制御抵抗素子を介して前記第1電源線に接続されており、

前記閾値制御ステップでは、前記閾値制御スイッチング素子が、前記閾値制御回路を含む画素回路におけるデータ電圧の書込時点毎にオフ状態からオン状態に変化することにより、前記駆動トランジスタの前記閾値制御端子に与えるべき前記閾値制御電圧が生成される、請求項19に記載の駆動方法。

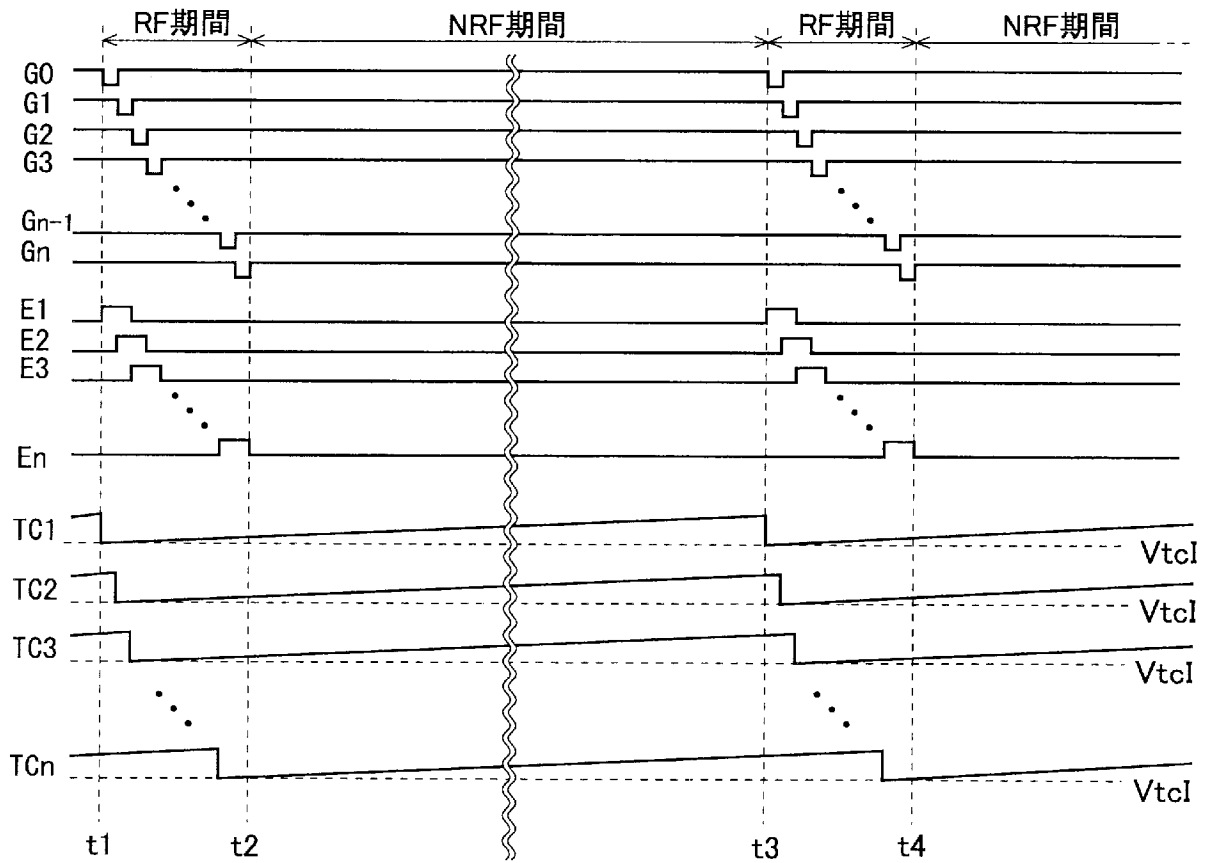
[図1]



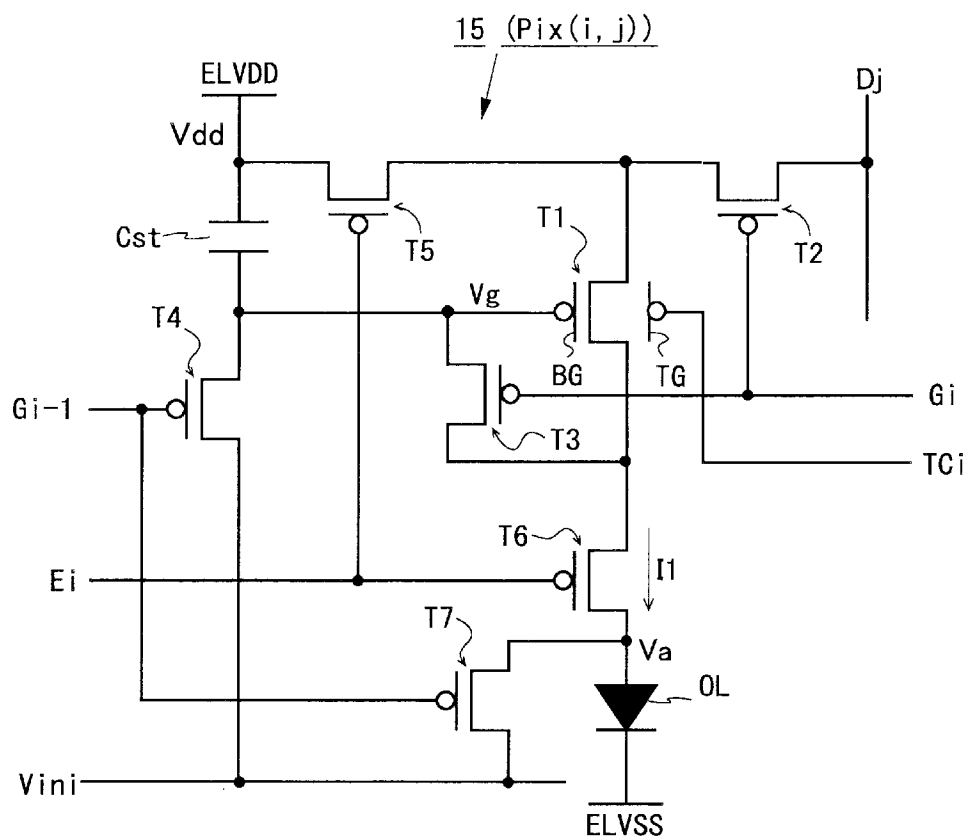
[図2]



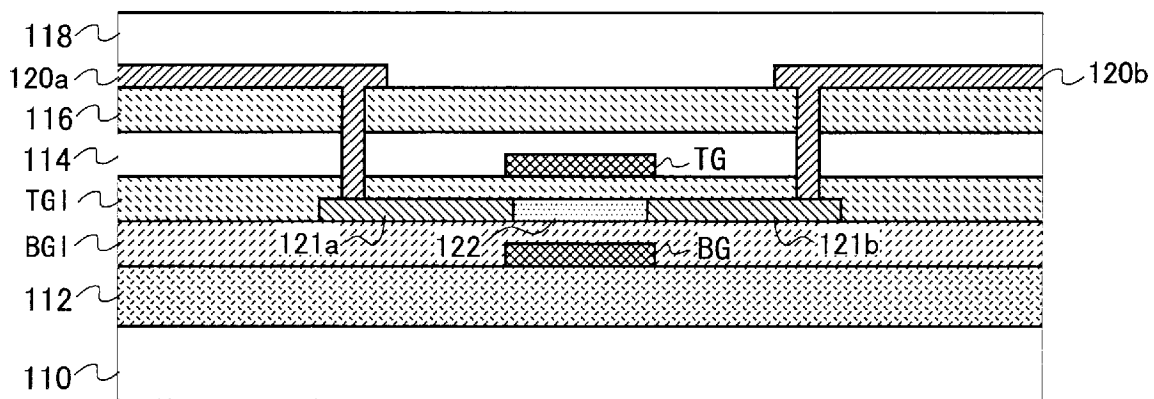
[図3]



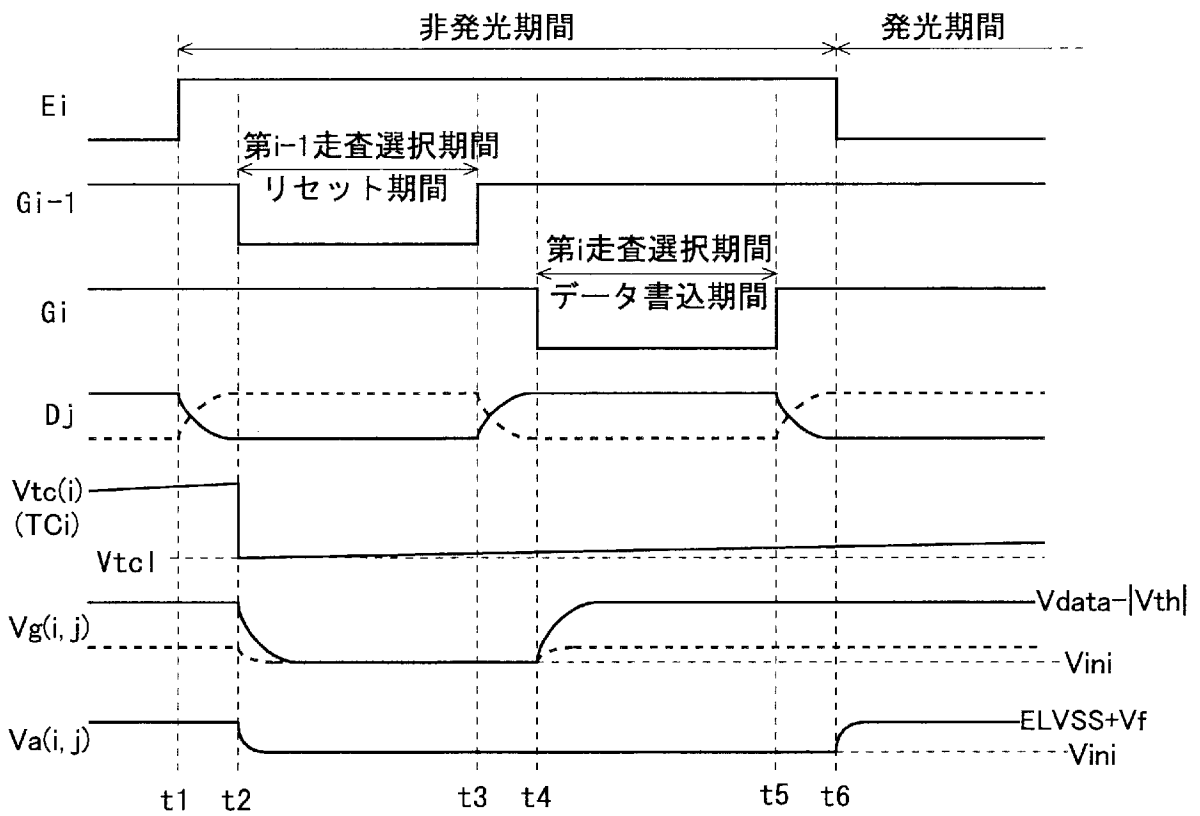
[図4]



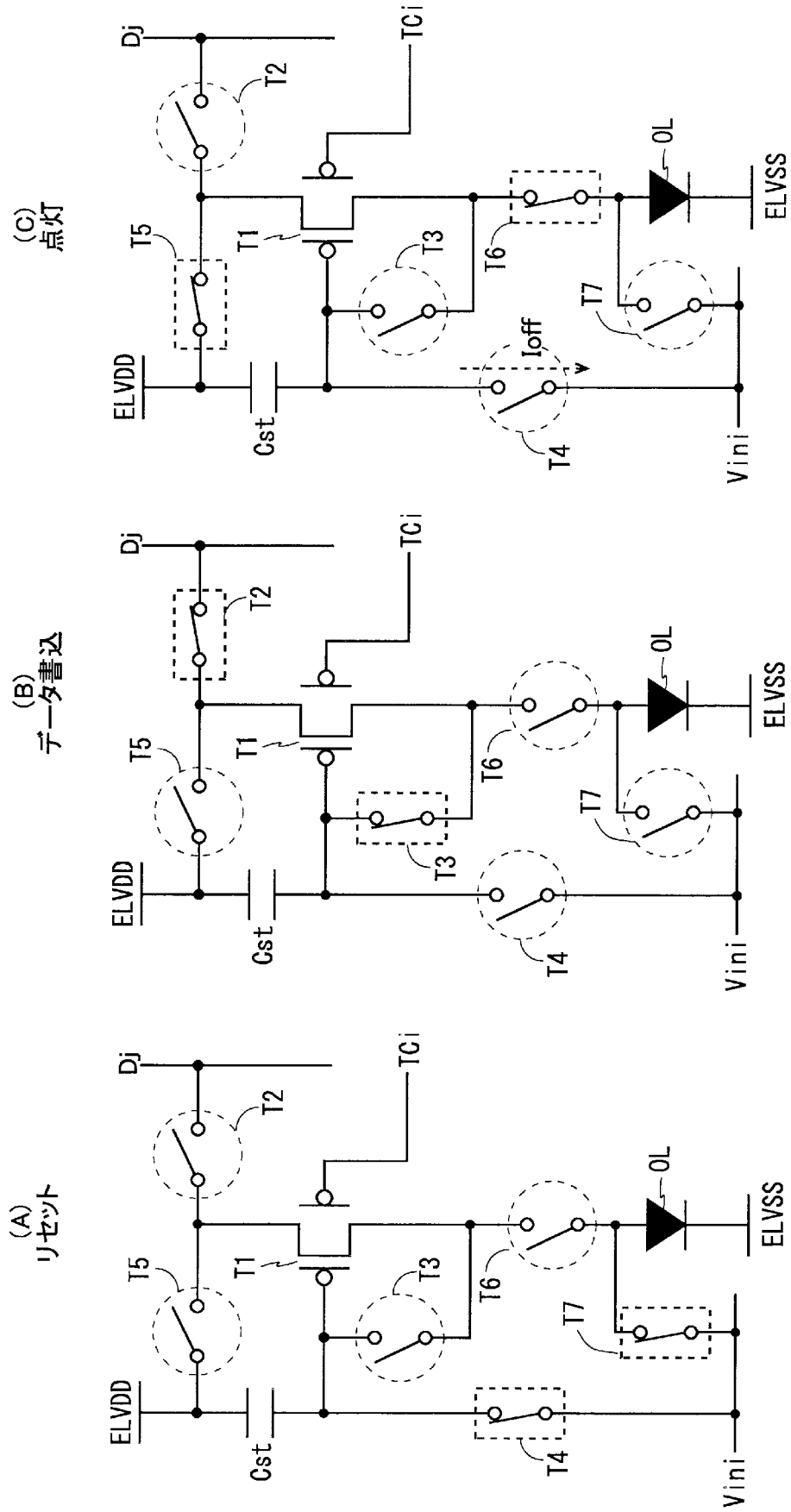
[図5]



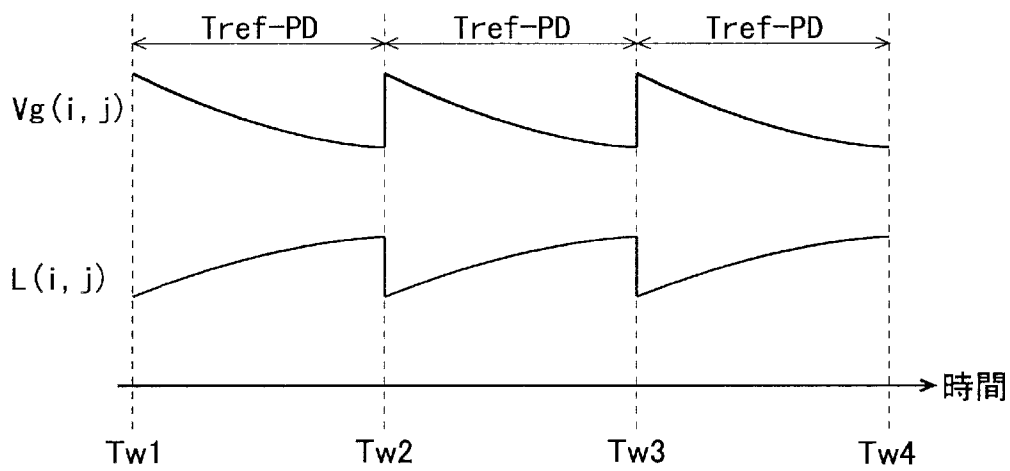
[図6]



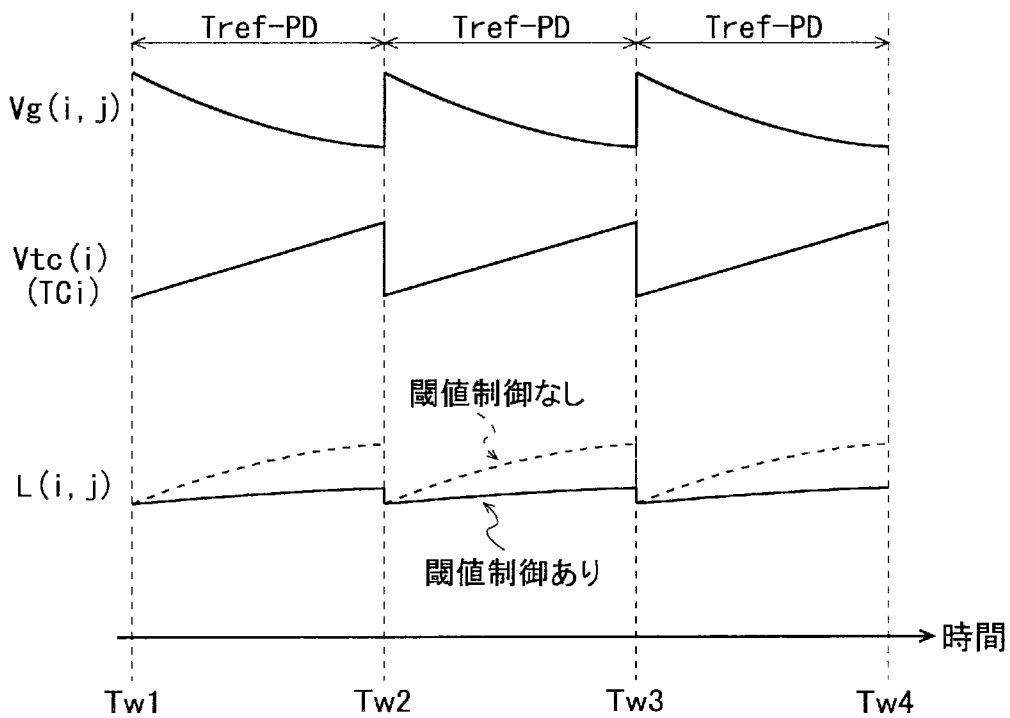
[図7]



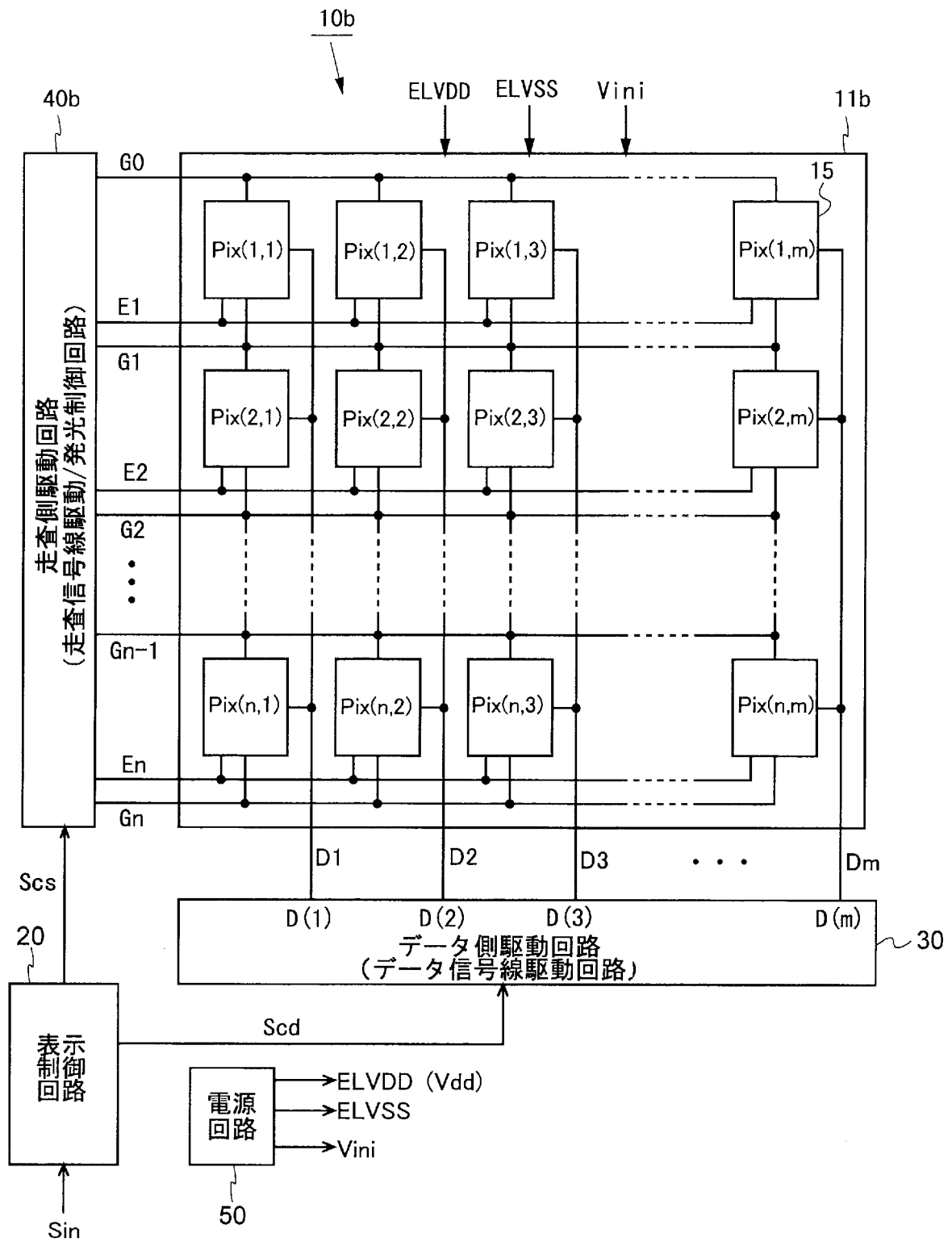
[図8]



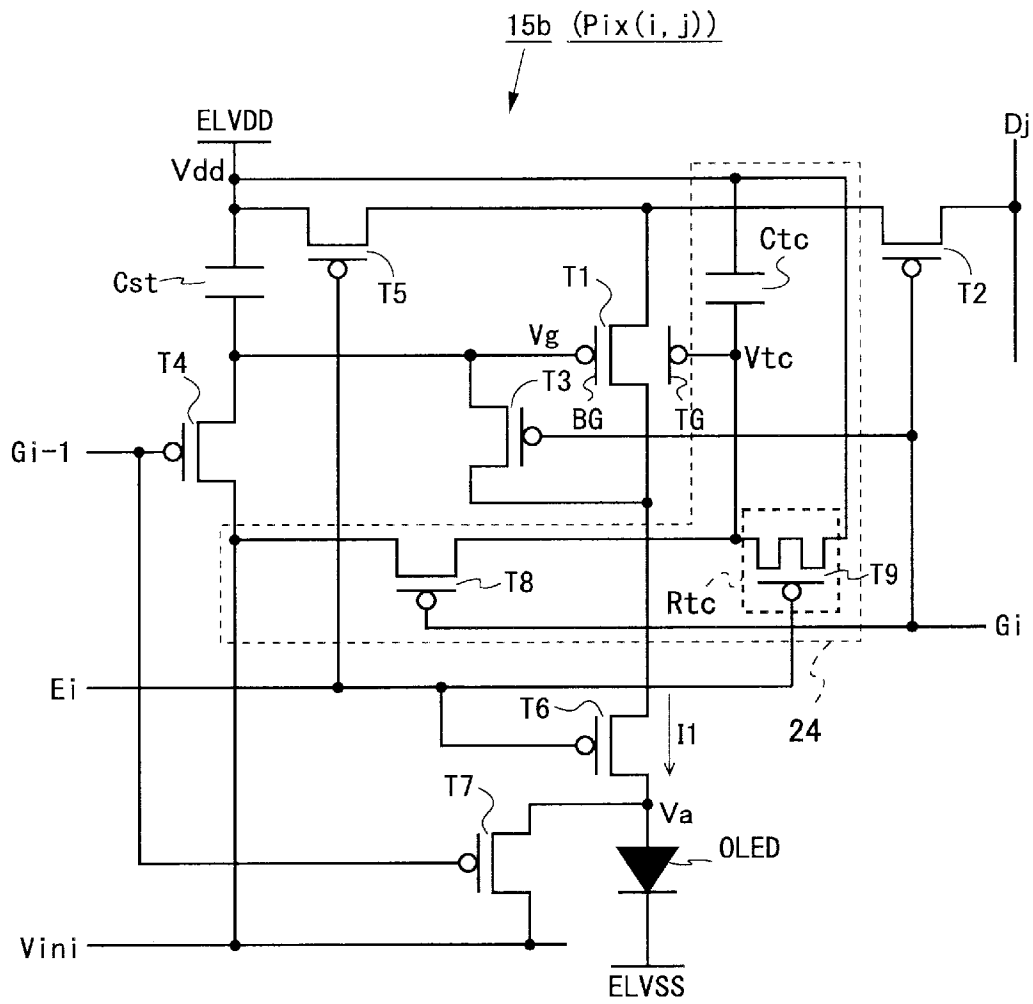
[図9]



[図10]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/036597

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/3233, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018/0144685 A1 (GONG et al.) 24 March 2018, paragraphs [0104]-[0125], [0128]-[0137], fig. 12-18 & EP 3327712 A1 & KR 10-2018-0058282 A & CN 108091303 A	1-22
A	JP 2012-14136 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 19 January 2012, entire text, all drawings & US 2012/0001893 A1, entire text, all drawings & EP 2402932 A1 & KR 10-2012-0002070 A & CN 102314829 A & TW 201201180 A	1-22

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17.12.2018	Date of mailing of the international search report 25.12.2018
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/036597

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-3568 A (SONY CORPORATION) 07 January 2013, paragraphs [0107], [0154]-[0156], fig. 6 & US 2012/0327058 A1, paragraphs [0149], [0199]-[0201], fig. 6 & CN 102842281 A	1-22
A	JP 2015-14763 A (SONY CORPORATION) 22 January 2015, paragraph [0044], fig. 2 & US 2015/0009201 A1, paragraph [0059], fig. 2 & CN 104282257 A	1-22
A	US 2018/0158406 A1 (KIM et al.) 07 June 2018, paragraphs [0125]-[0135], fig. 10A, 10B & KR 10-2018-0064619 A & CN 108154846 A	1-22
A	WO 2015/037331 A1 (SHARP CORPORATION) 19 March 2015, entire text, all drawings & US 2016/0125796 A1, entire text, all drawings	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/3233, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2018/0144685 A1 (GONG et al.) 2018.03.24, 段落 [0104]-[0125], [0128]-[0137], 図 12-18 & EP 3327712 A1 & KR 10-2018-0058282 A & CN 108091303 A	1-22
A	JP 2012-14136 A (三星モバイルディスプレイ株式会社) 2012.01.19, 全文, 全図 & US 2012/0001893 A1, 全文, 全図 & EP 2402932 A1 & KR 10-2012-0002070 A & CN 102314829 A & TW 201201180 A	1-22

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

17.12.2018

国際調査報告の発送日

25.12.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後藤 亮治

21

6201

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-3568 A (ソニー株式会社) 2013.01.07, 段落[0107], [0154]-[0156], 図6 & US 2012/0327058 A1, 段落[0149], [0199]-[0201], 図6 & CN 102842281 A	1-22
A	JP 2015-14763 A (ソニー株式会社) 2015.01.22, 段落 [0044], 図2 & US 2015/0009201 A1, 段落 [0059], 図2 & CN 104282257 A	1-22
A	US 2018/0158406 A1 (KIM et al.) 2018.06.07, 段落 [0125]-[0135], 図10A-10B & KR 10-2018-0064619 A & CN 108154846 A	1-22
A	WO 2015/037331 A1 (シャープ株式会社) 2015.03.19, 全文, 全図 & US 2016/0125796 A1, 全文, 全図	1-22