



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

261 901

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 18 03 85
(21) PV 1879-85

(51) Int. Cl.⁴

G 05 B 15/02,
G 05 B 19/403

(40) Zveřejněno 12 06 86
(45) Vydáno 2.1.1990

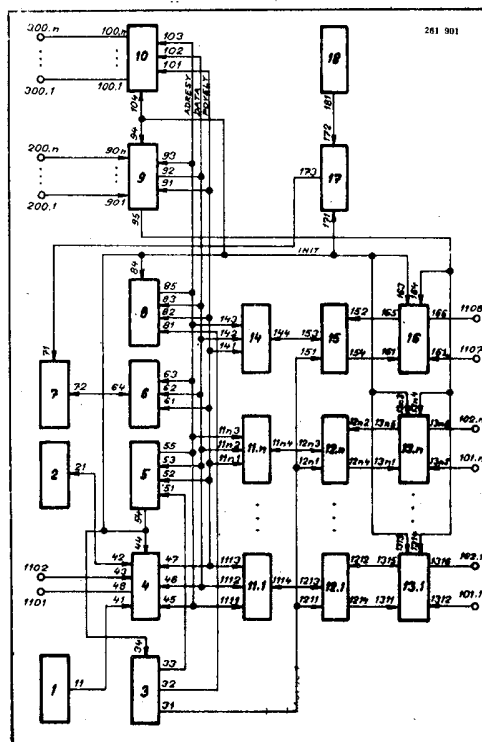
(75)
Autor vynálezu

LANG PRAVDOMIL ing., JESENICE, TRHLÍN ALOIS ing., HOSTIVICE,
ZEMAN LUBOŠ ing., BLAŽEK VÍTĚZSLAV ing.,
KRAUS JOSEF ing., DUŠEK BEDŘICH ing.,
KONDR JAN ing. CSc., PUJMAN JIŘÍ ing. CSc., PRAHA

(54)

Zapojení mikroprocesorového řídicího systému

Vynález se týká řídicí a regulační techniky v oboru číslicového řízení obráběcích strojů a řeší zapojení mikroprocesorového řídicího systému. Snímací zařízení snímá potřebné vstupní informace z daného záznamového média. Ovládací panel indikuje provozní údaje a zadává povely systému. Časová základna vytváří potřebné frekvence, periferní blok zprostředkovává přenos informací mezi ovládacím panelem, snímacím zařízením a dalšími bloky. Řídicí mikropočítač řeší základní systémové funkce. Stykový blok komunikuje s pamětí, stykový mikropočítač řeší logické funkce, vstupní blok přenáší vstupní dvouhodnotové informace do systému a výstupní blok naopak. Řídicí bloky přenášejí obousměrně informace mezi řídicím mikropočítačem a jednotlivými dvousouřadnicovými mikropočítači. Dvousouřadnicový mikropočítač řídí posuv dvou souřadnic. Převodní bloky převádějí informace z čidel do systému. Vřetenový řídicí blok zabezpečuje řízení vřetena. Hlináčí blok zabezpečuje správnou funkci důležitých bloků systému. Napájecí blok vytváří potřebné napětí. Využívá se při řízení obráběcích a tvářecích strojů.



Vynález se týká zapojení mikroprocesorového řídicího systému pro číslicové řízení obráběcích a tvářecích strojů.

Jsou známé číslicové řídicí systémy, které umožňují kromě jiného obvykle řízení dvou nebo více souřadnic v obecném cyklu pomocí lineárního nebo kvadratického interpolátoru včetně korekce na průměr a délku nástroje a neustále se opakující výpočet absolutní polohy jednotlivých suportů v příslušných souřadnicových směrech. Další samostatnou část řídicího systému tvoří tzv. diferenční členy pro výpočet polohových odchylek řízených souřadnic a blok programovatelného automatu pro řešení aritmeticko-logických funkcí s dvouhodnotovými vstupními a výstupními informacemi, které přicházejí z řídicí části systému a stroje. Řídicí systém je složitý a rozsáhlý zařízení, které se skládá buď z mnoha funkčních bloků, řazených paralelně vedle sebe a řešících jednotlivé funkce, nebo z centrálního výpočetního bloku a přídatného zařízení, jež zprostředkovává spojení s vlastním obráběcím strojem, programovatelným automatem a jednotlivými periferními prostředky pro styk s obsluhou. Při paralelním řazení jednotlivých funkčních bloků, kdy se obvykle v jednotlivých funkčních blocích řeší stejné logické a aritmetické operace, řídicí systém neúměrně rozměrově narůstá. Nárůst se projevuje tím, že se zvyšuje počet použitých součástí. Tím klesá spolehlivost systému a roste jeho cena. Při zařazení centrálního výpočetního bloku a přídatného zařízení, se vyžaduje vysoká rychlost, při provádění jednotlivých výpočtů. K tomu by bylo třeba použít speciálně řešeného výpočetního bloku. Současná mikroprocesorová technika neumožňuje jednoduchým způsobem požadavky na vysokou výpočetní rychlost splnit.

Tyto nevýhody odstraňuje zapojení mikroprocesorového řídicího systému podle vynálezu. Podstata vynálezu spočívá v tom, že snímací výstup snímacího zařízení je spojen se snímacím výstupem periferního bloku, jehož záznamový výstup je spojen se záznamovým výstupem zapojení. Obousměrný komunikační vývod zapojení je spojen s obousměrným komunikačním vývodem periferního bloku, jehož obousměrný informační vývod je spojen s obousměrným informačním vývodem ovládacího panelu. Obousměrný povelový vývod periferního bloku je spojen s obousměrným povelovým vývodem stykového bloku, s obousměrným povelovým vývodem stykového mikropočítače, s obousměrným povelovým vývodem vstupního bloku, s obousměrným povelovým vývodem výstupního bloku, s obousměrným povelovým vývodem řídicího mikropočítače, s obousměrným povelovým vývodem vřetenového řídicího bloku a s obousměrným povelovým vývodem každého řídicího bloku. Obousměrný řídicí vývod každého řídicího bloku je spojen s odpovídajícím obousměrným řídicím vývodem každého dvousouřadnicového mikropočítače, jehož povelový výstup je spojen s odpovídajícím povelovým vstupem každého převodního bloku. Odměřovací vstup každého převodního bloku je spojen s odpovídajícím odměřovacím vstupem zapojení. Každý regulační výstup zapojení je spojen s regulačním výstupem odpovídajícího převodního bloku, jehož každý informační výstup je spojen s informačním vstupem odpovídajícího dvousouřadnicového mikropočítače. Taktovací vstup každého dvousouřadnicového mikropočítače je spojen s taktovacím vstupem vřetenového mikropočítače a s prvním taktovacím výstupem časové základny. Druhý taktovací výstup časové základny je spojen s taktovacím vstupem stykového mikropočítače. Obousměrný datový vývod stykového mikropočítače je spojen s datovým vstupem výstupního bloku, s datovým výstupem vstupního bloku, s obousměrným datovým vývodem stykového bloku, s obousměrným datovým vývodem periferního bloku, s obousměrným datovým vývodem každého řídicího bloku, s obousměrným datovým vývodem vřetenového

řídícího bloku a s obousměrným datovým vývodem řídícího mikropočítače. Taktovací vstup řídícího mikropočítače je spojen s třetím taktovacím výstupem časové základny, jejíž startovací vstup je spojen se startovacím vstupem periferního bloku, s obousměrným startovacím vývodem řídícího mikropočítače, s obousměrným startovacím vývodem stykového mikropočítače, se startovacím vstupem vstupního bloku, se startovacím vstupem výstupního bloku, s obousměrným startovacím vývodem každého převodního bloku, s obousměrným startovacím vývodem vřetenového převodního bloku a s obousměrným startovacím vývodem hlídacího bloku. Diagnostický vstup hlídacího bloku je spojen s diagnostickým výstupem napájecího bloku a napájecí výstup hlídacího bloku je spojen s napájecím vstupem paměti. Obousměrný přenosový vývod paměti je spojen s obousměrným přenosovým vývodem stykového bloku, jehož adresový vstup je spojen s adresovým vstupem periferního bloku, s adresovým výstupem řídícího mikropočítače, s adresovým výstupem stykového mikropočítače, s adresovým vstupem vstupního bloku, s adresovým vstupem výstupního bloku, s adresovým vstupem každého řídícího bloku a s adresovým vstupem vřetenového řídícího bloku. Obousměrný řídicí vývod vřetenového řídícího bloku je spojen s obousměrným řídicím vývodem vřetenového mikropočítače, jehož povelový výstup je spojen s povelovým vstupem vřetenového převodního bloku. Odměřovací vstup vřetenového převodního bloku je spojen s impulsním odměřovacím vstupem zapojení, jehož vřetenový regulační výstup je spojen s regulačním výstupem vřetenového převodního bloku. Informační výstup vřetenového převodního bloku je spojen s informačním vstupem vřetenového mikropočítače a hlásicí vstup vřetenového převodního bloku je spojen s hlásicím vstupem každého převodního bloku a s hlásicím výstupem vstupního bloku. První až poslední dvouhodnotový vstup vstupního bloku je spojen s odpovídajícím dvouhodnotovým vstupem zapojení, jehož

každý dvouhodnotový výstup je spojen s odpovídajícím dvouhodnotovým výstupem výstupního bloku.

Výhodou uspořádání podle vynálezu je, že umožňuje přehledným blokovým způsobem univerzální připojení k libovolnému obráběcímu stroji. Systém je řešen jako multiprocesorový a jednotlivé procesorové a ostatní bloky jsou navzájem propojeny adresovou a datovou sběrnicí, přes kterou se provádí vzájemná výměna informací a dat. Zapojení řeší nejen všechny potřebné funkce řídicího systému, ale i všechny funkce programovatelného automatu, který je tak funkčně integrální částí zapojení systému. Vzájemná delimitace aritmetických, logických a řídicích funkcí mezi jednotlivé mikropočítačové bloky se v průběhu činnosti systému mění podle právě řešeného režimu a zpracovávaného řídicího programu. Jednotlivé mikropočítačové bloky obsahují vlastní dostatečné kapacity paměti pro řešení daného programu. Řešení probíhá na vnitřní lokální sběrnici, to je bez zatěžování vnější adresové a datové sběrnice. Vnější adresová a datová sběrnice slouží pouze pro přenos výsledných dat a informací mezi paralelně pracujícími mikropočítačovými bloky. Výpočetní schopnost tohoto zapojení je několikanásobně vyšší než u dosud známých zapojení a zapojení umožňuje splnit nejnáročnější funkce složitého řídicího systému, například adaptivní řízení, aktivní kontrolu obrobků apod. Univerzální uspořádání mikroprocesorového řídicího systému usnadní použití u nejrůznějších typů obráběcích a jiných strojů. Tím vzrůstá sériovost výroby takového systému a klesají jeho výrobní náklady. Vzhledem k přehlednému uspořádání systému klesají rovněž nároky na údržbu, opravy a servis.

Příklad zapojení mikroprocesorového řídicího systému je znázorněn v blokovém schématu na připojeném výkresu.

Jednotlivé bloky zapojení je možno charakterizovat takto. Snímací zařízení 1 je vytvořeno buď jako fotosnímač děrné pásky, nebo jako snímač magnetické pásky či pružného disku. Slouží ke snímání potřebných informací, např. programů z daného paměťového média a jejich přenos do řídicího systému. Ovládací panel 2 je sestaven z řady ovládacích a indikačních prvků, např. tlačítek, přepínačů, signálních diod, obrazovkové displeje apod. Ovládací panel 2 dále obsahuje elektronické prvky, umožňující spojení s periferním blokem 4. Slouží obsluze k ovládání chodu systému a k informací o jednotlivých provozních stavech systému. Časová základna 3 obsahuje generátor, čítače a další pomocné logické prvky kombinačního charakteru, které vytvářejí potřebné pulsní signály. Vysílá všechny potřebné taktovací informace do jednotlivých bloků zapojení. Periferní blok 4 obsahuje vyrovnávací paměti a další obvody, které zprostředkovávají spojení s ovládacím panelem 2, snímacím zařízením 1 a záznamovým výstupem a obousměrným komunikačním vývodem zapojení. Slouží ke zprostředkování přenosu jednotlivých informací mezi výše uvedenými vstupními a výstupními zařízeními a některými bloky zapojení a naopak. Řídicí mikropočítač 5 je realizován mikroprocesorem, potřebnými podpůrnými logickými obvody, operační pamětí typu RAM a pamětí typu EPROM pro uložení základního programového vybavení systému. Řeší základní systémové funkce a koordinuje vzájemnou činnost ostatních bloků. Stykový blok 6 obsahuje logické obvody kombinačního charakteru a zprostředkovává přenos mezi pamětí 7 a řídicím mikropočítačem 5 nebo stykovým mikropočítačem 8. Paměť 7 je vytvořena ze statických pamětí typu RAM se zálohovaným napájením. Slouží k ukládání partprogramů, tabulek korekcí a posunutí počátků, strojních konstant a informací, které si vzájemně vyměňují jednotlivé mikropočítače. Stykový mikropočítač 8 je stejný jako řídicí mikropočítač 5. Řeší

převážně logické funkce se vstupními a výstupními dvouhodnotovými proměnnými. Vstupní blok 9 je vytvořen ze statických pamětí a ze vstupních protiporuchových členů. Zprostředkovává přenos dvouhodnotových informací mezi obráběcím strojem a systémem. Výstupní blok 10 je vytvořen rovněž ze statických pamětí, protiporuchových členů a z výstupních výkonových spínacích prvků. Zprostředkovává přenos dvouhodnotových informací ze systému na obráběcí stroj. Všechny řídicí bloky 11.1 až 11.n jsou stejné a zprostředkovávají přenos informací mezi řídicím mikropočítačem 5 a dvousouřadnicovými mikropočítači 12.1 až 12.n a naopak. Každý je vytvořen z logických obvodů kombinačního charakteru. Dvousouřadnicové mikropočítače 12.1 až 12.n jsou stejné. Každý obsahuje mikroprocesor, potřebné podpůrné i logické obvody, paměti typu RAM a EPROM. Každý dvousouřadnicový mikropočítač 12.1 až 12.n řídí na základě zadáných povelů posuv dvou souřadnic a zpětně vyhodnocuje informace z odměřovacích čidel polohy. Na základě těchto informací vypočítává nepřetržitě polohovou odchylku a skutečnou absolutní polohu. Rovněž všechny převodní bloky 13.1 až 13.n jsou stejné. Jsou vytvořeny z tvarovacích obvodů, statických pamětí, z logických obvodů kombinačního charakteru a z číslicově analogových převodníků. Slouží k úpravě signálů z odměřovacích čidel a k převodu polohové odchylky z číslicové formy na analogovou veličinu. Vřetenový řídicí blok 14 je vytvořen ze stejných prvků jako řídicí bloky 11.1 až 11.n. Zprostředkovává přenos informací mezi řídicím mikropočítačem 5 a vřetenovým mikropočítačem 15. Vřetenový mikropočítač 15 je vytvořen z obdobných prvků jako dvousouřadnicové mikropočítače 12.1 až 12.n. Řeší aritmeticko-logické operace ve spojitosti s řízením vřetene v rychlostní a polohové vazbě. Vřetenový převodní blok 16 je vytvořen ze stejných prvků jako převodní bloky 13.1 až 13.n. Slouží k úpravě signálu z odměřovacího čidla natočení vřetene a k převodu zadání otáček nebo polohy vřetene

z číslicové formy na analogovou veličinu. Hlídací blok 17 je vytvořen z logických a porovnávacích obvodů pro vyhodnocení správné funkce napájecího bloku, odměřovacích čidel a některých důležitých částí stroje. Napájecí blok 18 je tvořen zdroji, které napájí jednotlivé bloky systému potřebnými napětími.

Zapojení jednotlivých bloků mikroprocesorového řídicího systému je provedeno takto: Snímací výstup 11 snímacího zařízení 1 je spojen se snímacím výstupem 41 periferního bloku 4, jehož záznamový výstup 48 je spojen se záznamovým výstupem 1101 zapojení. Obousměrný komunikační vývod 1102 zapojení je spojen s obousměrným komunikačním vývodem 43 periferního bloku 4, jehož obousměrný informační vývod 42 je spojen s obousměrným informačním vývodem 21 ovládacího panelu 2. Obousměrný povelový vývod 45 periferního bloku 4 je spojen s obousměrným povelovým vývodem 61 stykového bloku 6, s obousměrným povelovým vývodem 82 stykového mikropočítače 8, s obousměrným povelovým vývodem 91 vstupního bloku 9, s obousměrným povelovým vývodem 101 výstupního bloku 10, s obousměrným povelovým vývodem 52 řídicího mikropočítače 5, s obousměrným povelovým vývodem 141 vřetenového řídicího bloku 14 a s obousměrným povelovým vývodem 1111 až 11n1 každého řídicího bloku 11.1 až 11.n. Obousměrný řídicí vývod 1114 až 11n4 každého řídicího bloku 11.1 až 11.n je spojen s odpovídajícím obousměrným řídicím vývodem 1213 až 12n3 každého dvousouřadnicového mikropočítače 12.1 až 12.n, jehož povelový výstup 1214 až 12n4 je spojen s odpovídajícím povelovým vstupem 1311 až 13n1 každého převodního bloku 13.1 až 13.n. Odměřovací vstup 1312 až 13n2 každého převodního bloku 13.1 až 13.n je spojen s odpovídajícím odměřovacím vstupem 101.1 až 101.n zapojení. Každý regulační výstup 102.1 až 102.n zapojení je spojen s regulačním výstupem 1316 až 13n6 odpovídajícího převodního bloku 13.1 až 13.n.

Každý informační výstup 1315 až 13n5 převodního bloku 13.1 až 13.n je spojen s informačním vstupem 1212 až 12n2 odpovídajícího dvousouřadnicového mikropočítače 12.1 až 12.n, jehož každý taktovací vstup 1211 až 12n1 je spojen s taktovacím vstupem 151 vřetenového mikropočítače 15 a s prvním taktovacím výstupem časové základny 3. Druhý taktovací výstup 32 časové základny 3 je spojen s taktovacím vstupem 81 stykového mikropočítače 8. Obousměrný datový vývod 83 stykového mikropočítače 8 je spojen s datovým vstupem 102 výstupního bloku 10, s datovým výstupem 92 vstupního bloku 9, s obousměrným datovým vývodem 62 stykového bloku 6, s obousměrným datovým vývodem 46 periferního bloku 4, s obousměrným datovým vývodem 1112 až 11n2 každého řídicího bloku 11.1 až 11.n, s obousměrným datovým vývodem 142 vřetenového řídicího bloku 14 a s obousměrným datovým vývodem 53 řídicího mikropočítače 5. Taktovací vstup 51 řídicího mikropočítače 5 je spojen s třetím taktovacím výstupem 33 časové základny 3. Startovací vstup 34 časové základny 3 je spojen se startovacím vstupem 44 periferního bloku 4, s obousměrným startovacím vývodem 54 řídicího mikropočítače 5, s obousměrným startovacím vývodem 84 stykového mikropočítače 8, se startovacím vstupem 94 vstupního bloku 9, se startovacím vstupem 104 výstupního bloku 10, s obousměrným startovacím vývodem 1313 až 13n3 každého převodního bloku 13.1 až 13.n, s obousměrným startovacím vývodem 163 vřetenového převodního bloku 16 a s obousměrným startovacím vývodem 171 hlídacího bloku 17. Diagnostický vstup 172 hlídacího bloku 17 je spojen s diagnostickým výstupem 181 napájecího bloku 18. Napájecí výstup 173 hlídacího bloku 17 je spojen s napájecím vstupem 71 paměti 7, jejíž obousměrný přenosový vývod 72 je spojen s obousměrným přenosovým vývodem 64 stykového bloku 6. Adresový vstup 63 stykového bloku 6 je spojen s adresovým vstupem 47 periferního bloku 4, s adresovým výstupem 55 řídicího mikropočítače 5, s adresovým výstupem 85 stykového mikropočítače 8, s adresovým vstupem 93

vstupního bloku 9, s adresovým vstupem 103 výstupního bloku 10, s adresovým vstupem 1113 až 11n3 každého řídicího bloku 11.1 až 11.n a s adresovým vstupem 143 vřetenového řídicího bloku 14. Obousměrný řídicí vývod 144 vřetenového řídicího bloku 14 je spojen s obousměrným řídicím vývodem 153 vřetenového mikropočítače 15. Povelový výstup 154 vřetenového mikropočítače 15 je spojen s povelovým vstupem 161 vřetenového převodního bloku 16, jehož odměřovací vstup 162 je spojen s impulsním odměřovacím vstupem 1107 zapojení.

Vřetenový regulační výstup 1108 zapojení je spojen s regulačním výstupem 166 vřetenového převodního bloku 16, jehož informační výstup 165 je spojen s informačním vstupem 152 vřetenového mikropočítače 15. Hlásicí vstup 164 vřetenového převodního bloku 164 je spojen s hlásicím vstupem 1314 až 13n4 každého převodního bloku 13.1 až 13.n a s hlásicím výstupem 95 vstupního bloku 9. První až poslední dvouhodnotový vstup 901 až 90n vstupního bloku 9 je spojen s odpovídajícím dvouhodnotovým vstupem 200.1 až 200.n zapojení.

Každý dvouhodnotový výstup 300.1 až 300.n zapojení je spojen s odpovídajícím dvouhodnotovým výstupem 1001 až 100n výstupního bloku 10.

Zapojení pracuje takto. Po splnění podmínky o připravenosti jednotlivých bloků k činnosti se postupně uvolní obousměrný startovací vývod 54 řídicího mikropočítače 5, obousměrný startovací vývod 84 stykového mikropočítače 8, obousměrné startovací vývody 1313 až 13n3 všech převodních bloků 13.1 až 13.n, obousměrný startovací vývod 164 vřetenového převodního bloku 16 a obousměrný startovací vývod 171 hlídacího bloku 17. Při uvolnění všech uvedených startovacích vývodů se nastartuje normální činnost všech bloků, do kterých jsou tyto obousměrné startovací vývody připojeny. Současně se nastartuje činnost časové základny 3 prostřednictvím jejího startovacího vstupu 34, periferního bloku 4 prostřednictvím

jejího startovacího vstupu 44 a vstupního bloku 9 a výstupního bloku 10 prostřednictvím jejich startovacích vstupů 94 a 104. Hlídací blok 17 uvolňuje svůj obousměrný startovací vývod 171 pro dosažení správné činnosti napájecího bloku 18. Tato informace se přivádí z diagnostického výstupu 181 napájecího bloku 18 na diagnostický vstup 172 hlídacího bloku 17. Časová základna 3 začne vysílat periodicky se opakující taktovací impulsy ze svých třech taktovacích výstupů 31, 32, 33 na odpovídající taktovací vstupy řídicího mikropočítače 5, stykového mikropočítače 8, vřetenového mikropočítače 15 a všech dvousouřadnicových mikropočítačů 12.1 až 12.n. Na základě těchto taktovacích impulsů jsou výše uvedené mikropočítače periodicky žádány o obsluhu svých podřízených bloků a o provedení potřebných aritmeticko-logických výpočtů v souladu se zvoleným ovládacím režimem. Činnost jednotlivých mikropočítačů je řízená operačním systémem každého mikropočítače, jež je uložen v jeho nedestruktivní paměti typu ROM. Po přechodu taktovacího pulsu t_1 na taktovací vstup 51 řídicího mikropočítače 5 se provede jeden řídicí cyklus. Řídicí mikropočítač 5 nejprve prostřednictvím svého adresového výstupu 55 požádá přes adresový vstup 47 periferní blok 4 o předání informací zadávaných do řídicího systému prostřednictvím ovládacího panelu 2. Tyto informace se přenesou prostřednictvím obousměrného datového vývodu 46 na straně periferního bloku 4 a obousměrného datového vývodu 53 na straně řídicího mikropočítače 5. Na základě informací získaných z panelu 2 začne řídicí mikropočítač 5 provádět příslušnou činnost, která odpovídá zvolenému ovládacímu režimu, který se volí na ovládacím panelu 2. Ovládací režimy jsou rozděleny do dvou základních skupin a to na režimy pracovní, při kterých se řídí obráběcí činnost na obráběcím stroji a na režimy manipulační, při kterých dochází k manipulaci s datovými strukturami, tj. např. čtení vstupních part-programů a tabulek a jejich ukládání do paměti, edice

uložených řídicích programů a tabulek v pamětech, výpis dat pomocí záznamového zařízení apod. Při zvolení některého pracovního režimu, řídicí mikropočítač 5 dále požádá přes adresový vstup 63 stykový blok 6 o přenesení potřebných stavových informací uložených v paměti 7. Vyžádané stavové informace se přenesou z obousměrného datového vývodu 62 na straně stykového bloku 6 na obousměrný datový vývod 53 řídicího mikropočítače 5. Tyto stavové informace, které vyjadřují stav řízeného stroje, byly v předcházejícím časovém intervalu před příchodem taktovacího pulsu t_1 uloženy do paměti 7 prostřednictvím stykového mikropočítače 8. V následující fázi své činnosti požádá řídicí mikropočítač 5 přes adresové vstupy 1113 až 11n3 první až poslední řídicí blok 11.1 až 11.n o přenesení informací uložených v pamětech prvního až posledního dvousouřadnicového mikropočítače 12.1 až 12.n. Vyžádané informace, které vyjadřují stavové informace o řízených souřadnicích, hodnotu absolutní polohy, velikost polohové odchylky apod., se přenášejí z obousměrných datových vývodů 1112 až 11n2 řídicích bloků 11.1 až 11.n na obousměrný datový vývod 53 řídicího mikropočítače 5. Obdobným způsobem jako z dvousouřadnicových mikropočítačů 12.1 až 12.n získá řídicí mikropočítač 5 informace charakterizující stav řízeného vřetena z vřetenového mikropočítače 5. Z takto získaných informací charakterizujících stav jednotlivých funkčních částí stroje a podle zpracovávaného řídicího programu, zadaných hodnot posunutí počátků, velikostí korekcí a dalších doplňujících údajů, provede řídicí mikropočítač výpočet interpolačního algoritmu a vyšle přes řídicí bloky 11.1 až 11.n do dvousouřadnicových mikropočítačů 12.1 až 12.n nové žádané polohy, u kterých se požaduje, aby se souřadnice nalézaly na konci časového intervalu právě zpracovávaného řídicího cyklu. Časový interval řídicího cyklu t_1 je doba mezi dvěma po sobě

následujícími příchody taktovacích pulsů t_1 . V praxi je obvykle rovna 10 ms. Při přenosu nové zadané polohy do dvousouřadnicových mikropočítačů 12.1 až 12.n sdělí řídící mikropočítač 5 přes adresové vstupy 1113 až 11n3 řídících bloků 11.1 až 11.n, že bude v následujícím okamžiku přenášet údaje do příslušně adresovaných dvousouřadnicových mikropočítačů. Řídící bloky 11.1 až 11.n prostřednictvím svých obousměrných řídících vývodů 1114 až 11n4 nastaví přes obousměrné řídící vývody 1213 až 12n3 dvousouřadnicové mikropočítače 12.1 až 12.n do stavu kdy mohou nově zadávané informace přijmout. Vlastní přenos nově zadávaných informací se uskuteční prostřednictvím obousměrného datového vývodu 53 řídícího mikropočítače 5 a obousměrných datových vývodů 1112 až 11n2 řídících bloků 11.1 až 11.n. V daném časovém intervalu řídícího cyklu se rovněž vyhodnotí některé nové údaje, které je nutno sdělit do jiných funkčních bloků systému. Tak např. nově vyhodnocená absolutní poloha řízených souřadnic, nebo vřetena, informace o okamžitých provozních a havarijních stavech systému a stroje apod. se přenášejí obdobným již popsaným způsobem přes adresový vstup 47 a obousměrný datový vývod 46 periferního bloku 4 do ovládacího panelu 2, kde se indikují. Rovněž nové příkazy pro stroj se přenášejí přes adresový vstup 63 a obousměrný datový vývod 62 stykového bloku 6 do paměti 7, kde se uloží a jsou připraveny k vyzvednutí a přenesení do stykového mikropočítače 8. Kromě uvedených základních nepřerušitelných výpočtů, které musí být provedeny a ukončeny v rámci časového intervalu řídícího cyklu τ_1 , provádí řídící mikropočítač 5 ve zbývajícím čase intervalu τ_1 ještě další tak zvané přerušitelné výpočty, které jsou časově rozprostředny do více časových intervalů τ_1 . Sem patří všechny výpočty související s přípravou dalšího zpracovávaného bloku řídícího programu v závislosti na zadáných korekcích a posunutích počátků. Kromě popsaných přenosů

informací z paměti 7 do řídicího mikropočítače 5, které se uskutečňují v každém časovém intervalu řídicího cyklu T_1 , probíhá celá řada přenosů mezi pamětí 7 a řídicím mikropočítačem 5 jen občas. Tak např. na začátku programového bloku se jednorázově přenášejí informace o následně zpracovávaném programovém bloku, hodnoty korekcí, posunutí počátků apod. Řízení vřeten se provádí buď v rychlostní, nebo polohové vazbě. Pro oba tyto způsoby řízení se z řídicího mikropočítače 5 zadávají potřebné údaje přes vřetenový řídicí blok 14 do vřetenového mikropočítače 15, který provádí potřebné výpočty spojené s řešením jednotlivých řídicích algoritmů. Tento vzájemný přenos informací, který probíhá prostřednictvím obousměrných datových vývodů mezi periferním blokem 4, řídicím mikropočítačem 5, stykovým blokem 6, řídicími bloky 11.1 až 11.n a vřetenovým řídicím blokem 14, se zabezpečuje pomocí povelových informací, které si vyměňují vzájemně komunikující bloky přes své obousměrné povelové vývody 45, 52, 61, 1111 až 11n1 a 141. Odměřovací vstupy 1312 až 13n6 převodních bloků 13.1 až 13.n propojené s odměřovacími vstupy 101.1 až 101.n zapojení a jsou určeny pro připojení odměřovacích čidel polohy souřadnic. Upravené výstupní signály z odměřovacích čidel polohy přicházejí z informačních výstupů 1315 až 13n5 převodních bloků 13.1 až 13.n na informační vstupy 1212 až 12n2 dvousouřadnicových mikropočítačů 12.1 až 12.n. Ve dvousouřadnicových mikropočítačích 12.1 až 12.n se vyhodnocují polohové odchylky v číslicové formě a vedou se z jejich povelových výstupů 1214 až 12n4 na povelové vstupy 1311 až 13n1 převodních členů 13.1 až 13.n, ve kterých se převádějí na výstupní analogové signály, jež dále přicházejí z regulačních výstupů 1316 až 13n6 převodních členů 13.1 až 13.n na regulační výstupy 102.1 až 102.n zapojení. Odměřovací vstup 162 vřetenového převodního bloku 16, který je propojen s impulsním odměřovacím vstupem

1107 zapojení, je určen pro připojení odměřovacího čidla úhlového natočení vřetena. Upravený výstupní signál z odměřovacího čidla vřetena přichází z informačního výstupu 165 vřetenového převodního bloku 16 na informační vstup 152 vřetenového mikropočítače 15. Ve vřetenovém mikropočítači 15 se vyhodnocuje buď úhlová odchylka při řízení v polohové vazbě, nebo řídicí informace vyjadřující velikost otáček pohonu vřetena při rychlostní vazbě. Úhlová odchylka nebo řídicí informace se vede z povelového výstupu 154 vřetenového mikropočítače 15 na povelový vstup 161 vřetenového převodního bloku 16, ve kterém se převádí na výstupní analogový signál. Ten dále přichází z regulačního výstupu 166 vřetenového převodního bloku 16 na vřetenový regulační výstup 1108 zapojení. Některé vstupní informace vyjadřující důležité stavy řízeného stroje, např. koncové spínače, se vedou přímo z hlásicího výstupu 95 vstupního bloku 9 na hlásicí vstupy 1314 až 13n4 a 164 převodních bloků 13.1 až 13.n a vřetenového převodního bloku 16. Při manipulačních režimech, které mají charakter přenosu informací, se jednotlivé řídicí programy a datové struktury, např. tabulky korekcí, posunutí počátků, strojních konstant apod., přenášejí ze snímacího zařízení 1, z ovládacího panelu 2 nebo z obousměrného komunikačního vývodu 1002 zapojení do paměti 7, nebo z paměti 7 se přenášejí na záznamový výstup 1001 zapojení. Odtud se na připojené záznamové zařízení, které není na výkresu znázorněno, zaznamenávají do jistého paměťového média, nebo se z paměti 7 přenášejí do obousměrného komunikačního vývodu 1002 zapojení. Přes obousměrný komunikační vývod 1002 zapojení se uskutečňuje výměna informací s nadřazeným počítačem. Řídicí mikropočítač 5 prostřednictvím svého adresového výstupu 55, obousměrného datového vývodu 53 a obousměrného povelového vývodu 52, přes odpovídající obousměrné vývody periferního bloku 4 a stykového bloku 6 zprostředkovává

přenos mezi popsanými bloky. Při edičních manipulačních režimech vybírá řídicí mikropočítač 5 prostřednictvím stykového bloku 6 ucelené části řídicích programů nebo jiných datových struktur z paměti 7 a přenáší je do své operační paměti. Prostřednictvím periferního bloku 4 zobrazuje tyto údaje na ovládacím panelu 2, pomocí ovládacích prvků je upravuje a upravené zpětně přenáší přes příslušné funkční bloky do paměti 7. Všechny potřebné dvouhodnotové vstupy se přijímají prostřednictvím dvouhodnotových vstupů 200.1 až 200.n zapojení přes první až poslední dvouhodnotový vstup 901 až 90n vstupního bloku 9. Obdobně se vysílají všechny potřebné dvouhodnotové výstupy prostřednictvím dvouhodnotových výstupů 100.1 až 100.n zapojení přes první až poslední dvouhodnotový výstup 1001 až 100n výstupního bloku 10. Stykový mikropočítač 8 provádí aritmeticko-logické výpočty mezi jednotlivými vstupními údaji získanými ze vstupního bloku 9 a paměti 7 podle uživatelského programu, uloženého ve své paměti. Vypočtené údaje přenáší jednak do výstupního bloku 10, odkud se vysílají z jeho prvního až posledního výstupu 1001 až 100n na dvouhodnotové výstupy 300.1 až 300.n zapojení a dále do paměti 7, kde jsou připraveny k převzetí řídicím mikropočítačem 5. Obousměrný přenos informací mezi stykovým mikropočítačem 8 a pamětí 7 se děje prostřednictvím stykového bloku 6. Přenos informací mezi stykovým mikropočítačem 8, který přenos řídí a stykovým blokem 6, vstupním blokem 9 a výstupním blokem 10, se provádí pomocí příslušně propojených adresových, datových a povelových obousměrných vývodů. Stykový mikropočítač 8 obdobně jako řídicí mikropočítač 5 provádí jednotlivé řídicí cykly periodicky, vždy po příchodu posunutého taktovacího pulsu t_2 , který se vysílá z druhého taktovacího výstupu 32 časové základny 3 a přichází na taktovací vstup 81 stykového mikropočítače 8. Časový interval posunutého řídicího cyklu T_2 stykového mikropočítače 8, tj.

doba mezi dvěma po sobě následujícími příchody posunutých taktovacích pulsů t_2 , je roven časovému intervalu řídicího cyklu T_1 řídicího mikropočítače 5. Z důvodu optimální činnosti na společných vzájemně propojených adresových, datových a povelových obousměrných vývodech obou uvedených mikropočítačů, se posunutý taktovací puls t_2 zpožďuje o polovinu časového intervalu řídicího cyklu T_1 . Toto řešení umožňuje programové ošetření přístupu na všechny obousměrné vývody 52, 53, 54 řídicího mikropočítače 5 pouze na dobu poloviny řídicího cyklu T_1 po příchodu taktovacího pulsů t_1 . U stykového mikropočítače 8 umožňuje přístup na všechny jeho obousměrné vývody 82, 83, 84 pouze na dobu poloviny posunutého řídicího cyklu T_2 po příchodu posunutého taktovacího pulsů t_2 . Z důvodu uchování uložených informací v paměti 7 i při vypnutí hlavního síťového napájení je tato paměť 7 napájena ze záskokové baterie, a to z napájecího výstupu 173 hlídacího bloku 17 na napájecí vstup 71 paměti 7.

Vynálezu se využije při souvislém řízení obráběcích nebo jiných výrobních strojů.

PŘEDMĚT VYNÁLEZU

261 901

Zapojení mikroprocesorového řídicího systému, vyznačující se tím, že snímací výstup (11) snímacího zařízení (1) je spojen se snímacím výstupem (41) periferního bloku (4), jehož záznamový výstup (48) je spojen se záznamovým výstupem (1101) zapojení, jehož obousměrný komunikační vývod (1102) je spojen s obousměrným komunikačním vývodem (43) periferního bloku (4), jehož obousměrný informační vývod (42) je spojen s obousměrným informačním vývodem (21) ovládacího panelu (2) a obousměrný povelový vývod (45) periferního bloku (4) je spojen s obousměrným povelovým vývodem (61) stykového bloku (6), s obousměrným povelovým vývodem (82) stykového mikropočítače (8), s obousměrným povelovým vývodem (91) vstupního bloku (9), s obousměrným povelovým vývodem (101) výstupního bloku (10), s obousměrným povelovým vývodem (52) řídicího mikropočítače (5), s obousměrným povelovým vývodem (141) vřetenového řídicího bloku (14) a s obousměrným povelovým vývodem (1111 až 11n1) každého řídicího bloku (11.1 až 11.n), jehož obousměrný řídicí vývod (1114 až 11n4) je spojen s odpovídajícím obousměrným řídicím vývodem (1213 až 12n3) každého dvousouřadnicového mikropočítače (12.1 až 12.n), jehož povelový výstup (1214 až 12n4) je spojen s odpovídajícím povelovým vstupem (1311 až 13n1) každého převodního bloku (13.1 až 13.n), jehož odměřovací vstup (1312 až 13n2) je spojen s odpovídajícím odměřovacím vstupem (101.1 až 101.n) zapojení, jehož každý regulační výstup (102.1 až 102.n) je spojen s regulačním výstupem (1316 až 13n6) odpovídajícího převodního bloku (13.1 až 13.n), jehož každý informační výstup (1315 až 13n5) je spojen s informačním vstupem (1212 až 12n2) odpovídajícího dvousouřadnicového mikropočítače (12.1 až 12.n), jehož každý taktovací vstup (1211 až 12n1) je spojen s taktovacím vstupem (151) vřetenového mikropočítače (15) a s prvním taktovacím výstupem časové základny (3), jejíž druhý taktovací výstup (32) je spojen

s taktovacím vstupem (81) stykového mikropočítače (8), jehož obousměrný datový vývod (83) je spojen s datovým vstupem (102) výstupního bloku (10), s datovým výstupem (92) vstupního bloku (9), s obousměrným datovým vývodem (62) stykového bloku (6), s obousměrným datovým vývodem (46) periferního bloku (4), s obousměrným datovým vývodem (1112 až 11n2) každého řídicího bloku (11.1 až 11.n), s obousměrným datovým vývodem (142) vřetenového řídicího bloku (14) a s obousměrným datovým vývodem (53) řídicího mikropočítače (5), jehož taktovací vstup (51) je spojen s třetím taktovacím výstupem (33) časové základny, jejíž startovací vstup (34) je spojen se startovacím vstupem (44) periferního bloku (4), s obousměrným startovacím vývodem (54) řídicího mikropočítače (5), s obousměrným startovacím vývodem (84) stykového mikropočítače (8), se startovacím vstupem (94) vstupního bloku (9), se startovacím vstupem (104) výstupního bloku (10), s obousměrným startovacím vývodem (1313 až 13n3) každého převodního bloku (13.1 až 13.n), s obousměrným startovacím vývodem (163) vřetenového převodního bloku (16), a s obousměrným startovacím vývodem (171) hlídacího bloku (17), jehož diagnostický vstup (172) je spojen s diagnostickým výstupem (181) napájecího bloku (18) a napájecí výstup (173) hlídacího bloku (17) je spojen s napájecím vstupem (71) paměti (7), jejíž obousměrný přenosový vývod (72) je spojen s obousměrným přenosovým vývodem (64) stykového bloku (6) jehož adresový vstup (63) je spojen s adresovým vstupem (47) periferního bloku (4), s adresovým výstupem (55) řídicího mikropočítače (5), s adresovým výstupem (85) stykového mikropočítače (8), s adresovým vstupem (93) vstupního bloku (9), s adresovým vstupem (103) výstupního bloku (10), s adresovým vstupem (1113 až 11n3) každého řídicího bloku (11.1 až 11.n) a s adresovým vstupem (143) vřetenového řídicího bloku (14), jehož obousměrný řídicí vývod (144) je spojen s obousměrným řídicím vývodem (153) vřetenového mikropočítače (15), jehož povelový výstup (154) je spojen s povelovým vstupem (161) vřetenového převodního bloku (16), jehož odměřovací vstup

(162) je spojen s impulsním odměřovacím vstupem (1107) zapojení, jehož vřetenový regulační výstup (1108) je spojen s regulačním výstupem (166) vřetenového převodního bloku (16), jehož informační výstup (165) je spojen s informačním vstupem (152) vřetenového mikropočítače (15) a hlásicí vstup (164) vřetenového převodního bloku (16) je spojen s hlásicím vstupem (1314 až 13n4) každého převodního bloku (13.1 až 13.n) a s hlásicím výstupem (95) vstupního bloku (9) jehož první až poslední dvouhodnotový vstup (901 až 90n) je spojen s odpovídajícím dvouhodnotovým vstupem (200.1 až 200.n) zapojení, jehož každý dvouhodnotový výstup (300.1 až 300.n) je spojen s odpovídajícím dvouhodnotovým výstupem (1001 až 100n) výstupního bloku (10).

1 výkres

