(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 2 月 17 日 (17.02.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/033161 A1

(51) 国际专利分类号:
H01L 23/64 (2006.01)

(21) 国际申请号: PCT/CN2021/099989

(22) 国际申请日: 2021 年 6 月 15 日 (15.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010805989.9 2020年8月12日 (12.08.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 刘忠明 (**LIU, Zhongming**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR FORMING SEMICONDUCTOR DEVICE

(54) **发明名称**: 半导体器件及半导体器件的形成方法

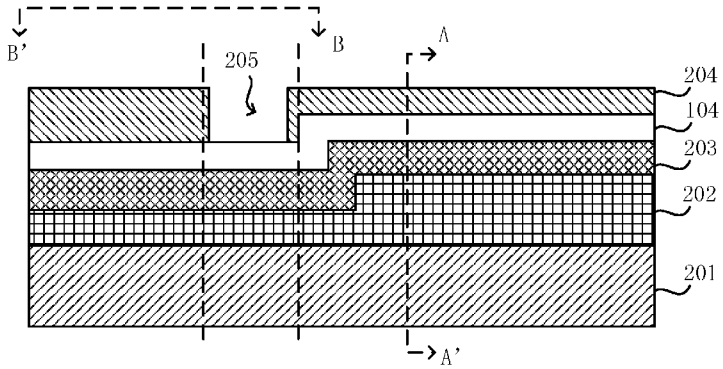


图 9

(57) **Abstract:** A semiconductor device and a method for forming a semiconductor device, which can solve the problems of bad form and poor conductivity of peripheral contact landing pads, and improve the preparation yield of the memory. The method for forming a semiconductor device comprises the following steps: providing a substrate, the substrate having a peripheral area, a bonding area and a device area which are adjacent in sequence; forming a metal layer on the upper surface of the substrate; forming a dielectric layer on the metal layer; and forming an opening in the dielectric layer, the opening being located above at least one of the peripheral area and the bonding area, so as to expose the metal layer to form a contact window, and the height of the upper surface of the metal layer exposed to the contact window being lower than the height of the upper surface of the metal layer located in the device area.

(57) **摘要**: 一种半导体器件及半导体器件的形成方法, 能够解决外围接触着陆焊盘的形态不好、导电性不佳的问题, 提高存储器的制备良率。所述半导体器件的形成方法, 包括以下步骤: 提供衬底, 所述衬底具有依次邻接的外围区、接合区和器件区; 在所述衬底的上表面形成金属层; 在所述金属层上方形成介电层; 在所述介电层中形成开孔, 所述开孔位于所述外围区或接合区中至少一处的上方, 以暴露所述金属层形成接触窗, 且暴露于所述接触窗的金属层的上表面高度低于位于所述器件区的金属层的上表面高度。

WO 2022/033161 A1

[见续页]

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) **指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体器件及半导体器件的形成方法

相关申请的交叉引用

本申请要求在 2020 年 08 月 12 日提交中国专利局、申请号为202010805989.9、申请名称为“半导体器件及半导体器件的形成方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体制备领域，尤其涉及半导体器件及半导体器件的形成方法。

背景技术

现有技术中，在进行存储器的制备时，会在存储器的外围区内，靠近器件区的区域形成接触窗，用于暴露存储器中的导电金属，以便形成与位线等电连接的外围接触着陆焊盘。随着存储器关键尺寸的逐渐缩小，相邻两位线之间的距离也在逐渐缩小，在形成位线结构前，就需要先在用于形成位线结构的金属层上表面形成掩膜结构，并从所述掩膜结构的上表面，沿垂直所述掩膜结构上表面的方向向下形成高深宽比的沟槽，以形成所需的关键尺寸较小的位线结构。

现有技术中在形成接触窗、制备外围接触着陆焊盘时，经常会存在外围接触着陆焊盘的形态不好、导电性不佳的问题，影响存储器的制备良率。

发明内容

本申请提出了一种半导体器件及半导体器件的形成方法，能够解决外围接触着陆焊盘的形态不好、导电性不佳的问题，提高存储器的制备良率。

为了解决上述问题，以下提供了一种半导体器件的形成方法，包括以下步骤：提供衬底，所述衬底具有依次邻接的外围区、接合区和器件区；在所述衬底的上表面形成金属层；在所述金属层上方形成介电层；在所述介电层中形成

开孔，所述开孔位于所述外围区或接合区中至少一处的上方，以暴露所述金属层形成接触窗，且暴露于所述接触窗的金属层的上表面高度低于位于所述器件区的金属层的上表面高度。

在一些实施例中，形成所述金属层时，包括以下步骤：在所述衬底上表面形成第一绝缘层；部分去除所述第一绝缘层，以形成台阶状的第一绝缘层，且位于外围区的所述第一绝缘层的上表面高度低于位于所述器件区的所述第一绝缘层的上表面高度；在所述第一绝缘层的上表面形成台阶状的所述金属层，且位于外围区的所述金属层的上表面高度低于位于所述器件区的所述金属层的上表面高度。

在一些实施例中，所述部分去除所述第一绝缘层，包括以下步骤：在所述第一绝缘层上表面形成图形化的第一掩膜层，所述外围区以及部分所述接合区暴露于所述第一掩膜层，所述第一掩膜层覆盖所述器件区以及剩余所述接合区；以所述第一掩膜层为掩膜部分去除所述第一绝缘层；去除所述第一掩膜层。

在一些实施例中，所述第一绝缘层包括氮化物层。

在一些实施例中，还包括以下步骤：在所述衬底上表面形成第二绝缘层；部分去除所述第二绝缘层，以在与所述接触窗对应的位置形成凹槽，所述凹槽的底面也位于所述第二绝缘层内；在所述第二绝缘层上表面形成所述金属层，且形成于所述凹槽内的金属层的上表面高度低于所述器件区的金属层的上表面高度。

在一些实施例中，在部分去除所述第二绝缘层，包括以下步骤：在所述第二绝缘层上表面形成图形化的第二掩膜层，所述第二掩膜层在与所述接触窗对应的位置形成有通孔；从所述通孔沿垂直所述衬底上表面的方向向下刻蚀所述第二绝缘层，以在所述第二绝缘层表面形成所述凹槽；去除所述第二掩膜层。

在一些实施例中，还包括以下步骤：刻蚀所述金属层以形成位线结构，且所述位线结构具有伸入至所述外围区上方的部分。

在一些实施例中，刻蚀所述金属层以形成所述位线结构，包括以下步骤：在所述金属层上方形成图形化的第三掩膜层，所述第三掩膜层覆盖所述器件区、

接合区和部分外围区；以所述第三掩膜层为掩膜以图形化所述金属层以形成位线结构，且所述第三掩膜层的一端覆盖至所述外围区；去除所述第三掩膜层。

为解决上述技术问题，以下还提供了一种半导体器件，包括：衬底，形成有外围区、器件区和接合区；金属层，形成于所述衬底上方；介电层，形成于所述金属层上方，且所述介电层表面形成有接触窗，以暴露所述金属层，且暴露于所述接触窗的金属层的上表面高度低于位于所述器件区的所述金属层的上表面高度。

在一些实施例中，还包括：第一绝缘层，形成于所述衬底上表面，位于所述金属层下方，且位于外围区下方的所述第一绝缘层的上表面高度低于位于所述器件区下方的所述第一绝缘层的上表面高度。

在一些实施例中，还包括：第二绝缘层，形成于所述衬底上表面，位于所述金属层下方，且位于所述接触窗下方的所述第二绝缘层的上表面高度低于所述器件区下方的所述第二绝缘层的上表面高度。

在一些实施例中，所述半导体器件包括位线结构，所述位线结构由所述金属层构成，并具有伸入至所述外围区上方的部分。

本申请的半导体器件及半导体器件的形成方法暴露于所述接触窗的金属层的上表面高度低于位于所述器件区的金属层的上表面高度，能够有效的防止在对所述金属层进行刻蚀时，刻蚀气体先接触到位于所述接触窗区域的金属层的上表面，避免影响基于所述接触窗形成的外围接触着陆焊盘的导电性。

附图说明

图 1 为现有技术中存储器的用于制备位线结构的金属层的形态结构示意图。

图 2 为本申请的一种具体实施方式中的制备方法的步骤流程示意图。

图 3 至图 9 为本申请的一种具体实施方式中的制备方法的各步骤对应的半导体器件的结构示意图。

图 10 至图 13 为制备位线结构时制备方法的各步骤对应的半导体器件的结

构示意图。

图 14 至图 16 为部分去除所述第二绝缘层时各步骤对应的半导体器件的结构示意图。

具体实施方式

研究发现，外围接触着陆焊盘的形态不好、导电性不佳在于，现有技术中，预计要形成接触窗的位置的金属层，其上表面高度高于位于器件区的金属层的上表面高度，整个金属层，从外围区到器件区，呈现 Z 字分布，位于外围区的金属层整体高于位于器件区的金属层。此处可参阅图 1，器件区 103 和外围区 101 之间还具有一接合区 102，所述接触窗的位置位于所述接合区 102 内，金属层 104 在接合区 102 和外围区 101 的高度高于在器件区 103 的高度。

这样，在基于所述高深宽比的沟槽来刻蚀金属层、形成位线结构时，刻蚀气体会率先接触到位于预设的接触窗位置的金属层，先对其进行刻蚀，之后再接触到位于器件区的金属层，对该属于器件区的金属层进行刻蚀。这就导致，在形成位线结构时，刻蚀气体会率先接触到位于预设的接触窗位置的金属层，先对其进行刻蚀，之后再接触到位于器件区的金属层，对该属于器件区的金属层进行刻蚀，这样，位于预设的接触窗位置的金属层先接触到刻蚀气体，其形貌相较于位于器件区的金属层，被蚀刻的更多，很容易就发生颈化现象（Necking）甚至发生破裂（Broken），影响最终形成的外围接触着陆焊盘的导电性。

以下结合图示对半导体器件及半导体器件的形成方法进行了进一步的解释和阐述。

请看图 2 至图 9，其中图 2 为本申请的一种具体实施方式中的制备方法的步骤流程示意图，图 3 至图 9 为本申请的一种具体实施方式中的制备方法的各步骤对应的半导体器件的结构示意图。

在该具体实施方式中，提出了一种半导体器件的形成方法，包括以下步骤：S21 提供衬底 201，所述衬底 201 具有依次邻接的外围区 101、接合区 102 和器

件区 103；此处请参阅图 3；S22 在所述衬底 201 的上表面形成金属层 104，此处请参阅图 7；S23 在所述金属层 104 上方形成介电层 204，此处请参阅图 8；S24 在所述介电层 204 中形成开孔，此处请参阅图 9，所述开孔位于所述外围区 101 或接合区 102 中至少一处的上方，以暴露所述金属层 104 形成接触窗 205，且暴露于所述接触窗 205 的金属层 104 的上表面高度低于位于所述器件区 103 的金属层 104 的上表面高度。

在该具体实施方式中，暴露于所述接触窗 205 的金属层 104 的上表面高度低于位于所述器件区 103 的金属层 104 的上表面高度，能够有效的防止在对所述金属层 104 进行刻蚀时，刻蚀气体先接触到位于所述接触窗 205 区域的金属层 104 的上表面，避免影响基于所述接触窗 205 形成的外围接触着陆焊盘的导电性。

在一种具体实施方式中，形成所述金属层 104 时，包括以下步骤：在所述衬底 201 上表面形成第一绝缘层 202；部分去除所述第一绝缘层 202，以形成台阶状的第一绝缘层 202，且位于外围区 101 的所述第一绝缘层 202 的上表面高度低于位于所述器件区 103 的所述第一绝缘层 202 的上表面高度；在所述第一绝缘层 202 的上表面形成台阶状的所述金属层 104，且位于外围区 101 的所述金属层 104 的上表面高度低于位于所述器件区 103 的所述金属层 104 的上表面高度。

该具体实施方式中，可以在生成厚度均等的金属层 104 时保证位于所述接触窗 205 的金属层 104 的上表面高度低于位于所述器件区 103 的金属层 104 的上表面高度，并且，该步骤也与制备存储器的步骤流程相一致。在将该制备方法应用到存储器的制备中时，该步骤可以对应到外围区氮化物去除（Periphery nitride remove）的步骤中。

在一种具体实施方式中，所述第一绝缘层 202 包括氮化物层。在制备存储器的过程中，需要在金属层 104 下方形成一层氮化硅层，该层可以作为所述第一绝缘层 202。

请参阅图 4 至图 6，在一种具体实施方式中，所述部分去除所述第一绝缘

层 202，包括以下步骤：在所述第一绝缘层 202 上表面形成图形化的第一掩膜层 210，所述外围区 101 以及部分所述接合区 102 暴露于所述第一掩膜层 210，所述第一掩膜层 210 覆盖所述器件区 103 以及剩余所述接合区 102，请参阅图 4；以所述第一掩膜层 210 为掩膜部分去除所述第一绝缘层 202，请参阅图 5；去除所述第一掩膜层 210，请参阅图 6。

这样，就可以在基于所述第一掩膜层 210 对所述第一绝缘层 202 进行部分去除时，将暴露于所述第一掩膜层 210 的所述外围区 101 以及部分所述接合区 102 部分去除。在一种具体实施方式中，暴露在所述第一掩膜层 210 外的区域被完全刻蚀至暴露所述衬底 201 表面，在一些其他的具体实施方式中，暴露于第一掩膜层 210 外的区域只是被刻蚀至一定深度，并不贯穿所述第一绝缘层 202。

在一种具体实施方式中，在进行第一绝缘层 202 的部分去除时，可根据需要设置所述第一绝缘层 202 的刻蚀深度，如需要采用该种半导体器件制备存储器，则需要根据存储器需要的第一绝缘层 202 的最小厚度，来设置所述第一绝缘层 202 被部分去除时的去除深度 。

在一种具体实施方式中，采用干法刻蚀或湿法刻蚀中的至少一种来实现所述第一绝缘层 202 的部分去除。

在图 4 至图 6 所示的具体实施方式中，部分去除后的第一绝缘层 202 呈台阶状，之后，若还有其他的材料层生长在所述第一绝缘层 202 的上表面，在所述材料层的厚度均等的情况下，该生长在所述第一绝缘层 202 上表面的其他材料层也呈台阶状，即使在这些后续生成的材料层上方形成所述金属层 104，也可以得到台阶状的金属层 104，保证暴露于所述接触窗 205 的金属层 104 的上表面高度低于位于器件区 103 的金属层 104 的上表面高度。

在一种具体实施方式中，还包括以下步骤：在所述衬底 201 上表面形成第二绝缘层 203；部分去除所述第二绝缘层 203，以在与所述接触窗 205 对应的位置形成凹槽，所述凹槽的底面也位于所述第二绝缘层 203 内；在所述第二绝缘层 203 上表面形成所述金属层 104，且形成于所述凹槽内的金属层 104 的上表

面高度低于所述器件区 103 的金属层 104 的上表面高度。

在将该制备方法应用到存储器的制备中时，该步骤可以对应到位线结构中位线接触插塞的形成过程，即对所述位线结构中金属层 104 下方的多晶硅层的图形化的步骤中。在该具体实施方式时，没有对所述多晶硅层下方的氮化物层的形态结构做要求，而是直接修改多晶硅层的形态结构，使得所述多晶硅层呈现台阶状，这样，生长在所述多晶硅层上表面的金属层 104 也会呈台阶状，并且暴露于接触窗 205 的金属层 104 的上表面低于位于器件区 103 的金属层 104 的上表面。

在具有氮化物层作为第一绝缘层 202 的基础上，在所述氮化物层的上表面还形成有多晶硅层，这是与存储器的制备流程相一致的。因此，除了对所述氮化物层进行图形化处理，改变金属层 104 所形成到的表面的高度，还可以对所述多晶硅层进行图形化处理，来改变金属层 104 所形成到的表面的高度。

在该具体实施方式中，所述多晶硅层作为所述第二绝缘层 203，被图形化处理，在预设区域形成了所述凹槽，以使得在所述多晶硅层的上表面形成金属层 104 时，凹槽内的金属层 104 其上表面的高度低于位于所述凹槽外的金属层 104 的上表面高度。这样，通过预设所述凹槽的位置，就可以限制暴露于所述接触窗 205 的金属层 104 的上表面高度低于位于所述器件区 103 的金属层 104 的上表面高度，并达到相应的效果。

在一种具体实施方式中，在部分去除所述第二绝缘层 203，包括以下步骤：在所述第二绝缘层 203 上表面形成图形化的第二掩膜层 208，所述第二掩膜层 208 在与所述接触窗 205 对应的位置形成有通孔 209，请看图 14，图 14 中的通孔 209 将所述接触窗 205 要形成到的位置包含进去；从所述通孔 209 沿垂直所述衬底 201 上表面的方向向下刻蚀所述第二绝缘层 203，以在所述第二绝缘层 203 表面形成所述凹槽，此处请参阅图 15；去除所述第二掩膜层 208。这里通过限制图形化的第二掩膜层 208 的暴露区域，来限制凹槽的位置，此处请参阅图 16。

在图 15 所示的具体实施方式中，所述第二绝缘层 203 被所述凹槽贯穿，实

际上，在将所述制备方法应用到存储器的制备时，所述凹槽的底面应当位于所述第二绝缘层 203 内部，与形成存储器所需的第二绝缘层 203（即多晶硅层）的最小厚度相关。

另外，还需要注意的是，在图 14 至图 16 所示的具体实施方式中，所述第二掩膜层 208 图形化后形成的通孔 209 没有如图 4 至图 6 中图形化的第一掩膜层 210 一样，将所有的外围区 101 都暴露在外，而是只暴露了接触窗 205 的位置以及接触窗 205 的位置的周围区域，实际上，第二掩膜层 208 图形化后暴露出来的面积也可以如图 4 至图 6 中所示的，将所有的外围区 101 都暴露在外，以形成台阶状的第二掩膜层 208。

在一种具体实施方式中，还包括以下步骤：刻蚀所述金属层 104 以形成位线结构，且所述位线结构具有伸入至所述外围区 101 上方的部分。

这是形成了金属层 104 之后的操作。在该操作中，在刻蚀所述金属层 104 形成位线结构的过程中，延长所述位线结构的长度，将所述位线结构延伸至外围区 101 内一预设距离，使得所述位线结构靠近所述接触窗 205 一侧的端头也具有较高的高度，并且与所述接触窗 205 所暴露的金属层 104 的上表面高度基本一致，这也可以防止所述接触窗 205 与所述位线结构的接触不良。

请参阅图 10 至图 13，在一种具体实施方式中，刻蚀所述金属层 104 以形成所述位线结构，包括以下步骤：在所述金属层 104 上方形成图形化的第三掩膜层 206，请参阅图 10，所述第三掩膜层 206 覆盖所述器件区 103、接合区 102 和部分外围区 101；以所述第三掩膜层 206 为掩膜以图形化所述金属层 104 以形成位线结构，且所述第三掩膜层 206 的一端覆盖至所述外围区 101，请参阅图 11；去除所述第三掩膜层 206，请参阅图 12。在图 10 至图 13 所示的具体实施方式中，还展现了形成位线结构过程中，第三掩膜层图形化后形成的沟槽 207 的大深宽比。在图 10 至图 13 中，沟槽 207 的深度 D 与沟槽的宽度 W 之间的比值即为所述沟槽 207 的深宽比。当该值较大时，刻蚀气体在刻蚀该沟槽 207 下方的金属层时刻蚀的均匀度难以控制。

由图 13 可以看出，所述第三掩膜层 206 的端头延伸到了外围区 101 内，基

于该图 13 中所示的第三掩膜层 206 形成的位线结构也延伸到所述外围区 101 内。

这种结构既可以适用于位于接触窗 205 所在区域内的金属层 104 上表面低于位于器件区 103 的金属层 104 上表面的情况，也适用于位于接触窗 205 所在区域内的金属层 104 上表面不低于位于器件区 103 的金属层 104 上表面的情况。

在一种具体实施方式中，所述金属层 104 包括钨层等导电金属材料层。在使用所述制备方法制备存储器时，所述多晶硅层与所述金属层 104 之间还设置有 TiN 层等，所述 TiN 层等也跟随台阶状的多晶硅层或氮化物层中的至少一种起伏，形成台阶，以保证形成在这些 TiN 层等材料层上表面的金属层 104 具有台阶状的上表面。

在该具体实施方式中，还提供了一种半导体器件，包括：衬底 201，形成有外围区 101、器件区 103 和接合区 102；金属层 104，形成于所述衬底 201 上方；介电层 204，形成于所述金属层 104 上方，且所述介电层 204 表面形成有接触窗 205，以暴露所述金属层 104，且暴露于所述接触窗 205 的金属层 104 的上表面高度低于位于所述器件区 103 的所述金属层 104 的上表面高度。

在该具体实施方式中，暴露于所述接触窗 205 的金属层 104 的上表面高度低于位于所述器件区 103 的金属层 104 的上表面高度，能够有效的防止在对所述金属层 104 进行刻蚀时，刻蚀气体先接触到位于所述接触窗 205 区域的金属层 104 的上表面，避免影响基于所述接触窗 205 形成的外围接触着陆焊盘的导电性。

在一种具体实施方式中，还包括：第一绝缘层 202，形成于所述衬底 201 上表面，位于所述金属层 104 下方，且位于外围区 101 下方的所述第一绝缘层 202 的上表面高度低于位于所述器件区 103 下方的所述第一绝缘层 202 的上表面高度。在一种具体实施方式中，所述第一绝缘层 202 包括氮化物层。在制备存储器的过程中，为了与存储器的制备流程相一致，这里的第一绝缘层 202 指的是位于金属层 104 下方的氮化硅层。

在一种具体实施方式中，还包括：第二绝缘层 203，形成于所述衬底 201

上表面，位于所述金属层 104 下方，且位于所述接触窗 205 下方的所述第二绝缘层 203 的上表面高度低于所述器件区 103 下方的所述第二绝缘层 203 的上表面高度。

在制备存储器的过程中，为了与存储器的制备流程相一致，这里的第二绝缘层 203 指的是位于金属层 104 下方、氮化硅层上方的多晶硅层。

在具有氮化物层作为第一绝缘层 202 的基础上，在所述氮化物层的上表面还形成有多晶硅层，这是与存储器的制备流程相一致的。因此，除了对所述氮化物层进行图形化处理，改变金属层 104 所形成到的表面的高度，还可以对所述多晶硅层进行图形化处理，来改变金属层 104 所形成到的表面的高度。

在该具体实施方式中，所述多晶硅层作为所述第二绝缘层 203，被图形化处理，在预设区域形成了所述凹槽，能够使得在所述多晶硅层的上表面形成金属层 104 时，凹槽内的金属层 104 其上表面的高度低于位于所述凹槽外的金属层 104 的上表面高度。这样，通过预设所述凹槽的位置，就可以限制暴露于所述接触窗 205 的金属层 104 的上表面高度低于位于所述器件区 103 的金属层 104 的上表面高度，并达到相应的效果。

在一种具体实施方式中，所述半导体器件包括位线结构，所述位线结构由所述金属层 104 构成，并具有伸入至所述外围区 101 上方的部分。这是形成了金属层 104 之后的操作。在该具体实施方式中，所述位线结构的长度被延长延伸至外围区 101 内一预设距离，使得所述位线结构靠近所述接触窗 205 一侧的端头也具有较高的高度，与所述接触窗 205 所暴露的金属层 104 的上表面高度基本一致，这也可以防止所述接触窗 205 与所述位线结构的接触不良。

本申请虽然已以较佳实施例公开如上，但其并不是用来限定本申请，任何本领域技术人员在不脱离本申请的精神和范围内，都可以利用上述揭示的方法和技术内容对本申请技术方案做出可能的变动和修改，因此，凡是未脱离本申请技术方案的内容，依据本申请的技术实质对以上实施例所作的任何简单修改、等同变化及修饰，均属于本申请技术方案的保护范围。

工业实用性：

本申请实施例中，通过提供衬底，所述衬底具有依次邻接的外围区、接合区和器件区；在所述衬底的上表面形成金属层；在所述金属层上方形成介电层；在所述介电层中形成开孔，所述开孔位于所述外围区或接合区中至少一处的上方，以暴露所述金属层形成接触窗，且暴露于所述接触窗的金属层的上表面高度低于位于所述器件区的金属层的上表面高度。这样，能够解决外围接触着陆焊盘的形态不好、导电性不佳的问题，提高存储器的制备良率。

权 利 要 求 书

1、一种半导体器件的形成方法，包括以下步骤：

提供衬底，所述衬底具有依次邻接的外围区、接合区和器件区；

在所述衬底的上表面形成金属层；

在所述金属层上方形成介电层；

在所述介电层中形成开孔，所述开孔位于所述外围区或接合区中至少一处的上方，以暴露所述金属层形成接触窗，且暴露于所述接触窗的金属层的上表面高度低于位于所述器件区的金属层的上表面高度。

2、根据权利要求 1 所述的半导体器件的形成方法，其中，形成所述金属层时，包括以下步骤：

在所述衬底上表面形成第一绝缘层；

部分去除所述第一绝缘层，以形成台阶状的第一绝缘层，且位于外围区的所述第一绝缘层的上表面高度低于位于所述器件区的所述第一绝缘层的上表面高度；

在所述第一绝缘层的上表面形成台阶状的所述金属层，且位于外围区的所述金属层的上表面高度低于位于所述器件区的所述金属层的上表面高度。

3、根据权利要求 2 所述的半导体器件的形成方法，其中，所述部分去除所述第一绝缘层，包括以下步骤：

在所述第一绝缘层上表面形成图形化的第一掩膜层，所述外围区以及部分所述接合区暴露于所述第一掩膜层，所述第一掩膜层覆盖所述器件区以及剩余所述接合区；

以所述第一掩膜层为掩膜部分去除所述第一绝缘层；

去除所述第一掩膜层。

4、根据权利要求 2 所述的半导体器件的形成方法，其中，所述第一绝缘层包括氮化物层。

5、根据权利要求 1 所述的半导体器件的形成方法，其中，还包括以下步骤：

部分去除所述第二绝缘层，以在与所述接触窗对应的位置形成凹槽，所述凹槽的底面也位于所述第二绝缘层内；

在所述第二绝缘层上表面形成所述金属层，且形成于所述凹槽内的金属层的上表面高度低于所述器件区的金属层的上表面高度。

6、根据权利要求 5 所述的半导体器件的形成方法，其中，在部分去除所述第二绝缘层，包括以下步骤：

在所述第二绝缘层上表面形成图形化的第二掩膜层，所述第二掩膜层在与所述接触窗对应的位置形成有通孔；

从所述通孔沿垂直所述衬底上表面的方向向下刻蚀所述第二绝缘层，以在所述第二绝缘层表面形成所述凹槽；

去除所述第二掩膜层。

7、根据权利要求 1 所述的半导体器件的形成方法，其中，还包括以下步骤：

刻蚀所述金属层以形成位线结构，且所述位线结构具有伸入至所述外围区上方的部分。

8、根据权利要求 7 所述的半导体器件的形成方法，其中，刻蚀所述金属层以形成所述位线结构，包括以下步骤：

在所述金属层上方形成图形化的第三掩膜层，所述第三掩膜层覆盖所述器件区、接合区和部分外围区；

以所述第三掩膜层为掩膜以图形化所述金属层以形成位线结构，且所述第三掩膜层的一端覆盖至所述外围区；

去除所述第三掩膜层。

9、一种半导体器件，包括：

衬底，形成有外围区、器件区和接合区；

金属层，形成于所述衬底上方；

介电层，形成于所述金属层上方，且所述介电层表面形成有接触窗，以暴露所述金属层，且暴露于所述接触窗的金属层的上表面高度低于位于所述器件

10、根据权利要求 9 所述的半导体器件，其中，还包括：第一绝缘层，形成于所述衬底上表面，位于所述金属层下方，且位于外围区下方的所述第一绝缘层的上表面高度低于位于所述器件区下方的所述第一绝缘层的上表面高度。

11、根据权利要求 9 所述的半导体器件，其中，还包括：第二绝缘层，形成于所述衬底上表面，位于所述金属层下方，且位于所述接触窗下方的所述第二绝缘层的上表面高度低于所述器件区下方的所述第二绝缘层的上表面高度。

12、根据权利要求 9 所述的半导体器件，其中，所述半导体器件包括位线结构，所述位线结构由所述金属层构成，并具有伸入至所述外围区上方的部分。

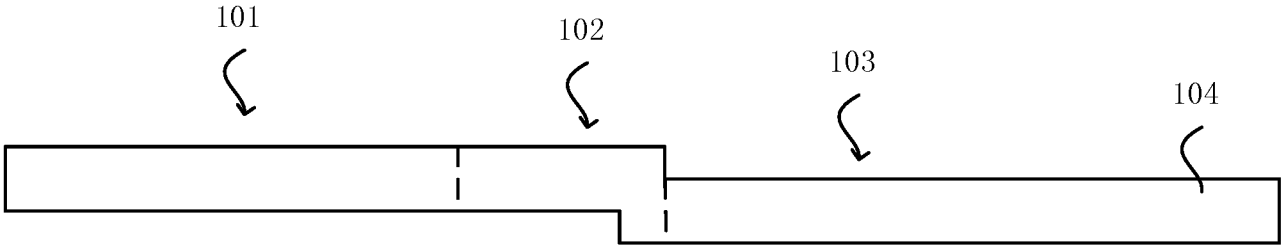

101
102
103
104

图 1

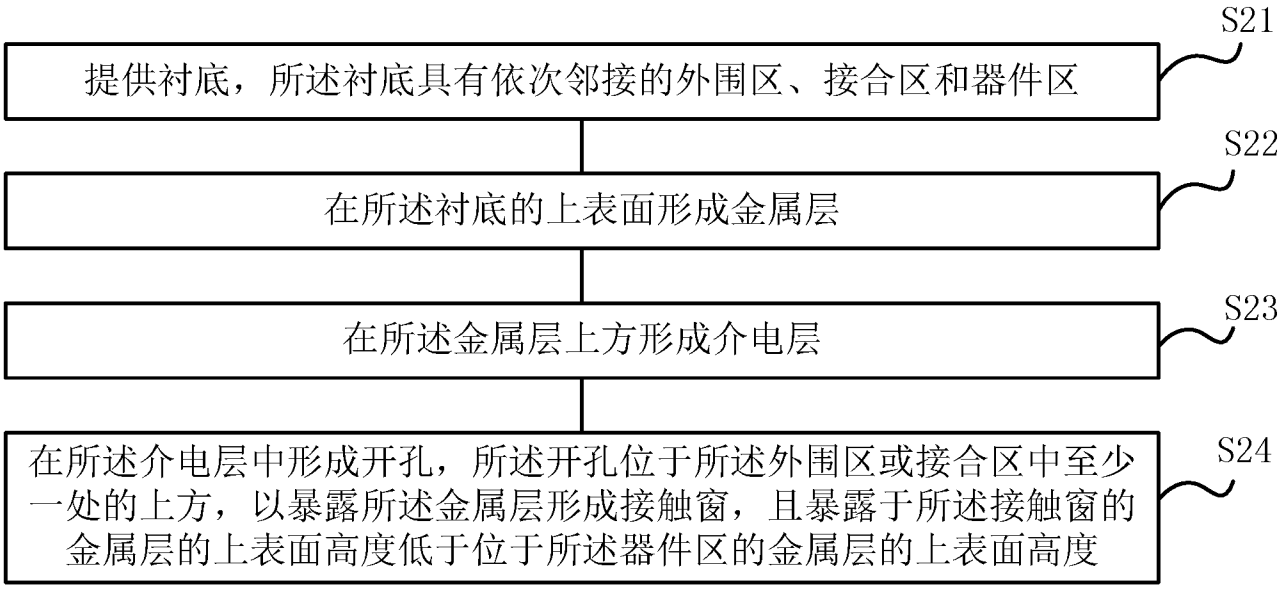

S21
提供衬底，所述衬底具有依次邻接的外围区、接合区和器件区
S22
在所述衬底的上表面形成金属层
S23
在所述金属层上方形成介电层
S24
在所述介电层中形成开孔，所述开孔位于所述外围区或接合区中至少一处的上方，以暴露所述金属层形成接触窗，且暴露于所述接触窗的金属层的上表面高度低于位于所述器件区的金属层的上表面高度

图 2

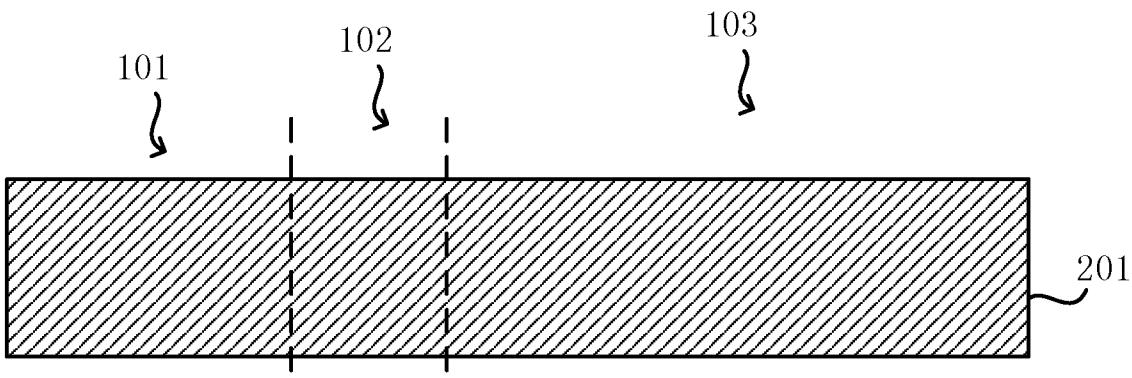

101
102
103
201

图 3

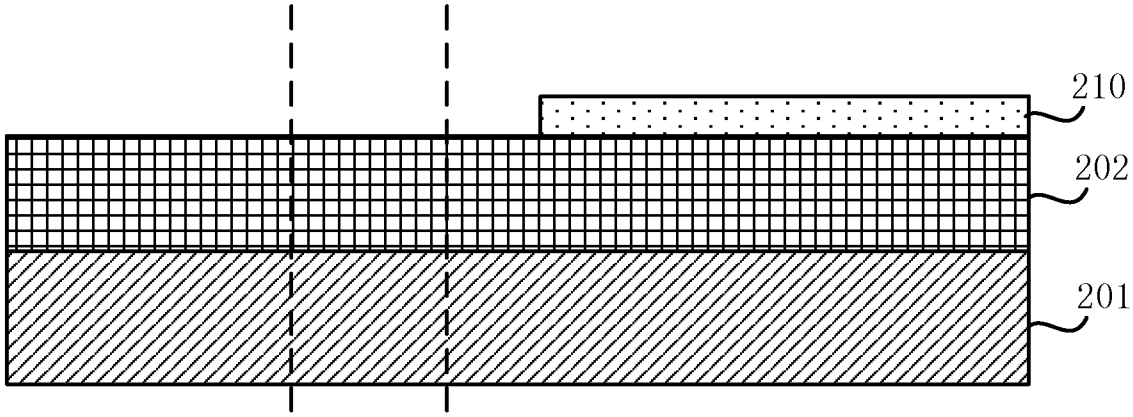


图 4

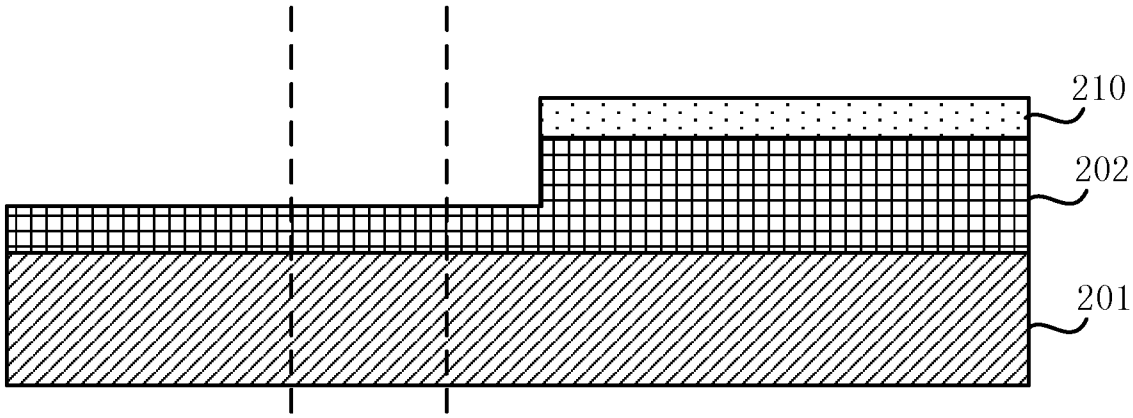


图 5

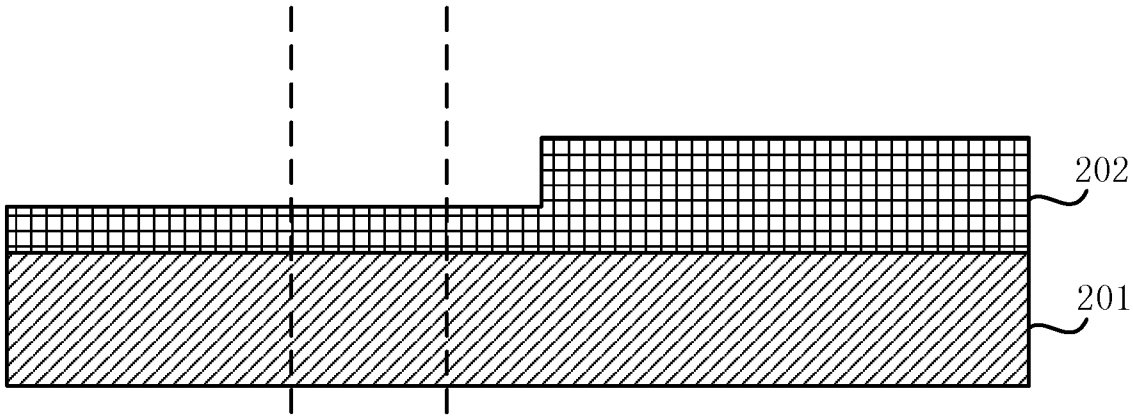


图 6

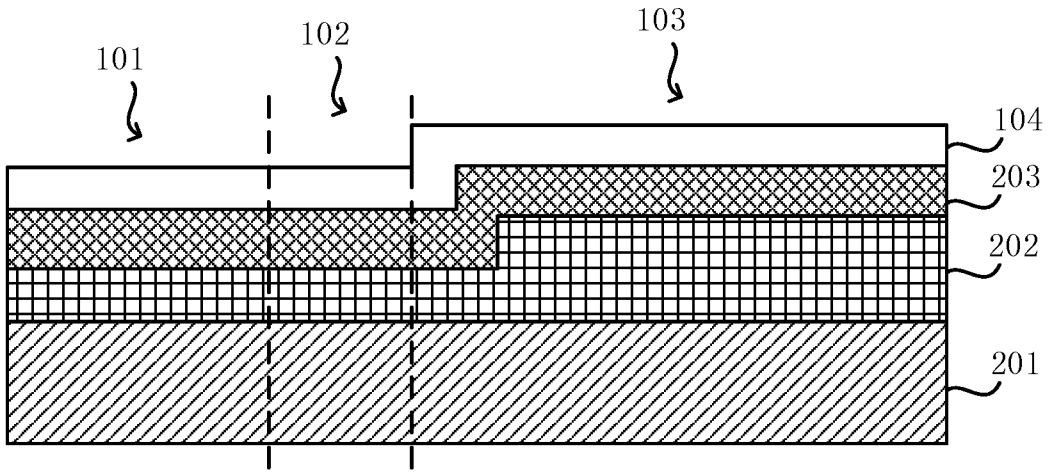

101
102
103
104
203
202
201

图 7

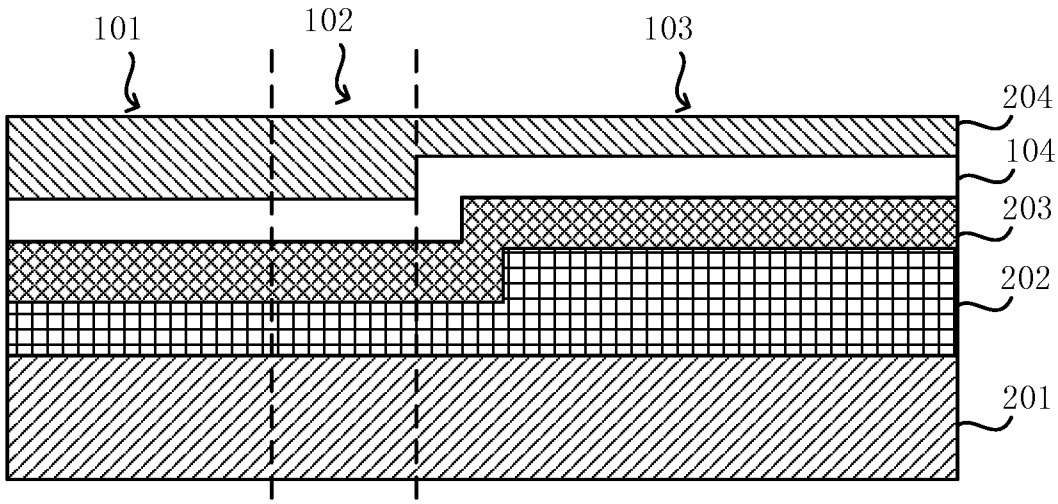

101
102
103
204
104
203
202
201

图 8

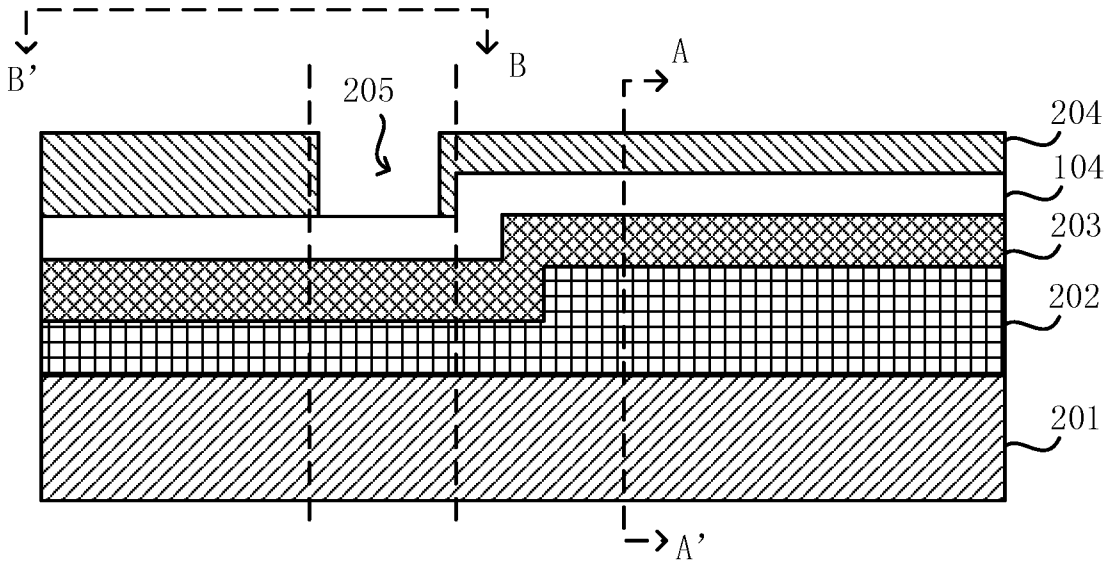

B'
B
A
205
204
104
203
202
201
A'

图 9

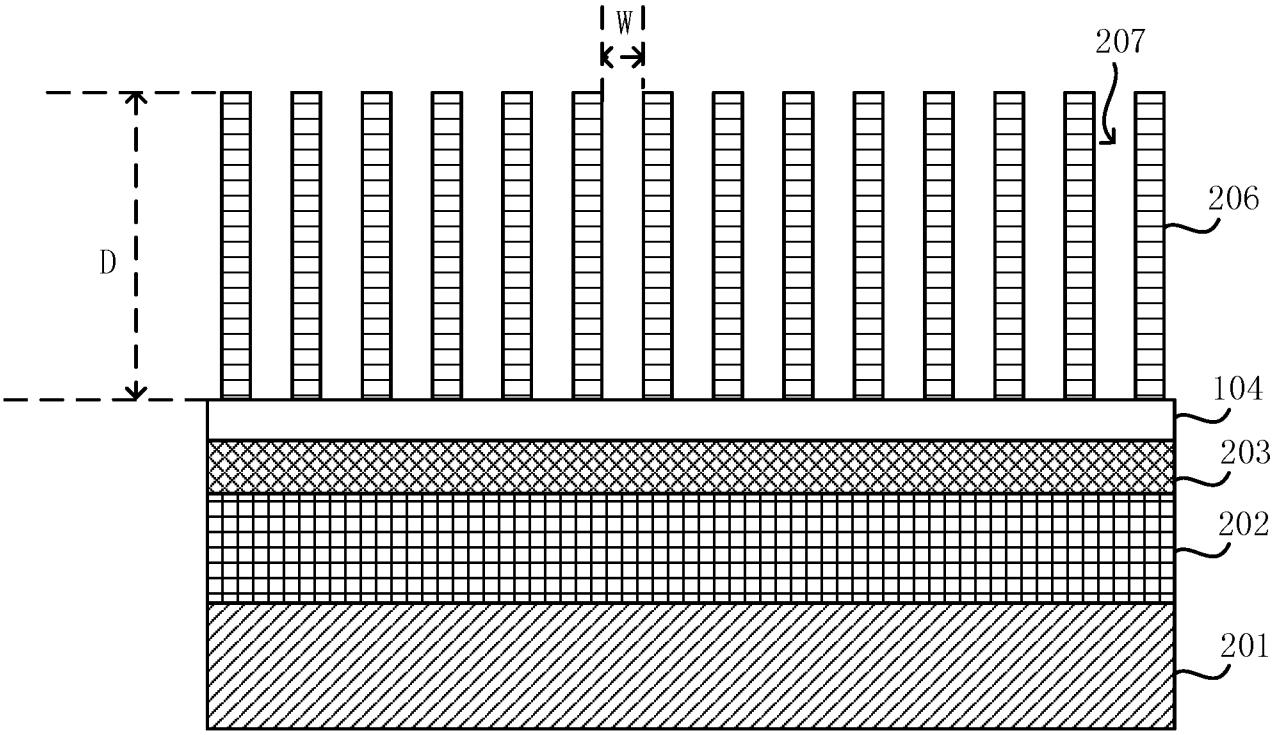


图 10

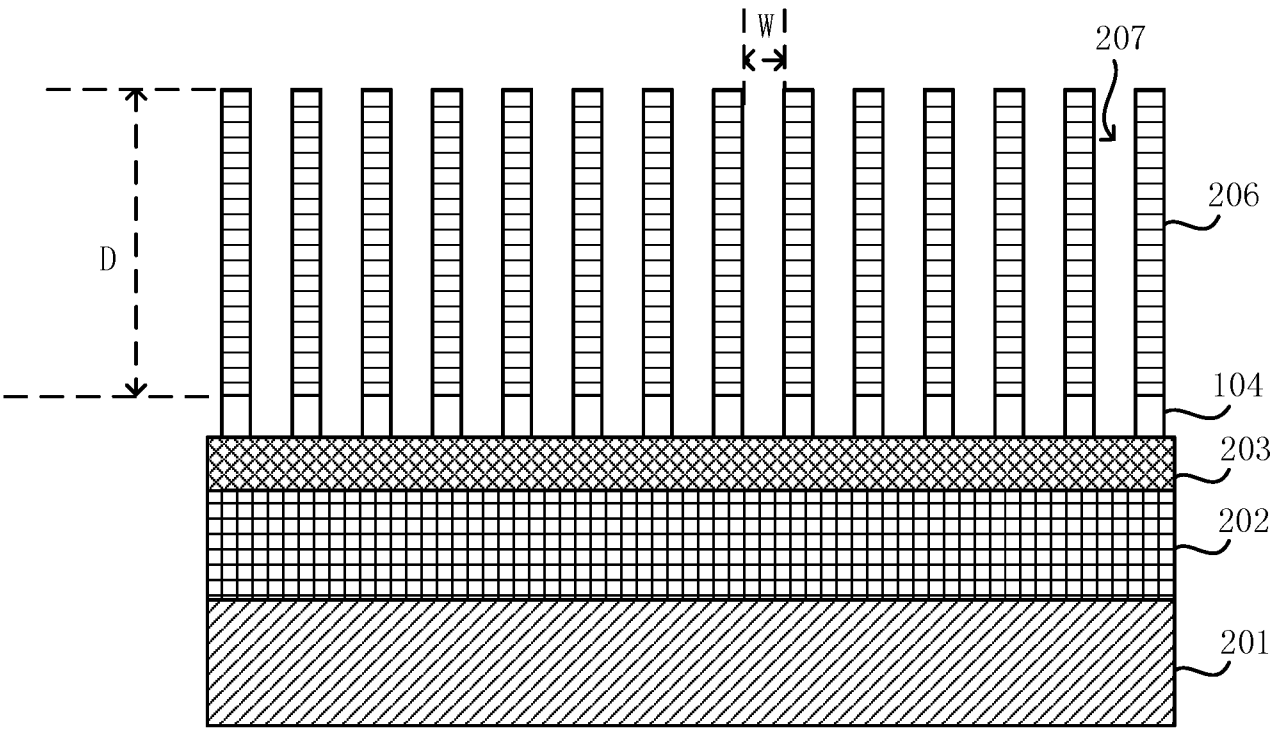


图 11

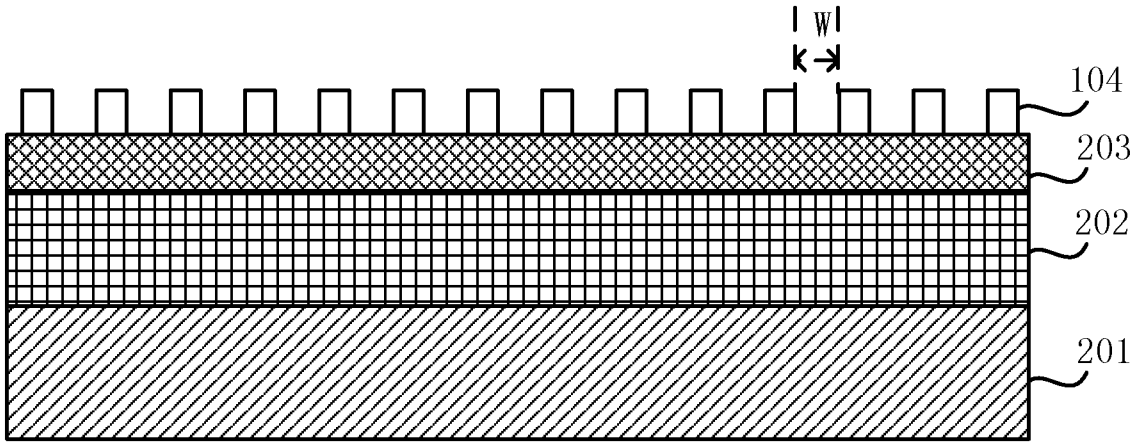


图 12

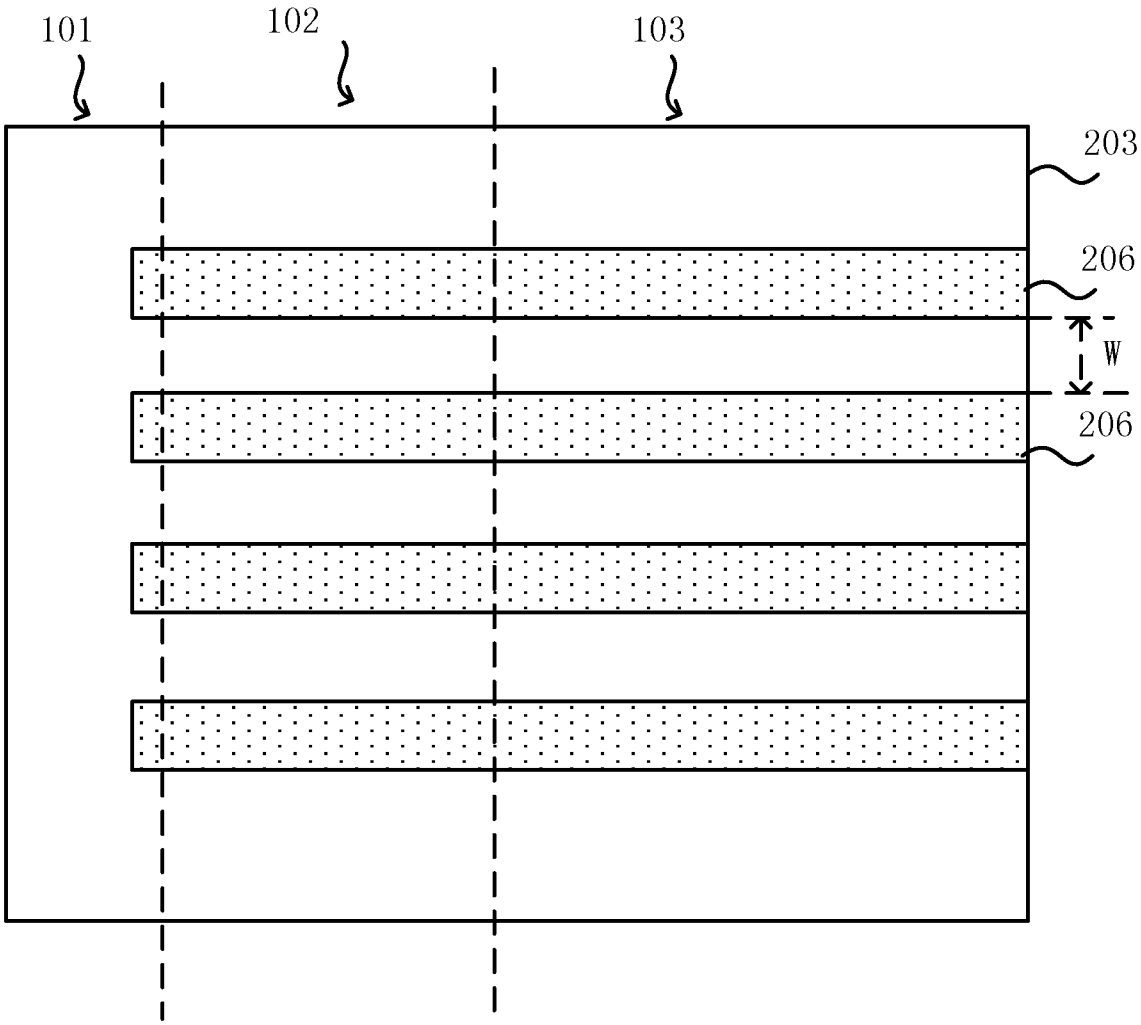


图 13

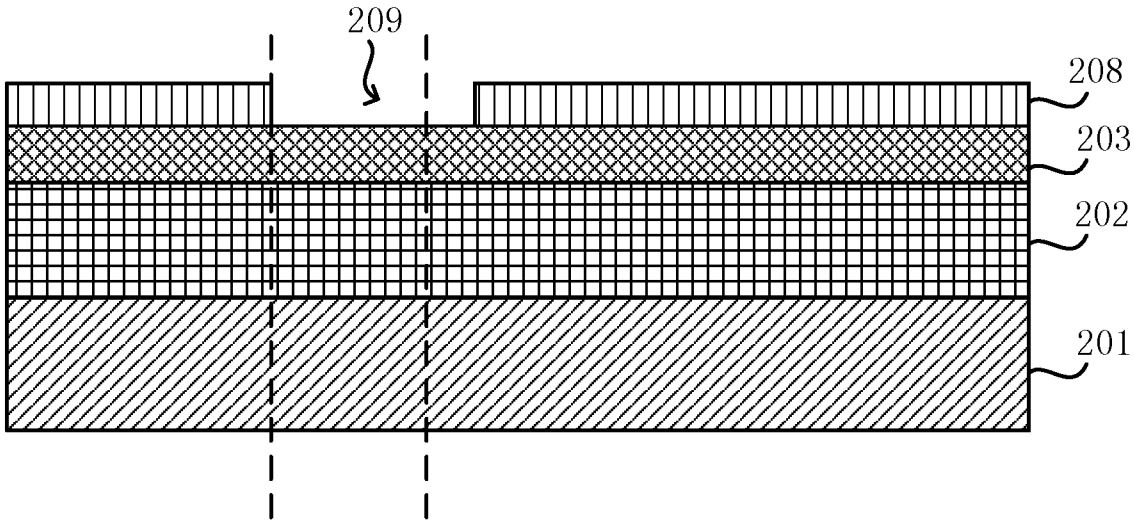


图 14

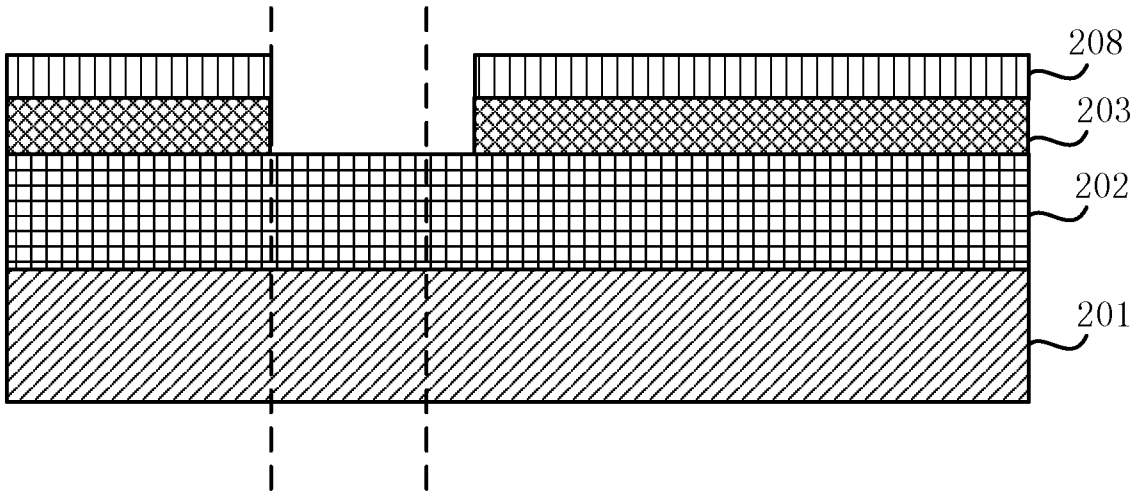


图 15

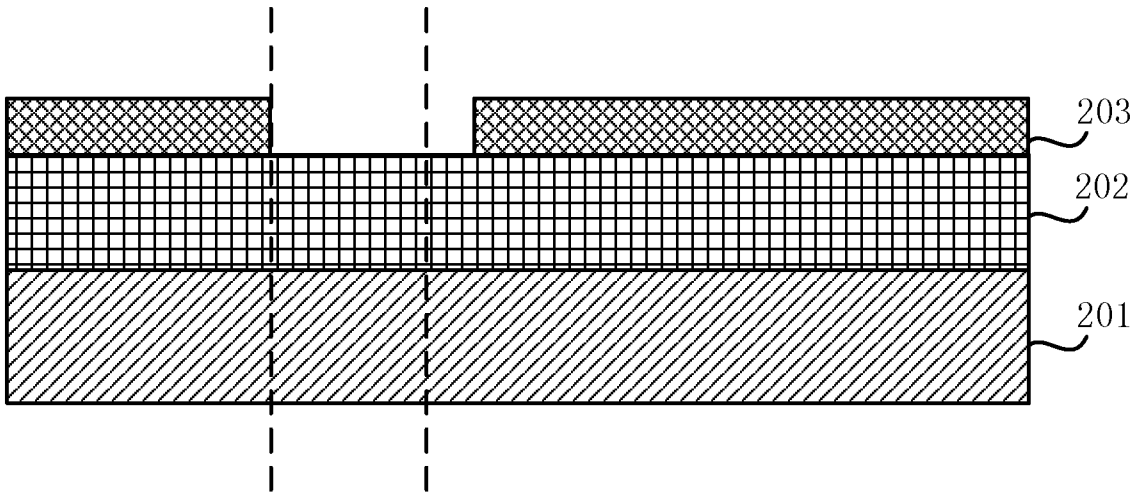


图 16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/099989

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/64(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 接合区, 器件区, 外围区, 台阶, 槽, 存储, 衬底, 金属层, 绝缘层, 介质层, 接触, 高度, device region, peripheral region, joint region, step, trench, memory, storage, substrate, metal layer, insulation layer, dielectric layer, contact, hight

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104280161 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 14 January 2015 (2015-01-14) description, paragraphs 0040-0089, figures 2-15	1-12
A	US 10083982 B2 (SANDISK TECHNOLOGIES L.L.C.) 25 September 2018 (2018-09-25) entire document	1-12
A	CN 110100307 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 06 August 2019 (2019-08-06) entire document	1-12

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 September 2021	**22 September 2021**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/099989

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104280161	A	14 January 2015	US	2016152465	A1	02 June 2016
				US	9206030	B2	08 December 2015
				US	2015008543	A1	08 January 2015
				US	9738508	B2	22 August 2017
				CN	104280161	B	31 August 2016
US	10083982	B2	25 September 2018	WO	2018093446	A1	24 May 2018
				CN	109863597	A	07 June 2019
				US	2018138194	A1	17 May 2018
CN	110100307	A	06 August 2019	TW	I683417	B	21 January 2020
				TW	201937698	A	16 September 2019
				CN	107946237	A	20 April 2018
				WO	2019100875	A1	31 May 2019
				US	2020126999	A1	23 April 2020
				US	2019157280	A1	23 May 2019
				US	10770468	B2	08 September 2020
				US	10535669	B2	14 January 2020

国际检索报告

国际申请号
PCT/CN2021/099989

A. 主题的分类

H01L 23/64(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

WPI, EPODOC, CNPAT, CNKI, IEEE:接合区，器件区，外围区，台阶，槽，存储，衬底，金属层，绝缘层，介质层，接触，高度，device region, peripheral region, joint region, step, trench, memory, storage, substrate, metal layer, insulation layer, dielectric layer, contact, hight

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 104280161 A (中芯国际集成电路制造上海有限公司) 2015年 1月 14日 (2015-01-14) 说明书第0040-0089段、附图2-15	1-12
A	US 10083982 B2 (SANDISK TECHNOLOGIES LLC.) 2018年 9月 25日 (2018-09-25) 全文	1-12
A	CN 110100307 A (长江存储科技有限责任公司) 2019年 8月 6日 (2019-08-06) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2021年 9月 1日	2021年 9月 22日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘振玲 电话号码 (86-10)-53961442

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/099989

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104280161	A	2015年 1月 14日	US	2016152465	A1	2016年 6月 2日
				US	9206030	B2	2015年 12月 8日
				US	2015008543	A1	2015年 1月 8日
				US	9738508	B2	2017年 8月 22日
				CN	104280161	B	2016年 8月 31日
US	10083982	B2	2018年 9月 25日	WO	2018093446	A1	2018年 5月 24日
				CN	109863597	A	2019年 6月 7日
				US	2018138194	A1	2018年 5月 17日
CN	110100307	A	2019年 8月 6日	TW	I683417	B	2020年 1月 21日
				TW	201937698	A	2019年 9月 16日
				CN	107946237	A	2018年 4月 20日
				WO	2019100875	A1	2019年 5月 31日
				US	2020126999	A1	2020年 4月 23日
				US	2019157280	A1	2019年 5月 23日
				US	10770468	B2	2020年 9月 8日
				US	10535669	B2	2020年 1月 14日