

公告本

291598

申請日期	84.10.12
案 號	84110794
類 別	1611 27/01

A4
C4

291598

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半 導 體 裝 置 之 製 法
	英 文	
二、發明 人 創作	姓 名	(1)松 原 潤 子 (2)田 島 享 (3)原 田 繁
	國 籍	日 本
	住、居所	(1)日本國兵庫縣伊丹市瑞原4丁目1番地 三菱電機株式會社 北伊丹製作所內 (2)同(1) (3)同(1)
三、申請人	姓 名 (名稱)	三菱電機股份有限公司 (三菱電機株式會社)
	國 籍	日 本
	住、居所 (事務所)	日本國東京都千代田區丸の内2丁目2番3號
	代 表 人 姓 名	北 岡 隆

291598

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期1995-8-23 案號：7-214798，☐有 ☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[發明之技術領域]

本發明係有關一種半導體裝置之製法，尤指一種金屬配線間，金屬配線下或上之層間絕緣膜的形成方法及平坦化方法。

[習用技術之說明]

近年，對於半導體裝置之高密度化，高積體化，底層階差之減小或配線間絕緣膜之平坦化，在提高裝置之產率或信賴性之層面，已成為重要之處理過程中之一種。其中，係應用塗佈SOG(Spin-On-Glass)再進行熱處理之方法。

SOG包括無機SOG及具有烷基直接結合於矽之構造的有機SOG等兩種。

當企圖使用無機SOG減小底層階差時，如圖24所示，係在底層之氧化膜4上塗佈無機SOG5a之後，又一次如圖25所示，必須再塗佈無機SOG5b提高平坦性。

又，埋入階差與階差間之空間內的無機SOG中，由於膜形時之膜收縮所造成之抗拉應力的作用，會產生龜裂。

當SOG作為金屬配線上之被動膜的一部份應用之場合，此一龜裂對耐濕性亦會造成影響。例如，如圖26所示，在金屬配線上，由電漿CVD法所形成之矽氮化膜11的階差下部，易於形成龜裂21。雖可應用SOG5b埋入該階差下部，但當該SOG5b中亦產生龜裂20時，與矽氮化膜11之龜裂21兩者均會使耐濕性受損，以致金屬配線7有腐蝕之性形。

另一方面，如圖27所示，使用有機SOG5c之場合，由於可作約達1.5mm為止之膜形成，因此有以一次之塗佈即可

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

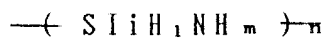
減少底層階差之優點。

然而，由於有機SOG係使用Si-CH₃或Si-C₂H₅等之烷基，此一烷基由於氧電漿之故，易於受損。因此，如圖28所示，在通過孔蝕刻時，會產生側蝕刻22，或是龜裂或膜剝離23之現象。

是以，有必要形成在通過孔之側壁不露出有機SOG5c之構造。具體言之，係在有機SOG5c塗佈形成後全面地實施蝕刻，而如圖29所示般之除去底層階差上部之有機SOG。經由此一附加之過程，如圖30所示，可形成在通過孔之側壁上不露出有機SOG5c之構造。

又，為了解決此一習用SOG之問題，作為新材料，有一種可形成為較習用無機SOG5為厚之無機SOG(以下稱之為厚膜無機SOG)業已為人所知。日本特開平5-121572號公報中，曾揭示一種作為厚膜無機SOG膜，使用下式：

[化學式3]



$$l=1\sim 3, \quad m=0\sim 1$$

$$n=20\sim 25000$$

之例子，根據此一例子，係在第一金屬配線3上推積含有上述化學式矽聚合物2層間絕緣膜，在如圖31所示般之進行通過孔24之蝕刻後，如圖32所示，再形成第二金屬配線7。

此處，塗佈燒成之矽聚合物，係成為SiON或SiO₂構造而膨脹。因此，膜中會產生殘留壓縮應力，如此，可提昇抗龜裂性，謀求膜之緻密化。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

根據此一過程，可抑制側蝕刻或龜裂。然而，如圖33所示，在形成通過孔24後，所形成第二金屬配線時，由通過孔側壁之SOG，會產生 H_2O 或 CO_2 等之氣體，以致引起第二金屬配線7腐蝕此種所謂之污染通過路徑之不良現象。此種現象，習用之應用無機SOG的構造27或應用有機SOG之構造中，如圖34所示，亦會產生。

[發明之解決課題]

如上所說明，習用之利用無機SOG謀求半導體裝置配線間之絕緣膜的平坦化或底層階差的減小時，有必要以重複塗佈形成多層之要，不僅會造成過程數增加以致成本增加之問題，同時還會因膜形成時膜收縮造成龜裂之問題，或是耐濕性等對於裝置之信賴性造成影響之問題。

又，即使是使用習用之有機SOG的場合，也仍有有機SOG露出面被側蝕刻，或是產生龜裂而造成配線不良之問題。

再者。即使是當使用以上之二種SOG的改良SOG般之厚膜無機SOG的場合，由於自通過孔側壁部之厚膜無機SOG露出面之脫氣，也會產生所謂之稱為污染通過途徑的配線腐蝕，而有損裝置之信賴性的問題。

本發明之目的係在提供一種即使應用厚膜無機SOG，也無須增加過程數，用時可降低成本，且抗龜裂性佳，耐濕性優異，而且不會引起配線不良之半導體裝置之製法。

[課題之解決手段]

為了達成上述目的，申請專利範圍第1項之製法，包括一將無機SOG推積於半導體基板上後，以 $300\sim 550^\circ C$ 之溫度

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

在氮、空氣或水蒸氣之氛圍中實施熱處理，而形成層間膜之過程者。

根據此一製法，層間膜可增厚成較習用無機SOG為厚。

是以，藉由一次之塗佈可減小底層階差，同時可提高抗龜裂性。

又，根據申請專利範圍第2項之製法，包括一將含厚膜無機SOG之層間膜堆積於半導體基板上之過程，以及一在上述層間膜上形成開口部，在上述開口部之側壁面上將上述無機SOG露出後，在 10^{-3} Torr以下之真空度下，以 $150 \sim 550^{\circ}\text{C}$ 之溫度進行熱處理之過程者。

是以，在此之後，即使形成金屬配線，金屬配線也不會在開口部腐蝕。

又，根據申請專利範圍第3項之製法，包括一在半導體基板上堆積厚膜無機SOG之後，於該厚膜無機SOG上照射氮電漿之過程。

根據此一製法，藉由在厚膜無機SOG上層照射氮電漿，可予以氮化。

是以，厚膜無機SOG內部係由氮化之表面所保護，因此可進步提高抗龜裂性。

又，根據申請專利範圍第4項之製法，包括一在半導體基板上堆積厚膜無機SOG後，於該厚膜無機SOG上照射紫外線之過程。

根據此一製法，藉由在厚膜無機SOG上照射紫外線，可進行 SiO_2 化。

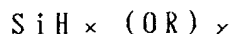
(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

根據申請專利範圍第5項之製法，作為此種厚膜無機SOG，可應用由下式：

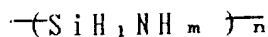
[化學式4]



(式中， $x=1\sim 3$ ， $y=3\sim 1$ ，R係氫原子或低級烷基)

所示之第一矽聚合物，或由下式：

[化學式5]



$$l=1\sim 3, \quad m=0\sim 1$$

$$n=20\sim 25000$$

所示之第二矽聚合物者。

根據申請專利範圍第6項所記載之半導體裝置之製法，具有一將上述第一或第二矽聚合物塗佈於半導體基板上後，施予熱處理而形成層間膜之過程，因此可提高抗龜裂性，可將層間膜厚膜化。

是以，可容易地減小底層之階差，同時可提昇耐濕性等之裝置的信賴性。

[發明之實施形態]

✓(實施形態1)

以下，茲將使用SOG材料之本發明實施形態1，佐以圖面說明之。

本發明中使用之SOG，稱為厚膜無機SOG，具有SiH或Si-N等之無機基與矽的鍵結，包括下式：

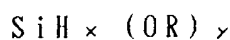
[化學式6]

(請先閱讀背面之注意事項再填寫本頁)

訂

線

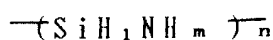
五、發明說明(6)



(式中， $x=1\sim 3$ ， $y=3\sim 1$ ，R係氫原子或低級烷基)

所示之第一SOG，或由下式：

[化學式7]



$$l=1\sim 3, \quad m=0\sim 1$$

$$n=20\sim 25000$$

所示之第二SOG。

此一厚膜無機SOG，與由Si-OH鍵結所構成之習用無機SOG相較，Si-H鍵結較不易切離，因此，對於因內部應力所造成之龜裂，其抗龜裂性係提高至約1.3~2.0倍。是以，以一次之塗佈，即可較習用之無機SOG更厚膜化。

首先，如圖1所示，在底層氧化膜4上以旋轉塗覆法塗佈厚膜無機SOG5，將溶媒除去。而後，以燒結爐於 N_2 、 H_2O 、 O_2 等之適當性氛圍中，在300~550℃之溫度範圍下進行熱處理。

於此一熱處理過程中，為了更提高抗龜裂性，對於燒結爐之插入及拉出速度，宜在10cm/min以下。又，插入，拉出時之溫度，宜為較實際處理溫度低30~100℃之溫度。

實際上，當插入拉出溫度與實際處理溫度相同時，在5000Å之場合，SOG中會產生龜裂者，藉由將插入拉出之溫度下降成較實際處理溫度低30~100℃，可防止SOG之龜裂的產生。

又，當插入拉出速度在15cm/min時，在7000Å之場合，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

SOG中會產生龜裂者，藉由將其降至10cm/min，可防止SOG之龜裂的產生。

依此一方式，藉由一次之SOG塗佈，可謀求底層階差之減小或抗龜裂性之提高，因此可提昇半導體裝置之信賴性，同時不至於增加過程數，製造成本也可壓低。

[實施形態2]

如圖1所示，在底層氧化膜上形成厚膜無機SOG後，如圖2所示，以電漿CVD法形成氧化矽膜6。藉由一定之光罩，進行通過孔之圖案化，再進行異向性之蝕刻，形成通過孔24。

其次，如圖3所示，在通過孔側壁上露出厚膜無機SOG之部份的狀態下，於 10^{-3} Torr以下之減壓狀態下，在150~550℃之溫度範圍內進行熱處理。藉由此一熱處理，吸附於通過孔側壁部之SOG的一部份之 C_2 、 H_2O 等的殘留氣體25或吸附水脫離。

熱處理後，為了防止通過孔壁上再吸附雜質，如圖4所示，連續地形成第二配線7。

此處，熱處理之溫度範圍，係由以下之實驗所求得。具體言之，於狀通過孔開口而露出厚膜無SOG的一部份之狀態下，以TDS(Thermal-Desorption-Spectroscopy,熱脫吸附光譜術)評估脫氣量。此一場合下，係應用第一SOG。

結果獲得圖5所示之曲線圖。此圖中所示的是，對於晶圓賦與之溫度與由晶圓脫離之經檢測出的物質之質量數間的關係。由此圖可判知，質量數18，亦即 H_2O 之脫氣量多，以150℃附近為中心放出。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

是以，通過孔開口後之熱處理的下限溫度，宜為150℃
別一面，上限溫度宜為金屬配線不會熔融之550℃。

此外，又評估晶圓之產率的熱處理溫度依存性。圖6係
評估結果。由該結果可知，當熱處理溫度為100℃時，產
率有變動性，但當該熱處理溫度在200℃以上時，產率高
且變動性減小。

依此一方式，在將厚膜無機SOG應用於金屬配線間時，
即使形成厚膜無機SOG露出於通過孔之構造，藉由在減壓下
進行熱處理脫氣，可防止金屬配線之腐蝕，可高產率且安
定地獲得半導體裝置。

✓(實施形態3)

其次，茲就實施之形態3進行說明。

如圖7所示，此實施形態係在第二配線7上塗佈厚膜無機
SOG25，予以熱處理，將通過孔埋入。而後，如圖8所示，
以電漿CVD法將矽氧化膜26堆積後，形成第三配線27。為
了被覆第三配線27，堆積氧化矽膜28。

以下，茲重複相同之過程，形成三層以上之多層配線構
造。

依此一方式，藉由應用厚膜無機SOG，可減小底層之階
差，並埋入通過孔，因此，可容易地形成多層配線，謀求裝
置之高積體化。

✓(實施形態4)

其次，作為實施之形態4，茲就實施SOG之氮化，進一步
提高抗龜裂性之方法，進行說明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

如圖9所示，為被覆第一配線3，以電漿CVD法形成矽氧化膜4後，再塗佈形成厚膜無機SOG5。

其次，在此SOG5表面上照射氮電漿，而如圖10所示，將SOG5之表面氮化5d。

於此，在厚膜無機SOG塗佈後，以TDS評估基於氮電漿處理是否實施的脫氣量。結果獲得圖11及圖12中所示之曲線圖。此一場合下，係應用第一SOG。

圖11中所示的是未作氮電漿處理之半導體裝置，圖12中所示的是經氮電漿處理之半導體裝置。如圖12所示，經實施氮電漿處理者，至500℃附近為止，脫氣幾乎並未觀察到。具體言之，在500℃以下，膜之分解等受到抑制，膜之收縮不會發生。是次，可知藉由將SOG表面附近氮化，其抗龜裂性提高。

又，進行抗龜裂性之加速評估的結果顯示，經氮電漿處理之厚膜無機SOG，即使重複400℃、15分鐘、在氮氛圍中實施之熱處理10次，也不會產生龜裂。另一方面，未經氮電漿處理之厚膜無機SOG，在第4次時產生龜裂。

如此，塗佈厚膜無機SOG後，藉由實施氮電漿處理，抗龜裂性提高，可獲得高信賴性之半導體裝置。

✓實施形態5)

其次，作為實施形態5，茲就進一步促進厚膜無機SOG之SiO₂化，而提高抗龜裂性之方法進行說明。

如圖13所示，為被覆第一配線3，以電將CVD法形成矽氧化膜4之後，塗佈形成厚膜無機SOG5。其次，將紫外線照

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

射於該厚膜無機SOG5表面。

此處，茲以圖15及圖16說明基於紫外線照射之有無所造成之厚膜無機SOG中的 SiO_2 化之不同。圖15中所示的是，厚膜無機SOG塗佈後，不作紫外線照射，而逕以 300°C 或 400°C 熱處理後之SOG的紅外線吸收光譜。圖16中所示的是，進行厚膜無機SOG塗佈後，進行紫外線照射，再次 300°C 或 400°C 熱處理後之SOG的紅外線吸收光譜。同一場合下，係應用第2-SOG。

經紫外線照射之厚膜無機SOG，對應於其 Si-O-Si 鍵結的紅外線吸收強度，與未照射紫外線之厚膜無機SOG的同一強度相較，變得較大，判斷其 SiO_2 化獲得促進。

依此，藉由照射紫外線，如圖14所示， SiO_2 5e化獲得促進，抗龜裂性進一步提高，可獲得信賴性高之半導體裝置。

再者，厚膜無機SOG之抗龜裂性提高之特性，還可發揮使耐濕性亦提高之作用。

✓為此，作為實施之形態6，茲就併用被動膜之場合進行說明。

如圖17所示，金屬配線7b，以電漿CVD法形成之作為被動膜11的矽氧化膜11之階差下部附近，易於形成龜裂21。然而，即使有龜裂，藉由在矽氧化膜或氮化矽上塗佈厚膜無機SOG並實施熱處理而封塞龜裂21，可防止水蒸等由龜裂侵入。

是以，半導體裝置之耐濕性提高，可獲得高信賴性之半導體裝置。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

(實施形態 7)

其次，茲就實施形態 7 說明之。

藉由應用無機 SOG，對於配線腐蝕防止，抗龜裂性、平坦性之提高有直接效果之事實，係如上所述，而該應用對於半導體裝置之電氣特性的提高，也可有間接之貢獻。具體而言，於厚無機 SOG 以外之矽系膜中，若 Si 原子中存在有稱為懸掛鍵之未鍵結端的場合，存在於厚膜無機 SOG 中之氫，會鍵結於該未鍵結端，而可發揮將該未鍵結端終端化之功能。亦即，厚膜無機 SOG 係成為對於未鍵結端之氫供給源。

例如，作為前端記憶體裝置的一種，有 SRAM (Static-Random-Access-Memory，靜態隨機存取記憶體) 已然存在。SRAM 之記憶體單元，係由觸發電路所形成，包括幾種類型。其中，有一種是安定性佳之 CMOS 型單元，為將單元面積減小而開發出之 TFT (Thin-Film Transistor，薄膜電晶體) 型。

圖 18 係其斷面之一例。TFT 係在基板 1 上所形成之閘極 P 上介設閘極氧化膜 31，並包含由聚所構成之通道區域及在閘極 9 兩側之一對源極 / 漏極 32、33 所構成。聚矽 34 中，如圖 19 所示，存在有結晶粒界 35。該結晶粒界 35 中，存在有矽之懸掛鍵 36，形成中間間隙能級。

載流子係被捕捉於該能級中，而其他之載流子係由結晶粒界 35 排除，形成耗盡層 37，製作電位障壁。由於有該電位障壁，當閘極電壓為臨限電流值電壓時之源極 / 漏極間電流的 ON 電流會減少，或是，閘極電壓為 0V 時之源極 / 漏

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

極間電流的 OFF 電流，由介以該能級之熱激勵，以漏流產生。

是以，作為 TFT 之電氣特性，以 ON 電流高、OFF 電流低者，其特性較佳。

是以，如圖 20 所示，在 TFT 上介以 TEOS 系矽氧化膜 38 形成厚膜無機 SOG5。如圖 21 所示，厚膜無機 SOG 中之氫，係鍵結 39 於下層 TFF 之聚矽 34 的懸掛鍵。

藉由氫之鍵結，可減少中間間隙能級之載流子，降低電位障壁，而增加 ON 電流，同時還可抑制介以中間間隙能級之發生電流，可減少 OFF 電流。

實際上，於備有通道長為 $0.6\mu\text{m}$ 通道寬為 $0.8\mu\text{m}$ 之 TFT 的 SRAM，在應用厚膜無機 SOG 之場合，ON 電流為 1pA 程度，OFF 電流為 100fA 程度，藉由應用厚膜無機 SOG，ON 電流係成為 10pA 程度，OFF 電流係成為 10fA 程度，分別可達成約 1 位之特性提高。

又，不限於 SRAM，於 DRAM (動態隨機存取記憶體) 中也是，藉由將懸掛鍵終端化，可將再生記憶體信號之更新的間隔延長，可改善更新特性。此外，還可降低電晶體之接合漏流。依此，可獲得高性能且信賴性高之半導體裝置。

於以上之實施形態中，係以殘留厚膜無機 SOG 之過程，亦即，未背面腐蝕過程為中心說明，但為謀求裝置之平坦性的提高，也可作背面腐蝕。

(實施形態 8)

是以，茲以實施形態 8 說明之。

如圖 22 所示，為了將半導體基板 1 上形成之分離絕緣膜 8

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

、開極 9 等掩理，乃堆積氧化膜 10。而後，藉由於該氧化膜 10 上塗佈厚膜無機 SOG5 予以熱處理，掩理氧化膜之階差部，形成大致平坦之 SOG 膜。其次將該 SOG 膜及氧化膜例如以異性向蝕刻作全面背面腐蝕，除去 SOG 膜。藉由此一過程，如圖 23 所示，可獲得階差獲得減小之底層。

又，不限於乾式蝕刻，只要是對於 SOG 膜與氧化膜之蝕刻率大致相同的蝕刻法，可為任何方法。

如此，由於可減小底層階差，因此於後續過程之照相製版過程中，可精密地形成一定之圖案，可獲得高信賴性之半導體裝置。

又，上述揭示之實施形態，所有之敘述均只為例示用，並無限制之意義。本發明之範圍並非上述說明之範圍，係由申請專利範圍所界定，包含申請專利範圍之均等意義及範圍內之所有變更。

[圖面之簡單說明]

✓圖 1 係本發明實施形態 1 之半導體裝置之製法的一個過程之斷面圖。

✓圖 2 係本發明實施形態 2 之半導體裝置之製法的一個過程之斷面圖。

✓圖 3 係本發明實施形態 2 中，圖 2 所示程過程之後實施的一個過程之斷面圖。

✓圖 4 係本發明實施形態 2 中，圖 3 所示過程之後實施的一個過程之斷面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

4

五、發明說明 (14)

圖5係本發明實施形態2之利用TDS作SOG脫氣評估的結果之曲線圖。

圖6係本發明實施形態2之晶圓產率與烘烤溫度的關係之曲線圖。

圖7係本發明實施形態3之半導體裝置之製法的一個過程之斷面圖。

圖8係本發明實施形態3中，圖7所示過程之後實施的一個過程之斷面圖。

圖9係本發明實施形態4之半導體裝置之製法的一個過程之斷面圖。

圖10係本發明實施形態4中，圖9所示過程之後實施的一個過程之斷面圖。

圖11係本發明實施形態4之利用TDS作SOG脫氣評估的結果之第一曲線圖。

圖12係本發明實施形態4之利用TDS作SOG脫氣評估的結果之第二曲線圖。

圖13係本發明實施形態5之半導體裝置之製法的一個過程之斷面圖。

圖14係本發明實施形態5中，圖13所示過程之後實施的一個過程之斷面圖。

圖15係本發明實施形態5之根據紅外線吸收的SOG光譜之第一圖。

圖16係本發明實施形態5之根據紅外線吸收的SOG光譜之第二圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (15)

圖 17 係本發明實施形態 6 之半導體裝置之製法的一個過程之斷面圖。

圖 18 係本發明實施形態 7 之 SRAM 的 TFT 附近之斷面圖。

圖 19 係本發明實施形態 7 中，聚矽中的矽之結合狀態圖。

圖 20 係本發明實施形態 7 中，在圖 18 所示之 TFT 上形成 SOG 之斷面圖。

圖 21 係本發明實施形態 7 中，在圖 20 中所示之聚矽中之矽的結合狀態圖。

圖 22 係本發明實施形態 8 之製法的一個過程之斷面圖。

圖 23 係本發明實施形態 8 中，圖 19 所示過程之後實施的一個過程之斷面圖。

圖 24 係習用半導體裝置之製法的一例之一個過程之斷面圖。

圖 25 係習用半導體裝置之製法中，在圖 21 所示過程之後實施的一個過程之斷面圖。

圖 26 係習用半導體裝置之製法的其他例之一個過程之斷面圖。

圖 27 係習用半導體裝置之製法的又一其他例之一個過程之斷面圖。

圖 28 係習用半導體裝置之製法中，在圖 24 所示過程之後實施的一個過程之第一斷面圖。

圖 29 係習用半導體裝置之製法中，在圖 24 所示過程之後實施的一個過程之第二斷面圖。

圖 30 係習用半導體裝置之製法中，在圖 26 所示過程之後

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

實施的一個過程之斷面圖。

圖 31 係習用半導體裝置之製法的復一其他例之一個過程之斷面圖。

圖 32 係習用半導體裝置之製法中，在圖 28 所示過程之後實施的一個過程之斷面圖。

圖 33 係習用半導體裝置之製法中，圖 29 所示過程實施後的斷面之斷面圖。

圖 34 係習用半導體裝置之製法的再一其他例之一個過程之斷面圖。

[符號之說明]

2, 4, 6, 11, 12	矽氧化膜
3	第一配線
5, 5 d	厚膜無機 SOG
5 a, 5 b	無機 SOG
5 c	有機 SOG
7	第二配線
20, 21, 13	龜裂
22	側蝕刻
24	通過孔

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置之製法)

本發明之目的係在提供一種在半導體裝置之層間膜形成中，不會增加過程數，可壓低製造成本，同時平坦性，抗龜裂性及耐濕性優異，而且不會造成配線腐蝕之半導體裝置之製法。

本發明半導體裝置之製法，係以將基板1上，介以矽氧化膜2形成的第一配線3被覆的方式，形成矽氧化膜4。其次，在矽氧化膜4上塗佈厚膜無機SOG5，對其施予熱處理後，再形成矽氧化膜6，並藉由一定之光罩形成通過孔24。在厚膜無機SOG5之一部份露出於通過孔24的側面之狀態下，在壓力 10^{-3} Torr以下、溫度 $150\sim 550^{\circ}\text{C}$ 之條件下進行熱處理，藉此，使吸附於通過孔側壁上之 CO_2 、 H_2O 等等的殘留氣25等脫離。藉由此一過程，可防止之後形成的配線之腐蝕，獲得高信賴性之半導體裝置。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1. 一種半導體裝置之製法，包括一將無機SOG堆積於半導體基板上後，以 $300\sim 550^{\circ}\text{C}$ 之溫度在氮、空氣或水蒸氣之氛圍中實施熱處理，而形成層間膜之過程者。

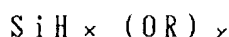
2. 一種半導體裝置之製法，包括一將含無機SOG之層間膜堆積於半導體基板上，在上述層間膜上形成開口部，在上述開口部之側壁面上將上述無機SOG露出後，在 10^{-3} Torr以下之真空度下，以 $150\sim 550^{\circ}\text{C}$ 之溫度進行熱處理之過程者。

3. 一種半導體裝置之製法，包括一將無機SOG堆積於半導體基板上後，在上述無機SOG上照射氮電漿之過程者。

4. 一種半導體裝置之製法，包括一將無機SOG堆積於半導體基板上後，在上述無機SOG上照射紫外線之過程者。

5. 依申請專利範圍第1項～第4項中任一項所述之半導體裝置之製法，其中該無機SOG，包括由下式：

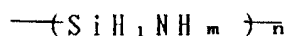
[化學式1]



(式中， $x=1\sim 3$ ， $y=3\sim 1$ ，R係氫原子或低級烷基)

所示之第一矽聚合物，或由下式：

[化學式2]



$$l=1\sim 3, \quad m=0\sim 1$$

$$n=20\sim 25000$$

所示之第二矽聚合物者。

6. 一種半導體裝置之製法，包括一將上述第一或第二矽

六、申請專利範圍

聚合物塗佈於半導體基板上後，施予熱處理而形成層間膜之過程者。

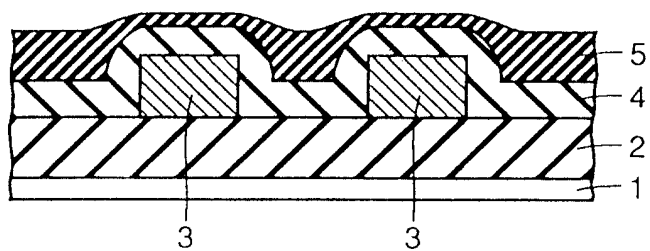
(請先閱讀背面之注意事項再填寫本頁)

訂

線

84110794

圖1



1:半導體基板
3:第一配線
5:厚膜無機SOG
7:第二配線
25:殘留氣體

2:矽氧化膜
4:矽氧化膜
6:矽氧化膜
24:通過孔

圖2

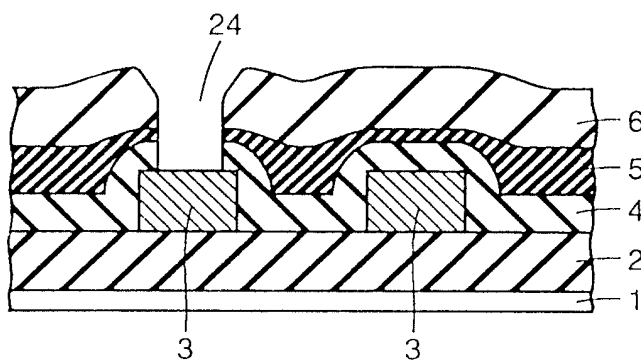


圖3

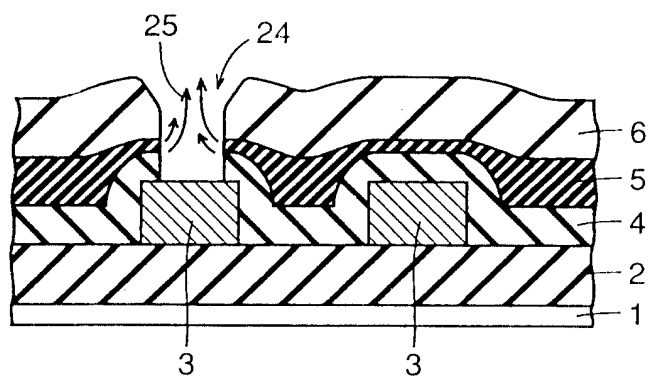


圖4

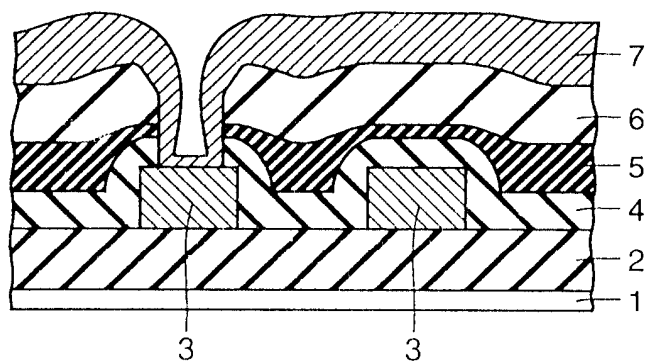


圖5

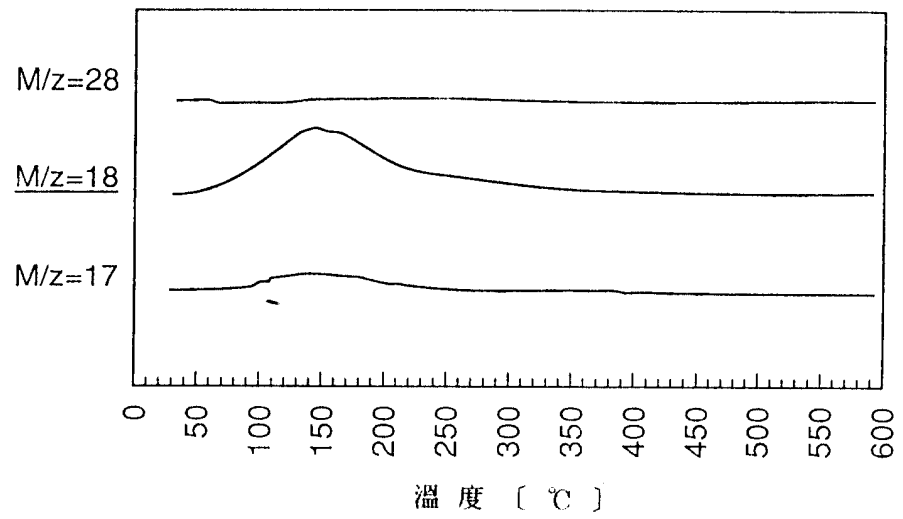


圖6

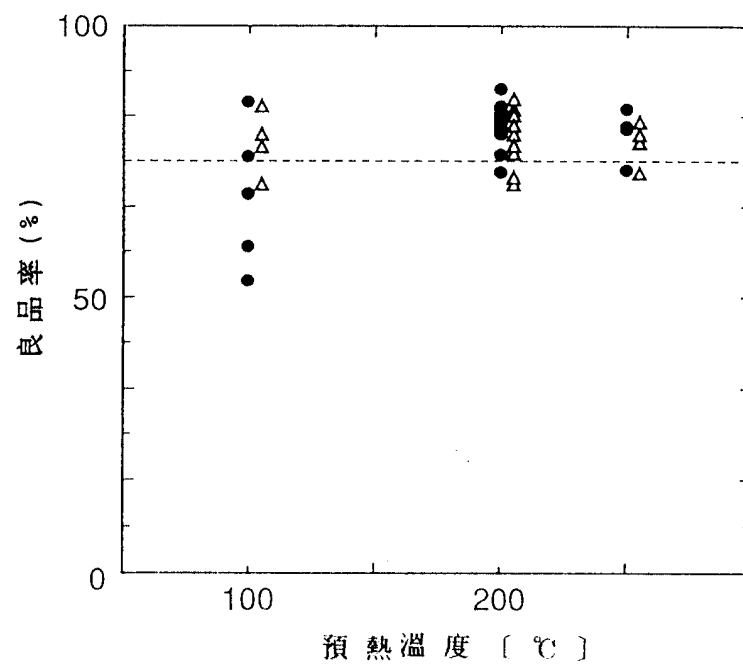


圖7

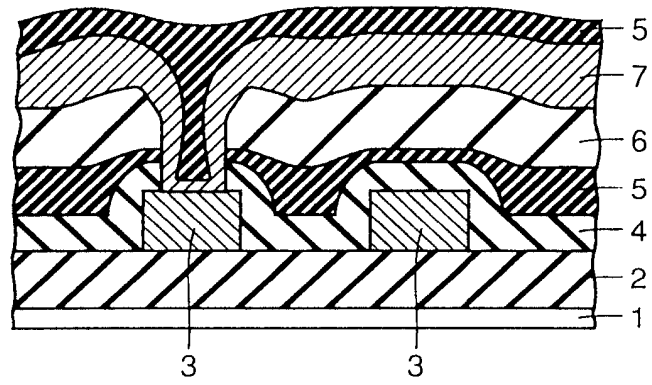


圖8

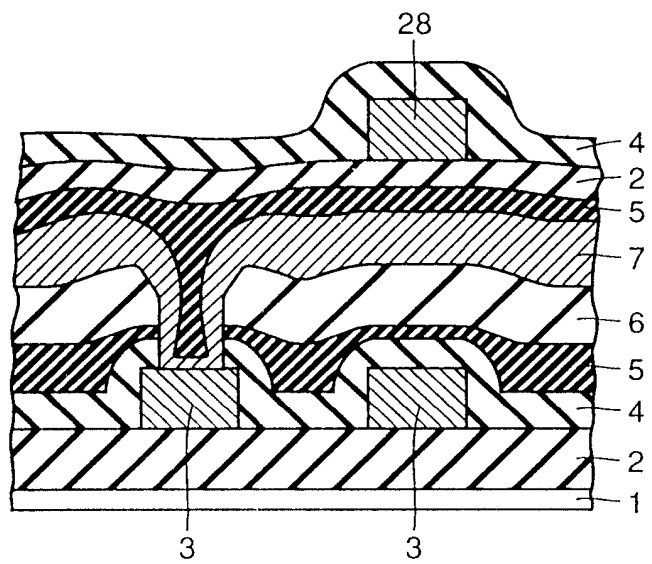


圖9

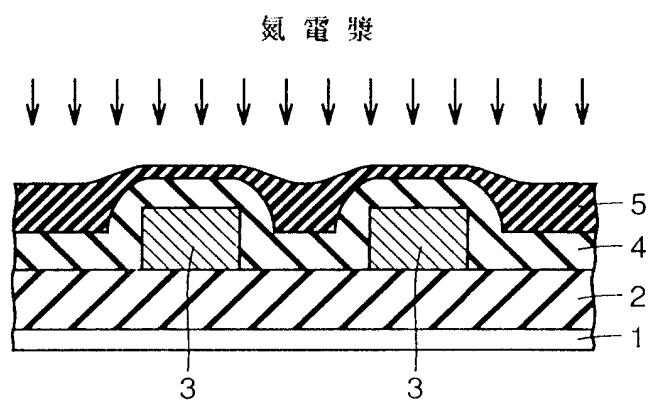


圖10

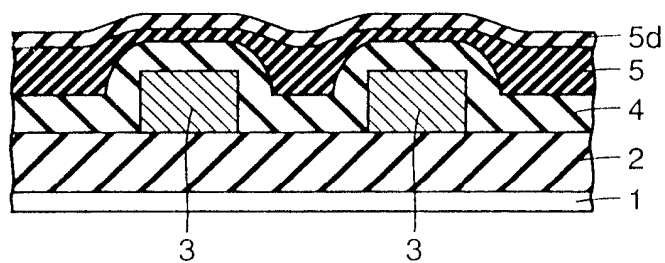


圖11

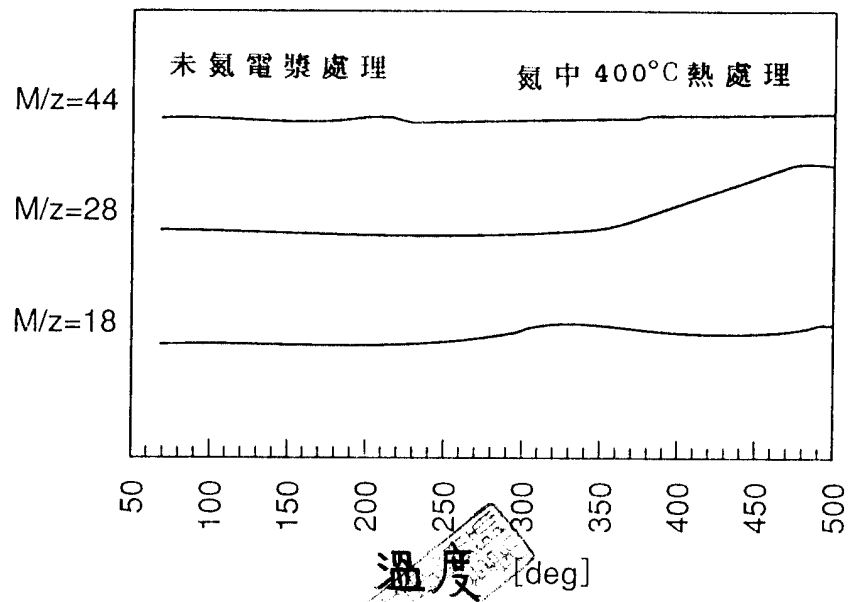


圖12

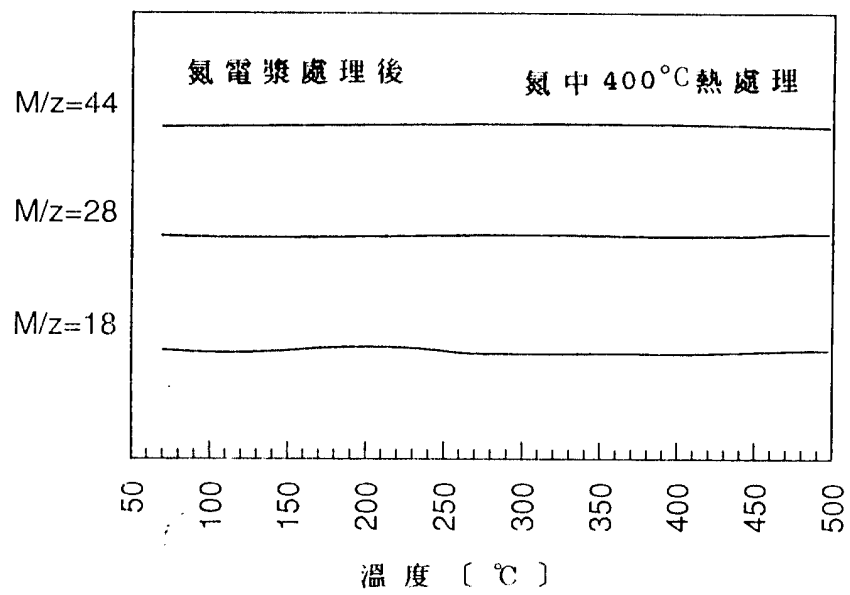


圖13

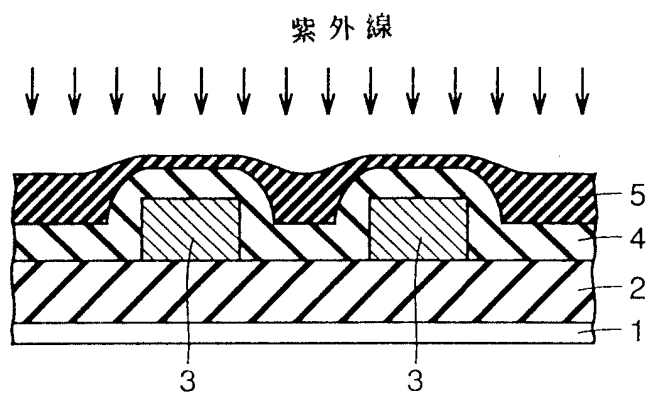


圖14

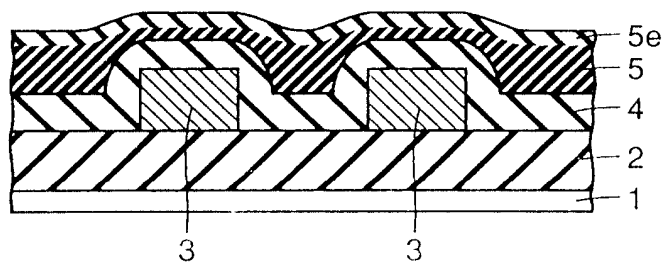
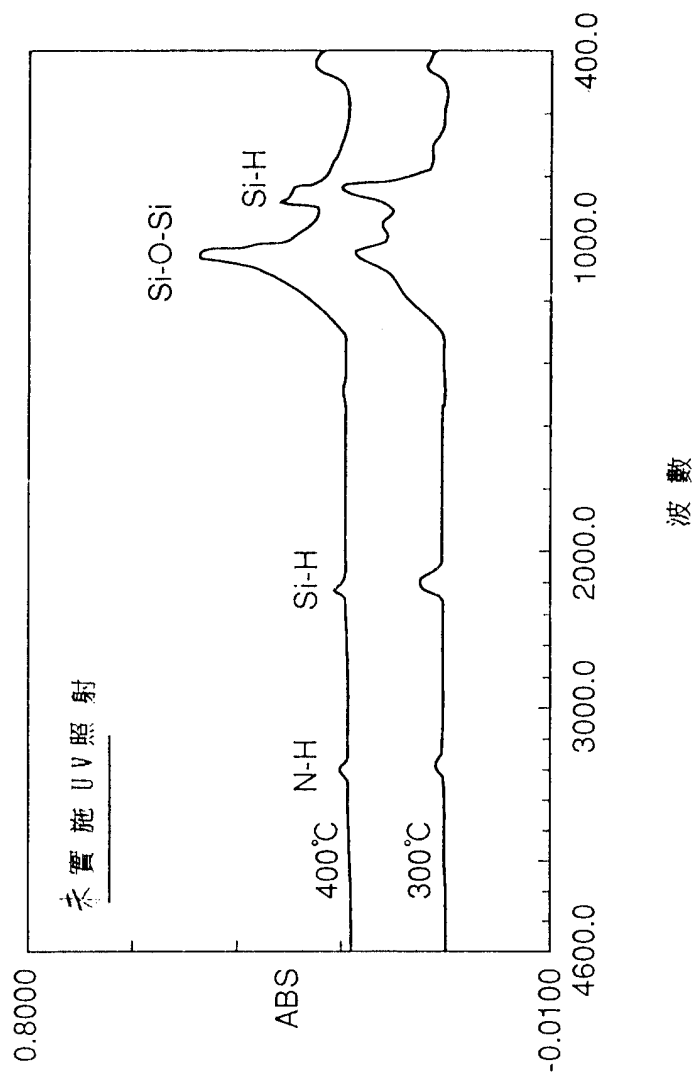


圖15



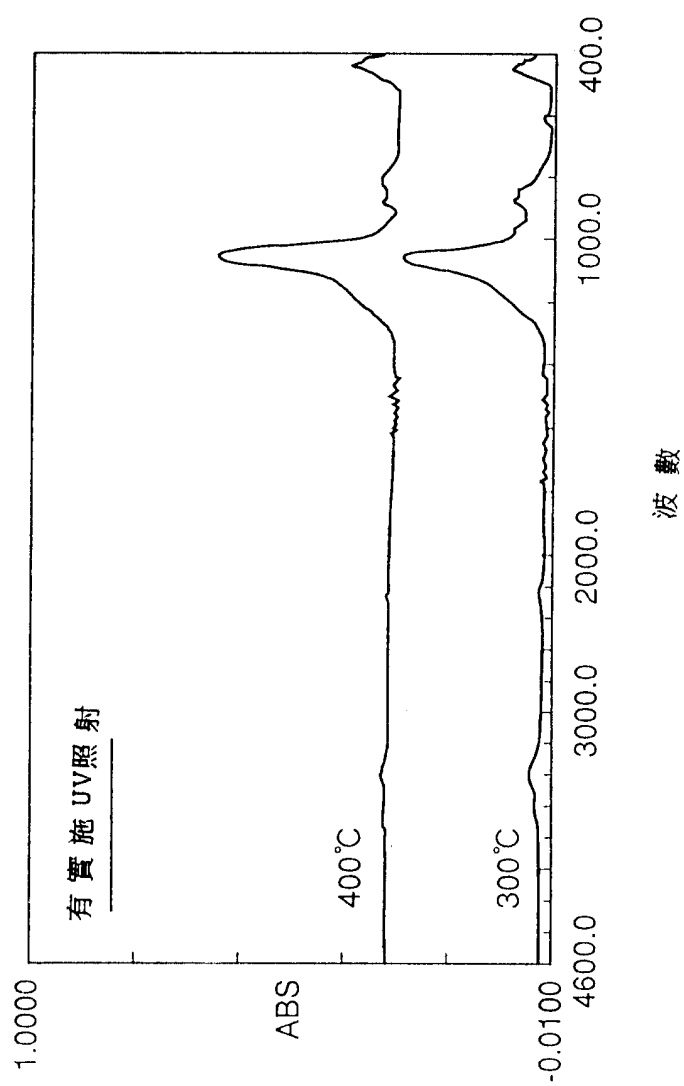


圖 16

圖17

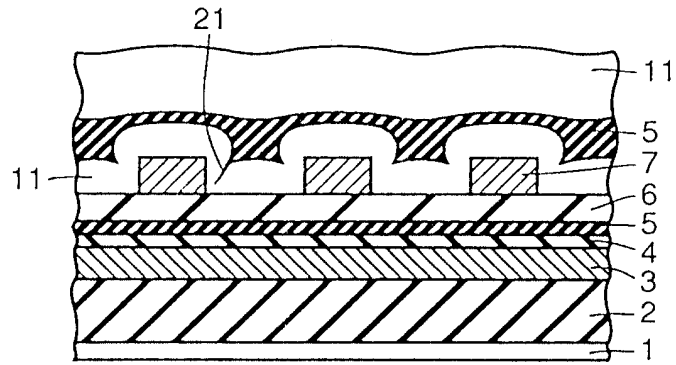


圖18

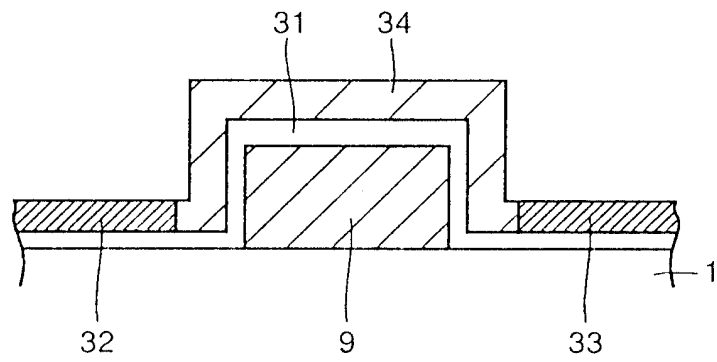


圖19

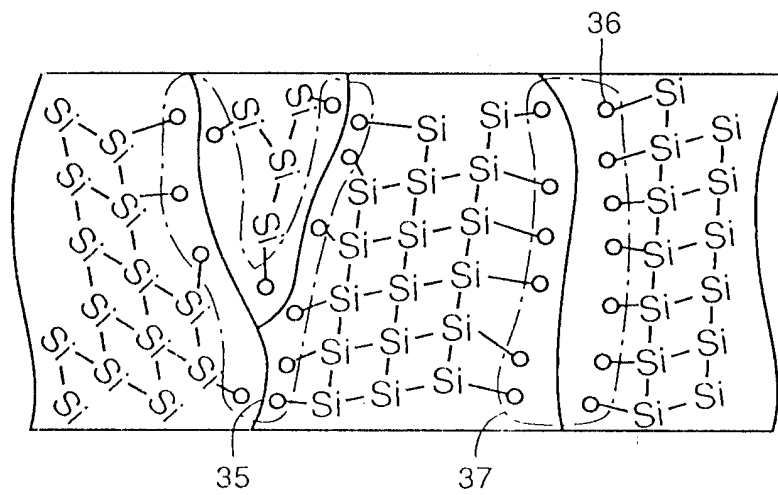


圖 20

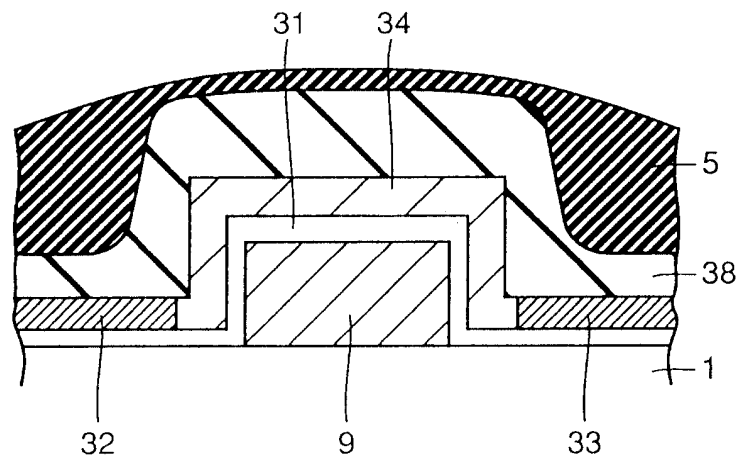


圖 21

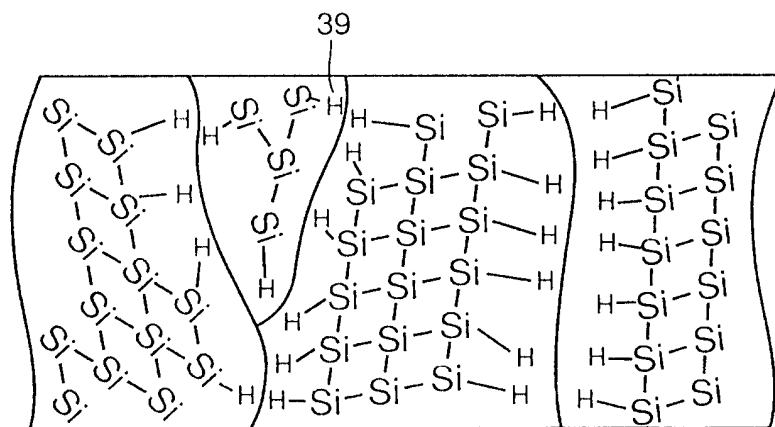


圖22

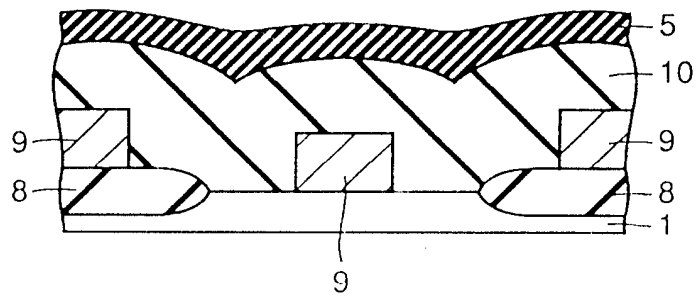


圖23

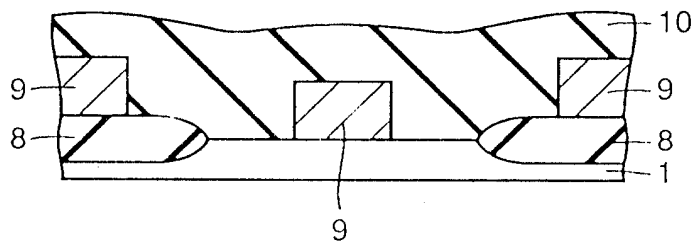


圖24

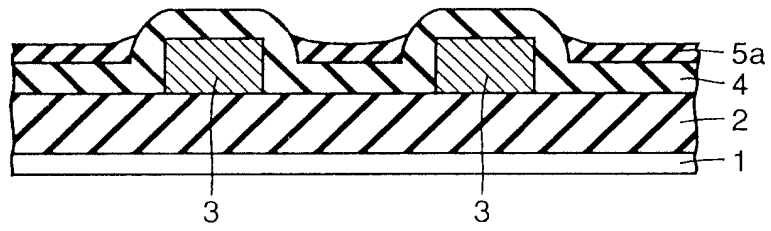


圖25

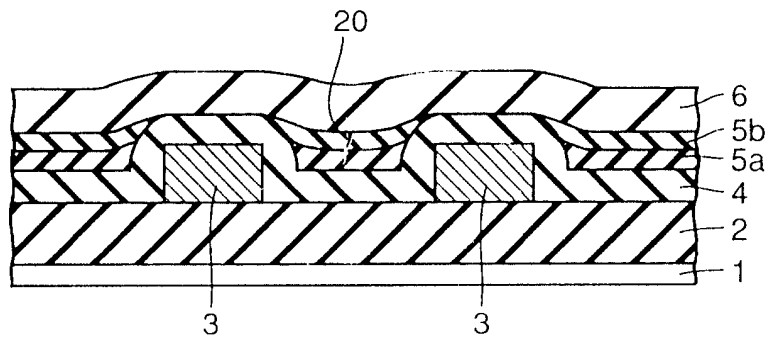


圖26

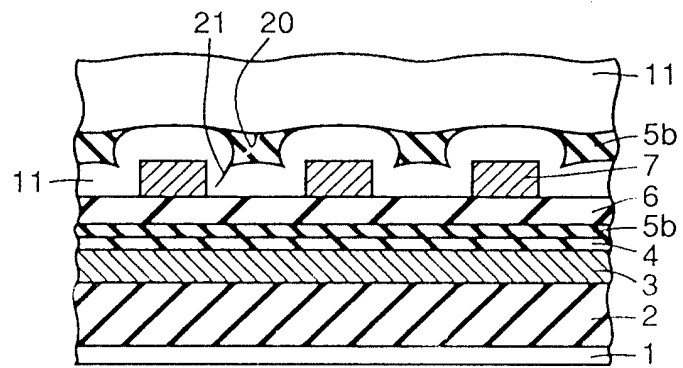


圖27

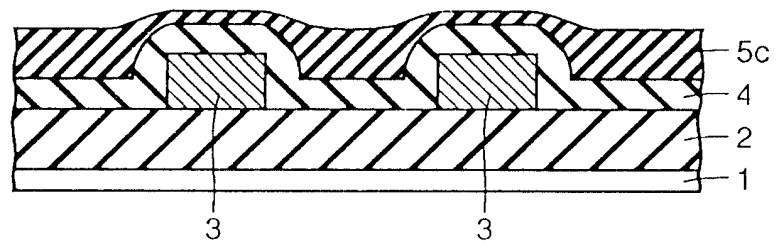


圖28

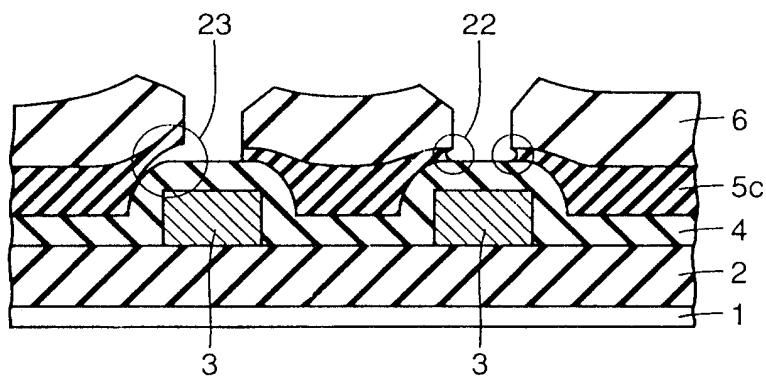


圖29

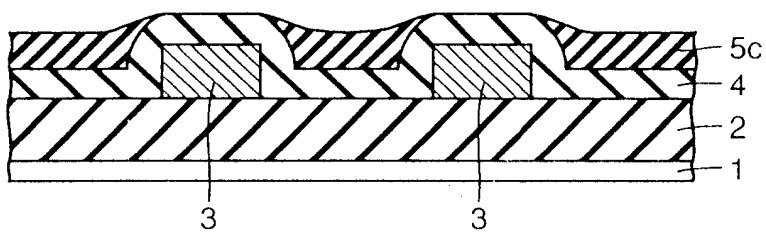


圖30

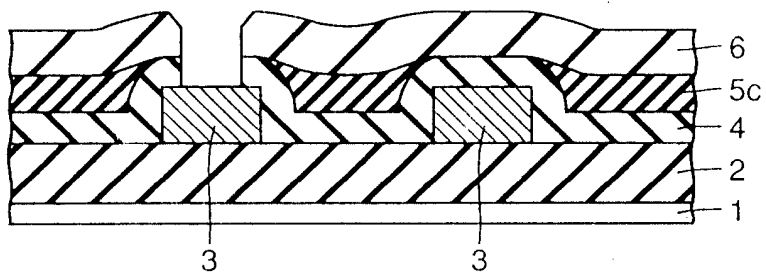


圖31

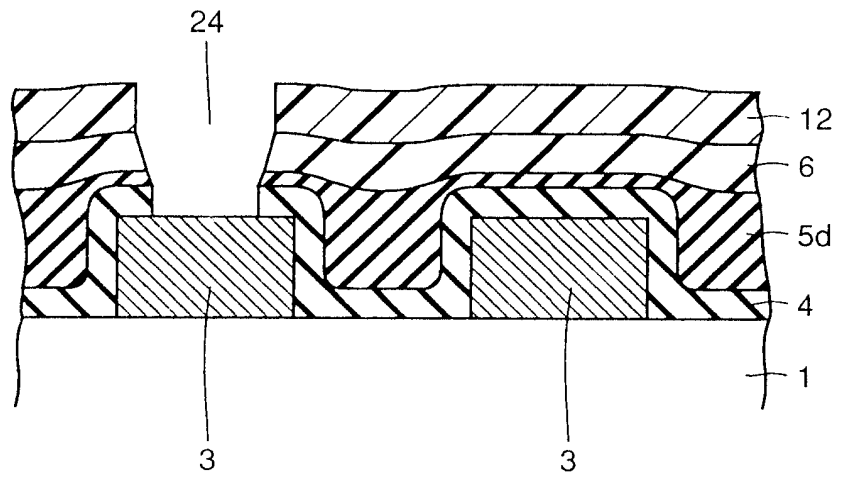


圖32

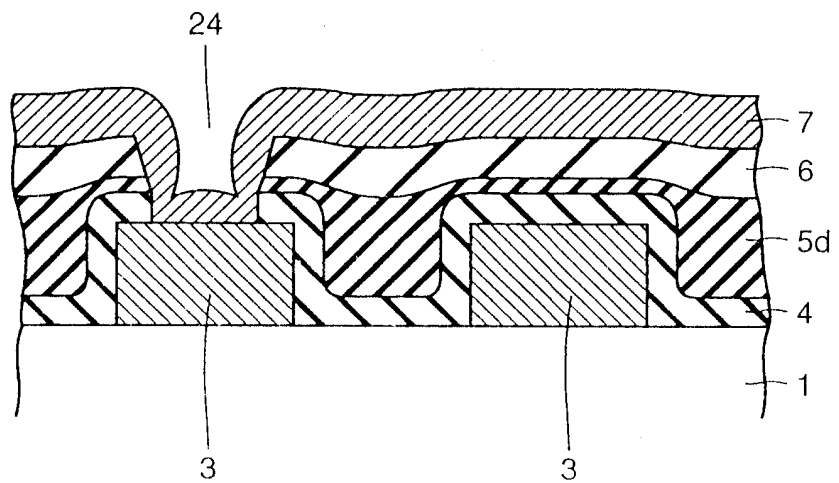


圖33

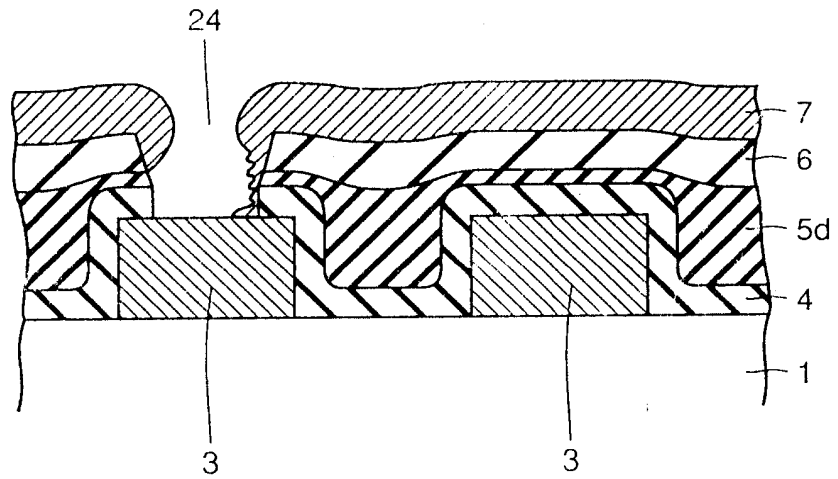


圖34

