

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03L 7/197

H04L 27/20



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98813526.4

[45] 授权公告日 2005 年 4 月 13 日

[11] 授权公告号 CN 1197249C

[22] 申请日 1998.12.8 [21] 申请号 98813526.4

[30] 优先权

[32] 1997.12.12 [33] US [31] 08/989,864

[86] 国际申请 PCT/SE1998/002246 1998.12.8

[87] 国际公布 WO1999/031807 英 1999.6.24

[85] 进入国家阶段日期 2000.8.8

[71] 专利权人 艾利森电话股份有限公司

地址 瑞典斯德哥尔摩

[72] 发明人 H·B·艾利森

审查员 胡 燕

[74] 专利代理机构 中国专利代理(香港)有限公司

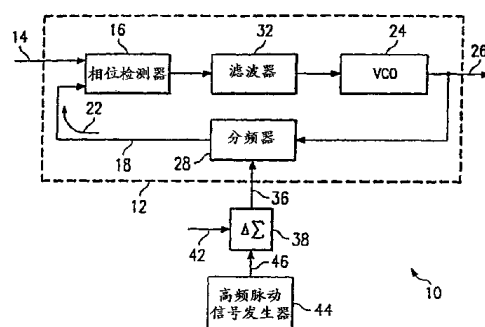
代理人 王 岳 李亚非

权利要求书 6 页 说明书 12 页 附图 4 页

[54] 发明名称 $\Sigma\Delta$ 调制器控制的锁相环电路和相关的方法

[57] 摘要

本发明披露了一种用于产生没有不希望的音调的频率调节的信号(26)的 $\Sigma\Delta$ 调制器控制的锁相环电路(10)和相关的方法。产生高频脉动信号(46)并被提供给 $\Sigma\Delta$ 调制器(38)。 $\Sigma\Delta$ 调制器(38)产生分割系数控制信号(36)，用于控制构成PLL电路(12)的一部分的分频器(28)的分割系数。施加于 $\Sigma\Delta$ 调制器(38)上的高频脉动信号(46)减少 $\Sigma\Delta$ 调制器(38)进入极限环因而产生重复的输出信号的可能性。



1. 在具有用于产生 VCO (电压控制的振荡器) 输出信号的 VCO 的 PLL (锁相环) 电路中, 所述 VCO 被输入的基准信号调节, VCO 输出信号和一个具有用于通过选择的分频因子对 VCO 的输出信号进行分频的分频器的反馈环相连, 一种用于产生被加到分频器的分频因子控制信号的改进的装置, 该分频因子控制信号的值由选择的分频因子确定, 所述装置包括:

高频脉动信号发生器, 用于产生至少是伪随机值的高频脉动信号;

噪声整形器, 其被连接用于接收频率输入信号的序列, 并用于接收由所述高频脉动信号发生器产生的高频脉动信号, 所述噪声整形器用于响应其所形成的和值, 产生分频因子控制信号, 所述分频因子控制信号由分频因子控制信号序列构成, 以及

其中, 所述高频脉动信号发生器包括具有存储单元用于在其中存储多个值的存储器装置, 所述存储单元以伪随机的方式被访问, 在存储单元中存储的以伪随机方式访问的值形成高频脉动信号的至少一部分。

2. 如权利要求 1 所述的装置, 其中, 所述高频脉动序列发生器还包括至少一个伪随机噪声发生器, 所述伪随机噪声发生器用于产生伪随机噪声值, 所述伪随机噪声值用于寻址存储器装置的存储单元。

3. 如权利要求 2 所述的装置, 其中, 所述至少一个伪随机噪声发生器包括用于产生第一伪随机位的第一伪随机噪声发生器, 用于产生第二伪随机位的第二伪随机噪声发生器, 以及用于产生第三伪随机位的第三伪随机噪声发生器, 并且 每个都由第一伪随机位、第二伪随机位和第三伪随机位构成的 3 位组合形成伪随机噪声值, 用于对存储器装置的存储单元寻址。

4. 如权利要求 1 所述的装置, 其中, 所述噪声整形器包括 $\Sigma\Delta$ 调制器。

5. 如权利要求 4 所述的装置, 其中, 所述 $\Sigma\Delta$ 调制器包括量化器, 并且频率输入信号和高频脉动信号在被提供给所述量化器之前被相加。

6. 如权利要求 4 所述的装置, 其中, 所述 $\Sigma\Delta$ 调制器包括多阶 $\Sigma\Delta$ 调制器。

7. 如权利要求 6 所述的装置, 其中, 所述 $\Sigma\Delta$ 调制器包括三阶的前馈的 $\Sigma\Delta$ 调制器, 其由第一二阶 $\Sigma\Delta$ 调制器和第二二阶 $\Sigma\Delta$ 调制器级联在一起构成。

8. 如权利要求 1 所述的装置, 还包括和所述噪声整形器并和所述高频脉动信号发生器相连的时钟信号发生器, 所述时钟信号发生器用于产生时钟信号, 所述噪声整形器和所述高频脉动信号发生器响应在其中检测得到时钟信号的各个时钟脉冲而操作。

5 9. 如权利要求 1 所述的装置, 还包括和所述噪声整形器相连的时钟信号发生器, 所述时钟信号发生器用于产生时钟信号, 所述噪声整形器可操作用来响应在其中检测到的选择的时钟信号时钟脉冲进行信号整形操作。

10 10. 如权利要求 1 所述的装置, 还包括和所述高频脉动信号发生器相连的时钟信号发生器, 所述时钟信号发生器用于产生时钟信号, 所述高频脉动信号发生器可操作用来响应在其中检测到的时钟信号选择的时钟脉冲产生高频脉动信号。

11. 如权利要求 10 所述的装置, 其中, VCO 被锁定到的输入基准信号被在第一特征频率下产生, 并且由所述时钟信号发生器产生的时钟信号是频率基本上相应于第一特征频率的时钟信号。

12. 如权利要求 1 所述的装置, 其中, 和所述噪声整形器相连以便接收的频率输入信号包括用于限定选择的载波频率的信号。

13. 如权利要求 1 所述的装置, 其中, 和所述噪声整形器相连以便被接收的频率输入信号包括用于限定信息信号的信号。

20 14. 在具有用于产生 VCO (电压控制的振荡器) 输出信号的 VCO 的 PLL (锁相环) 电路中, 所述 VCO 被输入的基准信号调节, 并且 VCO 输出信号和一个具有用于通过选择的分频因子对 VCO 的输出信号进行分频的分频器的反馈环相连, 一种用于产生被施加到分频器的分频因子控制信号从而避免产生不希望的音调的改进的装置, 分频因子控制信号的值由选择的分频因子确定, 所述装置包括:

高频脉动信号发生器, 用于产生至少是伪随机值的高频脉动信号, 其中, 所述高频脉动信号发生器包括具有存储单元用于在其中存储多个值的存储器装置, 所述存储单元以伪随机的方式被访问, 在存储单元中存储的以伪随机方式访问的值形成高频脉动信号的至少一部分;

30 噪声整形器, 其被连接用于接收频率输入信号的序列, 并用于接收由所述高频脉动信号发生器产生的高频脉动信号, 所述噪声整形器用于响应其所形成的和值, 从而产生分频因子控制信号, 所述分频因子控制

信号由分频因子控制信号序列构成, 以及

其中:

所述噪声整形器包括 $\Sigma\Delta$ 调制器;

所述 $\Sigma\Delta$ 调制器包括多阶 $\Sigma\Delta$ 调制器;

5 所述 $\Sigma\Delta$ 调制器包括三阶的前馈的 $\Sigma\Delta$ 调制器, 其由第一二阶 $\Sigma\Delta$ 调制器和第二二阶 $\Sigma\Delta$ 调制器串联在一起构成; 并且

第一二阶 $\Sigma\Delta$ 调制器包括第一量化器, 第二二阶 $\Sigma\Delta$ 调制器包括第二量化器, 并且其中高频脉动信号在被分别施加到第一和第二量化器之前分别和第一和第二 $\Sigma\Delta$ 调制器的每个的频率值输入信号相加。

10 15. 一种具有用于产生分频因子控制信号的分频因子选择信号发生器电路的装置, 所述分频因子控制信号的值当被施加于分频器时由分频器的分频因子确定, 所述装置的所述分频因子选择信号发生器电路包括:

高频脉动信号发生器, 用于产生至少是伪随机值的高频脉动信号;

15 噪声整形器, 其被连接用于接收频率输入信号, 并用于接收由所述高频脉动信号发生器产生的高频脉动信号, 所述噪声整形器响应所述高频脉动信号和频率输入信号用于产生分频因子控制信号, 所述分频因子控制信号由分频因子控制序列构成; 以及

20 其中, 所述高频脉动信号发生器包括具有存储单元用于在其中存储多个值的存储器装置, 所述存储单元至少以伪随机的方式被访问, 在存储单元中存储的以伪随机方式访问的值形成高频脉动信号的至少一部分。

16. 一种用于产生被施加到 PLL (锁相环) 电路的分频器上的分频因子控制信号的方法, 所述方法包括下列步骤:

产生由至少是伪随机值构成的高频脉动信号;

25 所述产生高频脉动信号的步骤包括至少以伪随机方式访问存储器装置的步骤, 所述存储器装置具有存储器单元用于在其中存储多个值, 还包括至少部分地根据由存储单元存取多个值形成高频脉动信号的至少一部分的步骤;

30 组合在所述产生步骤期间产生的高频脉动信号和频率输入信号, 从而形成组合值; 以及

量化在所述组合步骤期间形成的组合值, 从而形成量化值, 并且所述量化值形成分频因子控制信号。

17. 如权利要求 16 所述的方法, 其中, 所述组合步骤和量化步骤一起至少对频率值输入的噪声分量部分进行整形。

18. 一种用于调节 VCO (电压控制的振荡器) 的操作的方法, 所述 VCO 产生 VCO 输出信号, 并且构成 PLL (锁相环) 电路的一部分, 所述 PLL 电路被连接用于接收输入基准信号, 所述方法包括以下步骤:

使反馈环中的分频器和 VCO 相连;

由 $\Sigma\Delta$ 调制器产生分频因子控制信号, $\Sigma\Delta$ 调制器可操作用来至少对求和所得值的噪声分量进行整形, 使得其具有所需的特征, 所述求和所得值由频率输入信号序列和低频脉动信号序列构成, 所述低频脉动信号至少部分地由从被以伪随机方式访问的存储单元检索的值导出;

对在所述连接步骤连接的分频器施加分频因子控制信号, 所述分频因子控制信号的值由分频因子确定, 分频器利用所述分频因子对被提供给分频器的反馈信号进行分频;

利用所述分频因子对反馈信号进行分频, 从而形成分频的信号;

确定分频的信号和输入基准信号之间的相位差; 以及
响应在所述确定步骤期间确定的相位差来调节 VCO 的振荡。

19. 在具有用于产生 VCO (电压控制的振荡器) 输出信号的 VCO 的 PLL (锁相环) 电路中, 所述 VCO 被输入的基准信号调节, VCO 输出信号和一个具有用于通过选择的分频因子对 VCO 的输出信号进行分频的分频器的反馈环相连, 一种用于产生被施加到分频器的分频因子控制信号从而避免产生不希望的音调的改进的装置, 分频因子控制信号的值由选择的分频因子确定, 所述装置包括:

高频脉动信号发生器, 用于产生至少是伪随机值的高频脉动信号, 其中, 所述高频脉动信号发生器包括具有存储单元用于在其中存储多个值的存储器装置, 所述存储单元以伪随机的方式被访问, 在存储单元中存储的以伪随机方式访问的值形成高频脉动信号的至少一部分;

噪声整形器, 其被连接用于接收频率输入信号的序列, 并用于接收由所述高频脉动信号发生器产生的高频脉动信号, 所述噪声整形器包括:

至少一个滤波器, 用于对频率输入信号序列滤波, 并产生由已滤波信号构成的滤波信号;

至少一个求和器, 用于把高频脉动信号和滤波信号相加, 从而产生和值; 以及

至少一个量化器，用于量化所述的和值，借以使所述噪声整形器响应所述和值产生分频因子控制信号，所述分频因子控制信号由分频因子控制信号序列构成。

20. 如权利要求 19 所述的装置，其中，所述高频脉动信号发生器包括具有存储单元用于在其中存储多个值的存储器装置，所述存储单元至少以伪随机的方式被访问，在存储单元中存储的以伪随机方式访问的值形成高频脉动信号的至少一部分。

21. 如权利要求 20 所述的装置，其中，所述高频脉动信号发生器还包括至少三个伪随机噪声发生器，所述至少三个伪随机噪声发生器用于产生伪随机噪声值，所述伪随机噪声值用于寻址所述存储器装置的存储单元。

22. 如权利要求 19 所述的装置，其中，所述高频脉动信号发生器包括至少一个最大长度伪随机噪声序列发生器。

23. 如权利要求 19 所述的装置，其中，所述噪声整形器包括 $\Sigma\Delta$ 调制器。

24. 如权利要求 23 所述的装置，其中，所述 $\Sigma\Delta$ 调制器包括多阶 $\Sigma\Delta$ 调制器。

25. 如权利要求 19 所述的装置，其中，一个时钟给所述高频脉动信号发生器和所述噪声整形器提供时钟。

26. 如权利要求 19 所述的装置，其中，所述高频脉动信号发生器由具有等于输入基准信号的基准频率的频率的时钟锁定。

27. 如权利要求 19 所述的装置，其中，和所述噪声整形器相连的以便被接收的频率输入信号包括用于限定选择的载波频率和信息信号中至少一个的信号。

28. 一种具有用于产生分频因子控制信号的分频因子选择信号发生器电路的装置，所述分频因子控制信号的值当被施加于分频器时由分频器的分频因子确定，所述装置的所述分频因子选择信号发生器电路包括：

高频脉动信号发生器，所述高频脉动信号发生器用于产生至少是伪随机值的高频脉动信号；以及

噪声整形器，所述噪声整形器包括滤波器和量化器，所述滤波器被连接用于接收频率输入信号，并产生滤波信号，所述量化器被连接用于接收由所述高频脉动信号和滤波信号导出的值，所述噪声整形器响应所

述接收的值，产生分频因子控制信号，所述分频因子控制信号由分频因子控制序列构成。

29. 一种用于产生被施加到 PLL（锁相环）电路的分频器上的分频因子控制信号的方法，所述方法包括下列步骤：

- 5 产生由至少是伪随机值构成的高频脉动信号；
 接收频率输入信号；
 对所述频率输入信号滤波，从而产生滤波信号；
 组合在所述产生步骤期间产生的高频脉动信号和滤波信号从而形成组合值；以及
- 10 量化在所述组合步骤期间形成的组合值，从而形成量化值，并且形成被施加于分频器上的分频因子控制信号。

30. 如权利要求 29 所述的方法，其中，所述组合步骤和量化步骤一起至少对频率输入信号的噪声分量部分进行整形。

$\Sigma\Delta$ 调制器控制的锁相环电路和相关的方法

5 本发明一般涉及一种 PLL (锁相环) 电路, 例如用于形成无线电话装置的一部分的 PLL。更具体地说, 本发明涉及 $\Sigma\Delta$ 调制器控制的锁相环电路。产生高频脉动信号并被提供给 $\Sigma\Delta$ 调制器。 $\Sigma\Delta$ 调制器形成部分地由高频脉动信号确定的值的分频因子控制信号。高频脉动信号在性质上至少是伪随机的, 将其施加于 $\Sigma\Delta$ 调制器能够减少 $\Sigma\Delta$ 调制器进入极限环, 并产生寄生的重复的输出信号的或然性。

10 因为 $\Sigma\Delta$ 调制器不大可能进入极限环并产生重复的控制信号, 所以其中产生的用于控制 PLL 电路的控制信号不会使得在由 $\Sigma\Delta$ 调制器控制的 PLL 电路产生的频率调节的信号中发生不希望的音调。

在一个实施例中, $\Sigma\Delta$ 调制器控制的电路形成一个频率合成器。在另一个实施例中, $\Sigma\Delta$ 调制器控制的 PLL 电路形成用于产生调制信号, 例如
15 GMSK (高斯最小频移键控) 调制信号的调制器。

一个通信系统通过操作可以利用通信信道在发送站和接收站之间交换信息。一个无线电通信系统是这样一种通信系统, 其中用于在发送站和接收站之间交换信息的信道在电磁频谱的一部分上被形成。蜂窝通信系统是多用户无线电通信系统的一个例子。

20 被分配给无线电通信系统中的电磁频谱的部分一般受到带宽的限制。也就是说, 只有被称为“带宽”的有限的频谱部分允许由特定的无线电通信系统使用。在该系统中所有可利用的无线电信道必须被限制在被分配的带宽内。无线电通信系统的能力有时受到分配给系统的带宽的限制。

25 因此, 要求有效地利用分配给无线电通信系统的带宽, 以便确保无线电通信系统的通信能力最大。用于更有效地利用分配给无线电通信系统的带宽的方式能够使得在被分配的带宽内限定更多的信道。

技术的发展有助于更有效地使用分配给无线电通信系统的带宽。采用先进的通信技术的无线电通信系统能够增加在被分配的带宽内限定的
30 通信信道的数量, 从而增加系统的有效通信能力。

例如, 在一些无线电通信系统中, 采用了数字调制技术, 用于增加通信系统的有效能力。当在无线电通信系统中利用数字调制技术时, 用

于在发送和接收站之间交换信息所需的频谱的数量被减少。当利用数字调制技术时，一个载波可被分成多个信道，使得一个载波可用来在多个发送和接收站之间传输信息。

在利用数字调制技术以及其它的调制技术的无线电通信系统中，信息在一个频率的载波上被调制，形成一个调制信号，其中心是或大约是限定所述无线电信道的载波频率。在其上信息被调制的载波必须具有足够好的频率稳定特性，以便保证调制信号不偏离限定所述信道的载波。否则，如果在其上信息被调制的载波信号不具有足够的频率稳定性，则由发送站发出的调制信号离开指定的信道，因而干扰其它信道进行的通信。

因此，进行了许多尝试，试图确保在其上信息被调制的载波具有可接受的频率稳定性。例如，锁相环（PLL）电路通常形成发送站的部分。锁相环（PLL）电路一般包括电压控制的振荡器，其具有频率和输入的基准信号相关的输出振荡信号。和由 VCO 产生的输出振荡信号相关的信号和输入的基准频率进行比较。响应所述信号之间的相位差，一个电压被加于 VCO，使得或者增加或者减少输出振荡信号的频率。

在 PLL 电路的反馈环中一般设置一个分频器。分频器利用一个整数值除输出振荡信号，从而形成分频信号。分频信号形成和输入基准信号比较的信号。在一些 PLL 电路中，分频器通过设置一个分级的量例如整数数量可以只分割输出振荡信号。并且，当输出频率等于基准频率乘以分频器的分频因子时，PLL 电路仅能够产生设置的分级频率的输出振荡信号。因此，输出振荡信号的分辨率受到限制。

为了改善分辨率，一些 PLL 电路通过包括 $\Sigma\Delta$ 调制器利用小数的 n 合成。分频器通过其来对输出振荡信号进行分频的分频因子由 $\Sigma\Delta$ 调制器产生的信号确定。这种结构有时被称为 $\Sigma\Delta$ 控制的 PLL 电路。使用 $\Sigma\Delta$ 调制器是有利的，因为允许 PLL 的较高的频率分辨率和较高的带宽。当构成 $\Sigma\Delta$ 控制的 PLL 电路时，能够提供成本和空间的效率。此外，这种结构允许产生连续的相位调制的信号。并且，可以在用于实施这种结构的装置中提供调制的直接的数字控制以及信道选择。例如美国专利 5055802 披露了一种利用 $\Sigma\Delta$ 调制器的频率合成器。

不过，尤其是当提供给 $\Sigma\Delta$ 调制器的输入信号是恒定的频率值时，调制器易于进入所谓的“极限环”。然后，分频因子控制信号可以开始可能

开始重复自身。当这种信号施加于 PLL 电路的分频器时，输出振荡信号可能具有不希望的音调。这种音调对于包括 $\Sigma\Delta$ 调制器控制的 PLL 电路的发送站或接收站的操作具有不利影响。

5 虽然已经提出了用于减少和由 $\Sigma\Delta$ 调制器的重复行为引起的音调有关的问题的一些方式，但是这些方式成本高并且不易实行。例如，有时对 PLL 电路提供向前馈送的模拟误差信号来消除由 $\Sigma\Delta$ 调制器的重复的行为引起的误差。由于需要匹配 RF 硬件，所以这种方法是困难而昂贵的，并且在任何情况下，元件值的不稳定性限制了这种方法的成功的应用。

因而需要一种方式，其能够较好地保证 $\Sigma\Delta$ 调制器控制的 PLL 电路的
10 $\Sigma\Delta$ 调制器的可接受的操作。

正是基于关于 PLL 电路的这一背景信息，本发明作出了重要的改进。

因而，本发明有利地提供了一种 $\Sigma\Delta$ 调制器控制的 PLL 电路。所述的 $\Sigma\Delta$ 调制器控制的 PLL 电路可以以能够避免 $\Sigma\Delta$ 调制器的重复的行为的方式进行操作，因而避免产生作为由 PLL 电路产生的输出振荡信号的一部分的不希望的音调。 $\Sigma\Delta$ 调制器控制的 PLL 电路产生和输入基准信号相关的
15 的输出振荡信号。虽然被 $\Sigma\Delta$ 调制器控制，但是输出振荡信号不具有常规电路的输出振荡信号易于具有的信号音调。

在本发明的一个方面， $\Sigma\Delta$ 调制器控制的 PLL 电路形成频率合成器，用于产生稳定的和输入基准信号相关的载波频率信号。相应于由频率合成器产生的输出振荡信号的振荡的所需频率的频率输入信号被提供给 $\Sigma\Delta$ 调制器。和频率输入信号有关的信号和高频脉动信号相加，所得的和值在 $\Sigma\Delta$ 调制器的操作期间被量化。由 $\Sigma\Delta$ 调制器产生的输出信号形成分频因子控制信号，用于控制 PLL 电路的分频器的分频因子。由 PLL 电路的 VCO 产生的输出振荡信号和被提供给 PLL 电路的输入基准信号相关，并
20 和被提供给 $\Sigma\Delta$ 调制器的频率输入信号相关。因为伪随机高频脉动信号也被提供给 $\Sigma\Delta$ 调制器并和与输入频率信号相关的信号相加，所以减少了 $\Sigma\Delta$ 调制器可能进入极限环的可能性。因而，由 VCO 产生的输出振荡信号不会含有不希望的音调。

高频脉动信号最好被刚好在量化之前施加，使得由高频脉动信号产生的高频脉动噪声和由量化信号产生的量化噪声被 $\Sigma\Delta$ 调制器的噪声整形
30 进行同样的处理。

在本发明的另一方面，使用频率合成器构成 IQ 调制器一部分。IQ

调制器例如用于形成在蜂窝通信系统中操作的无线电接收机的一部分。IQ调制器例如在蜂窝通信系统的无线电基站中被实现。所述IQ调制器也同样在蜂窝通信系统的移动终端中被实现。

5 由VCO产生的输出振荡信号形成载波信号或者其它上混频信号，在所述信号上在通信系统操作期间要被交换的信息的I分量和Q分量部分被调制。利用 $\Sigma\Delta$ 调制器控制的PLL电路提供了许多优点，但是没有和产生不需要的与常规的 $\Sigma\Delta$ 调制器控制的PLL电路相关的音调相关的问题。

在本发明的另一方面，提供一种调制器，用于产生调制信号，例如GMSK（高斯最小频移键控）信号。信息信号作为输入被提供给 $\Sigma\Delta$ 调制器。
10 高频脉动信号也被提供给 $\Sigma\Delta$ 调制器，并且和信息信号组合，然后被共同施加到 $\Sigma\Delta$ 调制器。由 $\Sigma\Delta$ 调制器产生的分频因子控制信号也包括信息信号的信息内容。因而，VCO以这样的方式被调整，使得由其产生的输出振荡信号形成调制信号，所述调制信号是利用被提供给 $\Sigma\Delta$ 调制器的信息信号的信息调制的。因为高频脉动信号也被 $\Sigma\Delta$ 调制器使用，所以 $\Sigma\Delta$ 调制器不易进入极限环并产生重复的输出。因此，构成由PLL电路产生的
15 调制信号的输出振荡信号不含有不希望的音调。

在本发明的另一方面， $\Sigma\Delta$ 调制器控制的PLL电路作为频率合成器被实现，其作为接收机电路的一部分，例如在通信系统中操作的接收机电路，例如蜂窝通信系统、卫星通信系统或者其它无线电通信系统。

20 因此，在这些和其它的方面，本发明的装置和相关的方法产生一个用于施加到PLL（锁相环）电路的分频器的分频因子控制信号。所述PLL电路具有VCO（电压控制的振荡器），用于产生VCO输出信号。VCO被保持和输入基准频率具有所需的关系。此外，VCO输出信号和一个反馈环相连，所述反馈环具有分频器，用于利用选择的分频因子对VCO输出信号进行分频。分频因子控制信号的值由选择的分频因子确定。高频脉动
25 信号发生器产生最小伪随机值的高频脉动信号。此外，噪声整形器，例如 $\Sigma\Delta$ 调制器被连接用于接收具有第一信号特征的频率输入信号，也用于接收由高频脉动信号发生器产生的高频脉动信号。噪声整形器把和频率输入信号以及高频脉动信号相关的信号相加。响应所得的和值，产生分频因子控制信号。分频因子控制信号由具有第二信号特征的分频因子控制信号构成。
30

从下面的简要概括的附图、下面的本发明的优选实施例的详细说明

和所附的权利要求可以更加完全地理解本发明和本发明的范围。

图 1 说明本发明的实施例的 $\Sigma\Delta$ 调制器控制的 PLL 电路的功能方块图；

图 2 表示图 1 所示的 $\Sigma\Delta$ 调制器控制的 PLL 电路的一部分，其中表示一个示例的 $\Sigma\Delta$ 调制器；

图 3 是和图 2 类似的功能方块图，其中表示一个按照本发明实施例的二阶的 $\Sigma\Delta$ 调制器；

图 4 也是和图 2 类似的功能方块图，其中表示一个按照本发明另一个实施例的三阶的 $\Sigma\Delta$ 调制器；

图 5 说明高频脉动信号发生器的功能方块图，其形成图 1 所示的 $\Sigma\Delta$ 调制器控制的 PLL 电路的一部分；

图 6 说明包括图 1 所示的 $\Sigma\Delta$ 调制器控制的 PLL 电路的 IQ 调制器；

图 7 说明包括图 1 所示的 $\Sigma\Delta$ 调制器控制的 PLL 电路的调制器；

图 8 是表示本发明的实施例的方法步骤的流程图。

首先参看图 1，本发明的实施例的 $\Sigma\Delta$ 调制器控制的 PLL 电路以标号 10 表示，其包括 PLL 电路 12。PLL 电路 12 被耦联，使得通过线路 14 接收一个输入基准信号，PLL 电路 12 根据所述基准信号进行调节。施加于线路 14 上的输入基准信号最好具有稳定的频率特性。

例如当电路 10 形成蜂窝通信系统的无线电基站的一部分时，在线路 14 上产生的输入基准信号具有频率稳定特性，所述频率稳定特性满足或超过无线电基站遵守的规范标准中规定的频率稳定要求。类似地，当电路 10 形成移动终端的一部分时，在线路 14 上提供的输入基准信号也具有满足或超过在这种规范标准中规定的频率稳定特性。

线路 14 和相位检测器 16 的第一输入端相连。线路 18 和相位检测器 16 的第二输入端相连。线路 18 形成反馈环的一部分，反馈环用箭头 22 表示。反馈环 22 和 VCO 24 的输出侧耦联。此外，反馈环 22 包括分频器 28。当反馈环被耦联时，如图所示，由 VCO 24 产生的输出振荡信号被加于分频器 28。并且，由分频器 28 产生的分频信号被提供给相位检测器 16 的第二输入端。

PLL 电路 12 还包括被连接在相位检测器 16 和 VCO 24 之间的滤波器 32。滤波器 32 通过操作对由相位检测器 16 产生的信号滤波。

在 PLL 电路的操作期间，在线路 26 上产生的输出振荡信号和在线路

14 上产生的输入基准信号保持一定的频率关系。由 VCO 24 产生的输出振荡信号被提供给分频器 28, 由分频器 28 产生的分频信号和在线路 14 上产生的输入基准信号之间的相位进行比较。相位检测器 16 产生代表其输入信号之间的相位差的信号。在由滤波器 32 对信号滤波之后, 将代表
5 由相位检测器 16 检测的相位差的电压信号提供给 VCO 24。响应这种相位差, VCO 24 的振荡频率被改变, 即被“偏移”。

因此, 由 VCO 24 产生的输出振荡信号和施加在线路 14 上的输入基准信号保持一定的频率关系。PLL 电路 12 是自调整的。这就是说, 如果由 VCO 24 产生的输出振荡信号的振荡频率开始偏离输入基准信号, 则由
10 相位检测器 16 检测到信号之间的相位差, 且 VCO 24 被偏移, 从而使 VCO, 即其产生的信号回到和输入信号的所需的关系上。

分频因子是一个这样的值, 分频器 28 利用这个值对提供给它的信号进行分频。由 VCO 24 产生的输出振荡信号的频率等于在线路 14 上产生的输入基准信号的基准频率乘以分频器用以对提供给它的信号进行分频
15 的分频因子。

分频器用以对提供给它的信号进行分频的分频因子由 $\Sigma\Delta$ 调制器 38 在线路 36 上产生的分频因子控制信号确定。 $\Sigma\Delta$ 调制器 38 通过线路 42 作为输入接收用于确定在线路 26 上产生的输出振荡信号要具有的频率的
频率输入信号。

20 由高频脉动信号发生器 44 产生的高频脉动信号通过线路 46 也被提供给 $\Sigma\Delta$ 调制器 38。高频脉动信号和与频率输入信号相关的信号由 $\Sigma\Delta$ 调制器 38 组合, 组合的值在 $\Sigma\Delta$ 调制器的操作期间被量化。

$\Sigma\Delta$ 调制器可以通过操作使得形成所接收的频率输入信号的噪声分量。这就是说, 调制器把在其操作期间产生的量化噪声的频率向上“推动”。高频脉动信号和频率输入信号组合, 从而使由调制器量化的信号随机化。信号的随机化减少 $\Sigma\Delta$ 调制器可能进入极限环并产生重复的输出的可能性。由调制器 38 产生的形成在线路 36 上产生的分频因子控制信号的信号形成小数的 n 滤波器合成器信号。这种操作可以使得由 VCO 24 在线路 26 上产生的输出振荡信号的频率是许多选择值中的任意一个。
25

30 图 2 说明 $\Sigma\Delta$ 调制器 38 和高频脉动信号发生器 44。图中再次示出了线路 42 和线路 46, 在线路 42 上把频率输入信号提供给调制器, 在线路 46 上由高频脉动信号发生器产生高频脉动信号。

所示的 $\Sigma\Delta$ 调制器 38 由一个单环反馈电路构成,其具有两个滤波器 52 和 54,由 $G(z)$ 和 $H(z)$ 表示。 $\Sigma\Delta$ 调制器 38 还包括量化器 74 和求和元件 58、62。滤波器 54 以反馈连接方式被连接在量化器 74 和求和元件 58 的输入之间。线路 42 和滤波器 52 的输入相连,滤波器 52 的输出和求和元件 58 的输入相连。滤波器的输出形成和在线路 42 上提供的频率输入信号相关的信号。由求和元件 58 形成的求和的值被提供给求和元件 62 的输入。并且,线路 46 和求和元件 62 的输入相连。求和元件把对其提供的值相加,并对量化器 74 提供和信号。由量化器 74 产生的量化的值形成在线路 36 上产生的分频因子控制信号。

调制器 38 的噪声传递函数 NTF 和信号传递函数 STF 由下式定义:

$$NTF = \frac{\lambda}{1 - \lambda H(z)}$$

$$STF = \frac{\lambda G(z)}{1 + \lambda H(z)}$$

15

其中 λ 是量化器的增益。

通过合适地选择滤波器 52 和 54 的特性,可以实现所需的噪声形状,其在调制器操作期间满足反馈电路的稳定性要求。

特别是在线路 42 上产生的频率输入信号是恒值或者如果频率输入信号和信号的采样速率相关时,调制器 38 则可能使电路 10 工作,如图 1 所示,从而呈现重复的行为。由高频脉动信号发生器 44 产生的并被提供给调制器 38 的高频脉动信号增加调制器的量化噪声的随机性。施加由高频脉动信号发生器产生的高频脉动信号减少调制器进入极限环并产生重复输出因而引起 PLL 电路 12 的重复行为的可能性。

如上所述,高频脉动信号在由量化器 74 量化之前被提供给调制器。高频脉动噪声的传递函数 DNTF 和由上式表示的由量化引起的噪声传递函数 NTF 相同。这就是说,DNTF 等于 NTF。因此,高频脉动噪声和量化噪声被同样地形成。

图 3 说明二阶的 $\Sigma\Delta$ 调制器 38 和高频脉动信号发生器 44。调制器包括两个滤波元件,即滤波元件 66 和 68。调制器还包括量化器 74。此外,

30

调制器包括三个求和元件 76, 78 和 82。二阶调制器包括两个反馈通路, 第一反馈通路包括 ROM (只读存储器) 表 84, 其被设置在量化器 74 的输出和求和元件 76 的负输入之间。第二反馈通路包括 ROM 表 84 和恒定增益元件 86。第二反馈通路被连接在量化器 74 的输出和求和元件 78 的负输入之间。ROM 表被用于缩放比例, 如下面出现的数学分析所述。在另一个实施例中, 不要求 ROM 的功能, 因而不包括 ROM。

此外, 形成由高频脉动信号发生器 44 产生的高频脉动信号的高频脉动信号和代表在线路 42 上产生的频率输入信号的信号相加。相加在被提供给量化器 74 之前进行。这种伪随机值的相加增加了信号的随机性。此外, 量化信号的噪声分量被整形, 从而形成在线路 36 上产生的分频因子控制信号。高频脉动信号就在量化器 74 之前被施加。因而, 由高频脉动信号引起的高频脉动噪声和由量化器产生的量化噪声的作用相同。

图 4 也说明 $\Sigma\Delta$ 调制器 38 和高频脉动信号发生器 44。其中, 调制器 38 形成一个三阶的前馈调制器。本图中的调制器 38 有时也叫做串级调制器或者 MASH (多级噪声整形) 调制器。所述三阶调制器由两个二阶调制器部分构成, 分别由标号 38-1, 38-2 表示。每个二阶调制器 38-1, 38-2 包括相应于构成图 3 所示的实施例的二阶调制器 38 的结构。使用公共的标号识别所示的并按照前面图 3 所示的二阶调制器 38 进行说明的结构。

三阶调制器 38 还包括滤波器 92 和 94, 其对由二阶调制器部分 38-1, 38-2 产生的信号滤波。由滤波器 92 和 94 产生的滤波信号被施加到求和元件 98 的输入端。此外, 所得到的和信号形成在线路 36 上产生的分频因子控制信号。

高频脉动信号发生器 44 在线路 46 上产生高频脉动信号。线路 46 和两个调制器元件部分 38-1、38-2 的求和元件 82 的输入侧相连。

图 4 所示的调制器 38 的线性分析表明, 来自调制器的下部分 38-2 的量化噪声以及高频脉动噪声被消除了。因此, 只要 $\Sigma\Delta$ 调制器 38 具有足够的随机行为, 则只有调制器的上部分 38-1 的量化噪声和高频脉动噪声影响调制器的噪声行为。

调制器 38 的分析还表明, 调制器 38 的上部 38-1 的量化噪声的噪声传递函数 NTF 由下式定义:

$$NTS = \frac{(z-1)^3}{z^3}$$

因为传递函数是一个三阶等式，所以由三阶调制器提供的量化噪声和
高频脉动噪声由三阶的量进行整形。高频脉动信号以和量化噪声相同
5 的方式被滤波。借以使高频脉动噪声和量化噪声以相同的方式被整形。

调制器部分 38-1、38-2 的量化器 74 是 m 级量化器。下面以 5 级
量化器为例说明 m 级量化器：

$$\begin{aligned} & 2 \quad \text{如果 } x > \frac{\alpha^3}{2} \\ & 1 \quad \text{如果 } \frac{\alpha^3}{2} \geq x > \frac{\alpha}{2} \\ \hat{x} = Q(x) = & 0 \quad \text{如果 } \frac{\alpha}{2} \geq x > -\frac{\alpha}{2}, \\ & -1 \quad \text{如果 } -\frac{\alpha}{2} \geq x > -\frac{\alpha^3}{2} \\ & -2 \quad \text{如果 } -\frac{\alpha^3}{2} \geq x \end{aligned}$$

15 其中 α 是在 $\{1, 2, 3, \dots\}$ 集内的元素。

调制器部分 38-1、38-2 的 ROM 表 84 以这样的方式被使用，使得
产生一个等于值 α 乘以由量化器对其提供的输入值的输出。值 α 确定用于
缩放量化级的缩放系数。在其它实施例中，可以用其它方式进行缩放。

20 调制器 38 的频率分辨率是可以由调制器 38 的两个不同的恒定输入
信号产生的最小的频率差。频率分辨率 f_{res} 由下式定义：

$$f_{\text{res}} = f_{\text{ref}} / \alpha$$

25 参数 α 是可以改变的参数。因而，调制器 38 和调制器作为其中的一
部分的 PLL 电路的频率分辨率是可以控制的。

在 GSM 蜂窝通信系统中操作的移动终端中，通常利用的 f_{ref} 的值是
13MHz 或其倍数。利用这样的 f_{ref} 的理由是，按 GSM 蜂窝通信系统的符号

速率分隔的信道容易从 13MHz 的频率中导出。当 PLL 电路 10 (图 1 所示) 形成 PLL 调制器时 (例如如图 7 所示), 能够利用 $\alpha = \{13e6/200e3\} \times \beta = 65\beta$ 的值产生对每个 GSM 信道的调制, 其中 β 是集 $\{1, 2, 3, \dots\}$ 中的元素。

图 5 说明形成图 1 所示的 $\Sigma\Delta$ 调制器控制的 PLL 电路的一部分的高频脉动信号发生器 44。所示的高频脉动信号发生器由 3 个伪随机噪声发生器 102, 104 和 106 以及 ROM 108 构成。伪随机噪声发生器 102, 104 和 106 分别在线路 112, 114 和 116 上产生 1 位的值, 它们被用作寻址 ROM 108 的存储器地址。从 ROM 108 检索的值形成在线路 46 上被产生的高频脉动信号。ROM 108 的每个存储器位置由一个多位值构成。如参照前面的附图说明的, 高频脉动信号被施加于 $\Sigma\Delta$ 调制器 38, 并和代表分别提供给调制器的频率输入信号的信号相加。

在其它的实施例中, 在线路 48 上产生的高频脉动信号被预先滤波, 并被在 $\Sigma\Delta$ 调制器的其它位置相加。此外, 在串级的 $\Sigma\Delta$ 调制器中, 相应于不同的量化器的高频脉动信号可以由独立的高频脉动发生器产生。并且, 在多级调制器中, 高频脉动信号不必和每个量化器相加。

图 6 说明由标号 120 表示的本发明的实施例的 IQ 调制器。IQ 调制器 120 包括图 1 所示的 $\Sigma\Delta$ 调制器控制的 PLL 电路 10, 作为其中的一部分。在这种结构中, PLL 电路 10 可作为频率合成器操作, 用于产生具有高的频率稳定性的混合信号。在线路 42 上的对电路 10 的输入信号是相应于被施加的用于上混频的上混频信号的频率的值。

要被 IQ 调制器 120 调制的信息信号通过线路 122 提供给 IQ 调制器 120。线路 122 和 DSP (数字信号处理器) 124 相连。DSP 124 通过操作可以产生分别在线路 126 和 128 上对其提供的信息信号的同相分量部分 (I) 和正交分量部分 (Q)。线路 126 和 D/A (数模) 转换器 132 相连, 线路 128 和 D/A 转换器 134 相连, 使得 I、Q 分量部分被转换成模拟形式。

转换器 132 在线路 136 上产生被输入到低通滤波器 138 的模拟信号。此外, 转换器 134 在线路 140 上产生被输入到低通滤波器 142 的模拟信号。滤波器 138 和 142 分别在线路 144 和 146 上产生滤波信号。线路 144 和乘法器 148 的输入端相连, 线路 146 和乘法器 152 的输入端相连。

由 PLL 电路 10 在线路 26 上产生的信号被提供给乘法器 148 的第二输入端。此外, 在线路 36 上产生的信号通过相位调整器 154 被提供给乘法器 152 的第二输入端。相位调整器对被提供给它的信号以常规方式引

入 90 度的相位偏移。因而乘法器 148 和 152 上混频对其提供的 I 分量信号和 Q 分量信号，并在线路 156 和 158 上分别产生上混频的信号。线路 156 和 158 和求和元件 162 的输入端相连。求和元件 162 使其提供的信号相加，并在线路 164 上产生一个组合信号。此后，组合信号被放大并发送。

$\Sigma\Delta$ 调制器控制的 PLL 电路 10 的操作产生没有不希望的音调的具有高频稳定特性的信号。因而在线路 164 上产生的信号具有相同的有利单元特性。因而提供了高的频率分辨率，并允许进行快速的频率跳跃。

图 7 说明本发明的实施例的以标号 170 表示的 PLL 调制器。PLL 调制器 170 包括 $\Sigma\Delta$ 调制器控制的 PLL 电路 10，如图 1 所示，作为其中的一部分。PLL 电路 10 的元件以和图 1 中相同的标号表示。PLL 调制器 170 通过操作可以调制在线路 172 上的信息信号，从而在线路 26 上形成调制信号。

线路 172 和波形发生器 174 相连。波形发生器 174 可以响应在线路 172 上对其提供的信息信号的值进行操作，从而产生由在线路 176 上的基准频率分割的瞬时频率的值。线路 176 和求和元件 178 的输入端相连。求和元件 178 还被连接用于接收在线路 182 上产生的偏移频率信号。求和元件 178 作为信道选择器，在其中使用在线路 182 上产生的偏移频率信号按照需要产生信道偏移。

在线路 42 上产生和信号。线路 42 和 $\Sigma\Delta$ 调制器 38 相连，从而向其提供和信号。由在线路 36 上产生的分频因子控制信号控制的分频器的分频因子使得在线路 172 上产生的信息信号被调制，从而在线路 26 上形成调制信号。滤波器 32 的带通足够宽，因而不会拒绝由相位检测器 16 产生的信号的信息分量部分。例如，GMSK（高斯最小频移键控）调制可以由 PLL 调制器 170 进行。

图 8 说明按照本发明的实施例的一种方法，用标号 190 表示。所述方法用于产生被施加于 PLL 电路的分频器的分频因子控制信号。

首先，在方块 192，产生由最低限度的伪随机值构成的高频脉动信号。然后，在方块 194，高频脉动信号和代表频率输入信号的信号组合而形成组合值。频率输入信号具有第一特性。

然后，在方块 196，所述组合值被量化而形成量化值。量化值具有第二特性并形成被施加于 PLL 电路的分频器的分频因子控制信号。

因此，本发明的实施例提供了 $\Sigma\Delta$ 调制器控制的 PLL 电路，其能够产生没有不希望的音调的高稳定的信号。例如，构成 $\Sigma\Delta$ 调制器控制的 PLL 电路，从而形成频率合成器或 PLL 调制器。这种电路适用于其中要求高度稳定的信号的任何情况，并适用于例如形成蜂窝通信系统的移动终端或无线电基站的接收机或发送机电路部分。

5 上面的说明是用于实施本发明的优选的例子，本发明的范围未必由这些说明限定。本发明的范围由下面的权利要求限定。

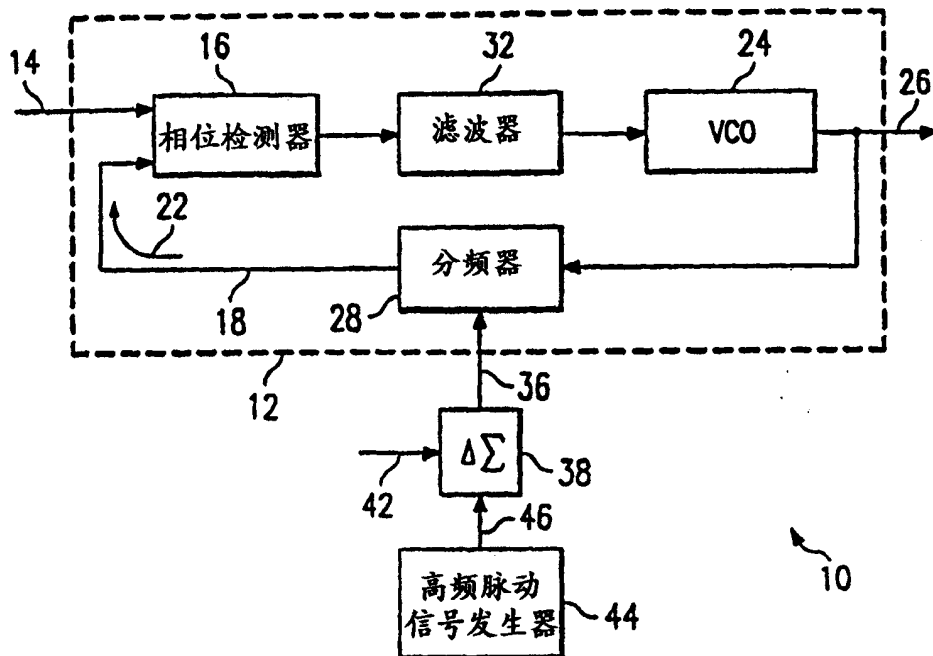


图 1

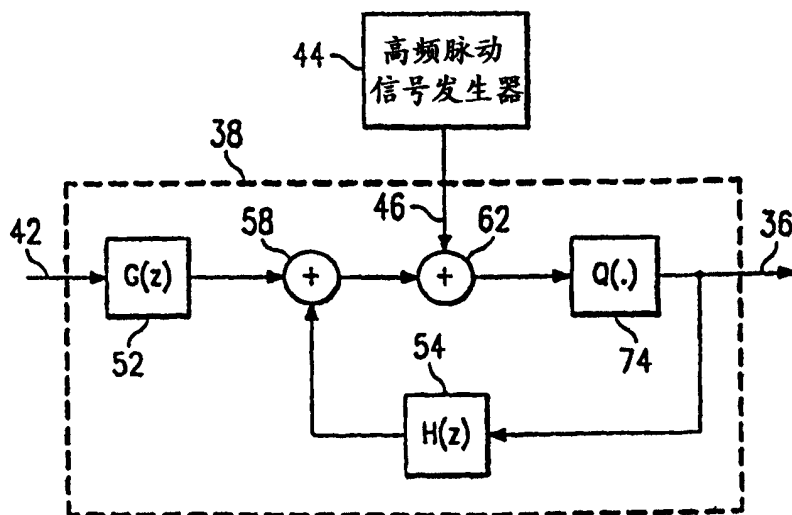


图 2

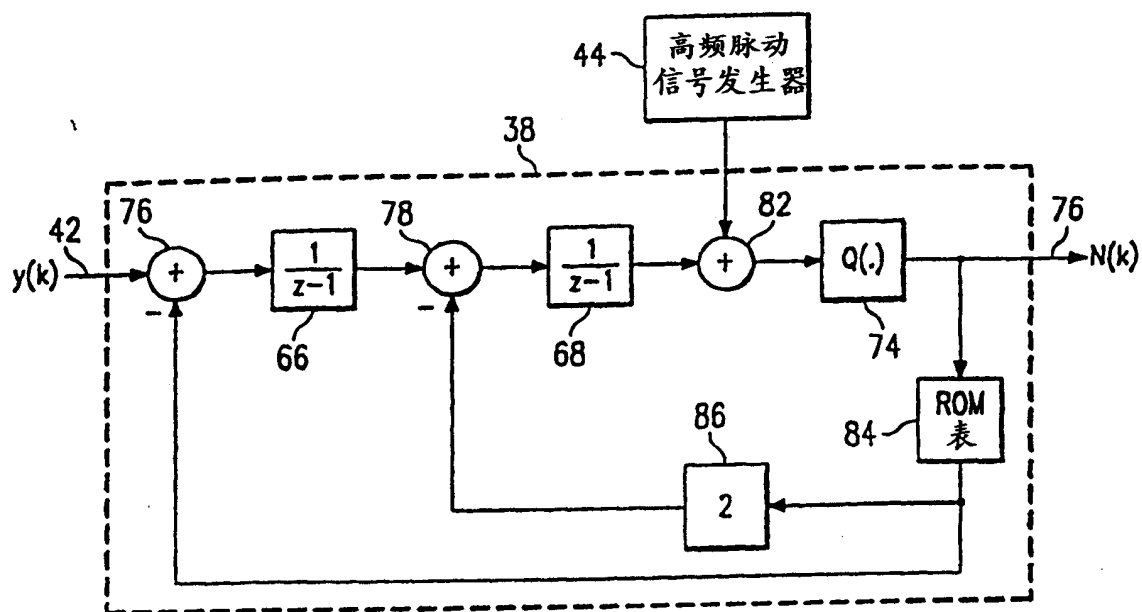


图 3

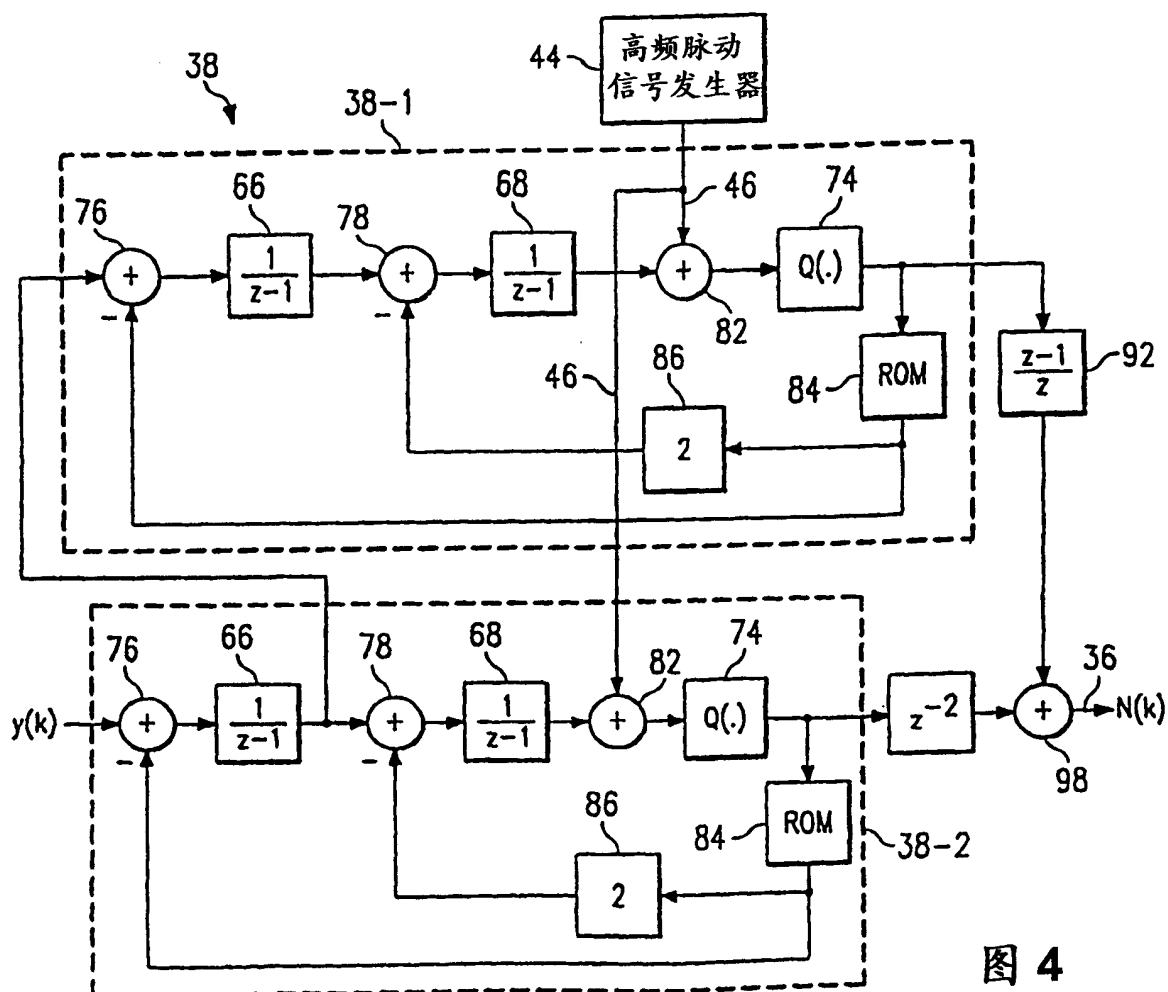


图 4

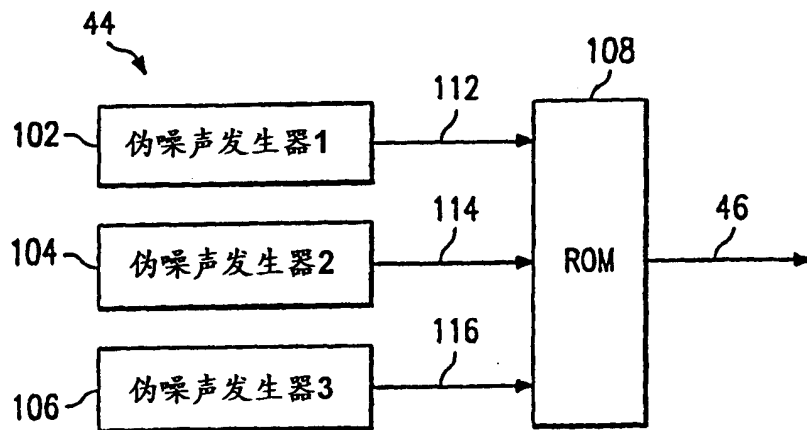


图 5

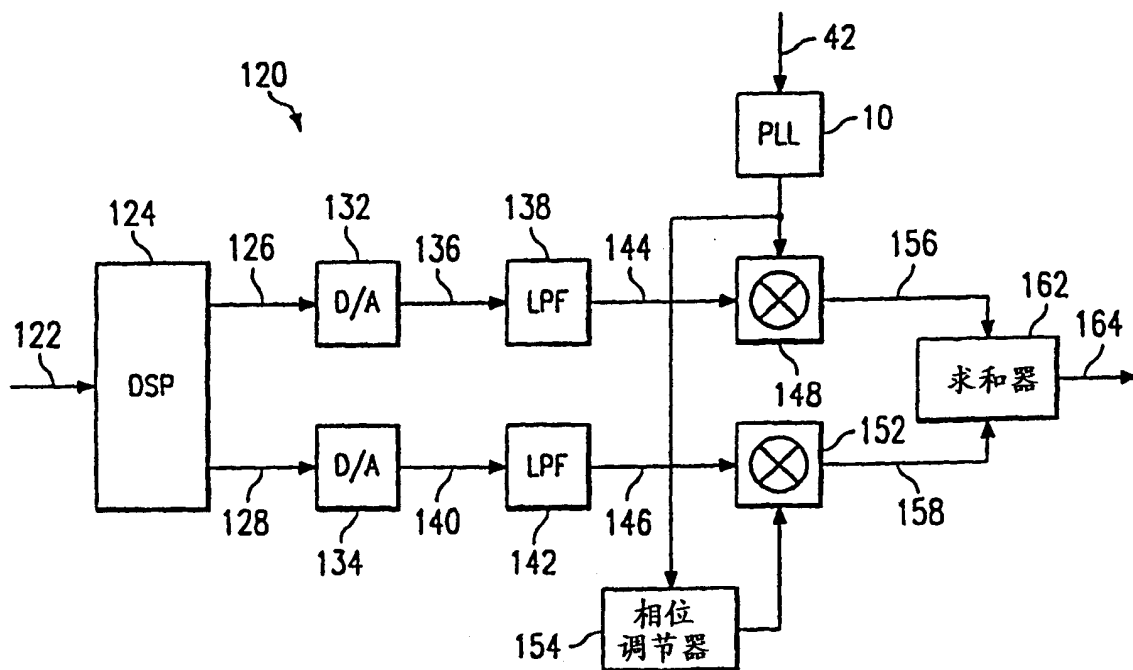


图 6

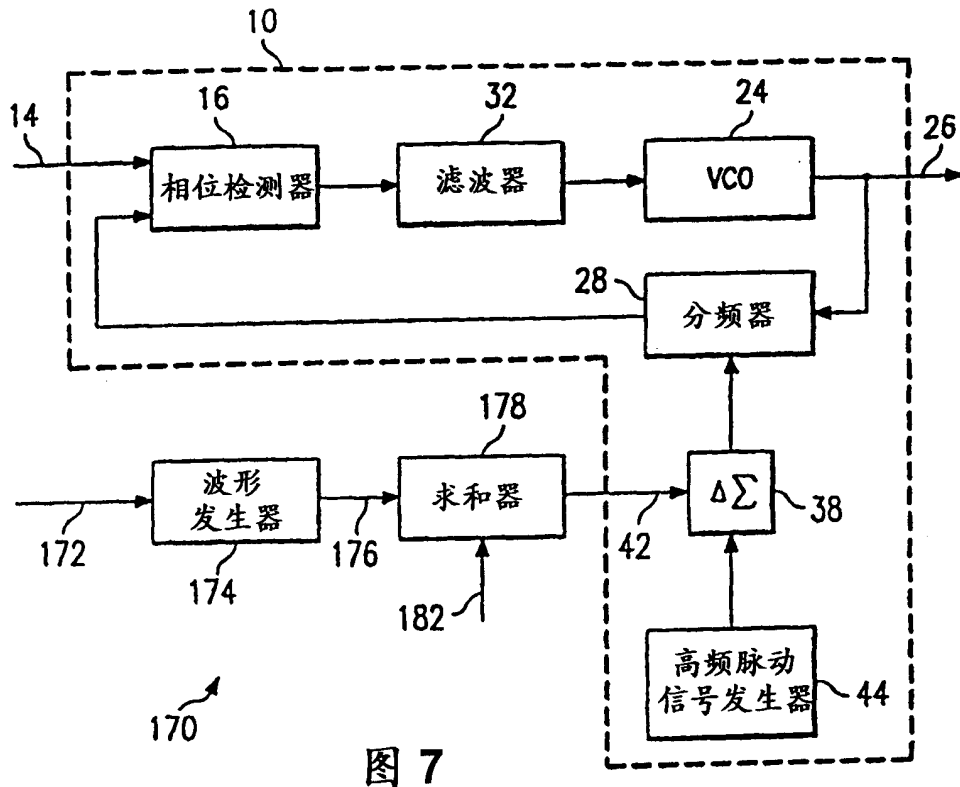


图 7

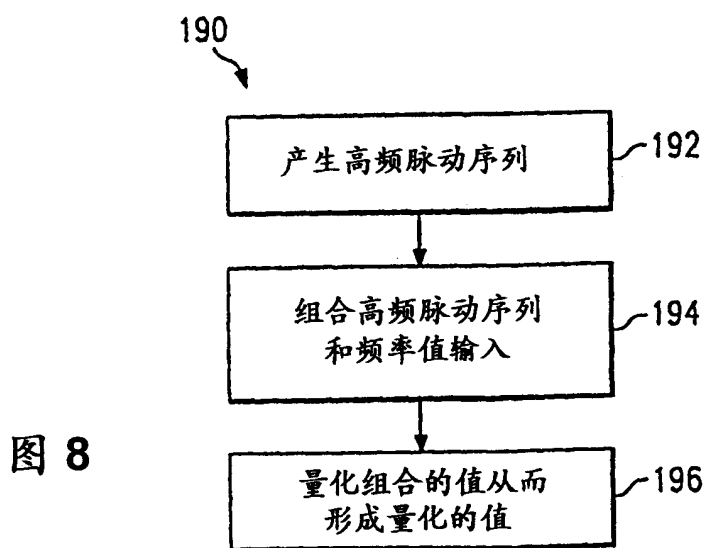


图 8