



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I451423 B

(45) 公告日：中華民國 103 (2014) 年 09 月 01 日

(21) 申請案號：098136046

(22) 申請日：中華民國 98 (2009) 年 10 月 23 日

(51) Int. Cl. : G11C16/14 (2006.01)

H01L27/115 (2006.01)

(30) 優先權：2008/12/02 美國

12/326,283

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹市新竹科學工業園區力行路 16 號

(72) 發明人：吳昭誼 WU, CHAO I (TW)

(74) 代理人：李貴敏

(56) 參考文獻：

US 6483752B2

US 2003/0103381A1

US 2003/0218913A1

US 2006/0140005A1

US 2006/0171209A1

US 2008/0165578A1

審查人員：蕭明椿

申請專利範圍項數：31 項 圖式數：2 共 0 頁

(54) 名稱

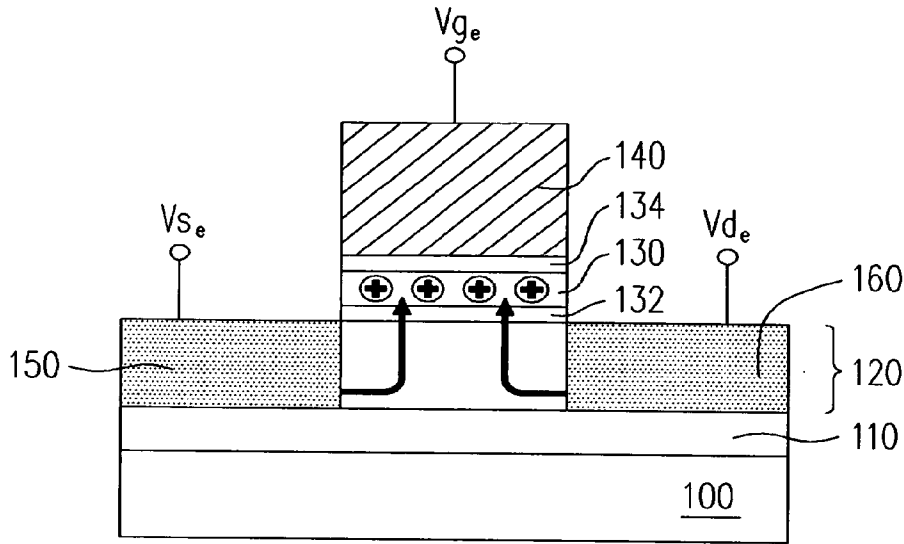
非揮發性記憶胞之操作方法及運用該方法之記憶體裝置

METHOD OF OPERATING NON-VOLATILE MEMORY CELL AND MEMORY DEVICE UTILIZING THE METHOD

(57) 摘要

一種操作非揮發性記憶胞的方法，包括透過一第一類型載子的雙邊偏壓注入(Double-Side Biased；DSB)來預先抹除一揮發性記憶胞，以及透過一第二類型載子的福勒-諾德漢(Fowler-Nordheim；FN)穿隧來程式化該記憶胞。

A method of operating a non-volatile memory cell is described, including pre-erasing the cell through double-side biased (DSB) injection of a first type of carrier and programming the cell through Fowler-Nordheim (FN) tunneling of a second type of carrier.



- 100 . . . 基材
- 110 . . . 絕緣體
- 120 . . . 半導體層
- 130 . . . 電荷儲存層
- 132 . . . 底部氧化層
- 134 . . . 頂部氧化層
- 140 . . . 控制閘
- 150 . . . 源極區域
- 160 . . . 汲極區域
- V_{ge} . . . 第一電壓
- V_{se} . . . 第二電壓
- V_{de} . . . 第二電壓

第1圖

99年1月25日修正補完本
P.1-8發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※ 申請案號：98136046

※ 申請日：98.10.23

※IPC 分類：G11C 16/14 (2006.01)

H01L 27/115 (2006.01)

一、發明名稱：(中文/英文)

非揮發性記憶胞之操作方法及運用該方法之記憶體裝置

METHOD OF OPERATING NON-VOLATILE MEMORY CELL
AND MEMORY DEVICE UTILIZING THE METHOD

二、中文發明摘要：

一種操作非揮發性記憶胞的方法，包括透過一第一類型載子的雙邊偏壓注入(Double-Side Biased; DSB)來預先抹除一揮發性記憶胞，以及透過一第二類型載子的福勒－諾德漢(Fowler-Nordheim; FN)穿隧來程式化該記憶胞。

三、英文發明摘要：

A method of operating a non-volatile memory cell is described, including pre-erasing the cell through double-side biased (DSB) injection of a first type of carrier and programming the cell through Fowler-Nordheim (FN) tunneling of a second type of carrier.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100~基材	110~絕緣體
120~半導體層	130~電荷儲存層
132~底部氧化層	134~頂部氧化層
140~控制閘	150~源極區域
160~汲極區域	V_{g_e} ~第一電壓
V_{s_e} ~第二電壓	V_{d_e} ~第二電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體裝置，尤其是有關於一種非揮發性記憶體(NON-VOLATILE MEMORY; NVM)的操作方法以及一種利用該方法之記憶體裝置。

【先前技術】

非揮發性記憶體已普遍應用於眾多電子產品中，當中最為普及的非揮發性記憶體裝置是具備電荷儲存層並利用電性進行寫入及抹除的類型，譬如電性抹除可程式化唯讀記憶體(EEPROM)及快閃記憶體(Flash Memory)。這類非揮發性記憶體傳統上乃由一大塊的半導體基材作為基底來形成，並且將電荷儲存層設置於一控制閘極與該基材之間。近來，利用薄膜電晶體(Thin-Film Transistor; TFT)技術而以半導體薄膜為基礎來形成的揮發性記憶體已被提供，當中的每一個記憶胞皆是薄膜電晶體。藉由利用這種 TFT 技術，重複形成一半導體薄膜及建基其上的一層 TFT 記憶胞成為可能，從而能夠製造出三維的非揮發性記憶體陣列。

TFT 類型的揮發性記憶胞傳統上乃是透過正性福勒-諾德漢電子穿隧(Positive Fowler-Nordheim Electron Tunneling; +FN)至電荷儲存層之內來加以程式化，並藉由將電子移離出電荷儲存層來加以抹除。由於+FN 程式化較無效率，因而需要較長的程式化時間，結果產生較多熱能。由於在習知技術中三維記憶體陣列尤其遭受嚴重的散熱問題，因此上述方法不適合用來操作三維揮發性記憶體陣列。

【發明內容】

有鑑於此，本發明係提供一種操作非揮發性記憶胞的方法，其具有較高的程式化效率，使程式化時間及熱能產生縮減，從而適用於三維非揮發性記憶體。

本發明之操作非揮發性記憶胞的方法係描述如下。該記憶胞係透過一第一類型載子的雙邊偏壓(Double-side Biased ; DSB)注入來加以預先抹除，以及透過一第二類型載子的福勒-諾德漢(Fowler-Nordheim ; FN)穿隧來加以程式化。

本發明的記憶體裝置係包含一記憶胞、一第一邏輯，其用以藉由一第一類型載子的 DSB 注入來預先抹除該記憶胞，以及一第二邏輯，其用以藉由一第二類型載子的 FN 穿隧來程式化該記憶胞。

於一實施例中，用以預先抹除該記憶胞的 DSB 注入係包含 DSB 帶至帶穿隧熱載子注入。

於一實施例中，用以程式化該記憶胞的 FN 穿隧係包含正性 FN(+FN)穿隧。

於一實施例中，該第一類型載子係電洞以及該第二類型載子係電子。

於一實施例中，該記憶胞係包含一半導體層、位於該半導體層上的一電荷儲存層以及一控制閘極，以及位於該半導體層內的一源極及一汲極。該 DSB 注入可藉由施加一第一電壓至該控制閘極以及施加一第二電壓至該汲極和源極來引發，其中該第一電壓係與該第二電壓大不相同。該+FN 穿隧可藉由使用與該 DSB 注入中該第一電壓至該第二電壓相反之極性，來施加一第三電壓

至該控制閘以及施加一第四電壓至該源極及汲極以引發，其中該第三電壓係與該第四電壓大不相同。

此外，該半導體層可為一設置於一絕緣體上的浮動主體。在這樣的情況下，該記憶胞可為一薄膜電晶體(Thin-Film Transistor; TFT)，該半導體層與該控制閘極可能包含摻雜矽，以及該電荷儲存層可能包含一介於兩氧化層之間的氮化層，從而使得該記憶胞為一個矽-氧化物-氮化物-氧化物-矽(Silicon-Oxide-Nitride-Oxide-Silicon; SONOS)薄膜電晶體記憶胞。

由於在本發明中，所述記憶胞是在被利用 DSB 注入來預先抹除之後，才利用 FN 穿隧來加以程式化，因此，程式化效率會因電荷儲存層中的相反電性的電荷而有所提升，從而程式化所需時間能夠縮減。此外，由於程式化時間較短會產生較少熱能，本發明的操作方法特別適合用於在習知技術中遭遇散熱問題的三維記憶體陣列。

須瞭解，前述的概括描述及後續的詳細描述皆為範例，並用以提供如申請專利範圍所主張之本發明的進一步解釋。

【實施方式】

第 1 及 2 圖係分別顯示在依據本發明之一實施例下，一種操作非揮發性記憶胞的方法中的預先抹除步驟及程式化步驟。

參考第 1 圖，該非揮發性記憶胞係包含一半導體層 120 作為一浮動主體並設置於一基材 100 上的一絕緣體 110 之上、一電荷儲存層 130 設置於該半導體層 120 之上，一控制閘極 140 設置於該電荷儲存層 130 之上，以及一源極區域 150 和一汲極區域 160 設置於該半導體層 120 之內該控制閘極 140 之兩旁。

該基材 100 可為一矽基材。該絕緣體 110 可為一通常由 CVD(化學氣相沉積)製程所形成的氧化矽層。該半導體層 120 可為一由 LPCVD(低壓化學氣相沉積)製程所形成的摻雜多晶矽層。該電荷儲存層 130 可為一電荷捕捉層 (Charge Trapping Layer), 其通常為一個介於一底部氧化層 132 與一頂部氧化層 134 之間的氮化矽層 (Silicon Nitride; SiN)。該控制閘極 140 可包含摻雜多晶矽。當該半導體層 120 與控制閘 140 包含摻雜多晶矽, 並且該電荷儲存層 130 為一介於兩個氧化層 132 及 132 之間的 SiN 捕捉層時, 此時記憶胞即為一個矽-氧化物-氮化物-氧化物-矽的薄膜電晶體 (TFT SONOS) 記憶胞。

此外, 位於該控制閘極 140 下方的該半導體層 120 可能為 P 型摻雜, 以及該源極區域 150 及該汲極區域 160 可能為 N 型摻雜, 方以使得該記憶胞成為一種 N 型電晶體, 以下的描述並將這種情況用作一範例。

再參考第 1 圖, 於預抹除步驟中, 一第一電壓 V_{g_e} 係施加至該控制閘極 140, 以及一第二電壓 $V_{s_e}(=V_{d_e})$ 係施加至該源極區域 150 及該汲極區域 160 (即雙邊偏壓 (Double-Side Biased; DSB)), 其中 V_{g_e} 必須遠低於 $V_{s_e}(V_{d_e})$, 俾以引發帶至帶穿隧熱電洞 (Band-to-Band Tunneling Hot Hole; BTBTHH) 注入至電荷儲存層 130。舉例而言, 第一電壓低於 0V, 而第二電壓高於 0V。在這種情況下, V_{g_e} 的範圍可能為 -10V 至 -20V, 而 $V_{s_e}(=V_{d_e})$ 的範圍可能為 8V 至 12V。在一特定實施例中, V_{g_e} 約為 -15V 以及 $V_{s_e}(=V_{d_e})$ 約為 10V。

參考第 2 圖, 於程式化步驟中, 一第三電壓 V_{g_p} 係施加至該控制閘極 140, 以及一第四電壓 $V_{s_p}(=V_{d_p})$ 係施加至該源極區域 150 及該汲極區域 160, 其中 V_{g_p} 必須遠高於 $V_{s_p}(V_{d_p})$, 俾以引

發電子的+FN 穿隧進入電荷儲存層 130。舉例而言， $V_{s_p}(=V_{d_p})$ 為 0V，而第三電壓高於 0V。在這種情況下， V_{g_p} 的範圍可能為 15V 至 20V。在一特定實施例中， V_{g_p} 約為 20V。

另一方面，依據此實施例的記憶體裝置係包含如第 1 圖或第 2 圖所示的一記憶胞、一第一邏輯，其用以藉由如第 1 圖所示的 DSB BTBTHH 注入來預先抹除該記憶胞，以及一第二邏輯，其用以藉由如第 2 圖所示的電子+FN 穿隧來程式化該記憶胞。該第一邏輯可能施加上述的偏壓組態以進行預先抹除。該第二邏輯可能施加上述的偏壓組態以進行程式化。

尤其須注意，雖然本發明係藉由此實施例中的 TFT 類型非揮發性記憶胞來舉例說明，然而本發明的操作方法亦可應用至同樣具有一電荷儲存層、一控制閘極，以及源極/汲極區域，並考慮 DSB 程式化及 FN 穿隧抹除之機制的其他類型非揮發性記憶胞。這意味著，本發明之記憶體裝置內的記憶胞並不設限為 TFT 類型的非揮發記憶胞，而可以替代為眾多其他類型的非揮發記憶胞當中的一類型。

由於在此實施例中，該記憶胞是在被利用 DSB 電洞注入來預先抹除之後，才利用電子 FN 穿隧來加以程式化，因此，程式化效率會因電荷儲存層中的正電荷而有所提升，從而程式化所需時間能夠縮減。此外，由於程式化時間較短會產生較少熱能，本發明的操作方法特別適合用於在習知技術中遭遇散熱問題的三維記憶體陣列。

更者，雖然於上述實施例中，第一類型載子是電洞、第二類型載子是電子、DSB 注入包含 DSB BTBTHH 注入，以及 FN 穿隧包含電子的+FN 穿隧，然而本發明並不受限於這種組合。舉例而言，在另一實施例中，第一類型載子是電子、第二類型載子是

電洞、DSB 注入包含 DSB 電子注入，以及 FN 穿隧包含電洞的 FN 穿隧。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

根據本發明的各種特點、功能以及實施例，皆可以從上述詳細說明，並同時參考所附圖式而達較佳理解，該等圖式係包含：

第 1 圖係顯示依據本發明之一實施例之一操作非揮發性記憶胞的方法中的預先抹除步驟；以及

第 2 圖係顯示依據本發明之一實施例之一操作非揮發性記憶胞的方法中的預先抹除步驟；以及

【主要元件符號說明】

100~基材	110~絕緣體
120~半導體層	130~電荷儲存層
132~底部氧化層	134~頂部氧化層
140~控制閘	150~源極區域
160~汲極區域	V_{g_e} ~第一電壓
V_{s_e} ~第二電壓	V_{d_e} ~第二電壓
V_{g_p} ~第三電壓	V_{s_p} ~第四電壓
V_{d_p} ~第四電壓	

七、申請專利範圍：

1. 一種操作非揮發性記憶胞的方法，包括：

5 透過一第一類型載子的雙邊偏壓注入來預先抹除一記憶胞；以及

透過一第二類型載子的福勒－諾德漢穿隧來程式化該記憶胞。

2. 如申請專利範圍第 1 項之操作非揮發性記憶胞的方法，其中該雙邊偏壓注入係包括雙邊偏壓帶至帶穿隧熱載子注入。

10 3. 如申請專利範圍第 1 項之操作非揮發性記憶胞的方法，其中該福勒－諾德漢穿隧係包括正性福勒－諾德漢穿隧。

4. 如申請專利範圍第 1 項之操作非揮發性記憶胞的方法，其中該第一類型載子係電洞以及該第二類型載子係電子。

15 5. 如申請專利範圍第 1 項之操作非揮發性記憶胞的方法，其中

該記憶胞係包括一半導體層、一電荷儲存層以及一控制閘極於該半導體層之上，以及一源極及一汲極於該半導體層之內；以及

20 於預先抹除該記憶胞之過程中，一第一電壓係施加至該控制閘極以及一第二電壓係施加至該源極和汲極，其中該第一電壓係與該第二電壓係不同，以引發該第一類型載子之雙邊偏壓注入至該電荷儲存層。

6. 如申請專利範圍第 5 項之操作非揮發性記憶胞的方法，其

中該第一電壓係低於 0V 以及該第二電壓係高於 0V。

7. 如申請專利範圍第 6 項之操作非揮發性記憶胞的方法，其中該第一電壓的範圍係-10V 至-20V，以及該第二電壓係 8V 至 12V。

5 8. 如申請專利範圍第 1 項之操作非揮發性記憶胞的方法，其中

該記憶胞係包括一半導體層、一電荷儲存層以及一控制閘極於該半導體層之上，以及一源極及一汲極於該半導體層之內；以及

10 於程式化該記憶單元之過程中，一第一電壓係施加至該控制閘極以及一第二電壓係施加至該源極和汲極，其中該第一電壓係與該第二電壓係不同，以引發該第二類型載子之福勒-諾德漢穿隧進入該電荷儲存層。

15 9. 如申請專利範圍第 8 項之操作非揮發性記憶胞的方法，其中該第一電壓係高於 0V 以及該第二電壓係為 0V。

10. 如申請專利範圍第 9 項之操作非揮發性記憶胞的方法，其中該第一電壓的範圍係 15V 至 20V。

20 11. 如申請專利範圍第 1 項之操作非揮發性記憶胞的方法，其中該記憶胞係包括一半導體層、一電荷儲存層以及一控制閘極於該半導體層之上，以及一源極及一汲極於該半導體層之內，其中該半導體層係一設置於一絕緣體上之浮動主體。

12. 如申請專利範圍第 11 項之操作非揮發性記憶胞的方法，

其中該記憶胞係一薄膜電晶體，該半導體層與該控制閘極皆包括摻雜矽，以及該電荷儲存層係包括一介於兩氧化層之間的氮化層，從而使得該記憶胞為一矽-氧化物-氮化物-氧化物-矽的薄膜電晶體(TFT SONOS)記憶胞。

5 13. 一種記憶體裝置，包括：

一記憶胞；

一第一邏輯，用以透過一第一類型載子的雙邊偏壓注入來預先抹除該揮發性記憶胞；以及

10 一第二邏輯，用以透過一第二類型載子的福勒-諾德漢穿隧來程式化該記憶胞。

14. 如申請專利範圍第 13 項之記憶體裝置，其中該第一類型載子係電洞以及該第二類型載子係電子。

15. 如申請專利範圍第 13 項之記憶體裝置，其中該雙邊偏壓注入係包括雙邊偏壓帶至帶穿隧熱載子注入。

15 16. 如申請專利範圍第 13 項之記憶體裝置，其中該福勒-諾德漢穿隧係包括正性福勒-諾德漢穿隧。

20 17. 如申請專利範圍第 13 項之記憶體裝置，其中該第一類型載子係電洞以及該第二類型載子係電子，該雙邊偏壓注入係包括雙邊偏壓帶至帶穿隧熱載子注入，以及該福勒-諾德漢穿隧係包括正性福勒-諾德漢穿隧。

18. 一種操作非揮發性記憶胞的方法，包括：

對一非揮發性記憶胞執行一預先操作，以於該非揮發性記憶胞之一電荷儲存層中形成第一類型載子；以及

5 於該預先操作後，對該非揮發性記憶胞執行一操作，以於該非揮發性記憶胞之該電荷儲存層中累積第二類型載子，其中該第一類型載子與該第二類型載子係具有相反之電性；

10 在對該非揮發性記憶胞執行該操作的過程中，一第一電壓施加至該非揮發性記憶胞之一控制閘極以及一第二電壓施加至該非揮發性記憶胞之一源極和一汲極，其中該第一電壓與該第二電壓不同，以引發該第二類型載子在該非揮發性記憶胞的該電荷儲存層中累積。

19. 如申請專利範圍第 18 項之操作非揮發性記憶胞的方法，其中該預先操作係包括一抹除操作。

15 20. 如申請專利範圍第 18 項之操作非揮發性記憶胞的方法，其中，其中該預先操作係透過雙邊偏壓注入來達成。

21. 如申請專利範圍第 20 項之操作非揮發性記憶胞的方法，其中該雙邊偏壓注入係包括雙邊偏壓帶至帶穿隧熱載子注入。

20 22. 如申請專利範圍第 18 項之操作非揮發性記憶胞的方法，其中該操作係包括一程式化操作。

23. 如申請專利範圍第 18 項之操作非揮發性記憶胞的方法，其中該操作係透過福勒-諾德漢穿隧來達成。

24. 如申請專利範圍第 23 項之操作非揮發性記憶胞的方法，其中該福勒-諾德漢穿隧係包括正性福勒-諾德漢穿隧。

25. 一種記憶體裝置，包括：一非揮發性記憶胞、一第一邏輯以及一第二邏輯；

5 其中，
 該非揮發性記憶胞，其包括一電荷儲存層；
 該第一邏輯，用以對該非揮發性記憶胞執行一預先操作，以於該非揮發性記憶胞之該電荷儲存層中形成第一類型載子；以及

10 該第二邏輯，用以於該預先操作後，對該非揮發性記憶胞執行一操作，以於該非揮發性記憶胞之該電荷儲存層中累積第二類型載子，其中該第一類型載子與該第二類型載子係具有相反之電性；在對該非揮發性記憶胞執行該操作的過程中，一
15 第一電壓施加至該非揮發性記憶胞之一控制閘極以及一第二電壓施加至該非揮發性記憶胞之一源極和一汲極，其中該第一電壓與該第二電壓不同，以引發該第二類型載子在該非揮發性記憶胞的該電荷儲存層中累積。

26. 如申請專利範圍第 25 項之記憶體裝置，其中該預先操作係包括一抹除操作。

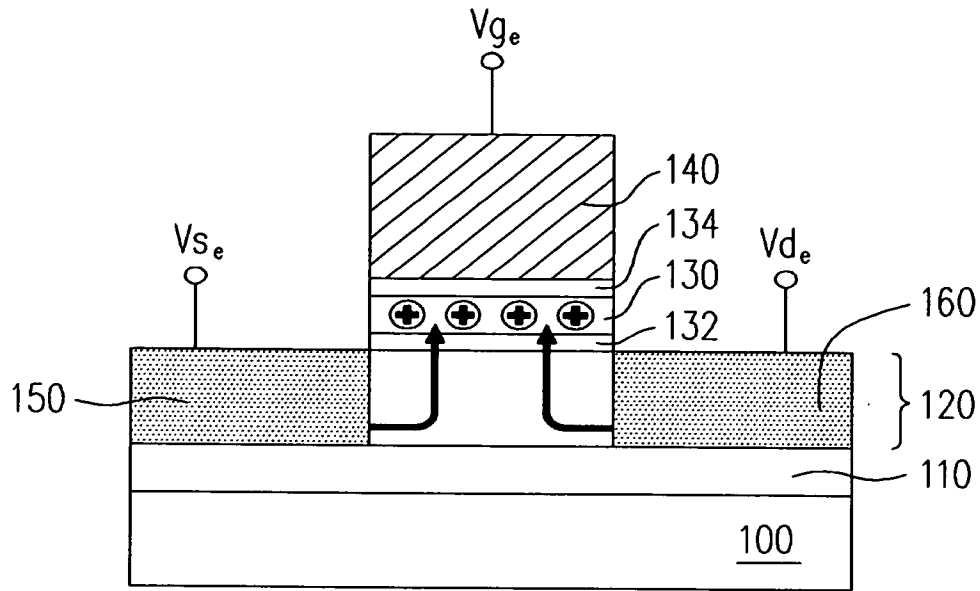
20 27. 如申請專利範圍第 25 項之記憶體裝置，其中，其中該預先操作係透過雙邊偏壓注入來達成。

28. 如申請專利範圍第 27 項之記憶體裝置，其中該雙邊偏壓注入係包括雙邊偏壓帶至帶穿隧熱載子注入。

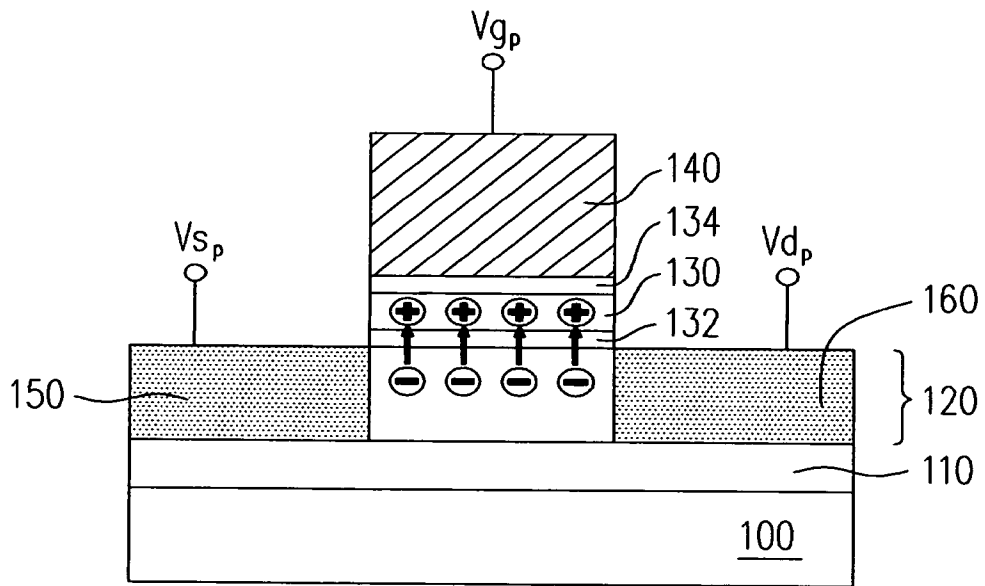
29. 如申請專利範圍第 25 項之記憶體裝置，其中該操作係包括一程式化操作。

30. 如申請專利範圍第 25 項之記憶體裝置，其中該操作係透過福勒－諾德漢穿隧來達成。

5 31. 如申請專利範圍第 30 項之記憶體裝置，其中該福勒－諾德漢穿隧係包括正性福勒－諾德漢穿隧。



第1圖



第2圖