

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7246287号  
(P7246287)

(45)発行日 令和5年3月27日(2023.3.27)

(24)登録日 令和5年3月16日(2023.3.16)

(51)国際特許分類	F I			
H 0 1 L 29/78 (2006.01)	H 0 1 L	29/78	6 5 2 K	
H 0 1 L 21/336 (2006.01)	H 0 1 L	29/78	6 5 2 F	
	H 0 1 L	29/78	6 5 2 S	
	H 0 1 L	29/78	6 5 8 F	
	H 0 1 L	29/78	6 5 3 A	
請求項の数 7 (全12頁) 最終頁に続く				

(21)出願番号	特願2019-166906(P2019-166906)	(73)特許権者	000003078
(22)出願日	令和1年9月13日(2019.9.13)		株式会社東芝
(65)公開番号	特開2021-44470(P2021-44470A)		東京都港区芝浦一丁目1番1号
(43)公開日	令和3年3月18日(2021.3.18)	(73)特許権者	317011920
審査請求日	令和3年8月25日(2021.8.25)		東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74)代理人	100108062
			弁理士 日向寺 雅彦
		(74)代理人	100168332
			弁理士 小崎 純一
		(74)代理人	100146592
			弁理士 市川 浩
		(74)代理人	100157901
			弁理士 白井 達哲
		(74)代理人	100172188
			最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【特許請求の範囲】

【請求項1】

半導体部と、  
前記半導体部上に設けられた電極と、  
前記半導体部と前記電極との間に位置し、前記半導体部に設けられ、互いに離間した複数の第1トレンチの内部にそれぞれ配置され、前記半導体部から第1絶縁膜により電氣的に絶縁された複数の制御電極と、  
前記半導体部と前記電極との間に位置し、前記半導体部に設けられた第2トレンチの内部に配置され、前記半導体部から第2絶縁膜により電氣的に絶縁され、前記電極に電氣的に接続されたフィールド電極と、  
を備え、  
前記複数の制御電極は、前記フィールド電極を中心として、その周りを囲むように配置され、  
前記半導体部は、第1導電形の第1半導体層と、第2導電形の第2半導体層と、第1導電形の第3半導体層と、を含み、  
前記第2半導体層は、前記第1半導体層と前記電極との間に設けられ、前記第1絶縁膜を介して前記制御電極に向き合い、前記第2絶縁膜を介して前記フィールド電極に向き合い、  
前記第3半導体層は、前記第2半導体層と前記電極との間に選択的に設けられ、前記第1絶縁膜に接する位置に配置され、前記電極に電氣的に接続された半導体装置。

**【請求項 2】**

前記電極と前記制御電極との間に位置し、前記電極から第 3 絶縁膜を介して電氣的に絶縁された制御配線をさらに有し、

前記制御電極は、前記制御配線に電氣的に接続された請求項 1 記載の半導体装置。

**【請求項 3】**

前記制御電極および前記フィールド電極は、前記第 1 半導体層中に位置する下端を有し、前記フィールド電極の前記下端は、前記第 3 半導体層から前記第 1 半導体層に向かう方向において、前記制御電極の前記下端よりも深いレベルに位置する請求項 1 または 2 に記載の半導体装置。

**【請求項 4】**

請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置の製造方法であって、  
前記半導体部の第 1 結晶面を露出させた第 1 トレンチを形成する工程と、  
前記第 1 結晶面を露出させた前記第 1 トレンチの内面を熱酸化することにより、前記第 1 結晶面上に第 1 酸化膜を形成する工程と、  
前記第 1 結晶面とは異なる面方位の第 2 結晶面を露出させた別の第 1 トレンチを前記半導体部に形成する工程と、  
前記第 1 結晶面および前記第 2 結晶面を露出させた第 1 トレンチの内面を酸化することにより、前記第 1 酸化膜を厚膜化すると共に、前記第 2 結晶面上に第 2 酸化膜を形成する工程と、

を備えた製造方法。

**【請求項 5】**

前記第 1 酸化膜は、前記第 2 酸化膜と同じ厚さを有する請求項 4 記載の製造方法。

**【請求項 6】**

前記第 2 結晶面は、前記第 1 結晶面よりも高次の結晶面である請求項 4 または 5 に記載の製造方法。

**【請求項 7】**

前記第 2 結晶面における熱酸化速度は、前記第 1 結晶面における熱酸化速度よりも速い請求項 4 ~ 6 のいずれか 1 つに記載の製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

実施形態は、半導体装置およびその製造方法に関する。

**【背景技術】****【0002】**

トレンチゲート構造を有する半導体装置は、半導体層とゲート電極との間に位置するゲート絶縁膜に熱酸化膜を用いることが多い。しかしながら、熱酸化膜は、ゲートトレンチの内面に露出される半導体表面の面方位に依存して厚さが変化する。このため、ゲート電極は、部分的に異なる閾値電圧を有することがある。

**【先行技術文献】****【特許文献】****【0003】**

【文献】特開 2014 - 187141 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

実施形態は、ゲート閾値電圧を均一化した半導体装置およびその製造方法を提供する。

**【課題を解決するための手段】****【0005】**

実施形態に係る半導体装置は、半導体部と、前記半導体部上に設けられた電極と、前記半導体部と前記電極との間に位置する複数の制御電極およびフィールド電極と、を備える

10

20

30

40

50

。前記複数の制御電極は、前記半導体部に設けられ互いに離間した複数の第1トレンチの内部にそれぞれ配置され、前記半導体部から第1絶縁膜により電氣的に絶縁される。前記フィールド電極は、前記半導体部に設けられた第2トレンチの内部に配置され、前記電極に電氣的に接続されると共に、前記半導体部から第2絶縁膜により電氣的に絶縁される。前記複数の制御電極は、前記フィールド電極を中心として、その周りを囲むように配置される。前記半導体部は、第1導電形の第1半導体層と、第2導電形の第2半導体層と、第1導電形の第3半導体層と、を含む。前記第2半導体層は、前記第1半導体層と前記電極との間に設けられ、前記第1絶縁膜を介して前記制御電極に向き合い、前記第2絶縁膜を介して前記フィールド電極に向き合う。前記第3半導体層は、前記第2半導体層と前記電極との間に選択的に設けられ、前記第1絶縁膜に接する位置に配置され、前記電極に電氣的に接続される。

10

【図面の簡単な説明】

【0006】

【図1】実施形態に係る半導体装置を示す模式断面図である。

【図2】実施形態に係る半導体装置を示す別の模式図である。

【図3】実施形態に係る半導体装置の製造過程を示す模式図である。

【図4】図3に続く製造過程を示す模式図である。

【図5】図4に続く製造過程を示す模式図である。

【図6】図5に続く製造過程を示す模式図である。

【図7】図6に続く製造過程を示す模式図である。

20

【図8】図7に続く製造過程を示す模式図である。

【図9】図8に続く製造過程を示す模式図である。

【図10】図9に続く製造過程を示す模式図である。

【図11】実施形態に係る熱酸化膜の特性を示すグラフである。

【発明を実施するための形態】

【0007】

以下、実施の形態について図面を参照しながら説明する。図面中の同一部分には、同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

30

【0008】

さらに、各図中に示すX軸、Y軸およびZ軸を用いて各部分の配置および構成を説明する。X軸、Y軸、Z軸は、相互に直交し、それぞれX方向、Y方向、Z方向を表す。また、Z方向を上方、その反対方向を下方として説明する場合がある。

【0009】

図1、図2(a)および(b)は、実施形態に係る半導体装置1を示す模式図である。図1は、図2(a)中に示すB-B線に沿った断面を表す模式図である。図2(a)は、図1中に示すA-A線に沿った断面を表す模式図である。半導体装置1は、例えば、トレンチゲート型MOSFETである。

40

【0010】

図1に示すように、半導体装置1は、半導体部10と、ドレイン電極20と、ソース電極30と、ゲート電極40と、フィールド電極50(以下、FE50)と、を備える。半導体部10は、ドレイン電極20とソース電極30との間に位置する。フィールド電極50は、半導体10中に所望の電界分布を与える。

【0011】

ゲート電極40およびFE50は、半導体部10とソース電極30との間に位置する。ゲート電極40は、半導体部10に設けられたゲートトレンチGTの内部に配置される。FE50は、半導体部10に設けられたソーストレンチSTの内部に配置される。

【0012】

50

ゲート電極 40 は、ゲート絶縁膜 43 により半導体部 10 から電氣的に絶縁される。FE50 は、フィールド電極絶縁膜（以下、FE絶縁膜 53）により半導体部 10 から電氣的に絶縁される。

【0013】

半導体部 10 は、例えば、シリコンである。半導体部 10 は、例えば、n形ドリフト層 11 と、p形拡散層 13 と、n形ソース層 15 と、p形コンタクト層 17 と、n形ドレイン層 19 と、を含む。

【0014】

n形ドリフト層 11 は、例えば、ドレイン電極 20 に沿って半導体部 10 の全体に広がる。n形ドリフト層 11 は、低濃度のn形不純物を含む。p形拡散層 13 は、n形ドリフト層 11 とソース電極 30 との間に位置する。p形拡散層 13 は、n形ドリフト層 11 のn形不純物よりも高濃度のp形不純物を含む。

10

【0015】

n形ソース層 15 およびp形コンタクト層 17 は、p形拡散層 13 とソース電極 30 との間に、それぞれ選択的に設けられる。n形ソース層 15 は、ゲート絶縁膜 43 に接する位置に配置される。p形コンタクト層 17 は、例えば、FE絶縁膜 53 に接する位置に配置される。n形ソース層 15 は、n形ドリフト層 11 のn形不純物よりも高濃度のn形不純物を含む。p形コンタクト層 17 は、p形拡散層 13 のp形不純物よりも高濃度のp形不純物を含む。

【0016】

n形ドレイン層 19 は、n形ドリフト層 11 とドレイン電極 20 との間に設けられる。n形ドレイン層 19 は、n形ドリフト層 11 のn形不純物よりも高濃度のn形不純物を含む。ドレイン電極 20 は、例えば、n形ドレイン層 19 に接し、電氣的に接続される。

20

【0017】

半導体装置 1 は、配線層 60 をさらに備える。配線層 60 は、半導体部 10 とソース電極 30 との間に位置する。半導体部 10 と配線層 60 との間には、層間絶縁膜 73 が設けられる。また、ソース電極 30 と配線層 60 との間には、層間絶縁膜 75 が設けられる。

【0018】

配線層 60 は、ゲート配線 63 と、ソース配線 65 と、を含む。ゲート配線 63 は、ゲート電極 40 に電氣的に接続される。すなわち、ゲート配線 63 は、層間絶縁膜 73 を貫いて、ゲート電極 40 に接続される。

30

【0019】

ソース配線 65 は、n形ソース層 15、p形コンタクト層 17 およびFE50 に電氣的に接続される。ソース配線 65 は、層間絶縁膜 73 を貫いて、n形ソース層 15 およびp形コンタクト層 17 に接続される部分、および、FE50 に接続される部分を含む。

【0020】

ソース電極 30 は、コンタクト部 30a を介してソース配線 65 に電氣的に接続される。コンタクト部 30a は、層間絶縁膜 75 を貫いてソース配線 65 に接続される。

【0021】

ゲート配線 63 は、層間絶縁膜 75 によりソース電極 30 から電氣的に絶縁される。ゲート配線 63 は、例えば、半導体部 10 の図示しない部分の上に配置されるゲートパッドに電氣的に接続される。

40

【0022】

図 2 (a) に示すように、半導体装置 1 は、複数のFE50 を備える。FE50 は、例えば、半導体部 10 の内部に延伸する柱状に設けられる。図 2 (a) に示す断面において、FE50 は、FE絶縁膜 53 に囲まれる。

【0023】

半導体装置 1 は、複数のゲート電極 40 を備える。ゲート電極 40 は、ゲート絶縁膜 43 により、半導体部 10 から電氣的に絶縁され、p形拡散層 13 は、ゲート絶縁膜 53 を介して、ゲート電極 40 のそれぞれに向き合う。複数のゲート電極 40 は、相互に離間し

50

て配置され、隣接する F E 5 0 の間にそれぞれ配置される。ゲート電極 4 0 は、複数のゲートトレンチ G T の内部にそれぞれ配置される。ゲート電極 4 0 は、例えば、F E 5 0 のそれぞれを囲むように配置される。

#### 【 0 0 2 4 】

図 2 ( b ) は、ゲートトレンチ G T の内面に露出される半導体部 1 0 の結晶面を示す模式図である。ゲートトレンチ G T は、例えば、正六角形の辺に沿って延在するように設けられる。複数のゲートトレンチ G T は、例えば、ゲートトレンチ G T 1 と、ゲートトレンチ G T 2 と、を含む。ゲートトレンチ G T 1 は、例えば、( 1 0 0 ) 面に等価な結晶面をその内部に露出させる。一方、ゲートトレンチ G T 2 は、例えば、( 4 7 0 ) 面に等価な結晶面をその内部に露出させる。ここで、( 4 7 0 ) 面は、( 1 0 0 ) 面よりも高次の結晶面である。

10

#### 【 0 0 2 5 】

例えば、図 1 1 は、シリコンの熱酸化膜の特性を示すグラフである ( 日本金属学会会報第 2 7 巻第 4 号 ( 1988 ) より引用 ) 。横軸は、熱酸化の時間であり、縦軸は、熱酸化膜の膜厚である。図 1 1 に示すように、( 1 1 1 ) 面および ( 1 1 0 ) 面における熱酸化膜の膜厚は、( 1 0 0 ) 面における熱酸化膜の膜厚よりも厚くなる。すなわち、シリコンの熱酸化速度は、高次の結晶面においてより速くなる。このため、熱酸化を同時に実施した場合、高次の結晶面上により厚いシリコン酸化膜が形成される。

#### 【 0 0 2 6 】

複数のゲートトレンチ G T を、図 2 ( a ) に示すように配置した場合、ゲートトレンチ G T 2 の内部に形成される熱酸化膜は、ゲートトレンチ G T 1 の内部に形成される熱酸化膜よりも厚くなる。その結果、ゲートトレンチ G T 2 に配置されるゲート電極 4 0 の閾値電圧は、ゲートトレンチ G T 1 に配置されるゲート電極 4 0 の閾値電圧よりも高くなる。

20

#### 【 0 0 2 7 】

本実施形態に係る半導体装置 1 では、以下に述べる製造方法により、ゲートトレンチ G T 1 および G T 2 のそれぞれに形成されるゲート絶縁膜の厚さを均一にする。これにより、ゲート閾値電圧のバラツキを抑制した、半導体装置 1 を実現することができる。

#### 【 0 0 2 8 】

図 3 ( a ) ~ 図 1 0 ( b ) は、実施形態に係る半導体装置 1 の製造過程を示す模式図である。図 3 ( a ) ~ 図 1 0 ( b ) のうちの、図 4 ( b ) 、図 6 ( b ) および図 9 ( b ) を除く他の図は、半導体ウェーハ 1 0 0 の断面図である。図 4 ( b ) 、図 6 ( b ) および図 9 ( b ) は、半導体ウェーハ 1 0 0 の表面を表す平面図である。

30

#### 【 0 0 2 9 】

図 3 ( a ) に示すように、ソーストレンチ S T を半導体ウェーハ 1 0 0 に形成した後、半導体ウェーハ 1 0 0 の表面およびソーストレンチ S T の内面を覆う F E 絶縁膜 5 3 を形成する。半導体ウェーハは、例えば、n 形シリコンウェーハである。

#### 【 0 0 3 0 】

ソーストレンチ S T は、例えば、異方性 R I E ( Reactive Ion Etching ) を用いて、半導体ウェーハを選択的に除去することにより形成される。F E 絶縁膜 5 3 は、例えば、半導体ウェーハ 1 0 0 を熱酸化することにより形成される。F E 絶縁膜 5 3 は、例えば、シリコン酸化膜である。F E 絶縁膜 5 3 は、ソーストレンチ S T の内部にスペースを残すように形成される。

40

#### 【 0 0 3 1 】

図 3 ( b ) に示すように、F E 5 0 をソーストレンチ S T の内部に形成する。F E 5 0 は、例えば、導電性を有するポリシリコンである。F E 5 0 は、例えば、C V D ( Chemical Vapor Deposition ) を用いて、半導体ウェーハ 1 0 0 の上にポリシリコン層を堆積した後、ソーストレンチ S T の内部を埋め込んだ部分を残して、ポリシリコン層をエッチバックすることにより形成される。

#### 【 0 0 3 2 】

図 3 ( c ) に示すように、ソーストレンチ S T の内部に F E 5 0 を封じるように、絶縁

50

膜 5 5 を形成する。絶縁膜 5 5 は、例えば、CVD を用いて形成されるシリコン酸化膜である。

【 0 0 3 3 】

図 4 ( a ) に示すように、ソーストレンチ S T の開口部に形成された部分を残すように、絶縁膜 5 5 をエッチバックした後、例えば、レジストマスク 1 0 3 を形成する。レジストマスク 1 0 3 は、開口 1 0 3 S を含む。

【 0 0 3 4 】

図 4 ( b ) に示すように、レジストマスク 1 0 3 の開口 1 0 3 S は、ゲートトレンチ G T 1 を形成する領域の上に位置する ( 図 2 ( a ) 参照 ) 。レジストマスク 1 0 3 は、F E 5 0 を含むソーストレンチ S T を覆うように形成される。

10

【 0 0 3 5 】

図 5 ( a ) に示すように、レジストマスク 1 0 3 を用いて、ゲートトレンチ G T 1 を形成する。ゲートトレンチ G T 1 は、例えば、異方性 R I E を用いて、F E 絶縁膜 5 3 の一部および半導体ウェーハ 1 0 0 を選択的にエッチングすることにより形成される。ゲートトレンチ G T 1 は、ソーストレンチ S T よりも浅く形成される。

【 0 0 3 6 】

図 5 ( b ) に示すように、ゲートトレンチ G T 1 の内面を覆うように、ゲート絶縁膜 4 3 a を形成する。ゲート絶縁膜 4 3 a は、レジストマスク 1 0 3 を除去した後、例えば、半導体ウェーハ 1 0 0 を熱酸化することにより形成される。ゲート絶縁膜 4 3 a は、例えば、シリコン酸化膜である。

20

【 0 0 3 7 】

図 6 ( a ) に示すように、ゲートトレンチ G T 1 の内部にゲート絶縁膜 4 3 a を形成した後、レジストマスク 1 0 5 を形成する。レジストマスク 1 0 5 は、開口 1 0 5 S を含む。

【 0 0 3 8 】

図 6 ( b ) に示すように、レジストマスク 1 0 5 の開口 1 0 5 S は、ゲートトレンチ G T 2 を形成する領域の上に位置する ( 図 2 ( a ) 参照 ) 。レジストマスク 1 0 5 は、F E 5 0 を含むソーストレンチ S T 、および、ゲートトレンチ G T 1 を覆うように形成される。

【 0 0 3 9 】

図 7 ( a ) に示すように、レジストマスク 1 0 5 を用いて、ゲートトレンチ G T 2 を形成する。ゲートトレンチ G T 2 は、例えば、異方性 R I E を用いて、F E 絶縁膜 5 3 の一部および半導体ウェーハ 1 0 0 を選択的にエッチングすることにより形成される。ゲートトレンチ G T 2 は、ソーストレンチ S T よりも浅く形成される。

30

【 0 0 4 0 】

図 7 ( b ) に示すように、ゲートトレンチ G T 2 の内面を覆うように、ゲート絶縁膜 4 3 b を形成する。ゲート絶縁膜 4 3 b は、例えば、シリコン酸化膜である。ゲート絶縁膜 4 3 b は、レジストマスク 1 0 5 を除去した後、例えば、半導体ウェーハ 1 0 0 を熱酸化することにより形成される。この際、ゲートトレンチ G T 1 の内部においても、半導体ウェーハ 1 0 0 の熱酸化が進行し、ゲート絶縁膜 4 3 a の膜厚が厚くなる。

【 0 0 4 1 】

例えば、ゲートトレンチ G T 1 の内部には、半導体ウェーハ 1 0 0 の ( 1 0 0 ) 面が露出され、ゲートトレンチ G T 2 の内部には、( 4 7 0 ) 面が露出される ( 図 2 ( b ) 参照 ) 。半導体ウェーハ 1 0 0 を熱酸化する時間が同じであれば、( 4 7 0 ) 面上に形成される熱酸化膜の厚さは、( 1 0 0 ) 面上に形成される熱酸化膜よりも厚くなる。

40

【 0 0 4 2 】

本実施形態では、最初の熱酸化によりゲートトレンチ G T 1 の内部に形成されたゲート絶縁膜 4 3 a を、2 回目の熱酸化により厚くする。すなわち、トレンチゲート G T 1 における熱酸化時間を長くすることにより、ゲート絶縁膜 4 3 a の膜厚を、ゲートトレンチ G T 2 の内部に形成されるゲート絶縁膜 4 3 b の膜厚と同じ厚さにすることができる。

【 0 0 4 3 】

例えば、2 回目の熱酸化により、ゲートトレンチ G T 2 の内部に所定の厚さのゲート絶

50

縁膜 43b を形成する。一方、ゲートトレンチ GT1 の内部では、最初の熱酸化と 2 回目の熱酸化により、ゲート絶縁膜 43a の膜厚が所定の厚さに形成される。すなわち、ゲート絶縁膜 43a の膜厚が、ゲート絶縁膜 43b の膜厚と同じになるように、最初の熱酸化の条件（例えば、時間）を予め調整する。これにより、ゲートトレンチ GT1 および GT2 の内部に形成されるゲート絶縁膜 43a および 43b の膜厚の差を抑制し、ゲート電極 40 の閾値電圧を均一化することができる。

【0044】

図 8 (a) に示すように、ゲートトレンチ GT の内部に、ゲート電極 40 を形成する。ゲート電極 40 は、例えば、CVD を用いて形成される。ゲート電極 40 は、ゲートトレンチ GT の内部を埋め込むように、導電性のポリシリコン層を堆積した後、ゲートトレンチ GT の内部を埋め込んだ部分を残して、ポリシリコン膜をエッチバックすることにより形成される。

10

【0045】

図 8 (b) に示すように、半導体ウェーハ 100 の表面側に、p 形拡散層 13、n 形ソース層 15 および p 形コンタクト層 17 を形成する。

【0046】

p 形拡散層 13 は、例えば、p 形不純物であるボロン (B) を半導体ウェーハ 100 にイオン注入し、その後、熱処理によりボロンを活性化および拡散させることにより形成される。p 形拡散層 13 は、その底面がゲート電極 40 の下端よりも半導体ウェーハ 100 の表面に近いレベルに位置するように形成される。

20

【0047】

n 形ソース層 15 および p 形コンタクト層 17 は、例えば、n 形不純物であるヒ素 (As) およびボロン (B) を半導体ウェーハ 100 にイオン注入することにより形成される。n 形ソース層 15 および p 形コンタクト層 17 を形成する不純物は、p 形拡散層 13 の p 形不純物の熱処理時間よりも短い時間で熱処理され、活性化される。n 形ソース層 15 および p 形コンタクト層 17 は、その不純物の拡散を抑制することにより、p 形拡散層 13 よりも浅く形成される。

【0048】

図 8 (c) に示すように、ゲート電極 40 を覆うように、層間絶縁膜 73 を形成する。層間絶縁膜 73 は、例えば、CVD を用いて堆積されるシリコン酸化膜である。層間絶縁膜 73 は、半導体ウェーハ 100 の表面全体を覆うように形成される。

30

【0049】

図 9 (a) に示すように、半導体ウェーハ 100 の表面側に、配線層 60 を形成する。配線層 60 は、例えば、ゲート配線 63 と、ソース配線 65 と、を含む。配線層 60 は、例えば、タングステン (W) およびアルミニウム (Al) を含む。配線層 60 は、層間絶縁膜 73 の上面から n 形ソース層 15、p 形コンタクト層 17、ゲート電極 40 および FE50 に連通するコンタクトホールを形成した後、例えば、CVD により堆積されるタングステン (W) などの金属層でコンタクトホールを埋め込む。その後、スパッタ法を用いてアルミニウム層を堆積し、パターニングすることにより形成される。

【0050】

ゲート配線 63 は、層間絶縁膜 73 中に延在するコンタクト部 63a を介してゲート電極 40 に電氣的に接続される。ソース配線 65 は、n 形ソース層 15、p 形コンタクト層 17 および FE50 に電氣的に接続される。ソース配線 65 は、n 形ソース層 15 および p 形コンタクト層 17 に接続されたコンタクト部 65a と、FE50 に接続されたコンタクト部 65b と、を含む。

40

【0051】

図 9 (b) に示すように、ソース配線 65 は、複数設けられ、ゲート配線 63 は、ソース配線 65 を囲むように設けられる。ゲート配線 63 は、例えば、一体に形成され、図示しないゲートパッドに電氣的に接続される。

【0052】

50

図 10 ( a ) に示すように、配線層 60 を覆うように、層間絶縁膜 75 を形成する。層間絶縁膜 75 は、例えば、CVD を用いて形成されるシリコン酸化膜である。

【 0053 】

図 10 ( b ) に示すように、ソース配線 65 に連通するコンタクトホールを層間絶縁膜 75 に形成した後、層間絶縁膜 75 を覆うように、ソース電極 30 を形成する。ソース電極 30 は、例えば、アルミニウムを含む金属層であり、CVD を用いて形成される。

【 0054 】

ゲート配線 63 は、層間絶縁膜 75 によりソース電極 30 から電氣的に絶縁される。ソース配線 65 は、コンタクト部 30 a を介してソース電極 30 に電氣的に接続される。

【 0055 】

続いて、半導体ウェーハ 100 の裏面を研削もしくは研磨することにより薄層化する。さらに、半導体ウェーハ 100 の裏面側に、例えば、n 形不純物をイオン注入し、n 形ドレイン層 19 を形成すると共に、p 形拡散層 13 と n 形ドレイン層 19 との間に n 形ドリフト層 11 を形成する ( 図 1 参照 ) 。さらに、n 形ドレイン層 19 に接するドレイン電極 20 を形成し、半導体装置 1 を完成させる。

【 0056 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0057 】

1 ... 半導体装置、 10 ... 半導体部、 11 ... n 形ドリフト層、 13 ... p 形拡散層、 15 ... n 形ソース層、 17 ... p 形コンタクト層、 19 ... n 形ドレイン層、 20 ... ドレイン電極、 30 ... ソース電極、 30 a、63 a、65 a、65 b ... コンタクト部、 40 ... ゲート電極、 43、43 a、43 b ... ゲート絶縁膜、 50 ... フィールド ( FE ) 電極、 53 ... FE 絶縁膜、 55 ... 絶縁膜、 60 ... 配線層、 63 ... ゲート配線、 65 ... ソース配線、 73、75 ... 層間絶縁膜、 100 ... 半導体ウェーハ、 103、105 ... レジストマスク、 103 S、105 S ... 開口、 GT、GT1、GT2 ... ゲートトレンチ、 ST ... ソーストレンチ

10

20

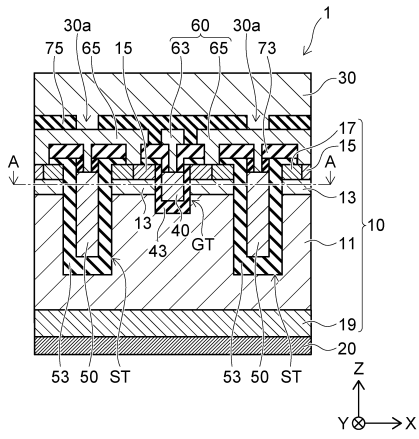
30

40

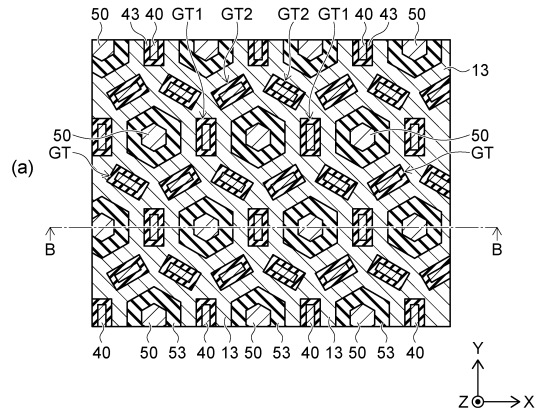
50

【 図面 】

【 図 1 】



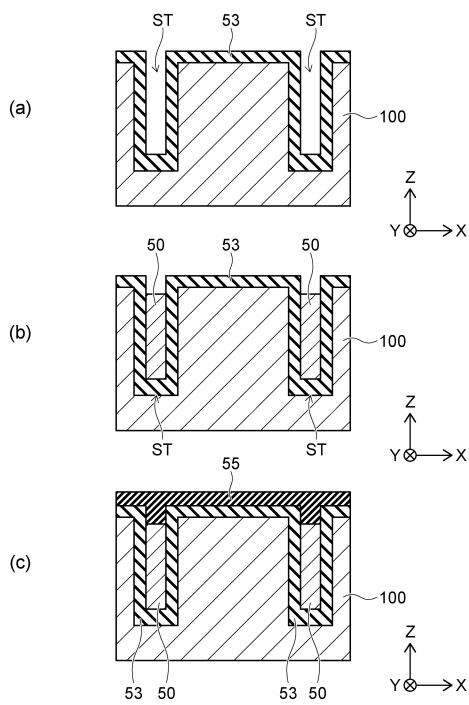
【 図 2 】



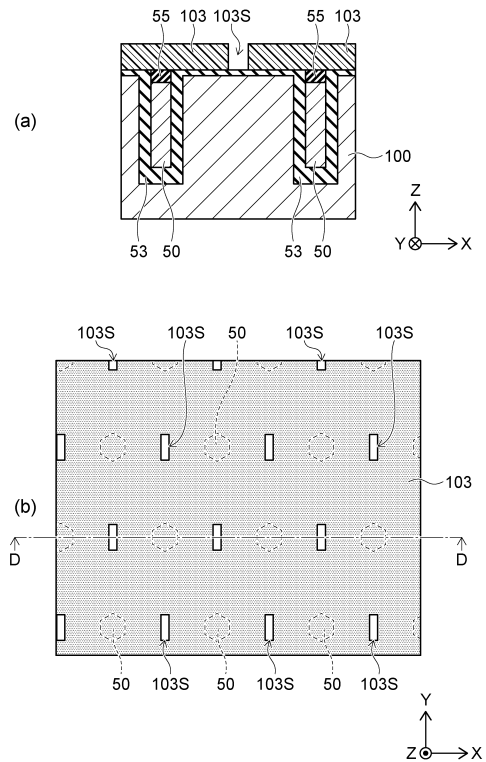
10

20

【 図 3 】



【 図 4 】

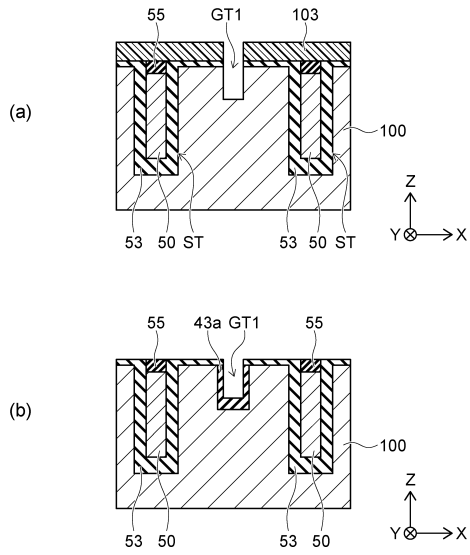


30

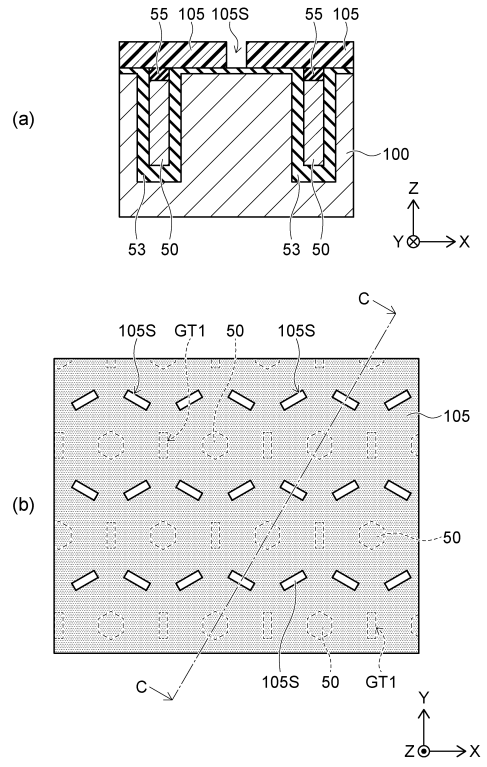
40

50

【 図 5 】



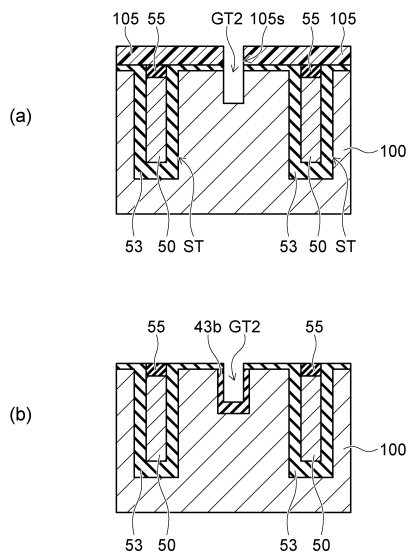
【 図 6 】



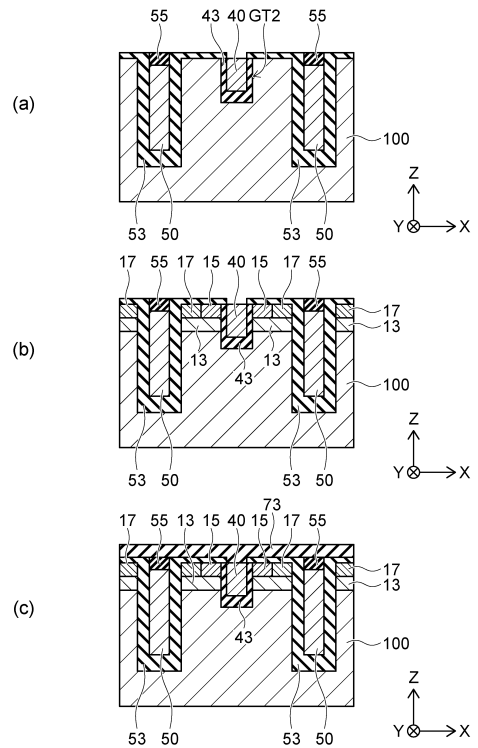
10

20

【 図 7 】



【 図 8 】

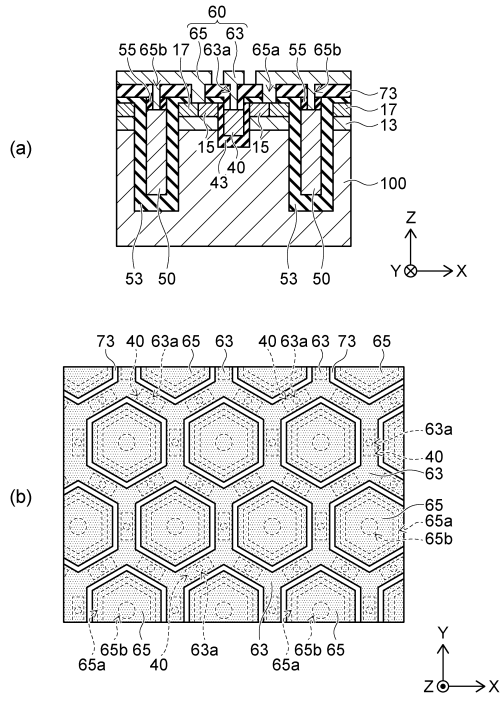


30

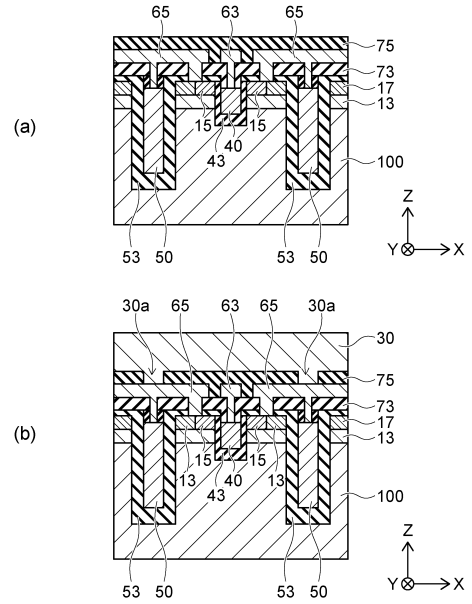
40

50

【 図 9 】



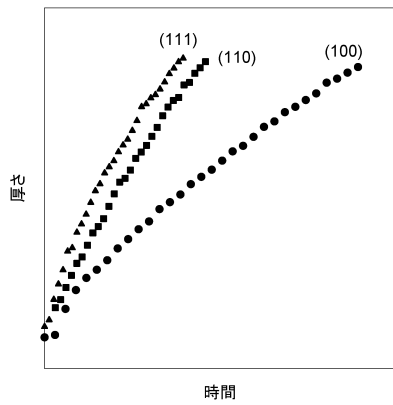
【 図 10 】



10

20

【 図 11 】



30

40

50

## フロントページの続き

(51)国際特許分類

F I

H 0 1 L

29/78

6 5 2 M

弁理士 内田 敬人

(74)代理人 100197538

弁理士 竹内 功

(72)発明者 加藤 浩朗

東京都港区芝浦一丁目1番1号 東芝デバイス&amp;ストレージ株式会社内

(72)発明者 小林 研也

東京都港区芝浦一丁目1番1号 東芝デバイス&amp;ストレージ株式会社内

(72)発明者 西脇 達也

東京都港区芝浦一丁目1番1号 東芝デバイス&amp;ストレージ株式会社内

審査官 石塚 健太郎

(56)参考文献 特開2019-106529(JP,A)

特開2019-050434(JP,A)

特開2012-059943(JP,A)

特表2013-521660(JP,A)

国際公開第2005/101518(WO,A1)

特開2009-130069(JP,A)

特開2007-165657(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 1 / 3 3 6