

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G11C 11/407

(11) 공개번호 특2002 - 0002465
(43) 공개일자 2002년01월09일

(21) 출원번호 10 - 2001 - 7014854
(22) 출원일자 2001년11월21일
 번역문 제출일자 2001년11월21일
(86) 국제출원번호 PCT/US2000/13476
(86) 국제출원출원일자 2000년05월17일

(87) 국제공개번호 WO 2000/74063
(87) 국제공개일자 2000년12월07일

(81) 지정국 국내특허 : 중국, 일본, 대한민국,
 EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아
 일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 09/323,363 1999년06월01일 미국(US)

(71) 출원인 인피니언 테크놀로지스 노쓰 아메리카 코포레이션
 추후제출
 미국 캘리포니아 산 호세 노쓰 퍼스트 스트리트 1730 (우편번호 : 95112 - 6000)

(72) 발명자 엘스마이어,요한
 미국12590뉴욕와핑거스폴스말린드라이브4
 그루에닝,울리크
 미국12590뉴욕와핑거스폴스타운뷰드라이브38
 물러,게르하르트
 미국12590뉴욕와핑거스폴스타운뷰드라이브168
 박,영 - 진
 미국12603뉴욕포우킵시카인더후크드라이브33

(74) 대리인 남상선

심사청구 : 없음

(54) 플레이트라인 감지

요약

플레이트라인을 통해 메모리 셀로부터의 정보를 감지하는 것이 개시된다. 메모리 셀은 셀 트랜지스터의 접합부와 연결된 비트라인을 포함하며 다른 접합부는 캐패시터의 전극과 연결된다. 비트라인은 일정한 전압 소스와 연결된다. 플레이트라인은 다른 캐패시터 전극과 연결된다.

대표도

도 3a

명세서

기술분야

본 발명은 집적 회로에 관한 것이다. 특히, 본 발명은 플레이트라인을 통해 메모리 셀을 감지하는 것에 관한 것이다.

배경기술

도 1을 참조로, 종래의 다이내믹 랜덤 액세스 메모리 셀(101)을 도시한다. 도시된 것처럼, 메모리 셀은 셀 트랜지스터(110)와 셀 캐패시터(150)를 포함한다. 트랜지스터의 제 1 접합부(111)는 비트라인(125)과 연결되고, 제 2 접합부(112)는 캐패시터와 연결된다. 트랜지스터의 게이트 전극(113)은 워드라인(126)과 연결된다.

캐패시터는 유전체층(159)에 의해 분리되는 제 1 전극(153) 및 제 2 전극(157)을 포함한다. 셀 캐패시터의 제 1 전극(153)은 트랜지스터의 제 2 접합부와 연결된다. 제 1 전극은 정보를 저장하는 저장 노드로서의 역할을 하며 전형적으로 저장 노드로서 간주된다. 제 2 전극은 일정한 전압 소스(180)와 연결될 수 있고 일반적으로 플레이트 전극으로서 간주된다.

다수의 셀은 로우(row) 방향으로 워드라인과 연결되고 칼럼 방향으로 비트라인과 연결되는 셀 어레이 형태로 로우 및 칼럼에 배열된다. 전형적으로 셀 캐패시터의 제 2 또는 플레이트 전극은 어레이에서 셀을 위한 공통 플레이트로서의 역할을 한다.

어레이의 비트라인은 메모리 액세스를 용이하게 하기 위한 감지 증폭기와 연결된다. 각각의 감지 증폭기는 쌍의 비트라인과 연결된다. 선택된 메모리 셀을 포함하는 비트라인 쌍의 비트라인은 트루(true) 비트라인으로 간주되며 다른 것은 보충(complement) 비트라인으로 간주된다.

메모리 셀은 워드라인이 활성화됨으로써 액세스되어 전도성 트랜지스터가 비트라인과 저장노드를 연결하게 된다. 판독 동작을 위해, 메모리 셀에 저장된 정보는 비트라인을 통과한다. 메모리 셀로부터의 전하는 쌍의 비트라인 상에 차동(differential) 전압을 형성한다. 감지 증폭기는 차동 전압을 감지하고 이를 증폭시켜, 셀에 저장된 정보를 나타내는 신호를 형성한다. 기록 동작시에, 감지 증폭기는 트루 비트라인을 셀에 저장되는 정보를 나타내는 전압 레벨로 충전한다.

도 2는 종래의 메모리 셀의 동작을 나타내는 타이밍 도표이다. 플레이트 전극(PE), 트루 비트라인(BL), 워드라인(WL), 및 저장 노드(SN) 신호를 도시한다. 도시된 것처럼, 셀 캐패시터의 플레이트 전극은 예를 들어 약 $V_{b1h}/2$ 인 일정한 전압 소스(V_{pe})와 연결되며, 여기서 V_{b1h} 은 하이 레벨 비트라인과 같다. 기록 동작(270) 동안, BL은 셀 속에 기록된 정보와 같은 레벨의 전압으로 충전된다. $WL=V_{pp}$ 로 표시된 것처럼, 워드라인 활성화는 비트라인과 저장 노드를 연결시킨다. 데이터가 셀에 기록된 후, 워드라인은 저장노드를 절연 또는 부동시키기 위해 비활성화된다(예를 들어, $WL=0$).

판독 동작(260) 또는 메모리 액세스의 준비시에, 등화(equalization) 회로는 쌍의 비트라인을 V_{bleq} 레벨의 전압과 같게 한다. 예를 들어, V_{bleq} 은 약 $V_{b1h}/2$ 과 같다. $V_{DD}/2$ 와 같은 다른 값도 사용된다. 워드라인은 판독 동작이 개시되도록 활성화된다. 워드라인 활성화로 저장노드와 비트라인이 연결된다. 저장된 값에 따라, 비트라인은 쌍의 비트라인 사이에 네거티브 또는 포지티브 차동 전압을 형성하기 위해 서서히 하이 또는 로가 된다.

판독 동작은 저장노드를 약 V_{bleq} 로 방전시킨다. 메모리 셀속에 다시 정보를 재저장하기 위해, 판독 동작 후에 재저장 동작(290)이 수행된다.

상술된 것처럼, 종래의 DRAM IC는 셀 트랜지스터의 접합부를 지나 셀 캐패시터의 저장 노드에 저장되는 정보를 감지한다. 이러한 메모리 셀 감지 설계는 셀 트랜지스터의 비트라인과 접합부 사이에 콘택을 필요로 한다. 이러한 요구사항은 예를 들어, 특히 셀 캐패시터가 스택 캐패시터인 경우, 비트라인 콘택을 수용하기 위해 $6F^2$ (여기서 F는 최소의 피취(feature) 사이즈) 이하의 셀 면적을 갖는 셀을 설계하는데는 어려움이 있다.

앞서 명시된 것처럼, 작은 셀 사이즈를 조장하는 개선된 감지 설계를 제공하는 것이 바람직하다.

발명의 상세한 설명

본 발명은 메모리 셀로부터 정보를 감지하는 방법에 관한 것이다. 본 발명에 따라, 메모리 셀로부터의 정보 감지는 플레이트 라인을 통해 달성된다. 메모리 셀은 사용되는 캐패시터에 연결되는 트랜지스터를 포함한다. 비트라인은 트랜지스터의 접합부중 하나와 연결되며 워드라인은 게이트와 연결된다. 일 실시예에서, 플레이트라인이 제공된다. 플레이트라인은 캐패시터와 감지 증폭기와 연결되어, 캐패시터로부터 직접 정보를 감지할 수 있다.

도면의 간단한 설명

도 1은 종래의 메모리 셀을 나타내는 도면;

도 2는 종래의 메모리 셀의 동작의 타이밍 도표를 나타내는 도면;

도 3a - b는 본 발명에 따라 메모리 셀의 실시예를 나타내는 도면;

도 4는 본 발명의 일 실시예에 따른 메모리 셀 동작의 타이밍 도표를 나타내는 도면.

실시예

본 발명은 메모리 셀에 대한 감지 설계에 관한 것이다. 감지 설계는 예를 들어, 다이내믹 RAM(DRAM), 램버스 DRAM 및 SLDRAM, 강유전체 RAM(FRAM), 동기식 DRAM(SDRAM), 합쳐진 DRAM - 논리 칩(내장형 DRAM)과 같은 고속 DRAM을 포함하는 랜덤 액세스 메모리(RAM), 또는 메모리 IC 또는 논리 IC의 다른 형태에 사용될 수 있다.

본 발명에 따라, 감지 설계는 메모리셀 안팎으로 정보를 전송하는 플레이트라인을 사용한다. 플레이트라인을 통한 감지 정보는 비트라인을 통해 정보를 감지하는 종래의 감지 설계와 상반된다.

감지 플레이트라인의 사용은 몇가지 장점을 제공한다. 감지 플레이트라인으로부터 파생되는 장점중 하나는 비트라인 설계시에 설계자에게 융통성(flexibility)을 제공한다는 것이다. 예를 들어, 메모리 어레이의 비트라인은 공통 비트라인을 형성하도록 서로 연결되거나 또는 워드라인에 대해 다양한 방위(예를 들어, 평행, 사선, 또는 수직 방향)를 가질 수 있다. 어레이의 비트라인은 모든 메모리 셀과 공통 비트라인을 형성하도록 연결된 전도성 플레이트를 포함할 수 있다. 전도성 플레이트는 금속, 도핑된 폴리실리콘, 또는 다른 전도성 물질을 포함할 수 있다. 설계시에 융통성은 $6F^2$ 또는 그 이하와 같이 셀 사이즈를 작게 조장한다.

선택적으로, 비트라인은 기판에 형성될 수 있다. 예를 들어, 어레이 트랜지스터 아래에 위치되는 매립 비트라인을 만들기 위해 도펀트가 주입되어 실리콘 기판에 고농도로 도핑된 영역 또는 웰이 형성될 수 있다. 웰은 다수의 셀을 연결하는 스트라이프 또는 라인과 같은 형상일 수 있다. 스트라이프는 워드라인에 대해 다양한 방위를 가질 수 있다. 예를 들어, 스트라이프는 공통 비트라인을 형성하도록 서로 연결된다. 또한, 공통 웰은 공통 비트라인으로서의 역할을 하는데 사용될 수 있다. 매립 비트라인은 표면 영역에서 이들의 사용을 증가시킴에 따라 캐패시터를 형성하기 위해 보다 평면형의 표면을 제공하는 것뿐만 아니라 개선된 공정 윈도우 및 보다 나은 수율을 유도하도록 캐패시터(예를 들어, 스택 캐패시터)를 형성할 수 있다는 장점이 있다.

도 3a는 본 발명의 일 실시예에 따른 메모리셀(301)을 나타낸다. 도시된 것처럼, 메모리셀은 액세스 트랜지스터(310)와 셀 캐패시터(350)를 포함한다. 예를 들어, 액세스 트랜지스터는 p-형 FET(pFET) 또는 n-형 FET(nFET)와 같은 전계효과 트랜지스터(FET)를 포함한다. FET는 수직 셀 트랜지스터로서 사용될 수 있다. 수직 셀 트랜지스터는 예를 들어, "A trench transistor cross-point DRAM cell" 이란 명칭으로 1985 IEDM Tech. Digest, p714-717(1985)에 W. F. Richardson 등에 의해 개시되었고; "A surrounding gate transistor(SGT) cell for 64/256M bit DRAM" 이란 명칭으로 1989 IEDM Tech. Digest, p23-26(1989)에 K.Sunouchi 등에 의해 개시되었고, 본 명세서에서는 이를 참조로 한다. 평면형 트랜지스터 또는 다른 형태의 트랜지스터의 사용도 가능하다.

트랜지스터의 제 1 접합부(311)는 비트라인(325)에 연결된다. 비트라인은 전압 소스와 연결된다. 예를 들어, 전압 소스는 V_s 와 같다. 본 발명의 일 실시예에 따라 비트라인은 메모리 어레이에서 셀을 위한 공통 비트라인으로서의 역할을 한다. 비트라인은 예를 들어, 금속, 도핑된 폴리실리콘, 또는 고농도로 도핑된 실리콘으로 형성될 수 있다. 트랜지스터의 게이트 전극(313)은 워드라인(326)과 연결된다.

캐패시터는 유전체층(359)에 의해 분리된 제 1 및 제 2 셀 캐패시터 전극(353, 357)을 포함한다. 일 실시예에서 캐패시터는 스택 캐패시터를 포함한다. 예를 들어, 스택 캐패시터는 간단한 스택형 캐패시터이다. 또한 실린더형 캐패시터와 같은 다른 캐패시터, 반구형 그레이너(HSG)를 사용하는 캐패시터, 또는 높은 입실론(epsilon) 유전체를 사용하는 캐패시터를 사용할 수 있다. 트렌치 캐패시터 및/또는 멀티 비트 캐패시터와 같은 다른 형태의 캐패시터를 사용할 수 있다. 멀티 셀 캐패시터는 예를 들어, "A four-level storage 4-Gb DRAM" 이란 명칭으로 IEEE J. Of Solid-State Circuits, vol. 32, No. 11, Nov. p.1743-1747(1997)에 Takashi Okuda 등에 의해 개시되었으며, 이를 본 명세서에서는 참조로 한다. 제 1 셀 캐패시터 전극(353)은 액세스 트랜지스터의 제 2 접합부에 연결되며, 제 2 셀 캐패시터 전극은 플레이트라인(390)에 연결된다. 도 3b에 도시된 것처럼, 플레이트라인(390)을 형성하는 제 2 셀 전극을 사용할 수도 있다.

다수의 셀이 로우 및 칼럼에 배열되며, 로우 방향으로는 워드라인에 의해 그리고 칼럼 방향으로는 플레이트라인에 의해 연결된다. 전형적으로, 워드라인은 플레이트라인과 직교한다. 워드라인과 수직이지 않게(예를 들어, 워드라인에 대해 사선인) 제공되는 플레이트라인을 이용할 수 있다.

일 실시예에서, 플레이트라인은 감지 증폭기와 연결된다. 예를 들어, 감지 증폭기는 메모리 IC에 사용되는 종래의 감지 증폭기를 포함할 수 있다. 본 명세서에서 참조로 사용되는 "Improved Sense Amplifier"란 명칭으로 공동 계류중인 미국 특허 출원 USSN 09/225,665호에 개시된 감지 증폭기가 사용될 수도 있다. 감지 증폭기는 쌍의 플레이트라인과 연결된다. 선택된 메모리 셀을 포함하는 쌍의 비트라인의 플레이트라인은 트루 플레이트라인으로서 간주되며 다른 것은 보충 플레이트라인으로서 간주된다.

일반적으로, 메모리 셀은 그와 연결된 워드라인을 활성화시킴으로써 액세스된다. 기록 작업 동안, 트루 플레이트라인은 기록되는 정보에 따라 전압 레벨로 충전된다. 플레이트라인 전압은 부유 후에 저장 노드의 전압에 영향을 미친다.

판독 작업 동안, 트루 플레이트라인 전압은 셀에 저장된 정보에 의해 영향을 받아, 쌍의 플레이트라인에 차동 전압을 야기시킨다. 저장 노드의 정보에 따라, 차동은 포지티브 또는 네거티브가 된다. 감지 증폭기는 차동 전압을 감지하고 증폭시킨다.

저장 노드에 저장된 전하는 누설로 인한 오버 타이밍을 없애, 정보를 재저장하기 위한 리프레시 동작이 요구된다. 누설 전류의 경로중 하나는 액세스 트랜지스터를 지난다. 본 발명의 일 실시예에 따라, 불활성 모드에서의 워드라인은 액세스 트랜지스터를 지나 누설 전류를 감소시키는 전압 전위(로(low) 워드라인)를 포함한다. nFET 액세스 트랜지스터를 위

해, 로 워드라인은 0V와 상이한 전압 전위를 포함한다. 일실시예에서, 로 워드라인은 네거티브 전압 전위를 포함한다. 예를 들어 네거티브의 로 전위 워드라인은 약 -0.1 내지 -1.0V, 바람직하게 약 -0.5V이다. 다른 네거티브 로 레벨 워드라인이 사용될 수 있다.

또다른 실시예에서, 액세스 트랜지스터의 바디는 그의 게이트 쓰레숄드 전압(V_T)을 증가시키도록 기준 전위로 바이어스된다. 일실시예에서, 액세스 트랜지스터가 위치한 어레이 웰은 트랜지스터의 바디를 바이어스시키기 위해 기준 전위로 바이어스된다. 이는 장치 설계 융통성을 증가시킨다. 높은 V_T 형성으로 인해, 액세스 트랜지스터의 채널을 지나는 누설 전류가 감소된다. 예를 들어, nFET 액세스 트랜지스터의 바디는, 그의 쓰레숄드 전압을 증가시키기 위해 네거티브의 로 워드라인과 같이, 네거티브 전위로 바이어스된다.

일실시예에서, 트랜지스터의 바디는 동력학적으로 바이어스된다. 트랜지스터 바디의 바이어싱은 트랜지스터가 위치한 어레이 웰을 바이어싱함으로써 달성된다. 트랜지스터 바디는 누설을 감소시키고 보유 시간을 증가시키기 위해서 그의 게이트 V_T 를 증가시키는 비-동작 모드로 바이어스된다. 액세스 트랜지스터의 바디 전압은 그의 전류 조정성(drivability)을 증가시키기 위해 게이트 V_T 를 감소시키는 동작 모드로 동력학적으로 변한다. 따라서, 트랜지스터 바디의 동력학적인 바이어싱의 장점은 장치 성능을 개선시키고 누설 전류를 감소시킨다. 트랜지스터 바디의 동력학적 바이어싱은 저전력 및 절연체 위의 실리콘(SOI) 적용에 특히 유용하다.

nFET의 경우에, 트랜지스터 바디는 그의 V_T 를 증가시키기 위해 비-동작 모드인 네거티브 전위로 바이어스되고 그의 V_T 를 감소시키기 위해 동작 모드로 동력학적으로 증가된다. nFET 바디는 예를 들어, 약 -0.5V의 비-동작 모드와 약 0V의 동작 모드로 바이어스된다. pFET의 경우, 바이어스 전압의 극성은 그에 따라 변한다.

일실시예에서, 트랜지스터 바디는 트랜지스터가 위치한 기판의 웰을 바이어싱함으로써 바이어스될 수 있다. 선택적으로, 트랜지스터 바디는 부동된다. 이러한 응용에서, 트랜지스터 바디는 워드라인 또는 바이어스 소스와 바디를 직접적으로 연결함으로써 바이어스될 수 있다. 이는 특히 6F² 또는 그 이하 셀 설계에서 유용하다.

또다른 실시예에서, 비트라인에 연결된 기준 전압은 설명된 플레이트라인 감지 설계의 동작을 개선시키기 위해 동력학적으로 제어된다.

도 4는 본 발명의 일실시예에 따른 메모리 셀 동작의 타이밍 도표를 나타낸다. 비트라인(BL), 플레이트라인(PL), 워드라인(WL), 및 저장 노드(SN) 신호가 도시된다. SN 신호는 메모리 셀에 저장된 데이터를 나타낸다. BL은 전압 레벨(V_S)에서 일정하다. 시간(t_0)에서, WL은 불활성이다(논리 0으로 표시된다). 이는 저장 노드를 절연시킨다. PL은 메모리 액세스의 마런시에 V_{pleq} 와 같다.

t_1 에서, WL은 기록 동작을 개시하도록 활성화된다(논리 1로 표시된다). WL 활성화는 BL과 저장 노드를 연결하여, SN이 BL의 전압 전위로 예비충전되게 한다. PL은 셀에 기록된 데이터에 따라 적절한 전압 레벨로 충전된다. 예를 들어, PL은 1을 기록하기 위해 하이 또는 논리 1 레벨(예를 들어, 약 1-2.5V 또는 약 $2V_{pleq}$)로 또는 0을 기록하기 위해 로 또는 논리 0 레벨(예를 들어, 약 0V)로 충전된다.

t_2 에서, WL은 저장 노드를 절연시키기 위해 불활성화시킨다. 다음 액세스 준비시에, PL은 V_{pleq} 와 같다. PL과 SN 사이의 전하 커플링으로 인해, SN 전압이 영향을 받는다. PL이 $t_1 - t_2$ 동안 논리 1(예를 들어, V_{pl} 은 약 $2V_{pleq}$ 와 같다) 논리 1에 있는 경우, 커플링은 $BL - V_{pleq}$ 의 값으로 SN을 스윙 다운시킨다. PL이 $t_1 - t_2$ 동안 논리 0(약 0V)에 있는 경우, SN은 $BL + V_{pleq}$ 의 값으로 스윙 업된다.

$t_2 - t_3$ 동안, 저장 노드는 WL이 불활성이기 때문에 인접한 도체로부터 전기적으로 절연된다. 결과적으로, 셀 캐패시터 상에 전하가 유지된다.

t_3 에서, WL은 판독 동작을 수행하기 위해 활성화된다. 플레이트라인은 플로팅된다. 플레이트라인의 플로팅은 플레이트라인 절연 회로를 사용하여 감지 증폭기의 등가 회로와 절연됨으로써 달성된다. WL 활성화는 비트라인과 저장 노드를 전기적으로 연결하여, 저장 노드가 BL의 전압 전위를 갖게 한다. t_4 에서, 저장 노드와 플레이트라인 사이의 전하 커플링은 PL이 저장 노드에 저장된 정보에 따라, 풀업 또는 풀다운되게 한다. PL의 풀업 또는 풀다운은 쌍의 플레이트라인에 차동 전압을 형성한다. 예를 들어, SN이 논리 1과 같은 경우 PL은 포지티브 차동을 형성하기 위해 V_{pleq} 이상으로 풀업된다; SN이 논리 0과 같은 경우 PL은 네거티브 차동을 형성하기 위해 V_{pleq} 이하로 풀다운된다. 감지 증폭기는 $t_4 - t_5$ 동안 쌍의 플레이트라인 2개의 플레이트라인과 증폭기 사이의 차동 신호를 감지하고, 저장된 정보에 따라 논리 1 또는 논리 0으로 플레이트라인을 충전한다.

$t_5 - t_6$ 에서, 증폭된 신호는 다른 회로로 전송될 수 있다. t_6 에서 판독 동작의 완료 후에, WL은 불활성화되고 플레이트라인 이퀄라이저는 V_{pleq} 로 PL이 충전되도록 활성화된다. 저장 노드(SN)가 불활성 WL로 인해 절연되기 때문에, 저장 캐패시터 상에 전하가 유지된다. SN과 PL 사이의 전하 커플링으로 인해, 판독 동작 이전에 그의 원래의 레벨로 SN이 재저장된다. 결과적으로, 셀에 정보가 유지된다.

본 발명은 다양한 실시예를 참조로 도시하고 설명하였으나, 당업자는 본 발명의 범위 및 정신을 벗어나지 않는 한 발명의 변형 및 변조가 가능하다는 것을 알 것이다. 따라서 본 발명의 범위는 상기 설명을 기준으로 하는 것이 아니라 동등한 범위로 첨부된 청구항을 기준으로 해야한다.

(57) 청구의 범위

청구항 1.

게이트 단자와 제 1 및 제 2 접합부를 포함하는 트랜지스터와;

제 1 및 제 2 전극을 갖는 캐패시터를 포함하는데, 상기 제 1 전극은 상기 트랜지스터의 상기 제 2 접합부와 연결되며 ;

상기 제 1 접합부와 연결된 비트라인;

상기 게이트 단자와 연결된 워드라인; 및

상기 캐패시터의 상기 제 2 전극과 감지 증폭기에 연결된 플레이트라인을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 2.

제 1 항에 있어서, 상기 비트라인은 라인 형상의 피취를 포함하며, 상기 비트라인은 상기 메모리 셀을 포함하는 다수의 메모리 셀과 연결되는 것을 특징으로 하는 메모리 셀.

청구항 3.

제 2 항에 있어서, 상기 피취는 상기 워드라인에 대해 임의의 방위를 포함할 수 있는 것을 특징으로 하는 메모리 셀.

청구항 4.

제 3 항에 있어서, 상기 비트라인은 전도성 물질을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 5.

제 4 항에 있어서, 상기 전도성 물질은 금속, 도핑된 폴리실리콘, 또는 도핑된 실리콘을 포함하는 그룹에서 선택되는 것을 특징으로 하는 메모리 셀.

청구항 6.

제 5 항에 있어서, 상기 비트라인은 집적회로의 메모리 어레이의 공통 비트라인으로서의 역할을 하는 것을 특징으로 하는 메모리 셀.

청구항 7.

제 1 항에 있어서, 상기 비트라인은 상기 셀이 형성되는 기판에 형성된 매립 비트라인을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 8.

제 7 항에 있어서, 상기 매립 비트라인은 상기 트랜지스터 아래의 상기 기판에 위치되는 것을 특징으로 하는 메모리 셀.

청구항 9.

제 8 항에 있어서, 상기 매립 비트라인은 상기 기판에 고농도로 도핑된 영역을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 10.

제 9 항에 있어서, 상기 매립 비트라인은 라인 형상의 피취를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 11.

제 10 항에 있어서, 상기 피취는 상기 비트라인에 대해 임의의 방위를 포함할 수 있는 것을 특징으로 하는 메모리 셀.

청구항 12.

제 11 항에 있어서, 상기 비트라인은 집적회로의 메모리 어레이의 공통 비트라인으로서의 역할을 하는 다른 비트라인과 연결되는 것을 특징으로 하는 메모리 셀.

청구항 13.

제 9 항에 있어서, 상기 도핑된 영역은 집적회로의 메모리 어레이의 공통 비트라인으로서의 역할을 하는 웰을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 14.

제 7 항에 있어서, 상기 기판은 반도체 기판을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 15.

제 14 항에 있어서, 상기 반도체 기판은 실리콘을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 16.

제 14 항에 있어서, 상기 반도체 기판은 절연체 위의 실리콘(SOI) 기판을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 17.

제 1 항에 있어서, 상기 트랜지스터의 바디는 전압 소스와 연결되는 것을 특징으로 하는 메모리 셀.

청구항 18.

제 17 항에 있어서, 상기 전압 소스는 일정한 전압 소스를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 19.

제 18 항에 있어서, 상기 일정한 전압 소스는 누설 전류를 감소시키기 위해 상기 트랜지스터의 게이트 쓰레숄드 전압을 증가시키는 것을 특징으로 하는 메모리 셀.

청구항 20.

제 17 항에 있어서, 상기 전압 소스는 다이내믹 전압 소스를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 21.

제 20 항에 있어서, 상기 다이내믹 전압 소스는 누설 전류를 감소시키기 위해 비동작 모드로 상기 트랜지스터의 게이트 쓰레숄드 전압을 증가시키고 상기 트랜지스터의 전류 조정성을 증가시키기 위해 동작 모드로 상기 게이트 쓰레숄드 전압을 감소시키는 것을 특징으로 하는 메모리 셀.

청구항 22.

제 21 항에 있어서, 상기 트랜지스터는 nFET를 포함하고 상기 다이내믹 전압 소스는 상기 비동작 모드에서 약 -0.5V 이고 동작 모드에서는 약 0V인 것을 특징으로 하는 메모리 셀.

청구항 23.

제 1 항에 있어서, 상기 트랜지스터는 수직 트랜지스터를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 24.

제 23 항에 있어서, 상기 트랜지스터의 바디는 전압 소스와 연결되는 것을 특징으로 하는 메모리 셀.

청구항 25.

제 24 항에 있어서, 상기 전압 소스는 일정 전압 소스를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 26.

제 25 항에 있어서, 상기 일정 전압 소스는 누설 전류를 감소시키기 위해서 상기 트랜지스터의 게이트 쓰레숄드 전압을 증가시키는 것을 특징으로 하는 메모리 셀.

청구항 27.

제 24 항에 있어서, 전압 소스는 다이내믹 전압 소스를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 28.

제 27 항에 있어서, 상기 다이내믹 전압 소스는 누설 전류를 감소시키기 위해 비동작 모드로 상기 트랜지스터의 게이트 쓰레홀드 전압을 증가시키고 상기 트랜지스터의 조정성을 증가시키기 위해 상기 게이트 쓰레홀드 전압을 동작 모드로 감소시키는 것을 특징으로 하는 메모리 셀.

청구항 29.

제 28 항에 있어서, 상기 트랜지스터는 nFET를 포함하고 상기 다이내믹 전압 소스는 상기 비동작 모드에서 약 -0.5V 이고 상기 동작 모드에서 약 0V인 것을 특징으로 하는 메모리 셀.

청구항 30.

제 29 항에 있어서, 상기 캐패시터는 스택 캐패시터인 것을 특징으로 하는 메모리 셀.

청구항 31.

제 1 항에 있어서, 상기 플레이트라인을 통해 상기 캐패시터에 데이터를 저장 또는 상기 캐패시터로부터 데이터를 판독하는 것을 특징으로 하는 메모리 셀.

청구항 32.

제 1 항 내지 제 31 항중 어느 한 항에 있어서, 상기 캐패시터는 트렌치 캐패시터인 것을 특징으로 하는 메모리 셀.

청구항 33.

제 32 항에 있어서, 상기 플레이트라인은 정보를 감지하기 위한 감지 증폭기와 연결되는 것을 특징으로 하는 메모리 셀.

청구항 34.

제 33 항에 있어서, 상기 플레이트라인을 통해 상기 캐패시터에 데이터를 저장 또는 상기 캐패시터로부터 데이터를 판독하는 것을 특징으로 하는 메모리 셀.

청구항 35.

제 1 항에 있어서, 상기 불활성 모드의 상기 워드라인은 상기 트랜지스터를 통해 누설 전류를 감소시키는 로 전압 전위 워드라인을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 36.

제 35 항에 있어서, 상기 트랜지스터는 nFET를 포함하고 상기 워드라인 로 전압 전위는 네거티브 전압 전위를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 37.

제 36 항에 있어서, 상기 네거티브 전압 전위는 약 -0.1 내지 -1V인 것을 특징으로 하는 메모리 셀.

청구항 38.

메모리 셀의 캐패시터의 제 1 전극과 연결된 플레이트라인을 통해 메모리 셀로부터 정보를 감지하는 단계를 포함하는 것을 특징으로 하는 메모리 셀 작동 방법.

청구항 39.

제 38 항에 있어서, 상기 메모리 셀로부터 정보를 감지하는 단계는,

상기 캐패시터의 비트라인과 제 2 전극 사이에 전기적 경로를 제공하도록 상기 메모리 셀의 트랜지스터를 활성화시켜 상기 캐패시터가 상기 비트라인의 일정 전압과 같은 전압 전위를 갖게 하는 단계; 및

상기 비트라인과 상기 캐패시터를 절연시키기 위해 상기 트랜지스터를 불활성화시키는 단계를 포함하며, 상기 캐패시터와 플레이트라인 사이의 커플링은 상기 캐패시터 또는 상기 플레이트라인의 전압에 영향을 주는 것을 특징으로 하는 메모리 셀 작동 방법.

청구항 40.

제 39 항에 있어서, 상기 메모리 셀로부터 정보를 감지하도록 마련하기 위해 상기 트랜지스터를 활성화시키기 이전에 균일해진 전압과 플레이트라인을 균일화시키는 단계를 포함하는 것을 특징으로 하는 메모리 셀 작동 방법.

청구항 41.

제 38 항에 있어서, 상기 감지 단계는,

균일해진 전압과 플레이트라인을 균일화시키는 단계;

저장 노드와 비트라인을 연결하기 위해 트랜지스터를 활성화시켜 저장 노드의 전위를 일정한 전압과 같게 하는 단계;

상기 저장 노드를 절연시키기 위해 워드라인을 불활성화시키는 단계를 포함하는 판독 동작을 포함하는 것을 특징으로 하는 메모리 셀 작동 방법.

청구항 42.

제 41 항에 있어서, 상기 판독 동작은 상기 플레이트라인을 포함하는 플레이트라인 쌍과 보충 플레이트라인 상에서 차동 전압을 감지하는 단계를 더 포함하는 것을 특징으로 하는 메모리 셀 작동 방법.

청구항 43.

제 38 항에 있어서, 상기 감지 단계는,

상기 저장 노드와 비트라인을 연결하기 위해 상기 트랜지스터를 활성화시켜 상기 저장 노드의 전위를 일정 전압과 같게 만드는 단계;

상기 메모리 셀속으로 기록되는 데이터를 나타내는 플레이트라인 전압 레벨로 플레이트라인을 충전하는 단계;

상기 저장 노드를 절연시키기 위해 상기 워드라인을 불활성화시키는 단계를 포함하는 기록 동작을 포함하며,

상기 플레이트라인 전압은 상기 플레이트라인과 캐패시터 사이의 커플링으로 인해 상기 캐패시터의 전압에 영향을 주는 것을 특징으로 하는 메모리 셀 작동 방법.

청구항 44.

제 43 항에 있어서, 상기 캐패시터의 전압에 영향을 주기 위해 상기 워드라인을 불활성화시킨 후 균일해진 전압과 상기 플레이트라인을 같게 하는 단계를 더 포함하는 것을 특징으로 하는 메모리 셀 작동 방법.

청구항 45.

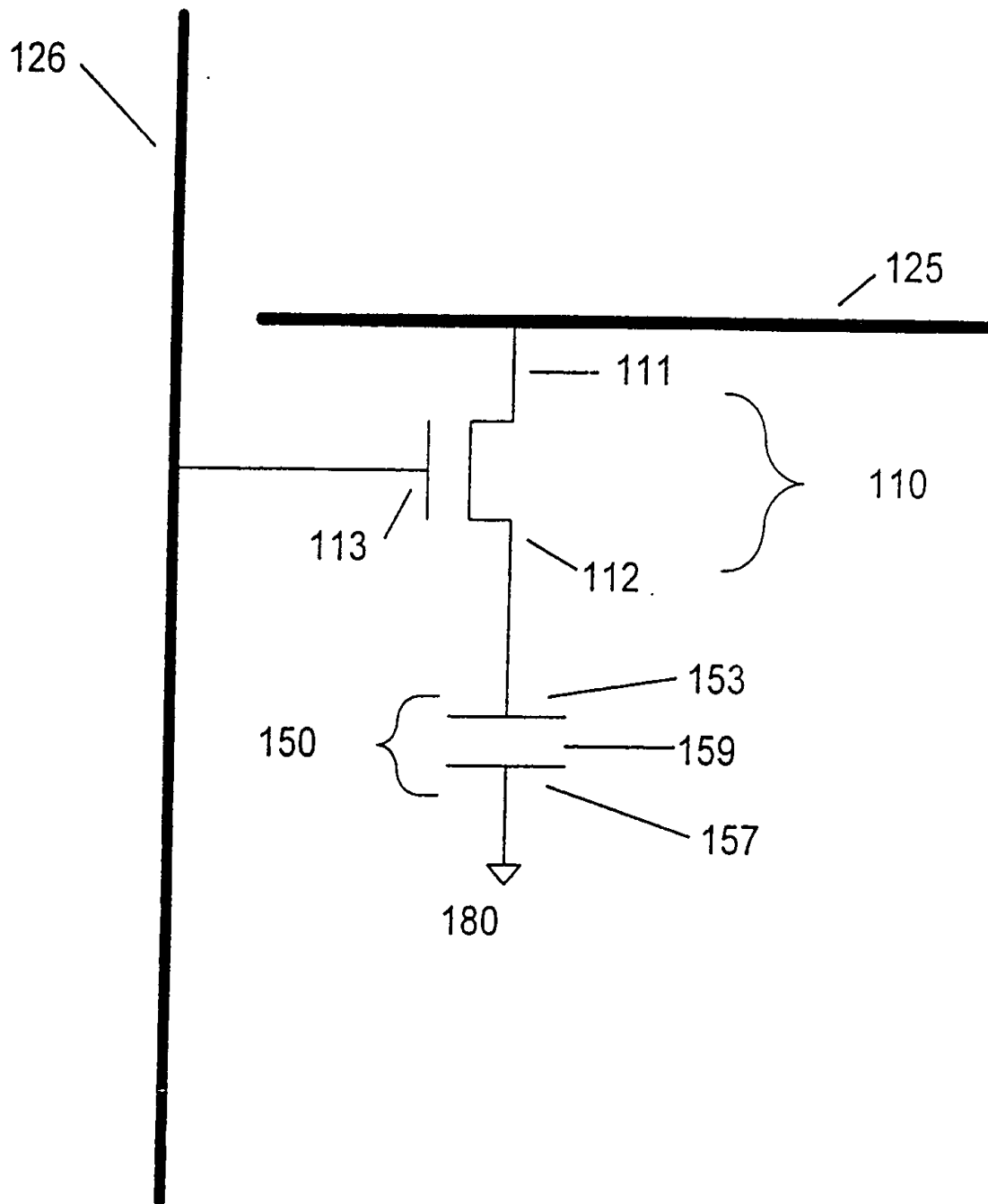
제 1 항에 있어서, 상기 워드라인은 상기 워드라인이 상기 워드라인 전위를 불활성화시키는 경우 0V와 다르게 활성화 되는 것을 특징으로 하는 메모리 셀 작동 방법.

청구항 46.

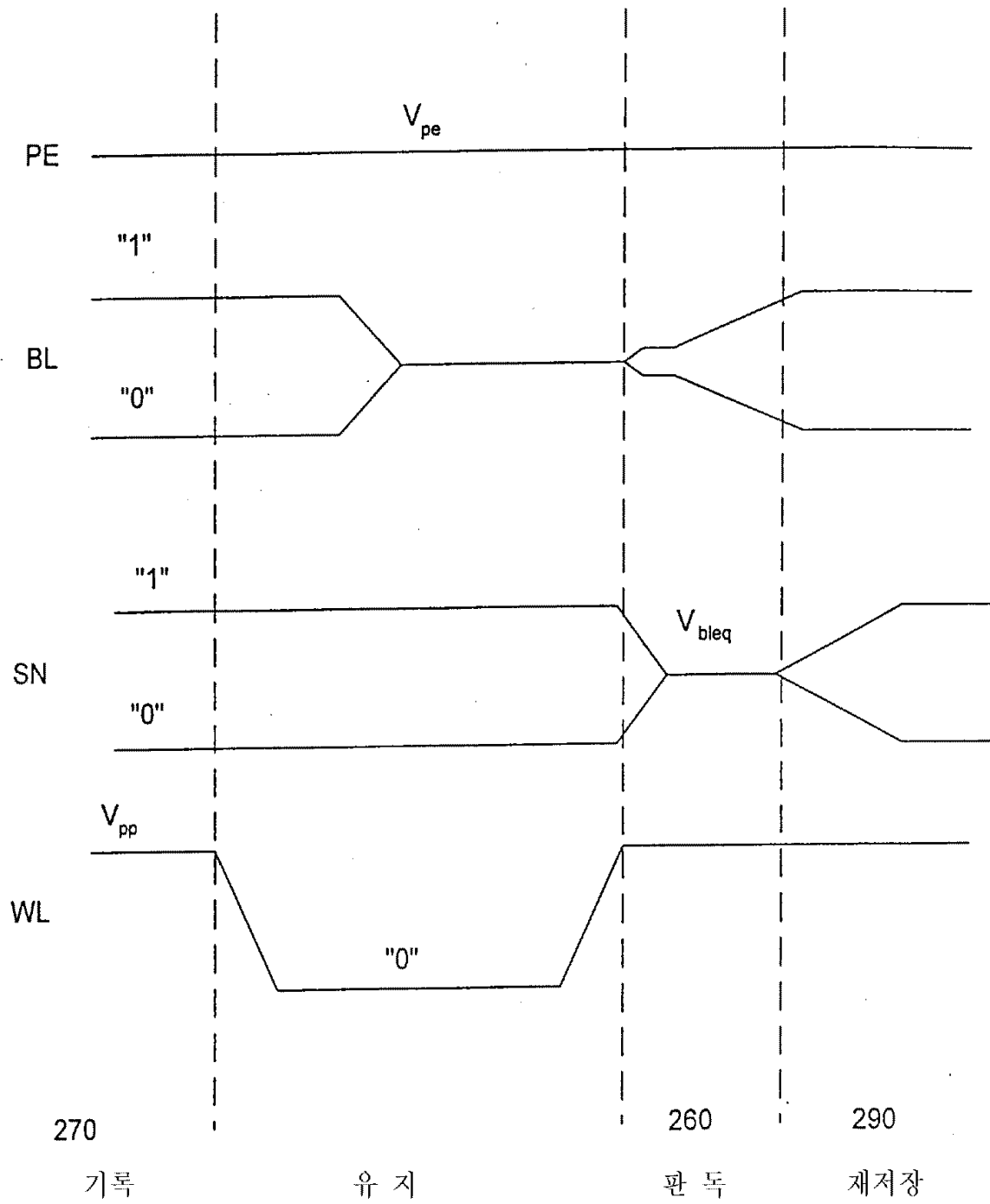
제 36 항에 있어서, 상기 워드라인이 0과 다른 전압에서 불활성화될 워드라인 전위를 갖는 단계를 더 포함하는 것을 특징으로 하는 메모리 셀 작동 방법.

도면

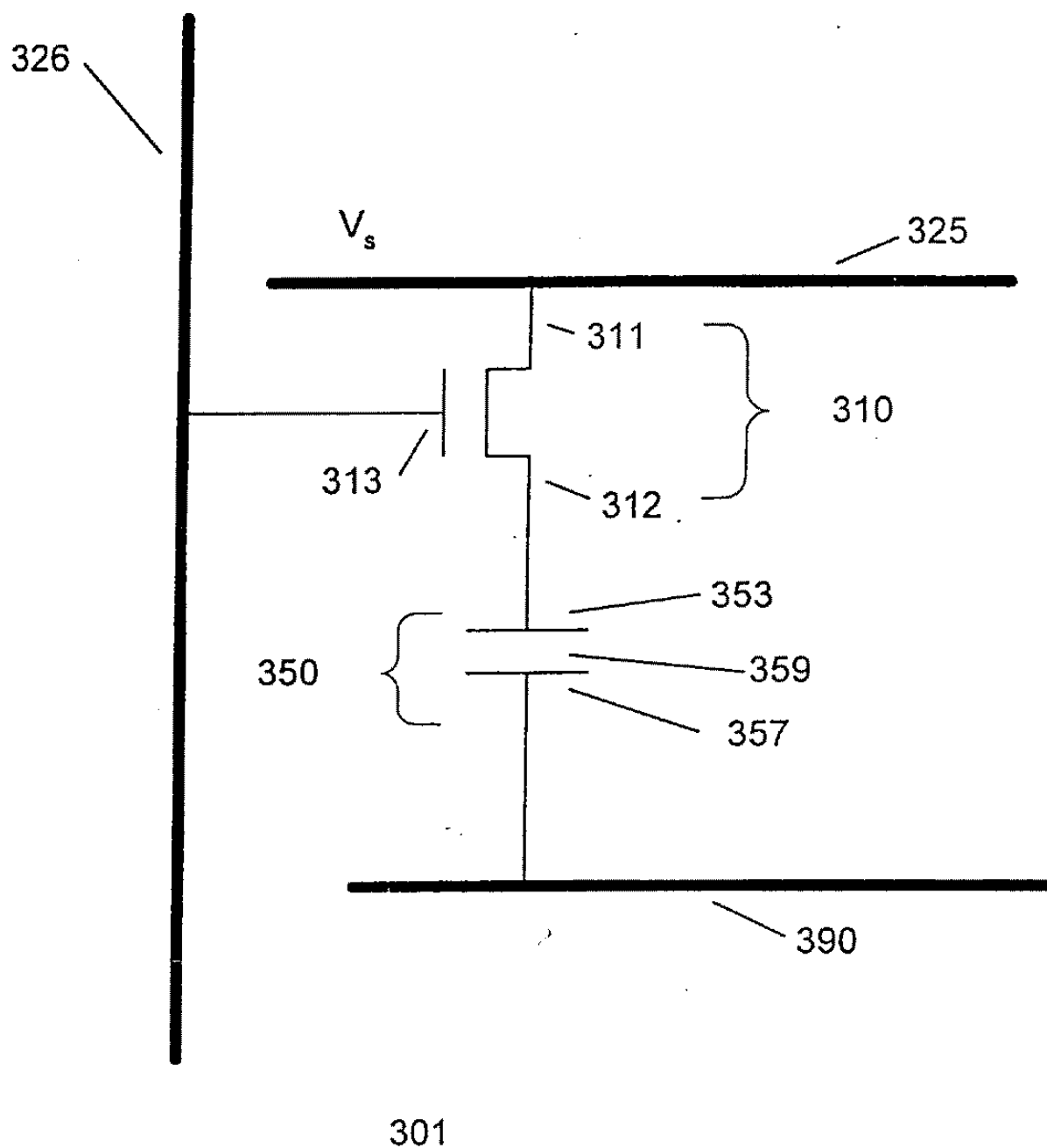
도면 1



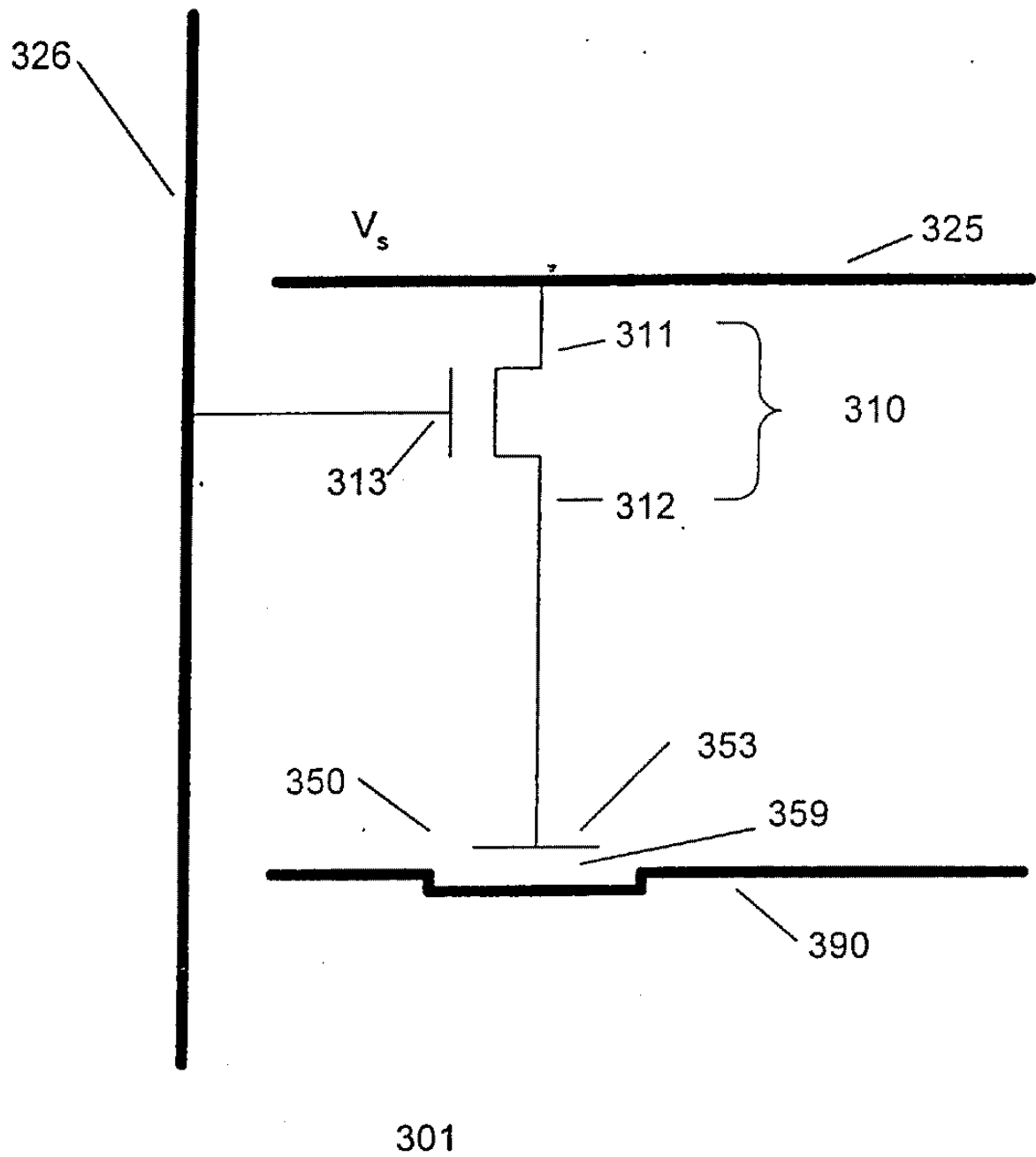
도면 2



도면 3a



도면 3b



도면 4

