



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0030736
(43) 공개일자 2009년03월25일

(51) Int. Cl.

H03K 17/687 (2006.01)

(21) 출원번호 10-2007-0096240

(22) 출원일자 2007년09월21일

심사청구일자 2007년09월21일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤광섭

인천 남구 용현3동 인하대학교 전자공학과 하이테크관 810호

김석진

인천 남구 용현1동 66-19 305호

(74) 대리인

이은철, 유완식

전체 청구항 수 : 총 3 항

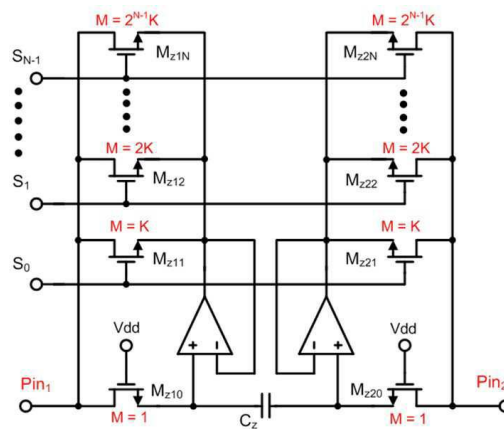
(54) 디지털 제어 커패시터 체배기

(57) 요약

본 발명은 디지털 제어 커패시터 체배기에 관한 것으로서, 작은 용량의 커패시터를 증폭하여 큰 용량의 등가 커패시턴스를 얻을 수 있고, 가변 스위칭 주파수 동작에 대응할 수 있도록 디지털적으로 그 크기를 조절할 수 있는 디지털 제어 커패시터 체배기를 제공함에 그 특징적인 목적이 있다.

이러한 목적을 달성하기 위한 본 발명은, 서로 다른 크기의 우회전류가 흐르는 MOS 트랜지스터가 N개의 단으로 병렬 연결되어 있으며, N비트의 이진 디지털 신호 $S_{N-1}, S_{N-2}, \dots, S_2, S_1, S_0$ 를 통해 제어되는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

커패시터 Cz를 통해 흐르는 전류 Ic1을 MOS 트랜지스터 Mz1과 Mz2를 통하여 감지하고 K배 만큼 우회해 흐를 수 있도록 MOS 트랜지스터 Mz3와 Mz4의 게이트 폭을 Mz1과 Mz2의 K배 만큼 크게 설계되며 있으며, 각 MOS 트랜지스터의 게이트에 VDD가 바이어스되어 소스-드레인 전압이 같으므로 K배 전류복제가 일어나는 디지털 제어 커패시터 체배기에 있어서,

서로 다른 크기의 우회전류가 흐르는 MOS 트랜지스터가 N개의 단으로 병렬 연결되어 있으며, N비트의 이진 디지털 신호 $S_{N-1}, S_{N-2}, \dots, S_2, S_1, S_0$ 를 통해 제어되는 것을 특징으로 하는 디지털 제어 커패시터 체배기.

청구항 2

제 1 항에 있어서,

상기 디지털 제어 커패시터 체배기는,

MOS 트랜지스터의 단이 증가할 때마다 MOS 트랜지스터의 크기($\frac{W}{L}$)가 2의 배수만큼 커지는 것을 특징으로 하는 디지털 제어 커패시터 체배기.

청구항 3

제 1 항에 있어서,

상기 디지털 제어 커패시터 체배기는,

디지털 신호를 각 MOS 트랜지스터의 게이트에 입력함으로써 선형영역에서 동작하는 MOS 트랜지스터를 결정하고, 전체 MOS 트랜지스터 게이트 폭의 합을 디지털 적으로 제어하는 것을 특징으로 하는 디지털 제어 커패시터 체배기.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 커패시터 체배기에 관한 것으로서, 더욱 상세하게는 작은 용량의 커패시터를 증폭하여 큰 용량의 등가 커패시턴스를 얻을 수 있고, 가변 스위칭 주파수 동작에 대응할 수 있도록 디지털적으로 그 크기를 조절할 수 있는 디지털 제어 커패시터 체배기에 관한 것이다.

배경기술

- <2> 일반적으로, 가변 스위칭 주파수에서 동작하는 DC-DC 변환기는 고정된 스위칭 주파수에서 동작하는 DC-DC 변환기의 EMI를 분산시켜 EMI 레벨을 낮춰주는 역할을 할 수 있다. 그러나 이는 PWM 구동을 하는 DC-DC 변환기에서 가변된 스위칭 주파수에 맞는 보상회로를 필요로 한다.
- <3> 보상회로는 DC-DC 변환기의 안정성을 담당하는 회로로서, 되먹임 동작에 중요한 역할을 하는 블록이다. 그러나, 이러한 보상회로에는 큰 용량의 커패시터가 사용되므로, 보통 칩 외부에 수동소자를 통해 설계되는데 이는 가격 상승의 요인이 되며 칩 내부에 설계하였을 때 너무 많은 면적을 차지하는 문제점을 가지고 있다.

발명의 내용

해결하고자하는 과제

- <4> 본 발명은 상기한 문제점을 해결하기 위하여 창안된 것으로서, 작은 용량의 커패시터를 증폭하여 큰 용량의 등가 커패시턴스를 얻을 수 있고, 가변 스위칭 주파수 동작에 대응할 수 있도록 디지털적으로 그 크기를 조절할

수 있는 디지털 제어 커패시터 체배기를 제공함에 그 특징적인 목적이 있다.

과제 해결수단

- <5> 이러한 목적을 달성하기 위한 본 발명은, 서로 다른 크기의 우회전류가 흐르는 MOS 트랜지스터가 N개의 단으로 병렬 연결되어 있으며, N비트의 이진 디지털 신호 $S_{N-1}, S_{N-2}, \dots, S_2, S_1, S_0$ 를 통해 제어되는 것을 특징으로 한다.
- <6> 또한 바람직하게 상기 디지털 제어 커패시터 체배기는, MOS 트랜지스터의 단이 증가할 때마다 MOS 트랜지스터의 크기가 2의 배수만큼 커지는 것을 특징으로 한다.
- <7> 그리고 바람직하게 상기 디지털 제어 커패시터 체배기는, 디지털 신호를 각 MOS 트랜지스터의 게이트에 입력함으로써 선형영역에서 동작하는 MOS 트랜지스터를 결정하고, 전체 MOS 트랜지스터 게이트 폭의 합을 디지털 적으로 제어하는 것을 특징으로 한다.

효 과

- <8> 상기와 같은 본 발명에 따르면, 우회전류가 흐르도록 크기가 서로 다른 MOS 트랜지스터를 N비트의 이진 디지털 신호를 통해 제어함으로써, 원하는 큰 용량의 등가 커패시턴스를 얻을 수 있는 효과가 있다.
- <9> 그리고 본 발명에 따르면, DC-DC 변환기의 가변 스위칭 주파수 동작에 대응할 수 있는 효과도 있다.

발명의 실시를 위한 구체적인 내용

- <10> 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 할 것이다. 또한, 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.

- <11> 이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명한다.

- <12> 도 1 은 본 발명에 따른 디지털 제어 커패시터 체배기의 기반이 되는 양방향 커패시터 체배기 회로도로서, 도시된 바와 같이 커패시터 C_z 를 통해 흐르는 전류 I_{c1} 을 MOS 트랜지스터 M_{z1} 과 M_{z2} 를 통하여 감지하고 K배 만큼 우회해 흐를 수 있도록 MOS 트랜지스터 M_{z3} 와 M_{z4} 의 게이트 폭을 M_{z1} 과 M_{z2} 의 K배 만큼 크게 설계한다. 이 네 개의 MOS 트랜지스터($M_{z1}, M_{z2}, M_{z3}, M_{z4}$)는 게이트에 VDD를 바이어스 함으로써 선형영역 동작을 보장하고 소스-드레인 전압이 같으므로 [수학식 1] 및 [수학식 2]에 의해 K배 전류복제가 일어난다.

- <13> [수학식 1]

$$I_{c1} = K_n' \left(\frac{W}{L} \right)_{M_{z1}, M_{z2}} (V_{gs} - V_{th}) V_{ds}$$

- <14>

- <15>

- <16> [수학식 2]

$$I_{c2} = K_n' \left(\frac{W}{L} \right)_{M_{z3}, M_{z4}} (V_{gs} - V_{th}) V_{ds} = K_n' K \left(\frac{W}{L} \right)_{M_{z1}, M_{z2}} (V_{gs} - V_{th}) V_{ds}$$

- <17>

- <18> 도 2 는 본 발명에 따른 디지털 제어 커패시터 체배기의 회로도로서, 도시된 바와 같이, 서로 다른 크기의 우회전류가 흐르는 MOS 트랜지스터가 N개의 단으로 병렬연결되며, N비트의 이진 디지털 신호 $S_{N-1}, S_{N-2}, \dots, S_2, S_1, S_0$ 를 통해 제어할 수 있도록 설계하였다.

- <19> MOS 트랜지스터의 단이 증가할 때마다 MOS 트랜지스터의 크기($\frac{W}{L}$)는 2의 배수만큼 커지며 디지털 신호를 각 MOS 트랜지스터의 게이트에 입력하여 선형영역에서 동작하는 MOS 트랜지스터를 결정하고 전체 MOS 트랜지스터 게이트 폭의 합을 디지털적으로 제어할 수 있다.

<20> 이로 인해 우회전류 i_{c2} 의 크기는 디지털 신호에 의해 조절되어 [수학식 3]에 의해 등가 커패시턴스 C_{eq} 의 값을 조절한다.

<21> [수학식 3]

$$i_{c1} = C_z \frac{dv_c}{dt}$$

$$i_{c2} = (K(S_{N-1}2^{N-1} + S_{N-2}2^{N-2} \dots + S_22^2 + S_12 + S_0) + 1)i_{c1}$$

$$= (K(S_{N-1}2^{N-1} + S_{N-2}2^{N-2} \dots + S_22^2 + S_12 + S_0) + 1)C_z \frac{dv_c}{dt}$$

$$C_{eq} = (K(S_{N-1}2^{N-1} + S_{N-2}2^{N-2} \dots + S_22^2 + S_12 + S_0) + 1)C_z$$

<22> 이와 같이 증폭된 등가 커패시턴스의 크기변화를 확인하기 위해 도 3에 나타낸 바와 같은 Type I 보상기를 구성하였다.

<24> 보상기에 사용된 디지털 제어 커패시터 체배기에는, 3비트의 디지털 신호 S_2, S_1, S_0 이 001부터 111까지 입력되어 42부터 282pF까지 등가 커패시턴스의 크기를 체배한다. 이렇게 체배된 등가 커패시턴스는 Type I 보상기의 단위이득 주파수를 통해 확인할 수 있다. 단위이득 주파수에 따른 등가 커패시턴스의 크기는 [수학식 4]에 의해 얻을 수 있다.

<25> [수학식 4]

$$F_{unit-gain} = \frac{1}{2\pi RC_{eq}} \Rightarrow C_{eq} = \frac{1}{2\pi RF_{unit-gain}}$$

<26> 도 4는 본 발명에 따른 디지털 입력에 따른 Type I 보상기의 주파수 응답 특성을 나타낸 그래프로서, 도시된 바와 같이 디지털 입력에 따른 등가 커패시턴스 변화에 맞춰 단위이득 주파수의 위치가 달라지는 것을 확인할 수 있다.

<28> 디지털 제어 커패시터 체배기(100)의 디지털 신호의 입력에 따른 변화는 [표 1]과 같이 정리할 수 있으며 도 5 및 도 6을 통해 계산된 등가 커패시턴스 값과 모의실험을 통해 측정된 등가 커패시턴스 값의 비교 및 상대오차를 확인할 수 있다.

	디지털신호 S_2, S_1, S_0	체배율	계산된 등가 커패시턴스 (pF)	계산된 단위이득 주파수 (kHz)	측정된 단위이득 주파수 (kHz)	측정된 등가 커패시턴스 (pF)	상대오차 (%)
1	0 0 1	20	42	37.894	36.590	43	3.56
2	0 1 0	40	82	19.409	18.888	84	2.76
3	0 1 1	60	122	13.045	12.798	124	1.93
4	1 0 0	80	162	9.8244	9.7181	164	1.09
5	1 0 1	100	202	7.8790	7.8585	203	0.26
6	1 1 0	120	242	6.5767	6.6140	241	0.56
7	1 1 1	140	282	5.6438	5.7229	278	1.38

<30> [표 1] 디지털 제어 커패시터 체배기의 디지털 신호 입력에 따른 변화표

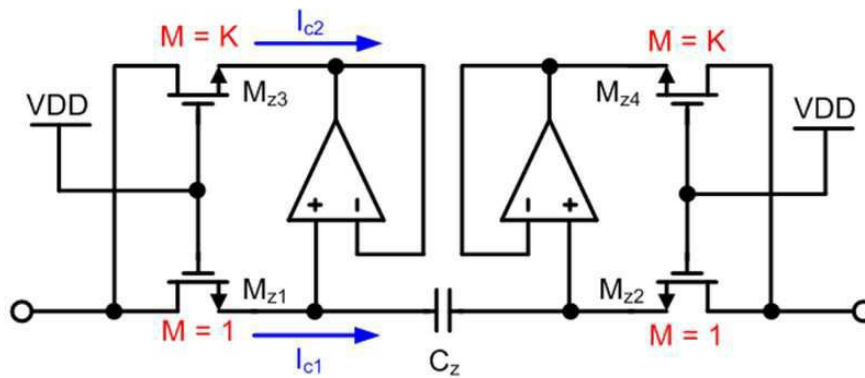
<31> 이상으로 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

도면의 간단한 설명

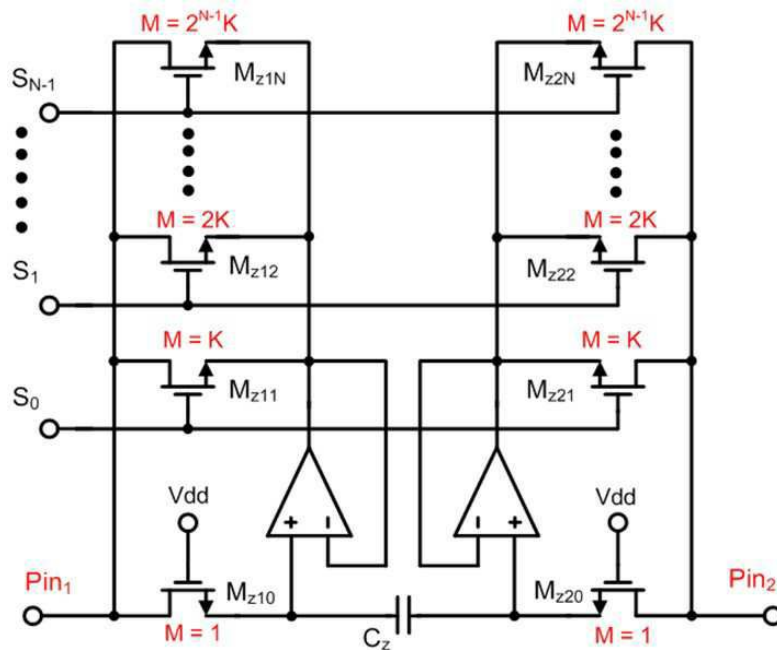
- <32> 도 1 은 본 발명에 따른 디지털 제어 커패시터 체배기의 기반이 되는 양방향 커패시터 체배기에 관한 회로도.
- <33> 도 2 는 본 발명에 따른 디지털 제어 커패시터 체배기에 관한 회로도.
- <34> 도 3 은 본 발명에 따른 디지털 제어 커패시터 체배기에 의해 증폭된 등가 커패시턴스의 크기변화를 확인하기 위한 Type I 보상기에 관한 회로도.
- <35> 도 4 는 본 발명에 따른 디지털 입력에 따른 Type I 보상기의 주파수 응답 특성에 관한 그래프.
- <36> 도 5 는 본 발명에 따른 등가 커패시터의 계산 값과 모의실험 결과와의 비교 그래프.
- <37> 도 6 은 본 발명에 따른 등가 커패시터의 계산 값과 모의실험 결과와의 상대오차를 나타내는 그래프.

도면

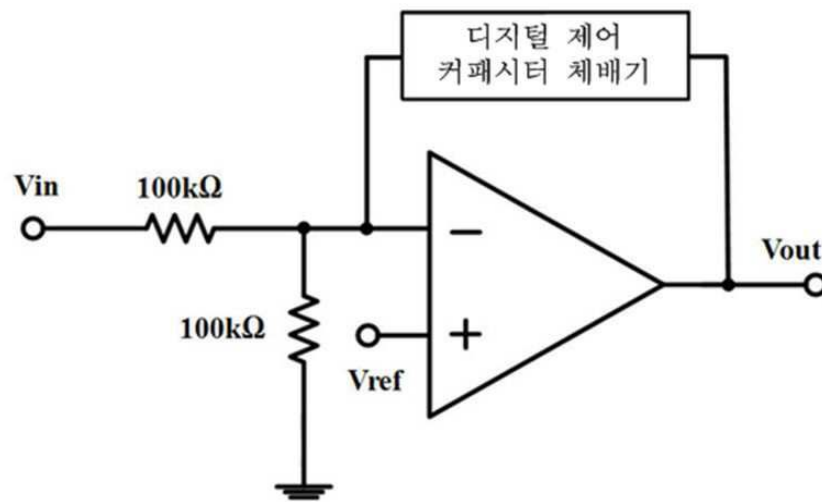
도면1



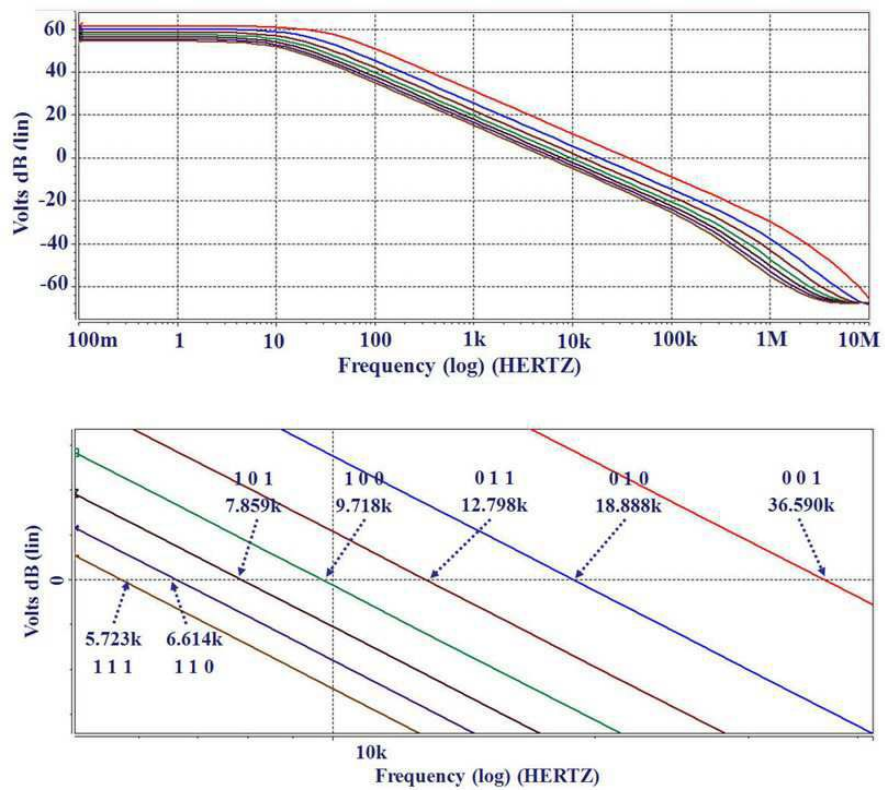
도면2



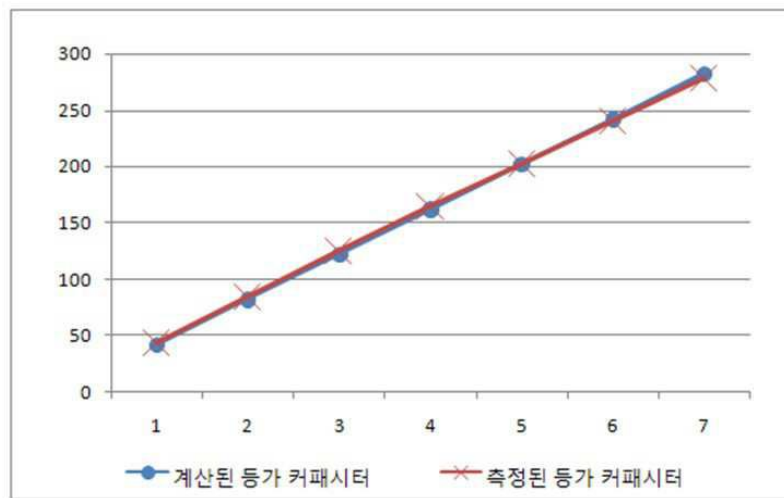
도면3



도면4



도면5



도면6

