



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0031945
(43) 공개일자 2018년03월29일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(52) CPC특허분류

H01L 29/7869 (2013.01)

H01L 29/78606 (2013.01)

(21) 출원번호 10-2016-0120447

(22) 출원일자 2016년09월21일

심사청구일자 2016년09월21일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

성태연

서울특별시 서초구 신반포로33길 64, 1동 506호

김대현

서울특별시 동대문구 약령시로 154, 3동 105호

이지윤

부산광역시 북구 금곡대로 166, 604동 1504호

(74) 대리인

정은열

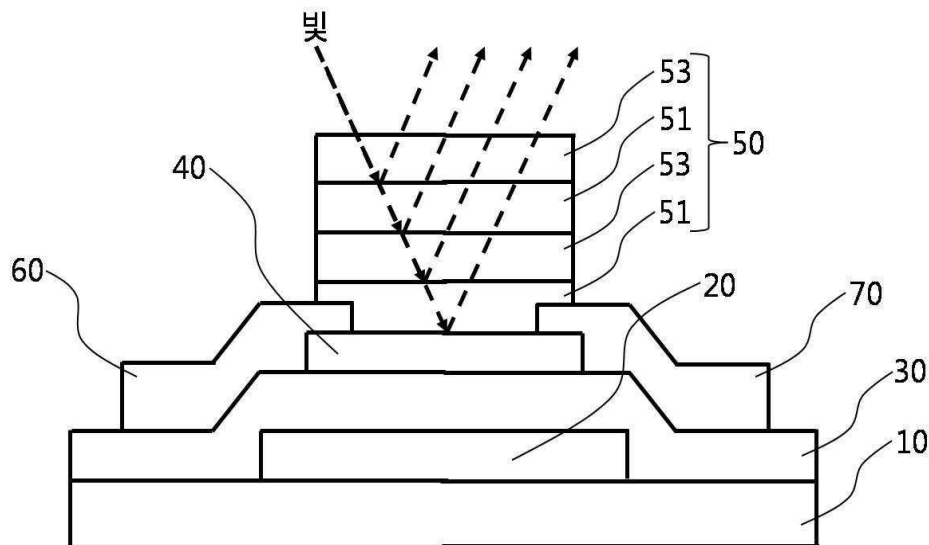
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 박막 트랜지스터

(57) 요약

본 발명은 박막 트랜지스터에 관한 것으로, 본 발명의 실시예에 따른 박막 트랜지스터는 기판(10), 기판(10) 상에 적층 형성되는 게이트전극(20), 게이트전극(20)의 상부에 형성되는 게이트 절연층(30), 게이트 절연층(30)의 상부에, 산화물 반도체가 배치되어 형성되는 채널층(40), 채널층(40) 상에, 굴절률이 서로 다른 다수의 물질이 층(layer)를 형성하며, 교대로 번갈아 적층되는 패시베이션층(50), 채널층(40)의 일측에 접촉되는 소스전극(60), 및 채널층(40)의 타측에 접촉되는 드레인전극(70)을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78618 (2013.01)

H01L 29/78696 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 적층 형성되는 게이트전극;

상기 게이트전극의 상부에 형성되는 게이트 절연층;

상기 게이트 절연층의 상부에, 산화물 반도체가 배치되어 형성되는 채널층;

상기 채널층 상에, 굴절률이 서로 다른 다수의 물질이 층(layer)를 형성하며, 교대로 번갈아 적층되는 패시베이션층;

상기 채널층의 일측에 접촉되는 소스전극; 및

상기 채널층의 타측에 접촉되는 드레인전극;

을 포함하는 박막 트랜지스터.

청구항 2

청구항 1에 있어서,

상기 패시베이션층은

상대적으로 굴절률이 큰 제1 물질층, 및 상대적으로 굴절률이 작은 제2 물질층을 포함하고,

상기 제1 물질층과 상기 제2 물질층이 서로 교대로 적층되는 박막 트랜지스터.

청구항 3

청구항 2에 있어서,

상기 패시베이션층은

상기 제1 물질층과 상기 제2 물질층을 한 쌍으로 할 때에, 적어도 4 쌍 이상이 적층되는 박막 트랜지스터.

청구항 4

청구항 2에 있어서,

상기 제1 물질층은 TiO_2 , $BaTiO_3$, Y_2O_3 , Si_2N_4 , 및 SiO 중 적어도 어느 하나 이상으로 이루어지고,

상기 제2 물질층은 SiO_2 , Al_2O_3 , 및 MgO 중 적어도 어느 하나 이상으로 이루어지는 박막 트랜지스터.

청구항 5

청구항 2에 있어서,

상기 제1 물질층과 상기 제2 물질층은 각각의 두께가 서로 다른 박막 트랜지스터.

청구항 6

청구항 2에 있어서,

어느 한 쌍의 상기 제1 물질층과 다른 한 쌍의 상기 제1 물질층은 서로 다른 물질로 이루어지는 박막 트랜지스터.

청구항 7

청구항 2에 있어서,

어느 한 쌍의 상기 제2 물질층과 다른 한 쌍의 상기 제2 물질층은 서로 다른 물질로 이루어지는 박막 트랜지스터.

청구항 8

청구항 1에 있어서,

상기 패시베이션층은 460 nm 이하의 단파장 영역대의 빛을 반사시키는 박막 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터에 관한 것이다.

배경 기술

[0002] 차세대 반도체 분야에서 가장 뜨겁게 성장하고 있는 산업 분야가 바로 산화물 박막 트랜지스터(thin film transistor, TFT) 분야이다. 특히 투명 디스플레이나 플렉서블 디스플레이, 3D-디스플레이와 같은 차세대 디스플레이의 TFT로서 많은 주목을 받고 있다. 종래에는 디스플레이의 백플레인으로 사용되는 TFT가 비정질 실리콘을 기반으로 하였으나, 높은 이동도를 요구하는 UD (ultra definition), 3D (3-dimensional) 디스플레이에서 화면을 구동시키기 위한 스위칭 소자로서 이동도에 제약이 있기 때문에, 최근에는 하기 선행기술문헌의 특허문에 개시된 바와 같이, 비정질 산화물 트랜지스터가 사용되고 있다.

[0003] 산화물 반도체는 비정질이지만 높은 이동도를 가지고 있으며, 밴드갭이 커서 투명성을 가지므로, 비정질 산화물 TFT는 대면적 고해상도 디스플레이에 적합하고, 결정질 실리콘 TFT에 비해서 상대적으로 균일도가 우수하여 모바일 기기용 소형 패널에서부터 TV용 대형 패널에 이르기까지 향후 적용 범위가 확대될 것으로 예상된다.

[0004] 그러나, 고해상도의 AMOLED나 LCD 디스플레이 등에 사용되는 산화물 TFT는 디스플레이의 각 픽셀에서의 광원을 제어하지만, 각각의 픽셀에서 나오는 빛에 의해 문턱전압(V_{th})이 변하여, 소자의 안정성 및 신뢰도를 떨어뜨리는 문제가 있다.

[0005] 구체적으로, 산화물 반도체보다 높은 에너지의 빛이 들어오게 되면, 전자-정공 쌍(Electron-Hole Pair)이 생기고, 여기에서 스위치 소자에 음의 전압을 걸어주면, 인력에 의해 게이트 절연체와 반도체 사이의 계면에서 정공이 트랩(trap)되고, 이러한 Hole Trap으로 인해 문턱전압이 음의 방향으로 이동하게 된다. 대략 2.7 eV의 가전도대 영역 이하의 빛을 조사하였을 때에, 빛에 의해 유도된 중성 v_o 가 v_o^{2+} 로 이온화되면서 전도대에 전자를 제공하고, Fermi level 위쪽으로 에너지 레벨이 높아진다. 이러한 반응에 의해 자유전자가 많이 생기면, n-type 도핑을 한 것과 같은 효과가 발생하여, 낮은 게이트 전압에도 쉽게 전류가 도통되어 transfer curve의 문턱전압이 음의 방향으로 변화한다. 파장대 별로 신뢰성을 측정해 보았을 때에 460 nm(2.7eV) 이하의 파장 영역에서 더욱 급격한 문턱전압의 변화가 일어나므로, 단파장에서 특히 취약하다는 것을 알 수 있다. 또한, 디스플레이에서 나오는 백색광은 모든 파장 영역을 포함하고 있기 때문에 게이트 절연체/채널 계면의 Hole Trap과 oxygen vacancy의 이온화에 의한 donor 증가의 영향도 동시에 받게 된다.

[0006] 이에, 종래 비정질 산화물 박막 트랜지스터의 문제점을 해결하기 위한 방안이 절실히 요구되고 있는 실정이다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) KR 10-2011-0070560 A

발명의 내용

해결하려는 과제

[0008] 본 발명은 상술한 종래기술의 문제점을 해결하기 위한 것으로, 본 발명의 일 측면은 굴절률이 서로 다른 물질층(layer)이 교대로 적층된 패시베이션층이 채널층 상에 배치되어, 특정한 파장 영역대의 광을 반사시키는 Bottom Gate 구조의 비정질 산화물 박막 트랜지스터를 제공하기 위한 것이다.

과제의 해결 수단

[0009] 본 발명의 실시예에 따른 박막 트랜지스터는 기판; 상기 기판 상에 적층 형성되는 게이트전극; 상기 게이트전극의 상부에 형성되는 게이트 절연층; 상기 게이트 절연층의 상부에, 산화물 반도체가 배치되어 형성되는 채널층; 상기 채널층 상에, 굴절률이 서로 다른 다수의 물질이 층(layer)을 형성하며, 교대로 번갈아 적층되는 패시베이션층; 상기 채널층의 일측에 접촉되는 소스전극; 및 상기 채널층의 타측에 접촉되는 드레인전극;을 포함한다.

[0010] 또한, 본 발명의 실시예에 따른 박막 트랜지스터에 있어서, 상기 패시베이션층은 상대적으로 굴절률이 큰 제1 물질층, 및 상대적으로 굴절률이 작은 제2 물질층을 포함하고, 상기 제1 물질층과 상기 제2 물질층이 서로 교대로 적층된다.

[0011] 또한, 본 발명의 실시예에 따른 박막 트랜지스터에 있어서, 상기 패시베이션층은 상기 제1 물질층과 상기 제2 물질층을 한 쌍으로 할 때에, 적어도 4 쌍 이상이 적층된다.

[0012] 또한, 본 발명의 실시예에 따른 박막 트랜지스터에 있어서, 상기 제1 물질층은 TiO_2 , BaTiO_3 , Y_2O_3 , Si_2N_4 , 및 SiO 중 적어도 어느 하나 이상으로 이루어지고, 상기 제2 물질층은 SiO_2 , Al_2O_3 , 및 MgO 중 적어도 어느 하나 이상으로 이루어진다.

[0013] 또한, 본 발명의 실시예에 따른 박막 트랜지스터에 있어서, 상기 제1 물질층과 상기 제2 물질층은 각각의 두께가 서로 다르다.

[0014] 또한, 본 발명의 실시예에 따른 박막 트랜지스터에 있어서, 어느 한 쌍의 상기 제1 물질층과 다른 한 쌍의 상기 제1 물질층은 서로 다른 물질로 이루어진다.

[0015] 또한, 본 발명의 실시예에 따른 박막 트랜지스터에 있어서, 어느 한 쌍의 상기 제2 물질층과 다른 한 쌍의 상기 제2 물질층은 서로 다른 물질로 이루어진다.

[0016] 또한, 본 발명의 실시예에 따른 박막 트랜지스터에 있어서, 상기 패시베이션층은 460 nm 이하의 단파장 영역대의 빛을 반사시킨다.

[0017] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.

[0018] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

발명의 효과

[0019] 본 발명에 따르면, Bottom Gate 구조의 비정질 산화물 박막 트랜지스터에 있어서, 굴절률이 서로 다른 물질이 층(layer)을 이루며 번갈아 적층된 패시베이션층이 채널층 상에 배치됨으로써, 특정한 파장 영역대의 광이 채널층에 도달하지 않고 반사되어, 광흡수를 선택적으로 제거하고, 소자의 신뢰성 저하를 개선하는 효과가 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터의 단면도이다.
 도 2는 본 발명의 다른 실시예에 따른 박막 트랜지스터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다. 이하, 본 발명을 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략한다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.
- [0023] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터의 단면도이다.
- [0024] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터는 기판(10), 기판(10) 상에 적층 형성되는 게이트전극(20), 게이트전극(20)의 상부에 형성되는 게이트 절연층(30), 게이트 절연층(30)의 상부에, 산화물 반도체가 배치되어 형성되는 채널층(40), 채널층(40) 상에, 굴절률이 서로 다른 다수의 물질이 층(layer)를 형성하며, 교대로 번갈아 적층되는 패시베이션층(50), 채널층(40)의 일측에 접촉되는 소스전극(60), 및 채널층(40)의 타측에 접촉되는 드레인전극(70)을 포함한다.
- [0025] 본 발명의 실시예에 따른 박막 트랜지스터는 산화물 박막 트랜지스터(Oxide TFT)에 관한 것으로서, 고해상도 디스플레이의 백플레인으로 이용될 수 있다. 디스플레이를 LCD 또는 OLED 등으로 구현하기 위해 필요로 하는 기술이 백플레인 기술이다. 디스플레이는 전기적 신호를 받아서 시각적으로 인지 가능한 광학적 신호를 제공하는데, 여기서 백플레인은 광학 신호를 내는 소자에게 전기적 신호를 전달하는 역할을 수행한다.
- [0026] 이러한 백플레인으로 사용되는 TFT의 성능은 디스플레이의 고해상도 구현을 위해 매우 중요하다. 왜냐하면, 해상도가 높아질수록 각 스캔라인(gate line)별 축적용량커패시터의 충전에 걸리는 시간이 짧아지므로 전하의 이동도가 커야 하고, 고해상도화가 될수록 TFT의 크기가 줄어들어 채널 저항에 의한 전기신호 처리가 늦어지지 않도록 채널의 이동도가 커져야 하기 때문이다.
- [0027] 따라서, 디스플레이의 고해상도화를 위해서, 종래의 실리콘 TFT보다 전기적 성능이 우수하고, 대면적화 구현이 가능하며, 제조 단가가 낮은 TFT에 대한 요구가 생겨났고, 그 결과물로서 산화물 TFT가 개발되었다.
- [0028] 그러나, 종래 산화물 TFT는 디스플레이의 픽셀에서 나오는 빛에 매우 취약한 문제가 있다. 디스플레이의 스위치 소자로서 TFT가 작동하기 위해서는 소정의 문턱전압(V_{th})을 넘어야 하는데, 일정해야 하는 문턱전압이 픽셀에서 나오는 빛에 의해 변함으로써, 소자의 안정성 및 신뢰도를 떨어뜨린다.
- [0029] 이에, 빛에 의해 소자 특성이 저하되는 종래 산화물 TFT의 문제점을 해결하기 위한 방안으로서, 본 발명에 따른 박막 트랜지스터가 안출되었다.
- [0030] 상술한 문제 해결을 위한 본 발명에 따른 박막 트랜지스터는 기판(10), 게이트전극(20), 게이트 절연층(30), 채널층(40), 패시베이션층(50), 소스전극(60), 및 드레인전극(70)을 포함하고, 하부 게이트(bottom gate) 구조로 이루어진다.
- [0031] TFT의 구조는 반도체층을 중심으로 게이트전극이 어디에 위치하는지에 따라, 반도체층 위에 게이트전극이 형성되면 상부 게이트(top gate) 구조, 반도체층 아래에 있으면 하부 게이트 구조로 분류하는데, 본 발명에 따른 박막 트랜지스터는 하부 게이트 구조로 형성된다. 따라서, 본 발명에 따른 박막 트랜지스터의 구성 중 일반적인 구성에 대해서는 설명을 생략하거나, 간단하게만 기술하고, 차이점을 중심으로 상세하게 설명한다.
- [0032] 본 발명에 따른 박막 트랜지스터는 하부 게이트 구조로서, 기판(10), 게이트전극(20), 게이트 절연층(30), 및 채널층(40)이 순차적으로 적층 배치되어 형성된다. 여기서, 채널층(40)은 산화물 반도체가 게이트 절연층(30)의 상부에 배치되어 형성되는데, 채널층(40)의 채널 영역에는 패시베이션층(50)이 배치되고, 채널층(40)의 일측에는 소스전극(60)이 접촉되며, 채널층(40)의 타측에는 드레인전극(70)이 접촉 배치된다.

- [0033] 이때, 패시베이션층(50)은 빛에 의한 채널층(40)의 특성 저하를 방지하기 위해서, 굴절률이 서로 다른 다수의 물질로 이루어진다. 구체적으로, 서로 다른 물질들은 각각 층(layer)을 이루어, 교대로 번갈아가면서, 어느 하나의 층에 다른 층이 적층되는 구조로 배열된다.
- [0034] 상기 물질들에 의해 형성하는 층을 물질의 굴절률에 따라 분류하면, 상대적으로 굴절률이 큰 제1 물질층(51)과 굴절률이 작은 제2 물질층(53)으로 구분되고, 이러한 제1 물질층(51)과 제2 물질층(53)이 서로 교대로 적층되어 패시베이션층(50)을 형성한다.
- [0035] 여기서, 제1 물질층(51)은 TiO_2 , $BaTiO_3$, Y_2O_3 , Si_3N_4 , 및 SiO 중 적어도 어느 하나 이상으로, 제2 물질층(53)은 SiO_2 , Al_2O_3 , 및 MgO 중 적어도 어느 하나 이상으로 이루어질 수 있다. 따라서, 제1 물질층(51)은 TiO_2 , $BaTiO_3$, Y_2O_3 , Si_3N_4 , 또는 SiO 로 구성되거나, 또는 적어도 2개 이상이 혼합되거나, 어느 하나에 상술하지 않은 다른 물질이 혼합되어 형성될 수도 있다.
- [0036] 제2 물질층(53)도 SiO_2 , Al_2O_3 , 및 MgO 중 어느 하나, 또는 적어도 2개 이상이 혼합되거나, 또는 어느 하나에 상술하지 않은 다른 물질이 혼합될 수 있다.
- [0037] 이때, 제1 물질층(51)과 제2 물질층(53)을 이루는 물질이 반드시 상술한 물질에 한정되어야 하는 것은 아니고, 굴절률이 서로 다른 물질로서 후술할 기능을 수행할 수 있는 한, 모든 공지의 물질을 포함할 수 있다.
- [0038] 또한, 제1 물질층(51)과 제2 물질층(53)은 각각 서로 다른 두께로 형성될 수 있다. 즉, 제1 물질층(51)과 제2 물질층(53) 중 어느 하나가 상대적으로 더 두껍게 형성될 수 있다.
- [0039] 이렇게 형성된 패시베이션층(50)은 소정의 파장 영역대의 빛을 반사시켜, 그 파장의 빛이 채널층(40)에 도달하는 것을 막음으로써 빛에 의한 소자 특성 저하를 방지한다. 파장 영역대별 소자의 신뢰성을 측정해 보았을 때에, 460 nm(2.7eV) 이하의 파장 영역에서 문턱전압에 급격한 변화가 일어나므로, 소자는 단파장에서 특히 취약한 특성을 보인다.
- [0040] 따라서, 상기 제1 물질층(51)과 제2 물질층(53)이 서로 교대로 번갈아 배치된 패시베이션층(50)이 채널층(40)의 채널 영역에 배치되어, 소자의 특성 저하를 일으키는 영역대의 빛을 반사함으로써, 소자의 특성을 유지한다.
- [0041] 이때, 패시베이션층(50)은 460 nm 이하의 단파장 영역대의 빛을 반사시키는 것이 바람직하지만, 반사되는 빛의 파장 영역대가 반드시 이에 한정되는 것은 아니고, 소자의 특성을 저하시키는 다른 영역대의 빛도 반사시킬 수 있다.
- [0042] 여기서, 본 발명에 따른 패시베이션층(50)에 의해 반사되는 빛의 파장 영역은 제1 물질층(51)과 제2 물질층(53)의 굴절률 차이, 및 두께에 의존적이다. 따라서, 상술한 바와 같이, 제1 물질층(51)과 제2 물질층(53)을 구성하는 소재 및 그 두께를 조절함으로써, 소자의 성능에 영향을 미치는 영역대의 빛을 반사시킬 수 있는 반사도를 구현할 수 있다.
- [0043] 종합적으로, 본 발명에 따른 박막 트랜지스터에 의하면, 하부 게이트 구조의 비정질 산화물 박막 트랜지스터에 있어서, 굴절률이 서로 다른 물질이 층(layer)을 이루며 번갈아 적층된 패시베이션층(50)이 채널층(40) 상에 배치됨으로써, 특정한 파장 영역대의 광이 채널층(40)에 도달하지 않고 반사되어, 광흡수를 선택적으로 제거하고, 소자의 신뢰성 저하를 개선하는 효과가 있다.
- [0044] 이하에서는 좀 더 구체적인 실시예를 통해 본 발명에 따른 패시베이션층(50)의 구조를 설명한다.
- [0045] 도 2는 본 발명의 다른 실시예에 따른 박막 트랜지스터의 단면도이다.
- [0046] 도 2에 도시된 바와 같이, 본 실시예에 따른 박막 트랜지스터의 패시베이션층(50)은 제1 물질층(51)과 제2 물질층(53)을 한 쌍으로 할 때에, 적어도 4 쌍 이상이 적층되는 구조로 형성될 수 있다. 즉, 제1 물질층(51)과 제2 물질층(53) 중 어느 하나 위에 다른 하나가 적층된 어느 한 쌍(50a) 위에, 다른 한 쌍(50b)이 적층되는 방식으로, 최소한 4 쌍 이상이 배치된다.
- [0047] 이때, 어느 한 쌍(50a)을 구성하는 제1 물질층(51a)과 다른 한 쌍(50b)을 구성하는 제1 물질층(51b)은 동일한 물질로 이루어지거나, 또는 서로 다른 물질로 이루어질 수 있다. 예를 들어, 어느 하나의 제1 물질층(51a)은 TiO_2 로, 다른 하나의 제1 물질층(51b)은 $BaTiO_3$ 로 형성될 수 있다. 다만, 반드시 서로 다른 제1 물질층(51a, 51b)이 상기 물질에 한정되어야 하는 것은 아니다. 이때, 패시베이션층(50)을 이루는 제1 물질층(51) 모두가 서

로 다른 물질로 이루어지는 것도 가능하다.

[0048] 동일한 방식으로, 어느 한 쌍(50a)을 구성하는 제2 물질층(53a)과 다른 한 쌍(50b)을 구성하는 제2 물질층(53b)도 동일하거나, 또는 서로 다른 물질로 이루어질 수 있으며, 다른 물질로 이루어지는 경우에는 패시베이션층(50)을 구성하는 모든 제2 물질층(53)이 다른 물질로 이루어질 수도 있다.

[0049] 여기서, 어느 한 쌍(50a)의 제1 물질층(51a) 및 제2 물질층(53a)과 다른 한 쌍(50b)의 제1 물질층(51b) 및 제2 물질층(53b)의 두께도 서로 다르게 형성될 수 있다. 이때, 패시베이션층(50)을 이루는 모든 제1 물질층(51)과 제2 물질층(53)의 두께도 서로 다르게 형성될 수 있다.

[0050] 즉, 패시베이션층(50)을 구성하는 제1 물질층(51)과 제2 물질층(53) 각각의 재료 및 두께를 상보적으로 조정하여, 특정 파장 영역대의 빛을 반사시킬 수 있다.

[0051] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

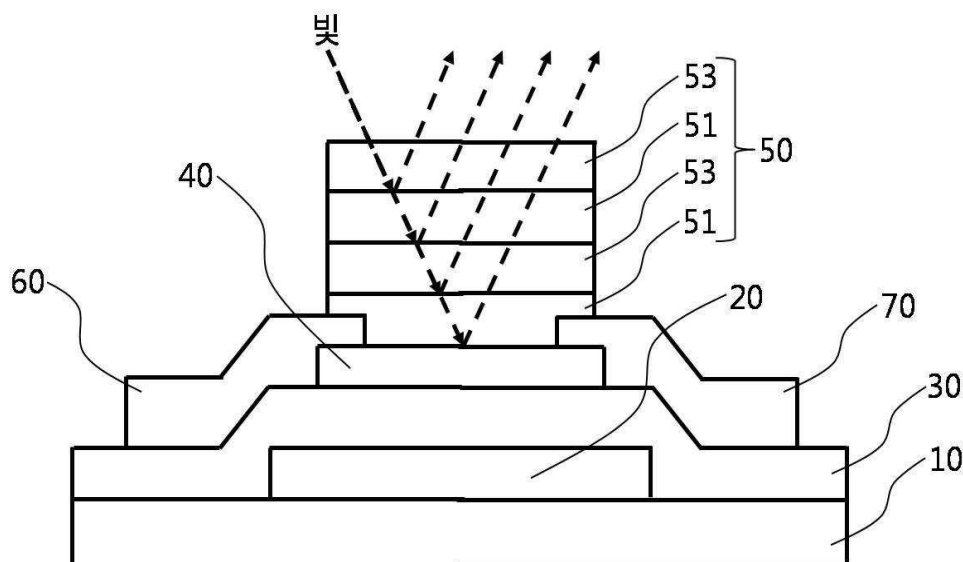
[0052] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속한 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

부호의 설명

[0053] 10: 기판 20: 게이트전극
30: 게이트 절연층 40: 채널층
50: 패시베이션층 51: 제1 물질층
53: 제2 물질층 60: 소스전극
70: 드레인전극

도면

도면1



도면2

