



(12) **Patentschrift**

(21) Aktenzeichen: **10 2005 024 648.6**
 (22) Anmeldetag: **25.05.2005**
 (43) Offenlegungstag: **30.11.2006**
 (45) Veröffentlichungstag
 der Patenterteilung: **06.08.2020**

(51) Int Cl.: **G04F 10/00 (2006.01)**
G01R 31/317 (2006.01)
H03K 27/00 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Westphal, Mussgnug & Partner Patentanwälte mit beschränkter Berufshaftung, 81541 München, DE

(72) Erfinder:
Sattler, Sebastian, Dr.Ing., 81541 München, DE;
Mattes, Heinz, Dr.Ing., 81739 München, DE;
Stroeble, Olaf, Dipl.-Ing., 81476 München, DE;
Piorek, Thomas, Dipl.-Ing., 82024 Taufkirchen, DE

(56) Ermittelter Stand der Technik:

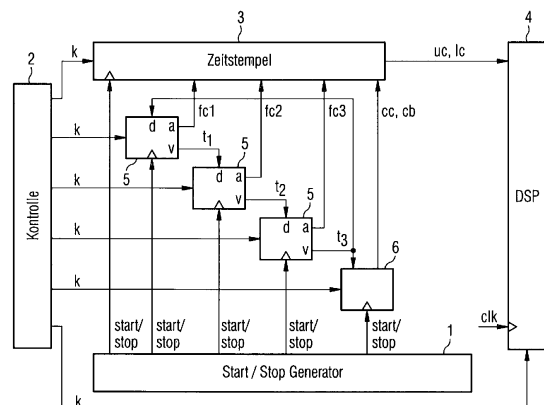
DE	41 11 350	C1
DE	101 39 061	A1
US	2004 / 0 061 488	A1
US	55 28 200	
US	55 34 809	
US	51 28 624	
EP	03 00 757	A2
EP	07 35 374	A2
EP	07 49 210	A2

(54) Bezeichnung: **Elektrische Schaltung zum Messen von Zeiten und Verfahren zum Messen von Zeiten**

(57) Hauptanspruch: Elektrische Schaltung zum Messen von Zeiten, wobei die elektrische Schaltung einen Zähler (6), einen Dekoder (32) und eine Vielzahl von Zeitfallengliedern (5) aufweist, wobei zumindest der Zähler (6) und die Zeitfallenglieder (5) sich zusammen auf einem integrierten Halbleiterbauteil befinden, und jedes Zeitfallenglied (5) folgende Merkmale aufweist:

- einen Dateneingang, einen Verzögerungsausgang und einen Ausgabeausgang,
 - ein Verzögerungsglied (11), das einen Signalwechsel am Dateneingang mit einer zeitlichen Verzögerung am Verzögerungsausgang ausgibt,
 - ein Flip-Flop (10) mit einem Dateneingang, einem Takteingang und einem Ausgabeausgang, wobei die Dateneingänge, die Takteingänge und die Ausgabeausgänge des Flip-Flops (10) und des Zeitfallengliedes (5) miteinander verbunden sind,
- und wobei die Zeitfallenglieder (5) als Ringoszillator geschaltet sind,
 und wobei der Zähler (6) an den Ausgabeausgang eines Zeitfallengliedes (5) und der Dekoder (32) an die Ausgabeausgänge aller Zeitfallenglieder (5) angeschlossen ist, und wobei das Verzögerungsglied (11) und das Flip-Flop (10) eines jeden Zeitfallengliedes (5) nahe beieinander angeordnet sind,
 wobei das Verzögerungsglied (11) und das Flip-Flop (10) eines jeden Zeitfallengliedes (5) so nahe beieinander angeordnet sind, dass der Abstand (a_1) zwischen dem Verzögerungsglied (11) und dem Flip-Flop (10) kleiner als der größ-

te Abstand (a_2) zwischen den Flip-Flops (10) unterschiedlicher Zeitfallenglieder (5) ist.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine elektrische Schaltung zum Messen von Zeiten und ein Verfahren zum Messen von Zeiten.

[0002] Bei integrierten Bauteilen, die Taktgeneratoren und Taktverteilungsnetzwerke für hohe Frequenzen aufweisen, wird es zunehmend wichtiger, die Qualität der Taktgeneratoren und Taktverteilungsnetzwerke zu messen. Die Qualität der Taktgeneratoren und Taktverteilungsnetzwerke ist eine wichtige Messgröße für Schwankungen der Fertigungstechnologie. Da diese Schwankungen die Produktionsausbeute der integrierten Bauteile eventuell verringern, müssen sie frühzeitig gemessen und somit erkannt werden. Durch die frühzeitige Erkennung kann die Fertigungstechnologie angepasst werden, sodass in frühen Stadien des Produktionshochlaufs die Produktionsausbeute bereits erhöht wird.

[0003] Für Hochvolumenprodukte mit einem kurzen Lebenszyklus, insbesondere für schnelllebiges Konsumgüterprodukte, ist die Erfassung aller relevanten statistischen Daten in einem sehr frühen Stadium sehr wichtig. Zu diesen Daten gehört auch der Parameter Period Jitter, welcher für die genaue Charakterisierung von Taktgeneratoren benötigt wird. Ein solcher Taktgenerator ist z.B. als PLL (Phase Locked Loop) oder als CDR (Clock Data Recovery) ausgebildet.

[0004] Die Messung des Period Jitters wurde bei Bauteilen in CMOS Technologien mit minimalen Strukturweiten oberhalb von 90 nm häufig mit hochauflösenden externen Messgeräten während der Charakterisierung an einzelnen Testchips durchgeführt. In der Produktion dagegen erfolgte diese Messung höchstens an einer Auswahl von Bauteilen.

[0005] Für einige Anwendungen muss die Messung während des Produktionstests jedoch für alle Bauteile durchgeführt werden. Dies gilt beispielsweise für Bauteile, die in Automobile verbaut werden und bei denen die Qualitätsanforderungen sehr hoch sind. Zudem sind die externen Messgeräte teuer; ein Produktionstest mit solchen externen Messgeräten, der für viele Bauteile durchgeführt würde, würde die Testkosten unakzeptabel erhöhen.

[0006] In der US 2004/0061488 A1 werden die Jitterparameter einer PLL mit Hilfe eines auf dem integrierten Bauteil befindlichen Moduls erzeugt. Dieses Modul enthält einen Ringoszillator aus Verzögerungsgliedern, wobei an dem Ausgang eines einzigen Verzögerungsglieds ein Zähler angeschlossen ist, der die Anzahl der Takte zählt. An den Ausgängen aller Verzögerungsglieder ist ein Dekoder angeschlossen, der die Untereinheiten der Takte misst. Dabei wird allerdings nicht Rücksicht auf die besonderen Anforderungen für hoch präzise Messungen genommen, bei denen eine Auflösung der Messung unter 10 Picosekunden gefordert ist.

[0007] Die DE 41 11 350 C1 zeigt eine elektronische Schaltung zum Messen eines kurzen Zeitintervalls, das in Form eines elektrischen Messpulses vorliegt. Dabei umfasst die elektronische Schaltung einen Ringoszillator mit einer Kette von hintereinander geschalteten Invertern sowie eine Anzahl von Flip-Flops. Die EP 0 300 757 A2 zeigt einen Schaltkreis mit einer Verzögerungsleitung, deren Zustand abgegriffen wird und eine Genauigkeit von einer Nanosekunde ermöglicht. Die EP 0 749 210 A2 zeigt einen Verzögerungsring mit einer Vielzahl von Halteschaltungen, deren Ausgangssignale zur Berechnung der Pulsweiterechnet werden. Die EP 0 735 374 A2, die DE 101 39 061 A1, US 5,528,200 A, US 5,128,624 A und US 5,534,809 A zeigen weitere Zeitberechnungsschaltungen mit Ringoszillatoren und Haltegliedern.

[0008] Daher ist es die Aufgabe der vorliegenden Erfindung, eine elektrische Schaltung für das Messen von Zeiten bereitzustellen, mit denen eine höhere Messauflösung als mit den im Stand der Technik bekannten Vorrichtungen erreicht wird. Es ist ferner Aufgabe der Erfindung, ein hochpräzises Verfahren zum Messen von Zeiten bereitzustellen.

[0009] Diese Aufgabe wird durch die unabhängigen Ansprüche gelöst. Vorteilhafte Weiterbildungen sind in den jeweiligen abhängigen Ansprüchen definiert.

[0010] Erfindungsgemäß bereitgestellt wird eine elektrische Schaltung zum Messen von Zeiten. Sie dient besonders zur Messung von Zeiträumen, wobei unter Zeitraum die Differenz zwischen zwei Zeitpunkten verstanden wird. Die elektrische Schaltung weist einen Zähler, einen Dekoder und eine Vielzahl von Zeitfallengliedern auf. Dabei sind mindestens der Zähler und die Zeitfallenglieder gemeinsam auf einem Halbleiterbauteil integriert. Vorzugsweise ist auch der Dekoder in dem gleichen integrierten Bauteil untergebracht. Die Zeitfallenglieder enthalten einen Takteingang, einen Dateneingang, einen Verzögerungsausgang und einen Ausgabee-

ausgang. Zudem enthält ein solches Zeitfallenglied ein Verzögerungsglied, das einen Signalwechsel am Dateneingang mit einer zeitlichen Verzögerung am Verzögerungsausgang ausgibt.

[0011] Ferner ist in dem Zeitfallenglied ein Flip-Flop mit einem Dateneingang, einem Takteingang und einem Ausgabeausgang enthalten. Ein Flip-Flop speichert ein Datum, das an dem Dateneingang anliegt, und gibt es an seinem Ausgang aus. Dabei hängt es vom Signal am Takteingang ab, wann das Datum am Dateneingang in den internen Speicher übernommen und wann ein gespeichertes Datum an dem Ausgabeausgang ausgegeben wird. Der Dateneingang des Flip-Flops ist an den Dateneingang des Zeitfallengliedes und der Takteingang des Flip-Flops ist an den Takteingang des Zeitfallengliedes angeschlossen. Gleichfalls ist der Ausgabeausgang des Zeitfallengliedes gleichzeitig der Ausgabeausgang des Flip-Flops.

[0012] Die Zeitfallenglieder sind als Ringoszillator geschaltet. Dabei ist jeweils ein Dateneingang eines Zeitfallengliedes an den Verzögerungsausgang eines anderen Zeitfallengliedes gekoppelt. Der so gebildete Ring enthält eine ungerade Anzahl von invertierenden Gliedern, auch Invertern genannt, sodass eine in dem Ring umlaufende Signalflanke für eine Oszillation sorgt.

[0013] Der Zähler ist an den Ausgabeausgang eines Zeitfallengliedes und der Dekoder an die Ausgabeausgänge aller Zeitfallenglieder angeschlossen. Dadurch zählt der Zähler die Taktperioden der Oszillation, während der Dekoder die Untereinheiten der Taktperioden misst.

[0014] Das Verzögerungsglied und das Flip-Flop eines jeden Zeitfallengliedes sind nahe beieinander angeordnet. Durch den geringen Abstand zwischen dem Verzögerungsglied und dem Flip-Flop sind die Leitungslängen zwischen diesen beiden Komponenten gering. Es gibt somit keine unterschiedlichen Verzögerungen auf diesen Leitungslängen, die die Präzision des Messergebnisses verschlechtern.

[0015] Außerdem wird die Gefahr, dass induktive oder kapazitive Einkopplungen von anderen Signalen die Qualität des Eingangssignals des Flip-Flops beeinträchtigen, vermindert. Zugleich kann das Verzögerungsglied und das Flip-Flop an die gleiche Versorgungsspannungsleitungen angeschlossen werden, sodass sich keine Unterschiede im Schaltzeitpunkt zwischen dem Verzögerungsglied und dem Flip-Flop aufgrund unterschiedlicher Versorgungsspannung ergeben. Die Signalleitung, das vom Ausgabeausgang des Flip-Flops getrieben wird, kann länger sein, ohne dass die Präzession der Messung eingeschränkt wird. Dies rührt daher, dass das Signal am Ausgabeausgang aus dem gespeicherten Wert im Flip-Flop erzeugt wird und nicht mehr so zeitkritisch, wie das Dateneingangssignal des Flip-Flops, ist.

[0016] In einer Ausführungsform der Erfindung ist der Abstand zwischen dem Verzögerungsglied und dem Flip-Flop kleiner als der größte Abstand zwischen den Flip-Flops unterschiedlicher Zeitfallenglieder ist. Somit werden nicht die Flip-Flops unterschiedlicher Zeitfallenglieder in einem Block zusammen angeordnet, sondern sind benachbart zu den Verzögerungsgliedern.

[0017] Eine andere Abgrenzung bildet das Kriterium, dass der Abstand zwischen dem Verzögerungsglied und dem Flip-Flop kleiner als der größte Abstand zwischen drei Flip-Flops benachbarter Zeitfallenglieder ist. Benachbart bedeutet hierbei, dass sie unmittelbar nebeneinander angeordnet, ohne dass weitere Zeitfallenglieder dazwischen liegen. Dieses Kriterium ist besonders bei Ringoszillatoren mit vielen Verzögerungsgliedern geeignet, bei denen es eine große Anzahl an Verzögerungsgliedern und somit auch an Flip-Flops gibt.

[0018] Ein anderer Aspekt der Erfindung betrifft eine Korrekturvorrichtung, die in der elektrischen Schaltung vorgesehen wird. Die Korrekturvorrichtung korrigiert den Ausgabewert des Zählers. Dadurch, dass der Zähler und die Zeitfallenglieder durch unterschiedliche Komponenten realisiert werden, kann es zu geringen Verzögerungen zwischen dem Umschalten des Zählers und dem Umschalten der Flip-Flops kommen. Die Verzögerungen können sich auch aus unterschiedlichen Anschlüssen des Zählers und der Flip-Flops ergeben, so dass unterschiedliche Störungen an den Anschlüssen zu unterschiedlichen Umschaltzeitpunkten führen. Bei unterschiedlichen Umschaltzeitpunkten schaltet der Zähler schon, obwohl die Flip-Flops und der dahinter geschaltete Dekoder noch nicht geschaltet haben. Im anderen Fehlerfall haben die Dekoder bereits geschaltet, aber der Zähler ist noch nicht umgeschaltet. In beiden Fällen würde ein unkorrigiertes Ablesen des Zähler- und Dekoderwertes ein falsches Messergebnis ergeben. Der Fehler wäre so groß wie eine Taktperiode.

[0019] In einer bevorzugten Ausführungsform der Erfindung weist die elektrische Schaltung weiterhin einen Start/Stop-Generator auf, dessen Ausgang über Taktleitungen an die Takteingänge der Zeitfallenglieder angeschlossen ist. Dabei sind die Taktleitungen so angeordnet, dass die Verzögerungen von dem Start/Stop-Generator zu den Flip-Flops der Zeitfallenglieder im wesentlichen jeweils gleich groß sind. Dies geschieht bspw.

dadurch, dass die Taktleitungen für alle Verzögerungsglieder gleich sind. Unterschiedliche Leitungslängen würden das Messergebnis verfälschen, sodass die geforderte Messgenauigkeit von unter 10 Pikosekunden nicht gewährleistet würde. „Im wesentlichen“ bedeutet dabei, dass die Verzögerungen weniger als um 4 ps variieren, vorzugsweise variieren sie um weniger als 2 ps.

[0020] Vorzugsweise werden die Versorgungsleitungen für die Spannungsversorgung so angeordnet, dass diejenigen Versorgungsleitungen, die die Verzögerungsglieder versorgen, von den Versorgungsleitungen für andere Teile der elektrischen Schaltung getrennt sind. Dadurch ergibt sich ein Widerstand zwischen den Versorgungsleitungen für die Zeitfallglieder und den Versorgungsleitungen für die anderen Teile. An den Versorgungsleitungen für die Verzögerungsglieder sind zudem Kondensatoren angebracht. Diese wirken zusammen mit dem oben genannten Widerstand zwischen den verschiedenen Versorgungsleitungen als Tiefpass für hochfrequente Spannungsspitzen, die von den anderen Teilen der elektrischen Schaltung erzeugt werden.

[0021] Die Versorgungsleitungen für die Zeitfallglieder sind in einer weiteren Ausführungsform von den Versorgungsleitungen für die anderen Teile der elektrischen Schaltung so getrennt, dass sie an unterschiedliche Kontaktanschlussflächen angeschlossen sind. Ihre Versorgung erfolgt dabei über verschiedene Außenverbindungsleitungen wie Flip-Chip-Kontakte oder Bonddrähte, die an die Kontaktanschlussflächen angeschlossen sind. Die Versorgungsleitungen sind somit so getrennt, dass keine Störungen, die auf dem Halbleiterbauteil erzeugt werden, die Versorgung für die Zeitfallglieder beeinflusst.

[0022] In einer Ausführungsform der Erfindung ist nur ein einziges Zeitfallglied invertierend, das heißt, an seinem Verzögerungsausgang wird ein Signal ausgegeben, dessen Pegel invers zum Signal am Dateneingang. Die anderen Zeitfallglieder sind dabei nicht invertierend. Dies vereinfacht die Implementierung des Dekoders, der nur berücksichtigen muss, dass eine Inversion vorliegt.

[0023] Durch das Vorsehen einer ungeraden Anzahl von Zeitfallgliedern, die alle das Signal am Dateneingang nach einer Verzögerung invertiert ausgeben, kann sichergestellt werden, dass alle Zeitfallglieder die gleiche Verzögerung aufweisen. Dies vereinfacht die Auswertung der Untereinheiten der Taktperioden, die auf einfache Weise an den Ausgabeausgängen der Verzögerungsglieder ausgelesen werden können. Eine Umrechnung, die die verschiedenen Verzögerungszeiten der Verzögerungsglieder berücksichtigt, ist somit nicht nötig.

[0024] Vorzugsweise ist die Anzahl der Zeitfallglieder, und somit der invertierenden Glieder, prim. Dies sorgt dafür, dass der Oszillator nur mit einer Frequenz schwingt.

[0025] Die Korrektur des Zählerwertes kann mit Hilfe eines verzögerten Ausgangssignals des Zählers erfolgen, wodurch der Zählerstand der Taktperiode eindeutig zugeordnet wird. Dabei muss allerdings festgelegt werden, wann das verzögerte Ausgangssignal und wann das nicht verzögerte Ausgangssignal des Zählers weiterverarbeitet wird. Die Festlegung erfolgt sinnvollerweise mit Hilfe der Ausgangssignale des Dekoders.

[0026] Die Korrektur mit Hilfe eines Verzögerungsglieds im Zähler empfiehlt sich besonders für Ringoszillatoren mit langen Taktperioden. Die Synchronisation des Zählers befindet sich zwar noch im zeitkritischen Pfad, durch das Vorsehen des Verzögerungsglieds ist sie allerdings nicht ganz so kritisch wie die Synchronisation in den Zeitfallgliedern.

[0027] Die Korrektur kann auch mittels eines Signals an einem Ausgang der Zeitfallglieder korrigiert werden. Dabei wird nicht nur das Zählersignal, sondern auch ein Ausgangssignal der Zeitfallglieder synchronisiert. Die Synchronisationsschaltungen befinden sich beide im zeitkritischen Pfad. Die Synchronisierung des Ausgangssignals der Zeitfallglieder sollte deshalb die gleiche Verzögerung wie die Flip-Flops der Zeitfallglieder haben. Somit kann die Verzögerung des Zählers korrigiert werden.

[0028] Falls der Zähler ein Flip-Flop zur Auswertung eines Ausgangssignals eines der Zeitfallglieder aufweist und das Flip-Flop das Korrektursignal für den Zähler erzeugt, erfolgt die Synchronisierung des Korrektursignals auf gleiche Weise wie die Synchronisierung in den Verzögerungsgliedern. Dies verbessert die Messgenauigkeit.

[0029] Durch das Vorsehen einer einstellbaren Verzögerung der Verzögerungsglieder kann der Ringoszillator mit unterschiedlichen Frequenzen betrieben werden. Dadurch kann festgelegt werden, ob möglichst lange Zeiträume mit einer geringeren Auflösung oder kleinere Zeiträume mit einer größeren Auflösung gemessen

werden können. Falls die Verzögerung über zuschaltbare Kondensatoren eingestellt wird, kann die Verzögerung auch über sehr feine Abstufungen im Pikosekundenbereich eingestellt werden.

[0030] Durch das Vorsehen einer Rücksetzvorrichtung werden die Verzögerungsausgänge der Zeitfallglieder auf einen vorgegebenen Wert gesetzt. Der Ringoszillator wird durch die Rücksetzvorrichtung unterbrochen und die elektrische Schaltung oszilliert nicht mehr. Durch das Rücksetzen wird es möglich, einen festen Wert zu Anfang einer Messung festzulegen, um die Messung von einem bekannten Zustand des Ringoszillators aus zu starten.

[0031] Zudem empfiehlt es sich, den Ringoszillator in den Zeiten, in denen nicht gemessen wird, immer rückzusetzen. Dadurch wird keine unnötige Leistung durch den Ringoszillator verbraucht.

[0032] In einer bevorzugten Ausführungsform der Erfindung ist eine Auswerteschaltung vorgesehen, die den Abstand zwischen zwei Zeitpunkten misst. Die zwei Zeitpunkte ergeben sich durch die Veränderung der Pegel des Taktsignals, bspw. durch steigende Flanken des Taktsignals. Der Zeitraum wird durch einen Vergleich der Ausgangswerte des Zählers und des Dekoders zu den verschiedenen Zeitpunkten berechnet. Dies erfolgt bspw. durch Bilden einer Differenz der Ausgangswerte.

[0033] Zur Auswertung werden die gemessenen Zeiträume vorzugsweise in Messbereiche eingeteilt. Ein solcher Messbereich umfasst z.B. alle Zeiträume zwischen 1010ps und 1020ps. Pro Messbereich ist in der Auswerteschaltung ein Ergebniszähler vorhanden, der hochgezählt wird, sobald die gemessene Zeitperiode zu dem Messbereich gehört. Dadurch kann ein Ereignis, beispielsweise eine Verzögerung, mehrmals gemessen werden; die Ergebnisse werden in den Zählern abgespeichert und aus den Zählerwerten kann eine Häufigkeitsverteilung abgelesen werden. Aus einer solchen Häufigkeitsverteilung wird bspw. durch Mittlung der zu messende Zeitraum berechnet oder durch Auswertung der Standardabweichung der Häufigkeitsverteilung Rückschlüsse auf vorhandene Messfehler gezogen.

[0034] Falls die Größe des Messbereichs einstellbar ist, kann die Messung mit unterschiedlichen Auflösungen durchgeführt werden. Je nach Verteilung der Messergebnisse, kann die Messung mit höherer Genauigkeit oder mit einem erweiterten Messbereich durchgeführt werden.

[0035] Falls die elektrische Schaltung durch rein digitale Bauelemente aufgebaut ist, lässt sie sich mit den Standardverfahren für die Entwicklung digitaler Schaltungen automatisiert erzeugen. Zudem ist die Charakterisierung rein digitaler Schaltungsblöcke leichter als die Charakterisierung gemischt analog/digitaler Schaltungsblöcke.

[0036] Vorzugsweise wird die erfindungsgemäße elektrische Schaltung zusammen mit einer anderen Schaltung, die hinsichtlich ihres Zeitverhaltens getestet wird, auf einem Halbleiterchip integriert. Dadurch ist kein externer Messaufbau notwendig. Außerdem können mehrere Halbleiterchips gleichzeitig getestet werden.

[0037] Gemäß der Erfindung wird auch ein Verfahren zum Messen von Zeiten mittels einer elektrischen Schaltung bereitgestellt. Das Verfahren weist einen Schritt a) auf, gemäß dem eine Laufvariable i auf 0 gesetzt wird. Zudem wird eine Anzahl k von Messdurchgängen und eine Größe G von Messbereichen festgelegt. Anschließend werden in einem Schritt b) mindestens zwei Signalwechsel eines Taktsignals in dem Start/Stop-Generator erzeugt. Die zwei Signalwechsel erfolgen zu zwei unterschiedlichen Zeitpunkten.

[0038] An dem Dekoder und dem Zähler werden die Ausgabewerte, die zu den Zeitpunkten der Signalwechsels gemessen werden, in Schritt c) abgelesen. Aus den Ausgabewerten werden Zahlenwerte für die zwei Zeitpunkte berechnet. In einem Schritt d) wird die Differenz aus den berechneten Zahlenwerten gebildet, die somit ein Maß für den Zeitraum zwischen den beiden Zeitpunkten angibt. Die so gebildete Differenz wird in einem Schritt e) einem Messbereich zugeordnet. Der Ergebniszähler, der zu diesem Messbereich gehört, wird inkrementiert, d.h. der in dem Ergebniszähler vorhandene Zahlenwert wird um 1 erhöht.

[0039] Anschließend wird in einem Schritt f) die Laufvariable i inkrementiert und in einem Schritt g) festgestellt, ob die Laufvariable i kleiner oder gleich der Anzahl der Messdurchgänge k ist. In diesem Fall wird mit dem Schritt b) fortgeführt. Falls i größer als k ist, endet das Verfahren oder es schließen sich weitere Messungen an.

[0040] Vorzugsweise wird der Ausgabewert des Zählers vor dem Schritt d) korrigiert. Dadurch wird verhindert, dass Ablesefehler, die sich durch unterschiedliches Schaltverhalten des Dekoders und des Zählers ergeben, das Messergebnis verfälschen.

[0041] Nach dem Schritt g) erfolgt in einer Weiterbildung der Erfindung ein Schritt a'), bei dem die Laufvariable i wieder auf 0 gesetzt wird und die Größe G der Messbereiche verändert wird, indem die Messbereiche entweder verkleinert oder vergrößert werden. Anschließend wird das Verfahren mit den Schritten b) bis g) fortgeführt. Wird bei der ersten Messschleife festgestellt, dass der Messbereich zu groß ist, wird der Messbereich verkleinert, um die Auflösung des Messergebnisses zu erhöhen. Im umgekehrten Fall wird der Messbereich vergrößert, damit keine Messergebnisse ungezählt bleiben, weil sie zu keinem Messbereich gehören.

[0042] Falls nach dem Schritt g) die Verzögerung der Verzögerungsglieder verändert wird und das Verfahren mit den Schritten b) bis g) fortgeführt wird, wird die Messung mit veränderter Messgenauigkeit wiederholt durchgeführt. Vorzugsweise nach einem Schritt g) aus den Inhalten der Zähler die Parameter einer Zufallsverteilung berechnet und ausgegeben. Aus diesen Parametern lassen sich Rückschlüsse über die Verteilung der Meßgrößen und den Einfluss von Messfehlern ziehen.

[0043] Durch das angegebene Verfahren wird eine Vielzahl von Messwerten generiert, deren Ergebnisse als Häufigkeitsverteilungen aus den Inhalten der Ergebniszähler ablesbar sind. Dadurch können Mittelwerte, Standardabweichungen und sonstige statistische Größen der Verteilung der Messergebnisse ermittelt werden. Wird bspw. der gleiche Parameter mehrmals gemessen und die Messergebnisse mit dem angegebenen Verfahren gemittelt, verbessert sich die Genauigkeit des Messergebnisses gegenüber einem einmaligen Messen. Vorzugsweise wird vor Beginn des Messverfahrens der Ringoszillator erst einige Zeit frei laufen gelassen, damit sich seine Frequenz stabilisiert.

[0044] Die Erfindung wird anhand der Zeichnungen näher beschrieben.

Fig. 1 zeigt eine Übersicht der erfindungsgemäßen elektrischen Schaltung zum Messen von Zeiten.

Fig. 2A bis **Fig. 2E** zeigen Details von in **Fig. 1** gezeigten Blöcken.

Fig. 3 zeigt Signale der erfindungsgemäßen elektrischen Schaltung in ihrem zeitlichen Verlauf zur Veranschaulichung des der Erfindung zugrunde liegenden Messprinzips.

Fig. 4 zeigt ein Blockschaltbild eines in elektrischen Schaltung verwendeten Zählers.

Fig. 5 zeigt ein weiteres Ausführungsbeispiel eines Korrekturblocks, der in der erfindungsgemäßen elektrischen Schaltung verwendet wird.

Fig. 6 veranschaulicht die Anordnung der in der elektrischen Schaltung verlaufenden Leitungen für Taktsignale.

Fig. 7 zeigt die Anordnung für in der elektrischen Schaltung verwendeten Versorgungsleitungen.

Fig. 8 zeigt zwei Blockschaltbilder für unterschiedliche Ausführungsformen zur Berechnung der Zeiträume.

Fig. 9 zeigt eine Ausführungsform einer in der elektrischen Schaltung verwendete Auswertevorrichtung.

Fig. 10 veranschaulicht eine Darstellung von Messergebnissen, die von der erfindungsgemäßen Schaltung erzeugt wurden.

[0045] **Fig. 1** zeigt in einer Übersicht einen Blockschaltplan, in dem die erfindungsgemäßen elektrische Schaltung sowie Ansteuer- und Auswerteschaltungen, in einer Übersicht gezeigt werden.

[0046] Die Vorrichtung enthält einen Start/Stop-Generator **1**, ein Kontrollblock **2**, einen Zeitstempelblock **3**, eine Auswertevorrichtung **4**, drei Zeitfallglieder **5** und einen Zähler **6**.

[0047] Die Kontrolleinheit **2** erzeugt das Kontrollsignal k , das die Zeitfallglieder **5**, den Zähler **6**, den Zeitstempel **3** und die Auswertevorrichtung **4** steuert. Das Kontrollsignal k ist als digitales Signal mit einer Datenwortbreite größer als 1 ausgeführt und kann somit verschiedenen Komponenten der elektrischen Schaltung unabhängig voneinander ansteuern.

[0048] Der Start/Stop-Generator **1** erzeugt das Taktsignal start/stop, das die Takteingänge der Zeitfallglieder **5**, sowie den Zähler **6** ansteuert. Die Taktsignale, die die Zeitfallglieder **5** und den Zähler **6** steuern, sind besonders kritisch für die Messung. Schwankungen der Verzögerungen auf diesen Leitungen verfälschen das Messergebnis. Deshalb werden die Taktleitungen start/stopp so ausgelegt, dass sie alle die gleiche Verzögerung aufweisen.

[0049] Das Taktsignal start/stopp, das den Zeitstempel betreibt, ist nicht so zeitkritisch, da die zeitkritische Synchronisation bereits in den Zeitfallgliedern **5** und dem Zähler **6** erfolgt.

[0050] Der Takteingang der Auswertevorrichtung **4** ist in dem gezeigten Ausführungsbeispiel von einem externen Takt clk betrieben, könnte aber auch von dem start/stop Signal betrieben werden.

[0051] Die Signale t_1 , t_2 und t_3 werden von den Zeitfallgliedern **5** jeweils an ihrem mit v bezeichneten Verzögerungsausgang bereitgestellt. Die Zeitfallglieder **5** weisen einen weiteren Ausgang, den mit a bezeichneten Ausgabeausgang, auf.

[0052] Die gezeigten drei Zeitfallglieder **5** sind als ein Ringoszillator geschaltet. Dies erfolgt dadurch, dass die Dateneingänge d der Zeitfallglieder **5** jeweils an Verzögerungsausgänge v eines anderen Zeitfallglieds **5** geschaltet sind. So ist der Dateneingang d des ersten Zeitfallglieds **5** über das Signal t_3 an den Verzögerungsausgang v des dritten Zeitfallglieds **5** angeschlossen. Ebenso ist der Dateneingang d des zweiten Zeitfallglieds **5** über das Signal t_1 dem Verzögerungsausgang v des ersten Zeitfallglieds **5** und der Dateneingang d des dritten Zeitfallglieds **5** über das Signal t_2 an den Verzögerungsausgang v des zweiten Zeitfallglieds **5** angeschlossen. Dabei weist die als Ring geschaltete Kette von Zeitfallgliedern **5** eine ungerade Zahl von Invertern auf, wodurch eine Oszillation, die eine Taktflanke über die Signale t_1 , t_2 und t_3 laufen lässt, erzeugt wird.

[0053] Der frei laufende Ringoszillator bewirkt dabei, dass innerhalb einer definierten zeitlichen Auflösung, bspw. 10ps, immer nur an einem Zeitfallglied sich die herumlaufende Taktflanke aufhalten kann.

[0054] Die an den Ausgabeausgängen a der Zeitfallglieder **5** bereitgestellten Signale f_{c1} , f_{c2} und f_{c3} bilden Eingangssignale für den Zeitstempel **3**. Der Zähler **6** empfängt zusätzlich zum Kontrollsignal k und dem Start/Stop-Signal das Signal t_3 , dessen Flanken der Zähler **6** zählt. Der Zählerstand des Zählers und die Ausgangssignale der Flip-Flops **10** ergeben zusammen die Information für den Zeitstempel **3**.

[0055] Bei einem Vollwellenzähler wird entweder bei jeder steigenden Flanke oder bei jeder fallenden Flanke des Signals t_3 der Zähler hoch gesetzt, wogegen bei einem Halbwellenzähler sowohl bei der fallenden als auch bei einer steigenden Flanke der im Zähler gespeicherte Wert hochgezählt wird. Der Zähler **6** gibt das Zählsignal cc und das Korrektursignal cb aus, die Eingangssignale für den Zeitstempel **3** sind. Der Zeitstempel **3** dekodiert die Eingangssignale f_{c1} , f_{c2} , f_{c3} , cc und cb und gibt als Ausgabewerte die Signale uc und lc an die Auswerteeinheit **4** aus. Die Auswerteeinheit **4** wertet die Signale uc und lc aus. Die Auswerteeinheit **4** ist mit DSP gekennzeichnet, da sie in einer Ausführungsform durch einen digitalen Signalprozessor realisiert wird. Die Auswerteeinheit **4** könnte auch aus digitalen Standardlogikgattern aufgebaut sein. Die Zeitfallglieder enthalten Flip-Flops, damit der Abstand zwischen den Verzögerungsgliedern und den Flip-Flops möglichst gering ist. Dadurch erfolgt das Abgreifen der Signale t_1 , t_2 und t_3 zu gleichen Zeitpunkten.

[0056] In **Fig. 2A** werden Einzelheiten von in **Fig. 1** gezeigten Komponenten dargestellt. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden dabei mit gleichen Bezugszeichen gekennzeichnet und nicht extra erläutert.

[0057] Die Zeitfallglieder **5** enthalten jeweils ein Verzögerungsglied **11** und ein Flip-Flop **10**. Die Verzögerungsglieder **11** sind jeweils invertierend, sodass die rückgekoppelten drei Inverterstufen einen Ringoszillator bilden. Die halbe Taktperiode des Ringoszillators (beim Beispiel des Vollwellenzählers) ergibt sich aus der Summe der Verzögerungen der Verzögerungsglieder **10**. An den Dateneingängen der Zeitfallglieder **5** sind sowohl das Verzögerungsglied **11** als auch das Flip-Flop **10** mit seinem Dateneingang angeschlossen. Der Ausgang des Flip-Flops **10** bildet den Ausgabeausgang a des Zeitfallglieds **5** und der Ausgang des Verzögerungsglieds **11** gibt das Signal am Verzögerungsausgang v des Zeitfallglieds aus. Das Verzögerungsglied **11** enthält einen Inverter, sodass das Signal am Datenausgang das verzögerte, invertierte Signal am Dateneingang darstellt.

[0058] Entlang der Signale t_1 , t_2 und t_3 läuft eine Taktflanke durch die Verzögerungsglieder **5**. Dabei wird höchstens eines der Signale t_1 , t_2 und t_3 gleichzeitig geändert. Wird ein Start/Stop-Signal so angelegt, dass die Flip-Flops **10** die wechselnde Taktflanke des Start/Stop-Signals zu gleichen Zeiten erhalten, wird der Wert, der zu dieser Taktflanke an dem Signal t_1 , t_2 und t_3 anliegt, gespeichert und an den Ausgabeausgängen f_{c1} , f_{c2} und f_{c3} ausgegeben.

[0059] Der Zeitstempel **3** enthält einen Korrekturblock **31** sowie einen Dekoder **32**. Der Zähler **6** zählt die Taktflanken des Signals t_3 . Er gibt als Ausgabewerte den Zählwert cc , sowie den Korrekturwert cb an den Korrekturblock **31** des Zeitstempels **3** aus.

[0060] Der Dekoder **32** empfängt die von den Flip-Flops **10** bereitgestellten Ausgabesignale f_{c1} , f_{c2} und f_{c3} . Der Dekoder **32** gibt an seinem Ausgang das Signal lc aus, das angibt, auf welchen Pegeln sich die Signale t_1 , t_2 und t_3 zum Zeitpunkt der steigenden Start/Stop-Flanke befanden. Das vom Korrekturblock **31** bereitgestellte Signal uc gibt die Anzahl der Taktzyklen und das vom Dekoder **32** bereitgestellte Signal gibt die Anzahl von Untereinheiten der Taktperiode aus. Die Untereinheiten entsprechen in dem in **Fig. 2A** gezeigten Beispiel einem Drittel der halben Taktperiode (beim Beispiel des Vollwellenzählers).

[0061] In **Fig. 2B** werden Details des ersten Verzögerungsgliedes **11** gezeigt. Es enthält vier Inverter **12**, sowie einen Multiplexer **13**. Als Eingangssignale empfängt es t_1 , das Kontrollsignal k sowie ein Signal, das konstant auf dem Potenzial der Versorgungsspannung vdd liegt. Als das Ausgangssignal des Verzögerungsgliedes **11** dient das Signal t_2 . Das Eingangssignal t_1 ist über drei nacheinander geschalteten Inverter auf den ersten Eingang des Multiplexers und über einen einzelnen Inverter an den zweiten Eingang des Multiplexers angeschlossen. Das Signal mit dem konstanten Spannungspegel vdd ist an dem dritten Eingang des Multiplexers angeschlossen. Je nach Wert des Kontrollsignals k wird einer der Eingänge des Multiplexers **13** auf den Ausgang t_2 geschaltet.

[0062] Somit bestehen die Möglichkeiten, dass die Verzögerung des Verzögerungsgliedes **11** entweder die Verzögerung von drei Invertern plus die Verzögerung des Multiplexers oder die Verzögerung eines Inverters plus die Verzögerung des Multiplexers beträgt. Als dritte Möglichkeit wird das Ausgangssignal t_2 auf einen konstanten Wert gesetzt. Diese so genannte Rücksetzfunktion ermöglicht, dass der Ringoszillator unterbrochen wird und die Signale t_1 , t_2 und t_3 auf einen vorgegebenen Wert gesetzt werden.

[0063] In **Fig. 2C** wird ein anderes Ausführungsbeispiel des ersten Verzögerungsgliedes **11** gezeigt. Es enthält einen Inverter **12** und einen Multiplexer **13**. Als Eingangssignale empfängt es t_1 , das Kontrollsignal k sowie ein Signal, das konstant auf dem Potential der Versorgungsspannung vdd liegt. Als das Ausgangssignal des Verzögerungsgliedes **11** dient das Signal t_2 . Das Eingangssignal t_1 ist über einen einzelnen Inverter an den ersten Eingang des Multiplexers angeschlossen. Das Signal mit dem konstanten Spannungspegel vdd ist an dem zweiten Eingang des Multiplexers **13** angeschlossen. Je nach Wert des Kontrollsignal k wird einer der Eingänge des Multiplexers **13** auf den Ausgang t_2 geschaltet.

[0064] Durch das Signal k kann auch die Verzögerung des Inverters **12** verändert werden, indem beispielsweise ein Kondensator auf den Ausgang des Inverters **12** geschaltet wird. Dieser Kondensator kann z.B. als Gate eines MOS-Transistor ausgebildet sein.

[0065] In den **Fig. 2D** und **Fig. 2E** werden zwei verschiedene Implementierungen für Ringoszillatoren gezeigt. Dabei handelt es sich jeweils um fünf Verzögerungsglieder, die in Form eines Rings geschaltet sind.

[0066] In **Fig. 2D** besteht dieser Ring aus vier Buffern **111**, sowie einem Inverter **110**. Die Buffer **111** sind nicht invertierend, wogegen der Inverter **110** an seinem Ausgang ein Signal, dessen Pegel invertiert zum Pegel des Eingangssignals ist, ausgibt. Die Buffer **111** bestehen bspw. aus zwei hintereinander geschalteten Invertern. Die Ausgangssignale des ersten, zweiten, dritten und vierten Buffers **111** sind mit t_1 , t_2 , t_3 bzw. t_4 bezeichnet, wogegen das Ausgangssignal des Inverters **110** mit t_5 bezeichnet ist.

[0067] Oberhalb der Signalleitung t_1 bis t_5 sind jeweils die Signalpegel zu einem willkürlich gewählten Zeitpunkt eingezeichnet. Dabei sind die Signalpegel der Signale t_5 und t_1 gleich eins und der Signale t_2 , t_3 und t_4 gleich null. Man erkennt, dass die Signalpegel am Eingang und am Ausgang des zweiten Buffers unterschiedlich sind, obwohl der zweite Buffer **111** nicht invertierend ist. Dies liegt daran, dass das Eingangssignal erst mit einer Verzögerung am Ausgang ausgegeben wird. Nach dieser Verzögerung wird das Signal t_2 ebenfalls auf eins umgeschaltet werden. Nach einer weiteren Verzögerung im dritten Buffer **111** wird auch das Signal t_3 umgeschaltet werden. Dies veranschaulicht, wie die Taktflanke des Oszillators sich von einem Ausgangssignal eines Verzögerungsgliedes **5** zu dem Ausgangssignal des nächsten Verzögerungsgliedes **5** fortbewegt.

[0068] In **Fig. 2E** bestehen alle Verzögerungsglieder aus Invertern. Nur beim zweiten Verzögerungsglied **110** ist der Pegel am Datenausgang t_2 nicht invers zum Dateneingang t_1 . Dies liegt daran, dass ein Inverter **110** eine Verzögerungszeit hat, die benötigt wird, um nach einem Signalwechsel am Dateneingang das invertierte Signal

am Datenausgang auszugeben. Nach dieser Verzögerungszeit wird das Signal t_2 auf null geschaltet werden, woraufhin sich wiederum nach einer weiteren Verzögerungszeit das Signal t_3 auf eins geschaltet werden wird.

[0069] Neben den Ausführungsbeispielen in den **Fig. 2D** und **Fig. 2E** sind auch Zwischenstufen möglich, bei denen eine Anzahl an Verzögerungsgliedern ungerade, größer als 1 und gleichzeitig kleiner als die Anzahl an Verzögerungsgliedern ist.

[0070] **Fig. 3** veranschaulicht die zeitlichen Verläufe der Signale an Knoten der erfindungsgemäßen elektrischen Schaltung. Hierbei wird beispielhaft ein Ringoszillator mit neun Verzögerungsgliedern, wobei nur ein Verzögerungsglied **11** invertierend ist, gezeigt. Das Signal t_9 ist mit dem Verzögerungsausgang v eines der Verzögerungsglieder **11** verbunden. An dem Signal t_9 ist der Eingang des Zählers **6** angeschlossen. Das Signal t_9 hat die Form eines Taktsignals, wobei die Taktperiode sich aus der Summe der Verzögerungen aller neun Verzögerungsglieder **11** ergibt.

[0071] Der Signal count gibt den Inhalt des Zählers **6** wieder. Dieser Inhalt wird erhöht, sobald der Pegel des Signals t_9 sich verändert. Der Zähler **6** ist somit ein Halbwellenzähler.

[0072] Sobald das Start/Stop-Signal eine z. B. steigende Taktflanke aufweist, werden die Werte des Zählers **6** und der Verzögerungsglieder **5** ausgelesen. Die erste steigende Flanke des Signals start/stop erfolgt zum Zeitpunkt T_1 . Die an den Dateneingängen der Flip-Flops **10** anliegenden Signale t_1 bis t_9 werden zum Zeitpunkt T_1 abgelesen und in den Flip-Flops **10** abgespeichert. Die gespeicherten Werte werden während der Zeit, in der das Start/Stop-Signal auf dem hohen Pegel ist, als Ausgangssignale f_{c9} bis $f_{c1} = [111110000]$ ausgegeben. Die Ausgangssignale f_{c9} bis f_{c1} werden von dem Dekoder ausgewertet und in einer Auswerteeinheit verarbeitet. Zum Zeitpunkt T_1 wird auch der Inhalt des Zählers **6** ausgelesen. Dieser beträgt zum Zeitpunkt T_1 „drei“. Zum Zeitpunkt T_2 gibt der Zähler den Wert „neun“ und die Flip-Flops **10** geben den Wert $[111111000]$ aus.

[0073] In der Auswerteeinheit **4** wird nun die Differenz zwischen den Ausgabewerten zum Zeitpunkt T_2 und zum Zeitpunkt T_1 gebildet.

[0074] Eine Signalfanke braucht in dem gewählten Beispiel „neun“ Unterzeiteinheiten, bis sie einmal um den gesamten Ring herumgelaufen ist. Die Untereinheit sei als δt bezeichnet. Eine Taktperiode ist somit gleich $9 \delta t$. Der Zeitraum zwischen T_2 und T_1 beträgt $((9-3)*9+1)*\delta t$. Dies ist gleich $55 \delta t$.

[0075] **Fig. 4** zeigt eine Ausführungsform der Korrekturschaltung für den Zähler **6** sowie dazu gehörige Signalverläufe. Der Schaltplan zeigt den Zähler **6**. Der Zähler **6** enthält ein Zählwerk **61** und ein Verzögerungsglied **62**, ein erstes Flip-Flop **66** und ein zweites Flip-Flop **67**. An dem Eingang des Zählwerks **61** ist beim Beispiel von fünf Zeitfallengliedern das Signal t_5 angeschlossen. Das Zählwerk **61** gibt das Signal count aus, das einerseits an den Dateneingang des ersten Flip-Flops **66** und andererseits an den Eingang des Verzögerungsgliedes **62** angeschlossen ist. Das Signal count ist ein Signal mit einer Wortbreite größer 1. Folglich hat das erste Flip-Flop **66**, wie auch das zweite Flip-Flop **67**, mehrere Ein- und Ausgänge für Daten.

[0076] Der Ausgang des Verzögerungsgliedes **62** ist an das Signal count_d angeschlossen. Das Verzögerungsglied **62** ist ebenfalls mittels des Kontrollsignals k einstellbar. Die Verzögerung wird vorzugsweise so eingestellt, dass sie eine halbe Taktperiode beträgt. Die Taktperiode ergibt sich aus der doppelten Anzahl an Verzögerungen der Zeitfallenglieder (beim Beispiel des Vollwellenzählers). Deshalb wird auch die Verzögerung des Verzögerungsgliedes **62** üblicherweise den der Verzögerungen der Verzögerungsglieder der Zeitfallenglieder **5** angepaßt.

[0077] Das Signal count_d wird vom Dateneingang des zweiten Flip-Flops **67** empfangen. Das erste Flip-Flop **66** und das zweite Flip-Flop **67** empfangen jeweils das Start/Stop-Signal an ihren Takteingängen. Das erste Flip-Flop **66** gibt das Signal cc und das zweite Flip-Flop **67** gibt das Signal cc_d aus. Wie aus den Signalverläufen erkennbar, zählt das Zählwerk **61** in diesem Beispiel die steigenden Taktflanken des Signals t_5 . Das Zählwerk **61** ist somit ein Vollwellenzähler. Auch dieses ist über das Kontrollsignal einstellbar, um einen Startwert programmieren zu können.

[0078] Das Signal count_d wird durch die Verzögerung des Signals count gebildet. In den Signalverläufen sind die Werte der Signale count und count_d als Dezimalzahlen eingezeichnet. Die Verzögerung zwischen diesen beiden Signalen ergibt sich aus dem zeitlichen Abstand zwischen den Signalwechseln beider Signale. Dabei ist es fehlerträchtig, den Ablesewert eines Signals, das gerade seinen Wert gewechselt hat, zu bewerten. Bspw. sollte in dem mit X bezeichneten Zeitraum das count_d nicht weiterverarbeitet werden. Vielmehr sollte in

diesem Zeitraum auf das Signal count zugegriffen werden. Falls ein Ablesefehler auftritt, ist der abgelesene Wert in der Regel um eine ganze Taktperiode falsch.

[0079] In der folgenden Tabelle wird gezeigt, welche der Signale verwendet werden, um die oben beschriebenen Fehler zu vermeiden.

[0080] Die Signale eines Ringoszillators t_1 bis t_5 ändern sich wie in der Tabelle angegeben. Der Zähler **6** ist an das Signal t_1 angeschlossen und zählt die steigenden Taktflanken. Das Signal cc ergibt sich aus dem Signal cc und der durch das Verzögerungsglied **62** hervorgerufenen Verzögerung. Zu den meisten Zeitpunkten wird das Signal cc , das das count Signal abliest, weiterverarbeitet. Kurz vor dem Signalwechsel wird allerdings auf das Signal cc_d und kurz nach dem Signalwechsel auf ein Signal, das sich aus dem Inhalt des Wertes cc_d addiert mit dem Wert „eins“ ergibt, zurückgegriffen. Die Weiterverarbeitung

t_1	t_2	t_3	t_4	t_5	cc	cc_d	Weiterverarbeitung des Signals
1	1	1	1	1	1	1	cc
0	1	1	1	1	1	1	cc
0	0	1	1	1	1	1	cc
0	0	0	1	1	1	1	cc
0	0	0	0	1	1	1	cc_d
0	0	0	0	0	1	1	cc_d
1	0	0	0	0	2	1	cc_d+1
1	1	0	0	0	2	1	cc_d+1
1	1	1	0	0	2	1	cc
1	1	1	1	0	2	2	cc
1	1	1	1	1	2	2	cc
0	1	1	1	1	2	2	cc
0	0	1	1	1	2	2	cc
0	0	0	1	1	2	2	cc

ist nicht zeitkritisch und erfolgt in der Auswertevorrichtung **4**.

[0081] Fig. 5 veranschaulicht ein weiteres Ausführungsbeispiel für die Korrektur des Zählerwertes. Es wird der Zähler **6** mit einem Zählwerk **61**, einem ersten Flip-Flop **66** und einem zweiten Flip-Flop **67** gezeigt. Das erste Flip-Flop **66** ist mit seinem Dateneingang an das Signal count und das zweite Flip-Flop **67** ist mit seinem Dateneingang an das Signal t_5 angeschlossen. An den Takteingängen des ersten Flip-Flops **66** und des zweiten Flip-Flops **67** ist das Start/Stop-Signal angeschlossen. Das Zählwerk **61** empfängt als Eingangssignal t_5 und gibt das Signal count aus. Das erste Flip-Flop **66** gibt an seinem Ausgang das Signal cc und das zweite Flip-Flop **67** an seinem Ausgang das Signal cb aus.

[0082] Das Signal cc bewertet das Signal t_5 , sobald das Signal start/stop eine wechselnde Flanke aufweist (beim Beispiel des Halbwellenzählers). Das vom zweiten Flip-Flop **67** gespeicherte und an seinem Ausgang bereitgestellte Signal cb wird zur Korrektur des abgelesenen Zählerwertes cc verwendet.

[0083] Die folgende Tabelle veranschaulicht die Korrektur eines abgelesenen Zählerwertes cc . In diesem werden die Flanken eines Signals t_1 gezählt.

t_1	t_2	t_3	t_4	t_5	cb	cc	Korrektur
1	1	1	1	1	1	2	
0	1	1	1	1	0	3	
0	0	1	1	1	0	3	

t_1	t_2	t_3	t_4	t_5	cb	cc	Korrektur
0	0	0	1	1	0	2	cc+1
0	0	0	0	1	0	3	
0	0	0	0	0	0	3	
1	0	0	0	0	1	3	cc+1
1	1	0	0	0	1	4	
1	1	1	0	0	1	4	
1	1	1	1	0	1	4	
1	1	1	1	1	1	4	
1	1	1	1	1	1	4	
0	1	1	1	1	0	4	cc+1
0	0	1	1	1	0	5	

[0084] Das Korrektursignal cb misst auch den Signalwert des Signals t1. cb hat somit den gleichen Wert wie das Signal f_{c1} . Immer wenn sowohl cb gleich 0 und cc gerade ist, wird ein Fehler erkannt und der abgelesene Zählerwert um 1 erhöht. Die gleiche Korrektur erfolgt, falls $cc = 1$ und cb ungerade ist.

[0085] Fig. 6 zeigt die Anordnung der Zeitfallenglieder in einer schematischen Übersicht. Es sind fünf Zeitfallenglieder **5** mit jeweils einem Verzögerungsglied **11** und einem Flip-Flop **10** gezeigt. Die Zeitfallenglieder **5** sind so angeordnet, dass die Verzögerungsglieder **11** und Flip-Flops **10** nah beieinander liegen. Der Abstand zwischen diesen beiden Blöcken ist mit a_1 gekennzeichnet. Dadurch, dass a_1 kurz ist, erreichen die Signale t_1 bis t_5 zu gleichen Zeiten das Verzögerungsglied **11** und das Flip-Flop **10** eines Zeitfallengliedes **5**. Die Länge der Signalleitungen f_{c1} , bis f_{c5} verlängern sich entsprechend. Dies ist aber nicht kritisch, da für die Auswertung diese Signale mehr Zeit zur Verfügung steht. Der Abstand zwischen dem ersten und dem letzten Flip-Flop **10** ist mit a_2 gekennzeichnet. Der Abstand a_2 ist im gezeigten Beispiel größer als der Abstand a_1 . Der Abstand a_3 bezeichnet den größten Abstand von Flip-Flops dreier benachbarter Zeitfallenglieder, auch a_3 ist größer als a_1 .

[0086] Der Start/Stop-Generator **1** erzeugt das start/stop-Signal und treibt es über die Leitungen l_1 bis l_5 zu den Flip-Flops **10**. Die Leitungen der l_1 bis l_5 werden so ausgelegt, dass ihre Leitungslängen jeweils gleich sind. Dazu werden die Leitungen teilweise mäanderförmig geführt. Um die Verzögerungen über die Leitungen l_1 bis l_5 gleichmäßig zu machen, ist es auch notwendig, dass die Leitungen l_1 bis l_5 ähnliche Koppelkapazitäten zu anderen Leitungen aufweisen. Diese Koppelkapazitäten können per Simulation berechnet werden, um das Auslegen der Leitungen entsprechend zu anzupassen.

[0087] Fig. 7 zeigt einen Ring aus Zeitfallengliedern **5** und die dazugehörige Stromversorgung **9**. Die Stromversorgung **9** versorgt die Zeitfallenglieder **5**, sowie andere Teile der elektrischen Schaltung **90** und weist eine Spannungsquelle V_{dd} , zwei Widerstände R_1 , R_2 und zwei Kondensatoren C_1 und C_2 auf. Die Leitungen l_{d1} und l_{g1} , die die Zeitfallenglieder **5** versorgen, sind über die Widerstände R_1 und R_2 an die Spannungsquelle V_{dd} angeschlossen. Die anderen Teile der elektrischen Schaltung **90**, beispielsweise der Start/Stop-Generator und die Auswertevorrichtung, sind über die Versorgungsleitungen l_{d2} und l_{g2} angeschlossen.

[0088] Aufseiten der Zeitfallenglieder **5** ist eine Kapazität C_2 und aufseiten der Stromversorgung ist eine Kapazität C_1 angebracht. Die Anordnung aus Widerständen und Kondensatoren bildet einen Bandpass für die Signale auf den Spannungsversorgungsleitungen. Ein solcher entsteht durch die Überlagerung eines Hochpasses und eines Tiefpasses, wie es im unteren Teil der Fig. 7 gezeigt ist. Nur die schraffierten Bereiche kennzeichnen Frequenzen, die nicht vollständig unterdrückt und so von den Zeitfallengliedern fern gehalten werden. Dies ist gewünscht, um sehr hochfrequente und sehr niedrigfrequente Störungen, die von den anderen Teilen der elektrischen Schaltung erzeugt werden, zu unterdrücken.

[0089] Fig. 8 zeigt Signalfusspläne für eine Auswertung der gemessenen Werte in verschiedenen Ausführungsformen.

[0090] Die Auswertevorrichtungen enthalten jeweils eine Berechnungseinheit **53**, ein Register **51**, ein Subtrahierglied **52** und einen Auswertezähler **47**.

[0091] Die Auswertevorrichtung in der oben gezeigten Ausführungsform empfängt die Signale lc , cc und cb . In der Berechnungseinheit **53** wird der Zählerwert cc mittels des Korrektursignal cb korrigiert. Anschließend wird aus dem Signal lc und dem korrigierten Zählerwert der Messwert c für den gemessenen Zeitpunkt zusammengesetzt. Da die Werte für zwei verschiedene Zeitpunkte gemessen werden, wird der zuerst gemessene Wert in dem Register **51** abgespeichert.

[0092] Im Subtrahierer **52** wird die Differenz der gemessenen Werte zu den zwei Zeitpunkten errechnet. Diese Differenz wird als Signal bin an den Auswertezähler **47** ausgegeben. Das Kontrollsignal k ist an den Auswertezähler **47** angeschlossen und dient beispielsweise dazu, die Größe der Messbereiche einzustellen.

[0093] In der in **Fig. 8** unten gezeigten Ausführungsform empfängt die Berechnungseinheit **53** das Signal lc und das bereits korrigiert Zählensignal uc .

[0094] **Fig. 9** zeigt Einzelheiten der Auswerteeinheit **4** und einen Zeitfallenblock **8**. Der Zeitfallenblock **8** enthält die Kontrolleinheit **2**, den Zeitstempel **3**, die Zeitfallenglieder **5**, deren Anzahl im vorliegenden Fall **31** beträgt, sowie den Zähler **6**.

[0095] Als Eingangssignal empfängt der Zeitfallenblock **8** das Start/Stop-Signal und gibt das Zählensignal $cc<0:3>$, das verzögerte Zählensignal $cc_d<0:3>$ und die Ausgabesignale $f_c<30:0>$ aus. Die Ausgabesignale der Flip-Flops **10** werden im folgenden auch als Finecount-Signale bezeichnet. Die Auswerteeinheit **4** enthält einen Dekoder **32**, einen Auswahlblock **43**, einen Multiplizierer **44**, einen Addierer **45**, einen Differenzbilder **46** und einen Auswertezähler **47**. Der Dekoder **32** empfängt die Finecount-Signale $f_c<30:0>$ und erzeugt das Signal lc . Dieses Signal lc ist gegenüber den Signalen $f_c<30:0>$ komprimiert, sodass es nur 4 Bit für die Darstellung der Information benötigt.

[0096] Der Multiplexer **43** schaltet je nach Zustand des Signals lc entweder das Signal $cc<0:3>$ oder das Signal $cc_d<0:3>$ auf seinen Ausgang uc . Zur Darstellung der 31 möglichen Kombinationen des Signals $f_c<30:0>$ werden 5 Bits benötigt, was auch der Wortbreite des Signals lc entspricht. Über das Signal k kann die Auflösung des Signals lc bestimmt werden. Dadurch können mehrere Zeiteinheiten **5t** zusammengefasst werden. Bspw. gibt $1c$ nur vier verschiedene Werte aus, obwohl die Auflösung der Finecount-Signale größer ist.

[0097] Das Signal uc wird mittels des Multiplizierers **44** mit dem Zahlenwert **62** multipliziert. Das Ergebnis wird im Addierer **45** mit dem Signal lc addiert. Das Ergebnis dieser Addition ist das Signal c , das zu dem Differenzbilder **46** geführt wird. Der Differenzbilder **46** bildet die Differenz aus den Signalen c , die zu den Zeitpunkten T_1 und T_2 gemessen wurden. Das Ergebnis dieser Differenz wird in dem Auswertezähler **47** gespeichert. Der Auswertezähler **47** enthält acht einzelne Ergebniszähler. Jeder Ergebniszähler ist einem Messbereich zugeordnet. Entspricht ein bin einem solchen Messbereich, wird der zugehörige Ergebniszähler um eins hochgezählt.

[0098] Die Größe der Messbereiche für die Zähler werden über das Kontrollsignal k eingestellt. Durch feine Veränderungen der Größe der Messbereiche wird die Auflösung der Messung vergrößert oder verkleinert. Dies dient dazu, um die Verteilung der Messwerte möglichst vollständig, aber gleichzeitig möglichst genau zu erfassen. Bei einer Standardverteilung sollten dabei für einen Messbereich, der ein σ bereit ist, ein oder zwei Ergebniszähler zur Verfügung stehen. Bei sechs σ braucht man somit zwölf Ergebniszähler. Bei sicherheitskritischen Messungen, z.B. für Bauteile, die in Automobilen verbaut werden, kann ein großer Messbereich gewählt werden. Dagegen wird bei Bauteilen für Konsumentenprodukte eine größere Auflösung und somit eine schnellere Messung gewählt werden.

[0099] Stehen bspw. 20 Zähler zur Verfügung, kann ein Gesamtmessbereich von 160 bin abgedeckt werden, wenn jeweils acht $bins$ je zu einem Messbereich zusammengefasst werden. Stellt man fest, dass der gemessene Bereich zu breit ist und in den meisten Messbereichen keine Messwerte gezählt wurden, werden bei den folgenden Messungen weniger $bins$ in einem Messbereich zusammengefasst. Dadurch wird die Auflösung und somit die Ablesegenauigkeit größer. Welche Messbereiche zusammengefasst werden, wird vorzugsweise von außen per Software gesteuert oder kann von einem Benutzer eingestellt werden.

[0100] **Fig. 10** zeigt die Messergebnisse für die Messung eines Zeitraums mittels des erfindungsgemäßen Verfahrens. Dabei ist die Häufigkeit des Auftretens der $bins$ über den $bins$ aufgetragen. Die $bins$ sind in der Einheit Finecount eingezeichnet, wobei fünf Finecount Stufen das Hochzählen des Zählers um eins bewirken. Die Häufigkeit steigt ab dem bin acht Taktzyklen plus vier f_c bis zu dem bin zehn Taktzyklen an, woraufhin es wieder bis zu dem bin elf Taktzyklen plus drei f_c sinkt. Aus einer solchen Häufigkeit können Mittelwerte und Standardabweichungen berechnet werden.

Bezugszeichenliste

1	Start/Stop-Generator
2	Kontrolleinheit
3	Zeitstempel
4	Auswerteeinheit
5	Zeitfallenglied
6	Zähler
8	Zeitfallenblock
9	Stromversorgung
10	Flip-Flop
11	Verzögerungsglied
12	Inverter
13	Multiplexer
31	Korrekturblock
32	Dekoder
42	Multiplizierer
43	Multiplexer
45	Addierer
46	Differenzbilder
47	Auswertezähler
51	Register
52	Subtrahierer
53	Korrekturblock
61	Zählwerk
62	Verzögerungsglied
90	andere Teile der elektrischen Schaltung
110	Inverter
111	Buffer

Patentansprüche

1. Elektrische Schaltung zum Messen von Zeiten, wobei die elektrische Schaltung einen Zähler (6), einen Dekoder (32) und eine Vielzahl von Zeitfallengliedern (5) aufweist, wobei zumindest der Zähler (6) und die Zeitfallenglieder (5) sich zusammen auf einem integrierten Halbleiterbauteil befinden, und jedes Zeitfallenglied (5) folgende Merkmale aufweist:

- einen Dateneingang, einen Takteingang, einen Verzögerungsausgang und einen Ausgabeausgang,
 - ein Verzögerungsglied (11), das einen Signalwechsel am Dateneingang mit einer zeitlichen Verzögerung am Verzögerungsausgang ausgibt,
 - ein Flip-Flop (10) mit einem Dateneingang, einem Takteingang und einem Ausgabeausgang, wobei die Dateneingänge, die Takteingänge und die Ausgabeausgänge des Flip-Flops (10) und des Zeitfallengliedes (5) miteinander verbunden sind,
- und wobei die Zeitfallenglieder (5) als Ringoszillator geschaltet sind,
 und wobei der Zähler (6) an den Ausgabeausgang eines Zeitfallengliedes (5) und der Dekoder (32) an die Ausgabeausgänge aller Zeitfallenglieder (5) angeschlossen ist, und wobei das Verzögerungsglied (11) und das Flip-Flop (10) eines jeden Zeitfallengliedes (5) nahe beieinander angeordnet sind,

wobei das Verzögerungsglied (11) und das Flip-Flop (10) eines jeden Zeitfallengliedes (5) so nahe beieinander angeordnet sind, dass der Abstand (a_1) zwischen dem Verzögerungsglied (11) und dem Flip-Flop (10) kleiner als der größte Abstand (a_2) zwischen den Flip-Flops (10) unterschiedlicher Zeitfallenglieder (5) ist.

2. Elektrische Schaltung nach Anspruch 1, bei der der Abstand (a_1) zwischen dem Verzögerungsglied (11) und dem Flip-Flop (10) kleiner als der größte Abstand (a_3) zwischen den Flip-Flops (10) dreier benachbarter Zeitfallenglieder (5) ist.

3. Elektrische Schaltung nach einem der Ansprüche 1 bis 2, bei der eine Korrekturvorrichtung (31) den Ausgabewert des Zählers (6) korrigiert.

4. Elektrische Schaltung nach einem der Ansprüche 1 bis 2, die weiterhin einen Start/Stop-Generator (1), dessen Ausgang über Taktleitungen (l_1, l_2, l_3, l_4, l_5) an die Takteingänge der Zeitfallenglieder (5) angeschlossen ist, aufweist, wobei die Taktleitungen (l_1, l_2, l_3, l_4, l_5) so angeordnet sind, dass die Verzögerungen von dem Start/Stop-Generator (1) zu den Flip-Flops (10) der Zeitfallenglieder (5) im wesentlichen gleich sind.

5. Elektrische Schaltung nach einem der Ansprüche 1 bis 4, bei der die Versorgungsleitungen für die Spannungsversorgung so angeordnet sind, dass die Versorgungsleitungen (l_{d1}, l_{g1}), die die Zeitfallenglieder (5) versorgen, von den Versorgungsleitungen (l_{d2}, l_{g2}) für andere Teile (90) der elektrischen Schaltung getrennt sind und bei der an den Versorgungsleitungen für die Verzögerungsglieder Kondensatoren angebracht sind.

6. Elektrische Schaltung nach Anspruch 5, bei der die Versorgungsleitungen (l_{d1}, l_{g1}), die die Zeitfallenglieder (5) versorgen, an andere Kontaktanschlüsflächen als die Versorgungsleitungen (l_{d2}, l_{g2}) für andere Teile (90) der elektrischen Schaltung angeschlossen sind.

7. Elektrische Schaltung nach einem der Ansprüche 1 bis 6, bei der ein einziges Zeitfallenglied (5) an seinem Verzögerungsausgang ein Signal ausgibt, das einem verzögerten invertierten Signal am Dateneingang entspricht, und die anderen Zeitfallenglieder an ihren Verzögerungsausgängen nicht invertierend sind.

8. Elektrische Schaltung nach einem der Ansprüche 1 bis 7, bei der die Anzahl der Zeitfallenglieder (5) ungerade ist und jedes Zeitfallenglied an dem Verzögerungsausgang ein Signal ausgibt, das einem verzögerten invertierten Signal am Dateneingang entspricht.

9. Elektrische Schaltung nach Anspruch 8, bei der die Anzahl der Zeitfallenglieder (5) prim ist.

10. Elektrische Schaltung nach einem der Ansprüche 2 bis 9, bei der der Ausgabewert des Zählers (6) in Abhängigkeit von einem Signal, das durch die Verzögerung des Ausgangssignals des Zählers (6) erzeugt wird, korrigiert wird.

11. Elektrische Schaltung nach Anspruch 2 bis 9, bei der der Ausgabewert des Zählers (8) in Abhängigkeit von einem Ausgabesignal der Zeitfallenglieder korrigiert wird.

12. Elektrische Schaltung nach Anspruch 11, bei dem der Korrekturblock ein Flip-Flop (67) aufweist, das das Ausgabewert des Zeitfallenglieds speichert.

13. Elektrische Schaltung nach einem der Ansprüche 1 bis 11, bei der die Verzögerung der Verzögerungsglieder (10) einstellbar ist.

14. Elektrische Schaltung nach Anspruch 13, bei der die Verzögerung der Verzögerungsglieder über zuschaltbare Kondensatoren einstellbar ist.

15. Elektrische Schaltung nach einem der Ansprüche 1 bis 14, bei der durch eine Rücksetzvorrichtung (13) die Verzögerungsausgänge der Zeitfallenglieder (5) auf einen vorgegebenen Wert gesetzt werden und der Ringoszillator unterbrochen wird.

16. Elektrische Schaltung nach einem der Ansprüche 4 bis 15, bei der eine Auswerteschaltung (4) einen Zeitraum zwischen zwei Zeitpunkten (T_1, T_2) misst, wobei die Zeitpunkte sich aus der Veränderung der Pegel des Ausgangssignals des Start/Stop-Generators (1) ergeben, und wobei der Zeitraum durch Vergleich von Ausgangswerten des Zählers (6) und des Dekoders (31) zu verschiedenen Zeitpunkten (T_1, T_2) berechnet wird.

17. Elektrische Schaltung nach Anspruch 16, bei der die gemessenen Zeiträume in Messbereiche eingeteilt werden und bei der pro Messbereich in der Auswerteschaltung (4) ein Ergebnisähler vorhanden ist, der hochgezählt wird, wenn der gemessene Zeitraum zu dem Messbereich gehört.

18. Elektrische Schaltung nach einem der Ansprüche 16 bis 17, bei der die Breite des Messbereichs eingestellt werden kann.

19. Elektrische Schaltung nach einem der Ansprüche 1 bis 18, die durch rein digitale Bauelemente aufgebaut ist.

20. Elektrische Schaltung nach einem der Ansprüche 1 bis 19, die zusammen mit einer anderen, zu testenden Schaltung auf einem Halbleiterchip integriert ist.

Es folgen 9 Seiten Zeichnungen

Anhängende Zeichnungen

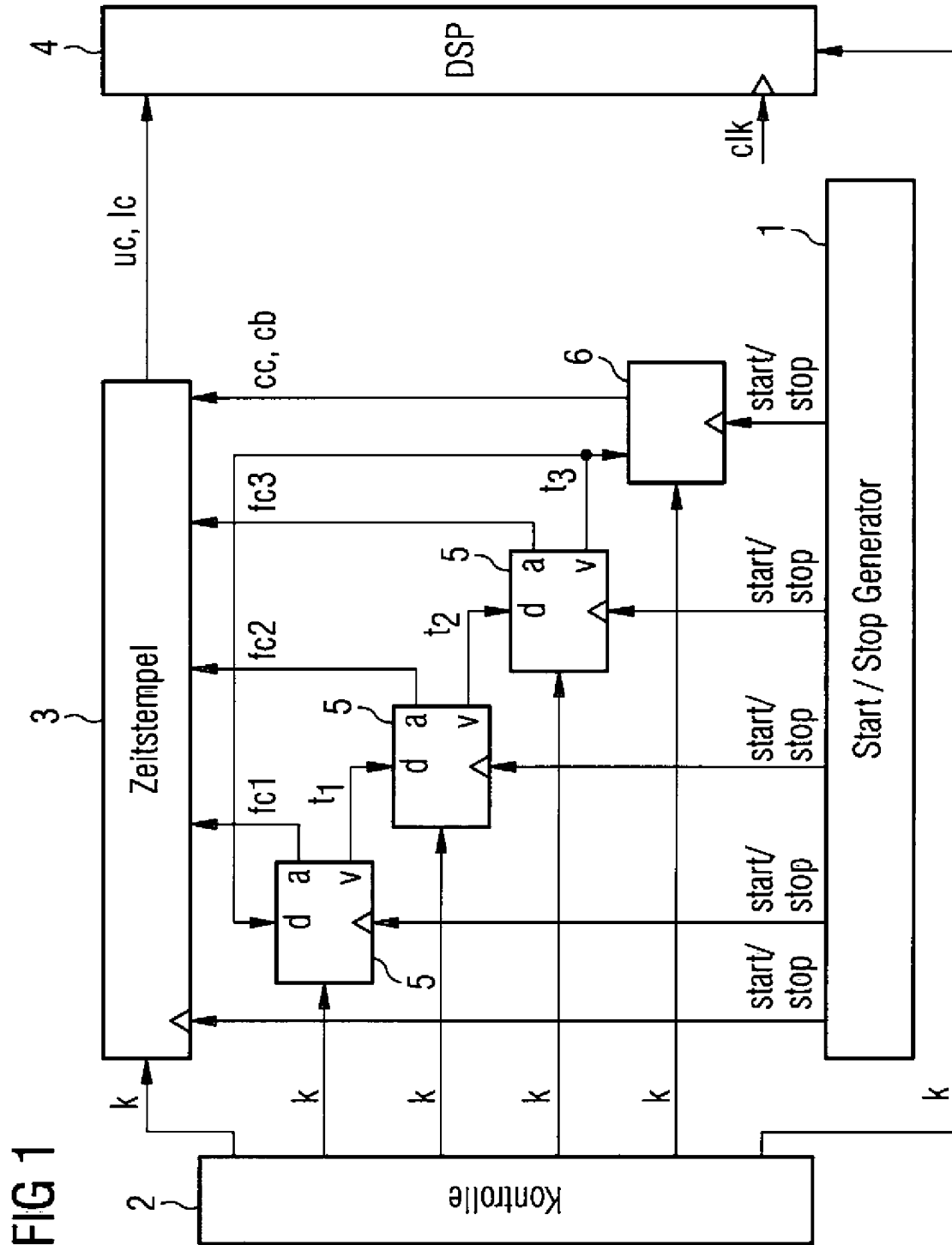


FIG 1

FIG 2A

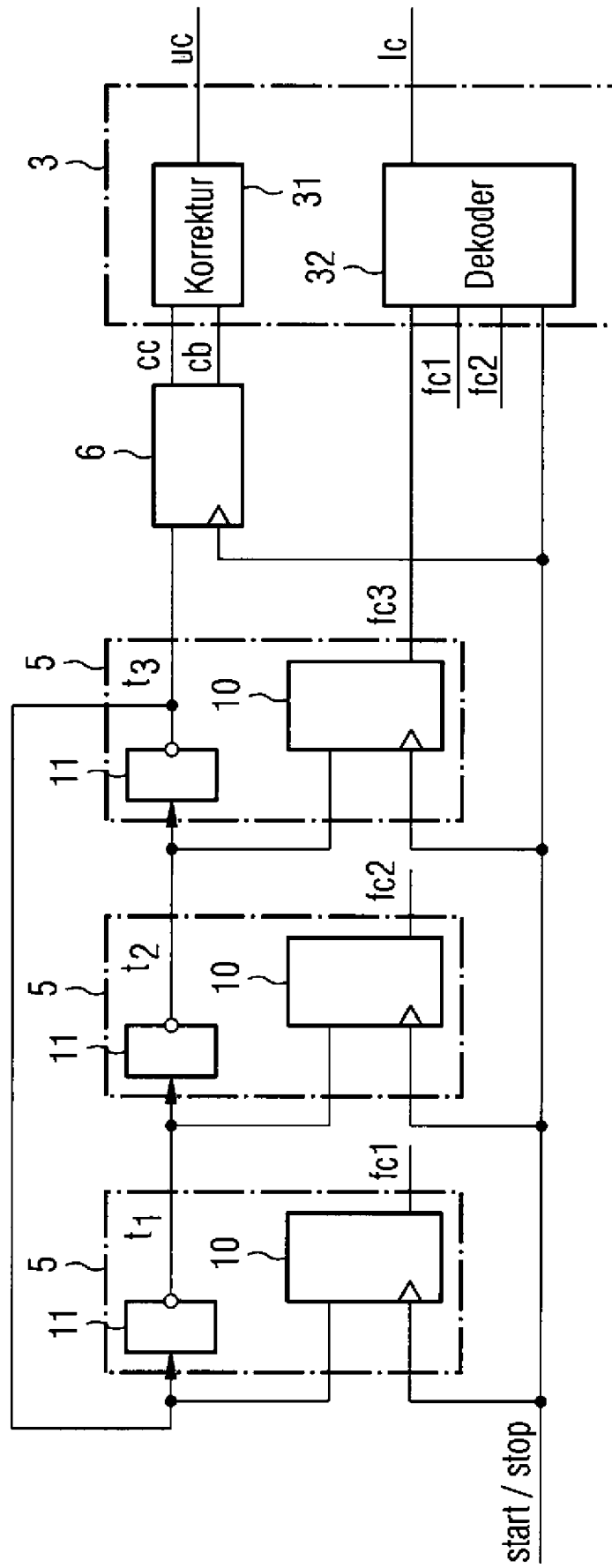


FIG 2B

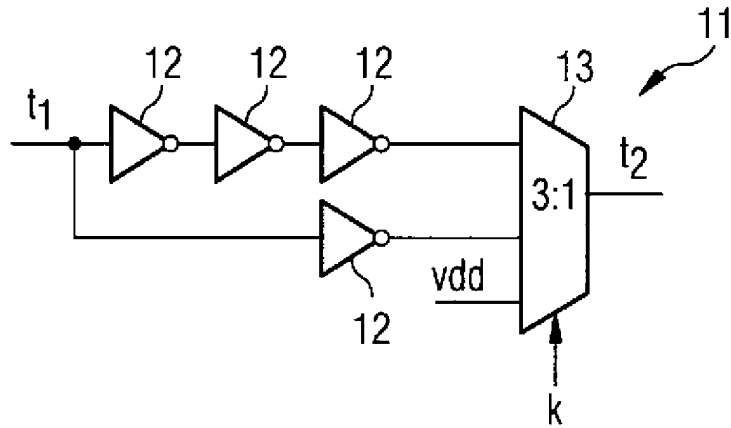


FIG 2C

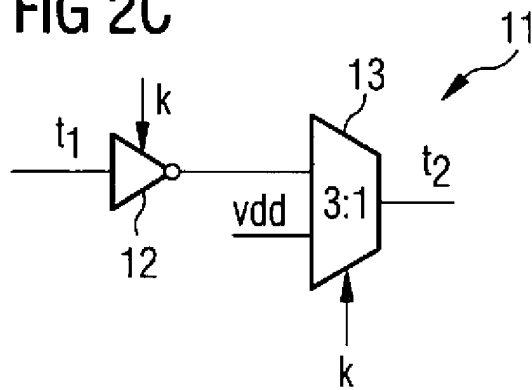


FIG 2D

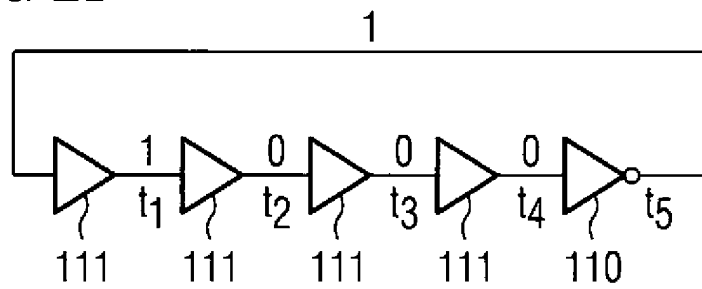


FIG 2E

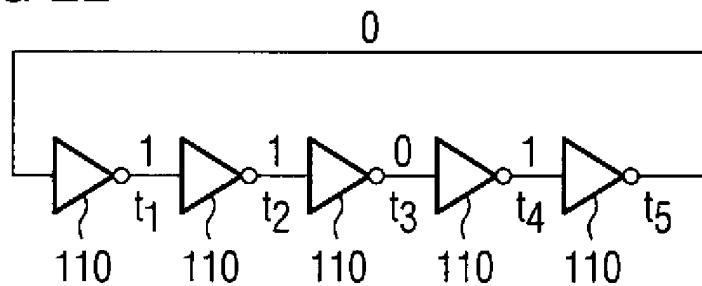


FIG 3

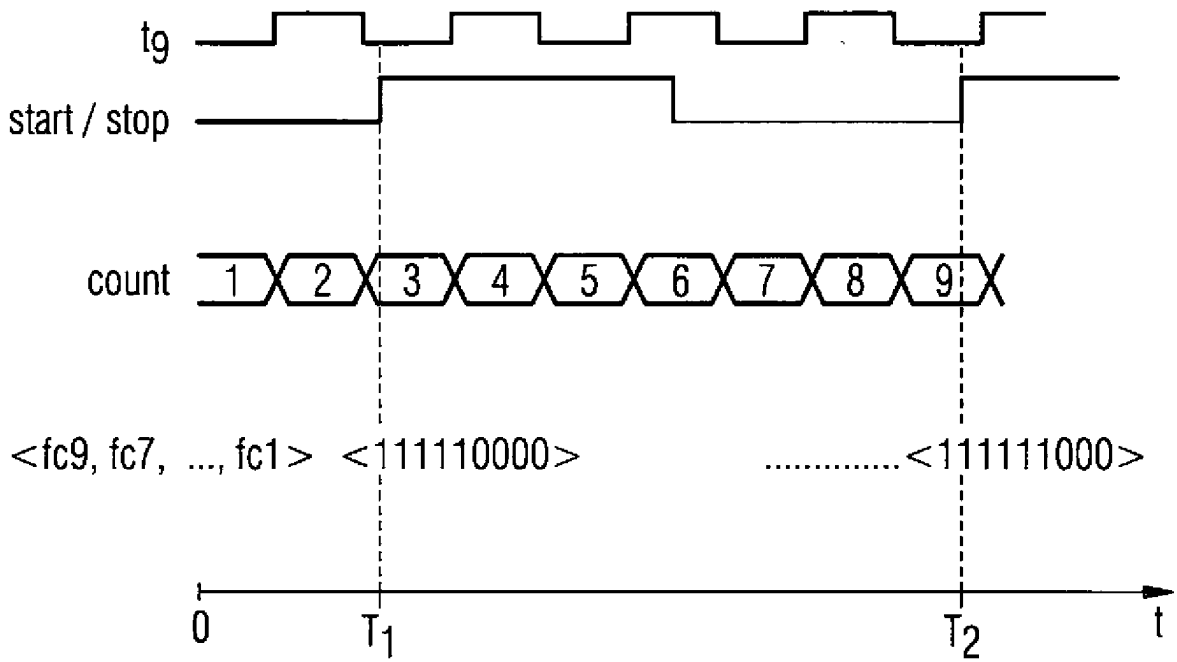


FIG 4

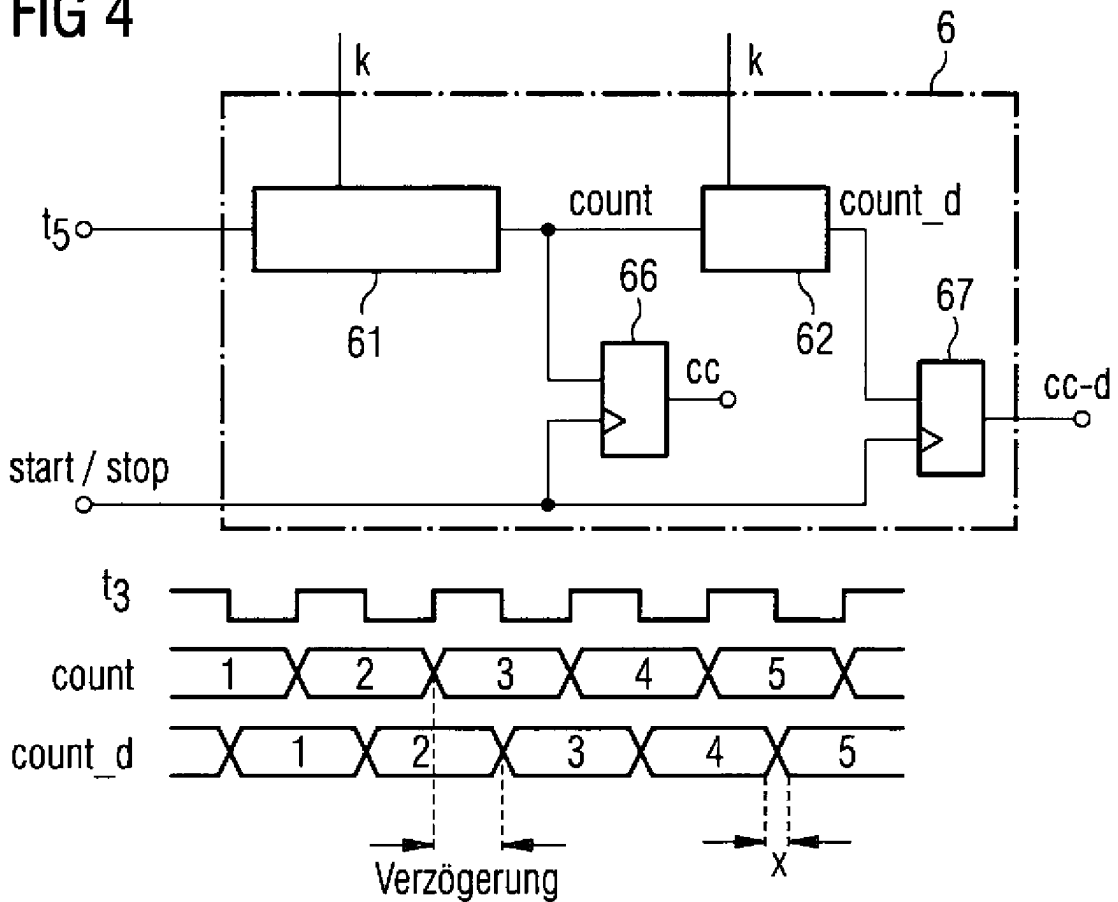


FIG 5

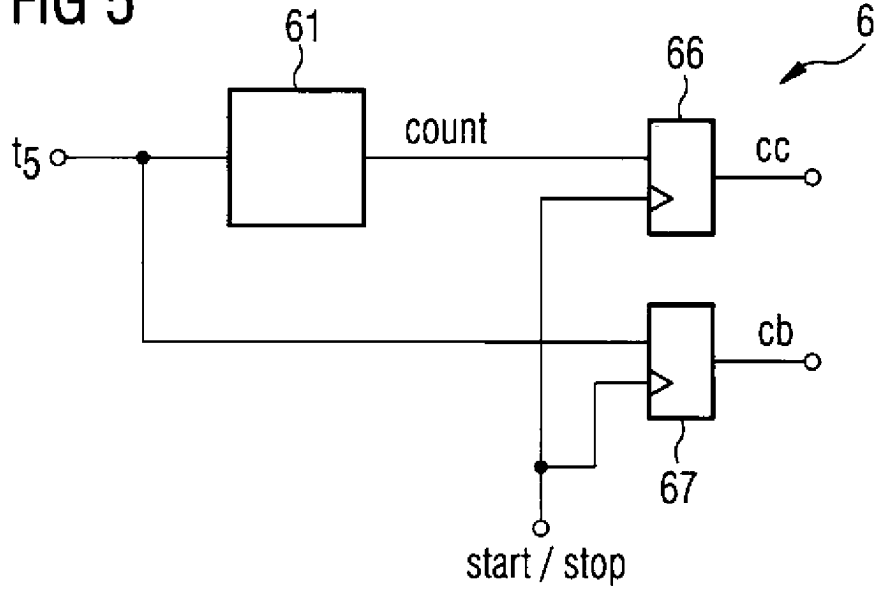


FIG 8

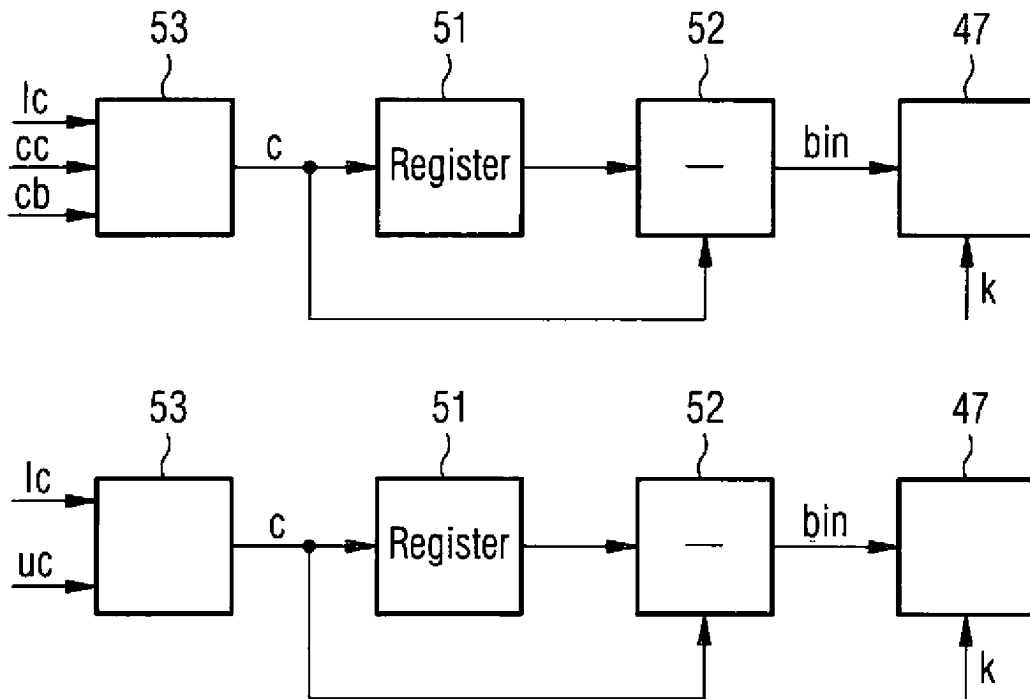


FIG 6

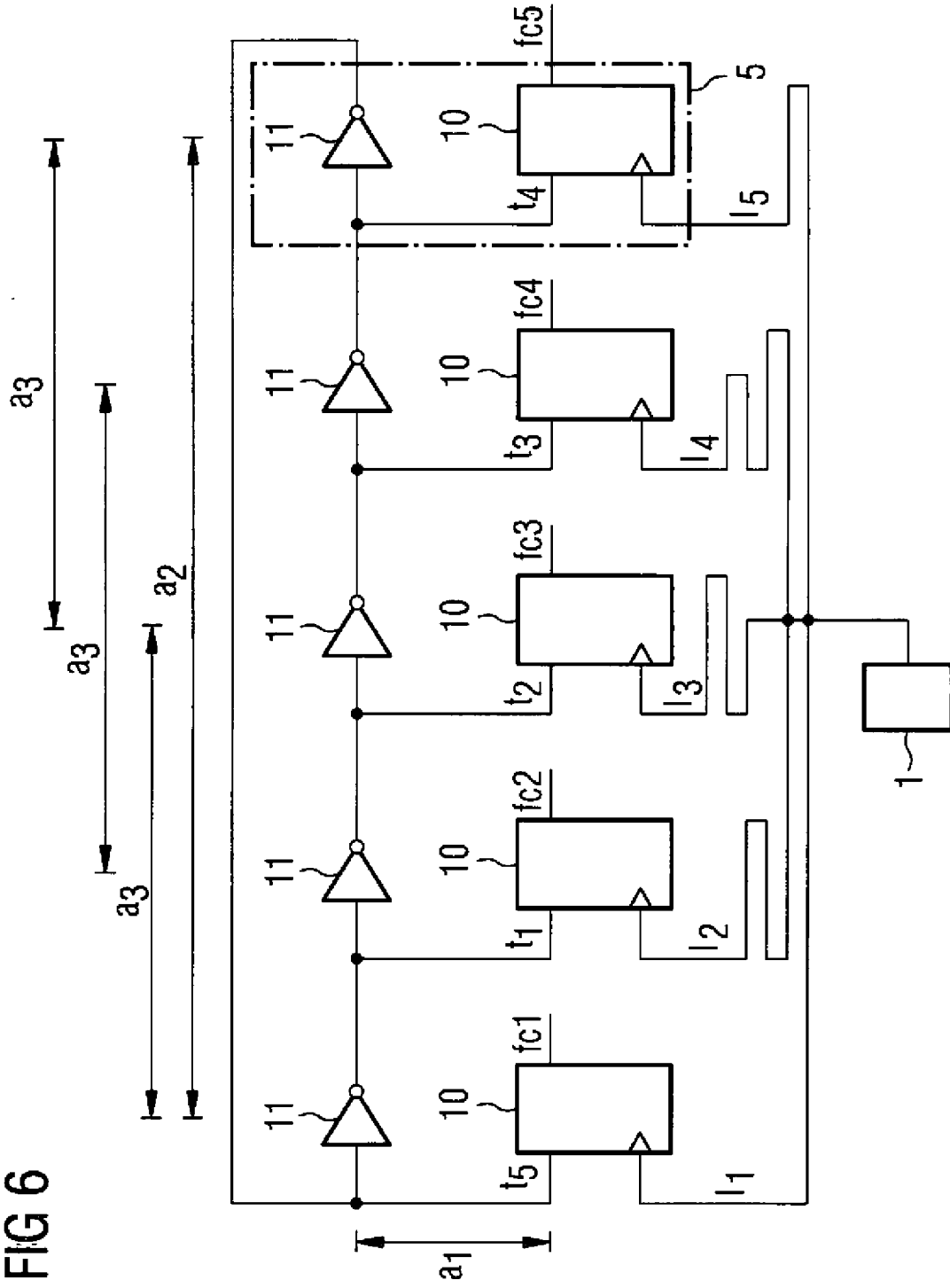
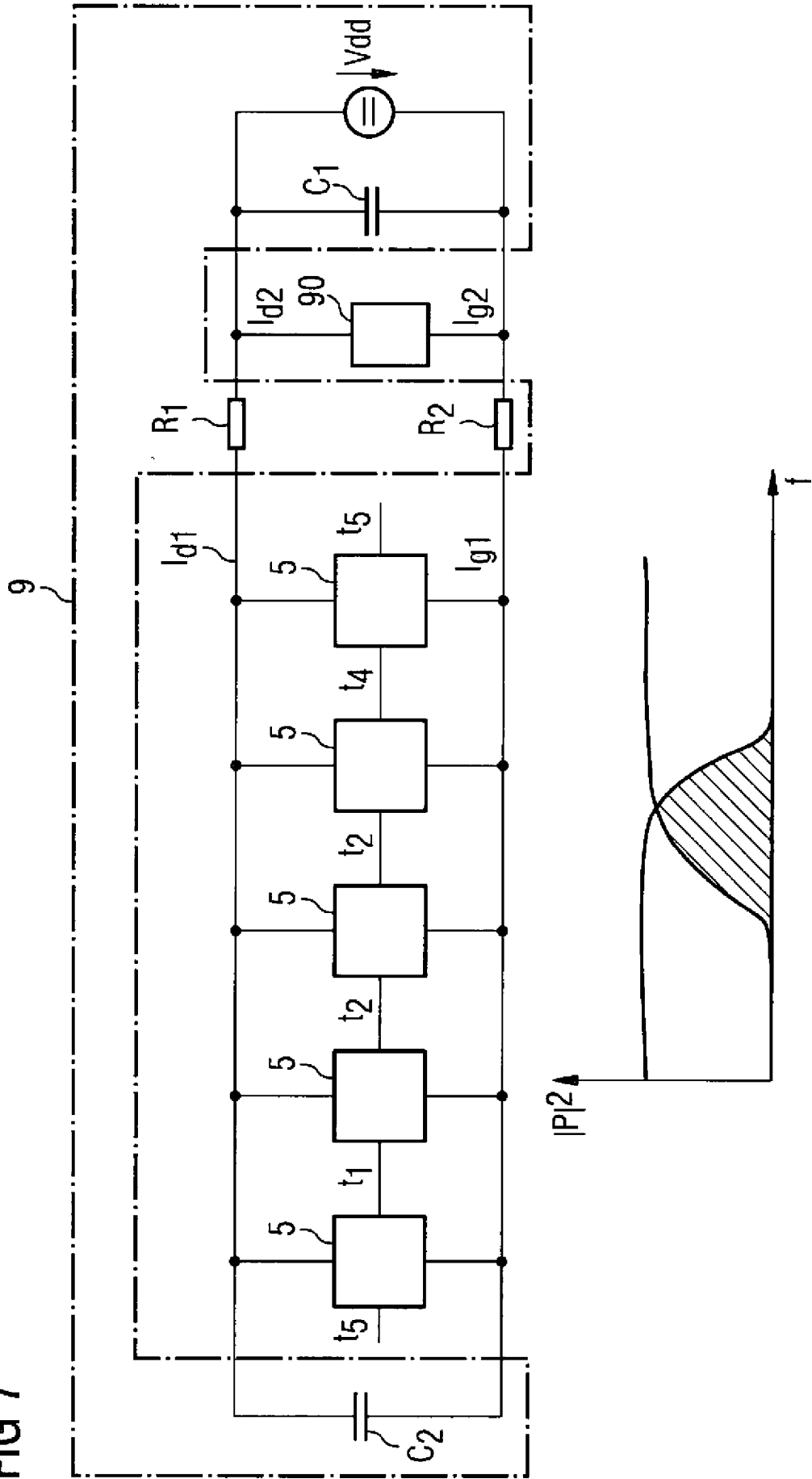


FIG 7



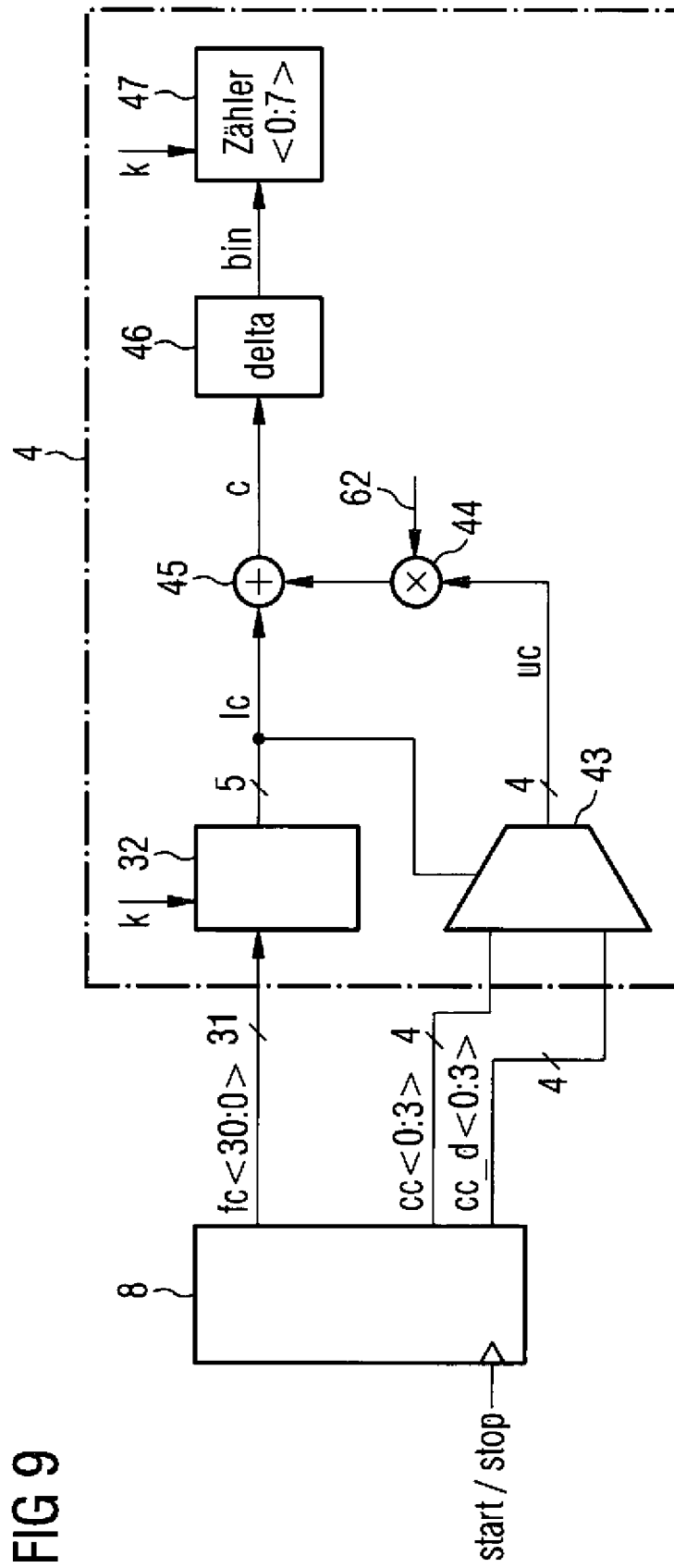


FIG 10

