

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4101062号

(P4101062)

(45) 発行日 平成20年6月11日(2008.6.11)

(24) 登録日 平成20年3月28日(2008.3.28)

(51) Int.Cl.

H03M 3/02 (2006.01)

F I

H03M 3/02

請求項の数 16 (全 12 頁)

(21) 出願番号	特願2002-586490 (P2002-586490)	(73) 特許権者	595158337
(86) (22) 出願日	平成14年4月25日 (2002.4.25)		シーラス ロジック, インコーポレイテッド
(65) 公表番号	特表2004-525580 (P2004-525580A)		Cirrus Logic, Inc.
(43) 公表日	平成16年8月19日 (2004.8.19)		アメリカ合衆国 テキサス 78746,
(86) 国際出願番号	PCT/US2002/013098		オースティン, ビアフォーチュナ 2901
(87) 国際公開番号	W02002/089316	(74) 代理人	100078282
(87) 国際公開日	平成14年11月7日 (2002.11.7)		弁理士 山本 秀策
審査請求日	平成17年4月22日 (2005.4.22)	(74) 代理人	100062409
(31) 優先権主張番号	09/843,393		弁理士 安村 高明
(32) 優先日	平成13年4月26日 (2001.4.26)	(74) 代理人	100113413
(33) 優先権主張国	米国 (US)		弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 アナログーデジタル変調器

(57) 【特許請求の範囲】

【請求項1】

アナログーデジタルコンバータのための変調器であって、該変調器は、電力供給によって駆動される積分器であって、アナログ信号を受信し、積分する積分器と、該積分器に結合された少なくとも1つの別の積分器であって、該電力供給とは異なる電源を供給する少なくとも1つの別の電力供給によって駆動される少なくとも1つの別の積分器と、該積分器および該少なくとも1つの別の積分器に結合された加算回路であって、該積分器の出力信号と該少なくとも1つの別の積分器の出力信号とを加算する加算回路と、該加算回路に結合された量子化器であって、該加算回路の加算された出力をデジタル化された信号に量子化し、該デジタル化された信号は、出力信号として出力される、量子化器とを備え、該量子化器の量子化された出力信号は、少なくとも該積分器にフィードバックされ、該少なくとも1つの別の積分器は、該アナログ信号を積分し、該加算回路は、該積分器の出力信号および該少なくとも1つの別の積分器の出力信号に該アナログ信号をさらに加算し、該積分器および該少なくとも1つの別の積分器のそれぞれは、デジタルーアナログコン

10

20

バータをさらに含み、該デジタルーアナログコンバータは、該量子化器から該デジタル化された信号を受信し、該デジタル化された信号を別のアナログ信号に変換する、変調器。

【請求項2】

各々のデジタルーアナログコンバータに結合されたダイナミックエレメントマッチングシステムをさらに備え、該ダイナミックエレメントマッチングシステムは、前記デジタル化された出力信号を受信し、該デジタルーアナログコンバータのコンポーネントの使用をトラッキングし、該デジタルーアナログコンバータの動作を線形化するように構成されている、請求項1に記載の変調器。

【請求項3】

値を有する係数ゲインを有する増幅器をさらに備え、該増幅器は、変調器コンポーネントに結合されており、該係数ゲインは、前記積分器および前記少なくとも1つの別の積分器の電圧レベルが動作および出力限界内に維持されるように決定され、設定されている、請求項1に記載の変調器。

10

【請求項4】

該積分器の積分係数ゲイン k_1 は、積分キャパシタが前記積分器に対して小さくされ得るように、十分に大きい値を有するように設定されている、請求項3に記載の変調器。

【請求項5】

前記少なくとも1つの別の積分器のうちの第2の積分器の第2の積分係数ゲイン k_2 は、前記積分器からの出力電圧が該第2の積分器の動作レンジ内の電圧値まで十分に低減されるように、十分に小さい値を有するように設定されており、該電圧値は、該第2の積分器に入力される、請求項4に記載の変調器。

20

【請求項6】

前記第2の積分係数ゲイン k_2 は、 $k_1 * k_2 * f_2 * a_q * b_1$ に等しい C_2 によって決定され、 k_1 は第1の積分係数ゲインであり、 k_2 は第2の積分係数ゲインであり、 f_2 は前記第2の積分器のフィードフォワード係数ゲインであり、 a_q は前記量子化器のゲインであり、 b_1 は前記積分器のフィードバックゲインであり、 C_2 はノイズ伝達関数によって選択された値であり、 b_1 、 k_1 、 a_q は前記変調器の回路制約によって決定され、固定されている、請求項5に記載の変調器。

【請求項7】

前記 k_2 および f_2 の値は、前記第2の積分器の最大出力電圧が該第2の積分器の最大動作電圧よりも少しだけ低い最大値に設定されるように、それぞれの値に調整され、設定されており、これにより、該第2の積分器のフィードフォワード係数ゲインを有する増幅効果が生じ、前記量子化器が、該第2の積分器において生じたエラーに対してさらに感度が良くなる、請求項6に記載の変調器。

30

【請求項8】

請求項1～7にいずれかに記載の少なくとも1つの変調器と、

該少なくとも1つの変調器に結合された少なくとも1つの間引きフィルタであって、該デジタル化された出力信号からオーバーサンプリングされた信号部分をダウンサンプリングし、フィルタリングする少なくとも1つの間引きフィルタとを備えた、アナログーデジタルコンバータチップ。

40

【請求項9】

前記少なくとも1つの間引きフィルタに結合されたシリアルポートをさらに備え、該シリアルポートは、前記少なくとも1つの間引きフィルタから前記デジタル化された出力信号を受信し、該デジタル化された信号を出力する、請求項8に記載のアナログーデジタルコンバータチップ。

【請求項10】

アナログーデジタルコンバータの信号を変調する方法であって、

該方法は、

電力供給によって駆動される積分器によって、アナログ信号を積分するステップと、該電力供給とは異なる電源を供給する少なくとも1つの別の電力供給によって駆動され

50

る少なくとも1つの別の積分器によって、該アナログ信号を積分するステップと、
 加算回路によって、該アナログ信号と、該積分器および該少なくとも1つの別の積分器
 の出力とを加算するステップと、

量子化器によって、該加算回路の加算された出力をデジタル化された信号に量子化する
 ステップであって、該デジタル化された信号は、デジタル化された出力信号として出力さ
 れ、該積分器にフィードバックされる、ステップと、

該積分器および該少なくとも1つの別の積分器に結合された複数のデジタルーアナログ
 コンバータによって、該量子化器からフィードバックされた該デジタル化された出力信号
 を受信するステップと、

該複数のデジタルーアナログコンバータのそれぞれによって、該デジタル化された出力
 信号を別のアナログ信号に変換するステップと

を包含する、方法。

【請求項11】

複数のダイナミックエレメントマッチングシステムによって、前記デジタル化された出
 力信号を受信するステップであって、デジタルーアナログコンバータが、該複数のダイナ
 ミックエレメントマッチングシステムのそれぞれに結合されている、ステップと、

該複数のダイナミックエレメントマッチングシステムのそれぞれによって、該複数のデ
 ジタルーアナログコンバータのコンポーネントの使用をトラッキングするステップと、

該ダイナミックエレメントマッチングシステムによって、それぞれのデジタルーアナロ
 グコンバータの動作を線形化するステップと

をさらに包含する、請求項10に記載の方法。

【請求項12】

前記積分器および前記少なくとも1つの別の積分器の電圧レベルが動作および出力限界
 内に維持されるように、変調器コンポーネントの係数ゲインの値を決定し、設定するステ
 ップをさらに包含する、請求項11に記載の方法。

【請求項13】

積分キャパシタが前記積分器に対して小さくされ得るように、十分に大きな値を有する
 ように該積分器の積分係数ゲイン k_1 を設定するステップをさらに包含する、請求項12
 に記載の方法。

【請求項14】

該積分器からの出力電圧が該第2の積分器の動作レンジ内の電圧値まで十分に低減され
 るように、十分に小さい値を有するよう前記少なくとも1つの別の積分器のうちの第2
 の積分器の第2の積分係数ゲイン k_2 を設定するステップをさらに包含し、該電圧値は該
 第2の積分器に入力される、請求項13に記載の方法。

【請求項15】

$k_1 * k_2 * f_2 * a_q * b_1$ に等しい C_2 によって前記第2の積分係数ゲイン k_2 を
 決定するステップをさらに包含し、 k_1 は第1の積分係数ゲインであり、 k_2 は第2の積
 分係数ゲインであり、 f_2 は前記第2の積分器のフィードフォワード係数ゲインであり、
 a_q は前記量子化器のゲインであり、 b_1 は前記積分器のフィードバックゲインであり、
 C_2 はノイズ伝達関数によって選択された値であり、 b_1 、 k_1 、 a_q は前記変調器の回
 路制約によって決定され、固定されている、請求項14に記載の方法。

【請求項16】

前記第2の積分器の最大出力電圧が該第2の積分器の最大動作電圧より少し小さい最大
 値に設定されるように、前記 k_2 および f_2 の値をそれぞれの値に調整し、設定するステ
 ップをさらに包含し、それにより、該第2の積分器のフィードフォワード係数ゲインを有
 する増幅効果が生じ、前記量子化器が、該第2の積分器において生じたエラーに対してさ
 らに感度が良くなる、請求項15に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

(相互参照した特許出願)

本願は、本願と同じ日に同時に特許出願として出願された、タイトルが「METHOD AND SYSTEM FOR OPERATING TWO OR MORE DYNAMIC ELEMENT MATCHING (DEM) COMPONENTS WITH DIFFERENT POWER SUPPLIES FOR A DELTA-SIGMA MODULATOR OF AN ANALOG-TO-DIGITAL CONVERTER」(代理人明細書番号1103-CA)である米国特許出願に関連して相互参照する。本特許出願はまた、Allenらにより2000年6月9日出願された、タイトルが「VOLTAGE LEVEL SHIFTER」(代理人明細書番号1039-EP)(以降、Allenらの特許出願として参照する)である同時係属中の米国特許出願番号09/591,124号(テキサス州オースティンのCIRRUS LOGIC, INCに譲渡されている)を相互参照する。Allenらの特許出願は、本明細書中に全体的に参照として援用される。

10

【背景技術】

【0002】

(1. 技術分野)

本願は、概して、アナログーデジタルコンバータに関し、詳細には、アナログーデジタル(「A/D」)コンバータのための変調器に関する。さらに詳細には、本発明は、A/Dデルタースigma変調器の異なる電力供給を用いる2つ以上の積分増幅器を動作するための方法およびシステムに関する。

20

【0003】

(2. 関連技術の記載)

アナログーデジタルコンバータ(ADC)は、デジタル動作および/または保存のため、アナログ信号からデジタル信号へ変換するために使用される。デルタースigma変調器は、アナログーデジタルコンバータに対するアナログ入力信号をデジタル化するように動作される。アナログーデジタル(「A/D」)コンバータのデルタースigma変調器は、共に連結している、少なくとも積分器、総和回路、および量子化器を備える。積分器は、入力信号について積分動作を実行し、総和回路は、積分器からの積分された信号を加算する。いくつかのデルタースigma変調器は、積分の複数の段階を提供する多重積分器を有する。量子化器は、デジタル化した信号を提供するために総和回路から足された出力を量子化するように動作する。

30

【0004】

理想的なADCは、いずれのノイズを追加することなく信号をデジタル化する。しかし、電子回路特有のノイズのために、ADCの電子回路は、少なくとも若干量のノイズを信号に加える(例えば、熱ノイズに限らず、大部分に含む)。ダイナミックレンジは、一般に、ADCの性能を測定する。ダイナミックレンジは、最大信号電力(ADCは最大信号電力デジタル化し得る)と、ADCによって加えられたノイズの電力(例えば、ノイズ電力)との比である。ADCの設計に関する所望の目的は、ダイナミックレンジを増加させることである。ダイナミックレンジを増加させることを達成するための方法は、ノイズ電力を低減させること、および/または、信号電力を増加させることである。

40

【0005】

ノイズ電力を低減させることに関し、熱ノイズが考察される。熱ノイズは、 $2kT/(C \cdot OSR)$ (ここで、 k はボルツマン定数、 T は温度、 C はサンプリングキャパシタンス、 OSR はオーバーサンプリング比である)に比例する。例えば、サンプリングキャパシタンスまたはオーバーサンプリング比が二倍になれば、ノイズ電力において3デシベル(dB)の低減が生じる。ノイズ電力において12dBの低減を達成するために、オーバーサンプリング比に対するキャパシタのサイズは16倍よりさらに大きくなる必要がある。この問題におけるノイズ電力を低減させるアプローチにより、キャパシタサイズおよびキャパシタ面積を著しく増大させる必要性があるという不利益を生じる。キャパシタサイズおよびキャパシタ面積が増大される必要があれば、チップのコストは顕著に増加させる

50

ことになる。

【0006】

信号電力を増加させる際に、信号電力が分析される。信号電力は、 $(V_{rms})^2$ （ここで、 V_{rms} は入力信号の2乗平均平方根（「rms」）である）電圧に比例する。例えば、rms電圧は、ダイナミックレンジにおいて12dBの増加を達成するために4乗だけ増大される必要がある。さらに、ADCにおいて「上流（upstream）」にあるアナログ回路は、システムのダイナミックレンジをより容易に制限しない。しかし、信号電力の増加により、いくつかの問題が生じる。第1に、より大きい信号電圧を適応させるために、回路は、全て高電圧を扱うことのできる高電圧集積回路デバイス（例えば、トランジスタ、レジスタ、キャパシタなど）から作製される必要がある。高電圧回路デバイスは、一般に、低電圧回路デバイスよりも物理的にサイズおよび面積の占拠が大きい。例えば、高電圧トランジスタは、低電圧トランジスタと比較して10～20倍の物理領域を占領する。第2に、高電圧回路は、それぞれの低電圧回路よりもより大きい電力量を消費する。例えば、18ボルトの電力供給を有する高電圧回路は、3.3ボルトの電力供給を有する低電圧回路よりも5倍を超える電力を消費し得る。

10

【0007】

典型的に、単一の電力供給が、デルタシグマ変調器の全コンポーネントを駆動する。例えば、同様の電力供給が、デルタシグマ変調器における全積分器の積分増幅器を駆動する。変調器技術は発展して、大きな電力電圧（例えば、5ボルト以上）で変調器を駆動し得る。大きな電力電圧により、A/Dコンバータは、広範な電圧領域においてアナログ入力信号を受信し、動作することが可能になる。これにより、より広範なダイナミックレンジおよびより高い信号対ノイズ比を有するA/Dコンバータになる。しかし、物理的に、例えば、ラージサイズのトランジスタといった大きなコンポーネントは、高電圧下で動作するA/Dコンバータに対して必要とされる。物理的に大きなコンポーネントの使用により、A/Dコンバータチップのサイズは大きくなり、コストはより高くなる。また、大きな電力電圧が、変調器コンポーネントを駆動するので、A/Dコンバータは全体的により大きな電力を消費する。

20

【0008】

本発明は、デルタシグマ変調器を駆動する大きな電力電圧を維持する必要性を認識し、故に、少なくともより広範なダイナミックレンジおよびより高い信号対ノイズ比がA/Dコンバータに提供される。しかし、同時に、本発明は、A/Dコンバータチップの全体の物理的なサイズ、コスト、および電力消費を維持するか、もしくは、低減させるための断続的な必要性および所望を認識する。

30

【発明の開示】

【課題を解決するための手段】

【0009】

（発明の要旨）

アナログーデジタル（「A/D」）コンバータの変調器の異なる電力供給を有する2つ以上の積分増幅器を動作させる方法およびシステムが開示される。第1に、上流積分器は、1つの電力供給を備えて動作し、他の下流積分器（単数または複数）は、少なくとも別の電力供給を備えて動作する。変調器は、決定され、かつ、設定された値を有する係数ゲインを持つ増幅器を有し、故に、少なくとも別の積分器についての電圧レベルは動作中および出力限界内に維持される。積分キャパシタが1つの積分器について小さくさせられ得るように、第1の積分器の積分係数ゲイン k_1 は、十分大きい値を有するよう設定される。第1の積分器からの出力電圧が第2の積分器の動作領域内の電圧値まで十分に低減されるように、第2の積分器の別の積分係数ゲイン k_2 は、十分に小さい値を有するよう設定される。

40

【0010】

上記、ならびに、本発明のさらなる目的、特徴、および利点が、以下の詳細に記載された説明により明白になる。

50

【0011】

本発明の特性に見られる新規の特徴は、添付の特許請求の範囲において示される。しかし、本発明自体、ならびに、好適な使用モード、本発明のさらなる目的および利点は、添付の図面と共に読むと、例示の実施形態の以下の詳細な説明に関連して最良に理解される。

【発明を実施するための最良の形態】

【0012】

(例示の実施形態の詳細な説明)

アナログーデジタル(「A/D」)コンバータのための変調器の異なる電力供給を有する2つ以上の積分増幅器が動作するための方法およびシステムが記載される。上流積分器である第1の積分器は、1つの電力供給を用いて動作し、他の下流積分器(単数または複数)は、少なくとも別の電力供給を用いて動作する。変調器の係数は、信号の電力か下流積分器(単数または複数)の動作領域内にあるように、下流積分器(単数または複数)の前のゲイン(単数または複数)が信号の電圧を十分に低減させるように設計される。

【0013】

ここで図1を参照すると、本発明に従って、アナログーデジタル(「A/D」)コンバータ(例えば、図3のA/Dコンバータチップ300)のための例示のデルタシグマ変調器100のブロック図が示される。デルタシグマ変調器100は、図1に示されるように直列に連結した積分器1、2、3、...、N(「INT1、2、3...N」)を有する。積分器1、2、3...Nは、加算増幅器103を有する総和(Σ)回路102にそれぞれ連結される。総和回路102は、順に、図1にさらに示されるように量子化器(Q)104と直列に連結される。量子化器104は、出力(「OUT」)信号50を提供する。出力信号50は、遅延(1/Z)109にまでフィードバックされる。遅延109は、ダイナミックエレメント適合(「DEM」)システム106A、106B、106C...106Nに並列に連結され、フィードバックされる。DEMシステム106A、106B、106C...106Nは、図1に示されるように対応のデジタルーアナログコンバータ(「DAC」)108A、108B、108C...108Nと直列にそれぞれ連結される。DAC108A、108B、108C...108Nは、図1に示されるように対応する加算増幅器101A、101B、101C...101Nと直列にそれぞれ連結される。加算増幅器101A、101B、101C...101Nは、積分器1、2、3、...、Nへの入力と直列にそれぞれ連結される。

【0014】

電力供給V10の固有の電力供給の電圧とグラウンド(「GND」)60との間に高電圧を提供する電力供給V10は、第1の積分器(例えば、上流積分器)、総和回路102、量子化器104、およびDAC108A、108B、108C...108Nを駆動する。電力供給V20の固有の電力供給の電圧とGND60との間に低電圧(電力供給V10の電力供給の電圧(例えば、高電圧)とは異なる電圧(例えば、低電圧)である)を供給する別の電力供給V20は、下流積分器2、3、4、5...NおよびDEMシステム106A、106B、106C...106Nを駆動する。変調器100は、変調器のコンポーネントを駆動するために使用される複数の電力供給(例えば、2つの電力供給V10およびV20)を有する。第1の積分器1、総和回路102、量子化器104、およびDAC108A、108B、108C...108Nは、電力供給V10によって供給される比較的高い電力電圧(例えば、5ボルト以上)で駆動され、下流積分器2、3、4、5...NおよびDEMシステム106A、106B、106C...106Nは、電力供給V20によって供給される比較的低い電力電圧(例えば、5ボルト未満)で駆動される。例えば、電力供給V10は、1セットのコンポーネントに16ボルトの電力供給の電圧を提供し得、電力供給V20は、他のセットのコンポーネントに3.3ボルトの電力供給電圧を提供し得る。変調器100のための比較的低い電力電圧で駆動するコンポーネントは、一般に、比較的高い電力電圧で駆動するコンポーネントよりも物理サイズが小さく、より低い電力を消費する。2つ以上の電源と異なる電力供給電圧(例えば、比較的高い電

10

20

30

40

50

力電圧および低い電力電圧)で駆動する変調器コンポーネントの使用により、変調器100および変調器100を取り込むA/Dコンバータチップ300は、動作中、物理サイズがより小さくなり、より低い電力を消費することが可能になる。

【0015】

デルタシグマ変調器100の動作について言えば、アナログ入力(「IN」)信号30は、加算増幅器101Aを介して第1の積分器1に供給され、入力される。最も上流の積分器である第1の積分器1は、IN信号30上で積分動作を実行する。積分器1から積算された出力信号は、次に、加算増幅器101Bを介して積分器2に供給され、入力される。下流積分器2は、積分器1からの受信した信号でさらなる積分動作を実行する。積分器1および2と直列で連結される下流積分器3~Nまでは、積分器1および2が動作するようにIN信号30上で類似して繰り返される積分動作を実行する。IN信号30および積分器1、2、3...Nからの出力は、総和回路102の加算増幅器103への入力として供給される。総和回路102の加算増幅器103は、IN信号30および積分器1、2、3...Nからの出力を共に加える。総和回路102から結果として総和した出力は、量子化器104に入力信号として供給される。量子化器104は、デルタシグマ変調器100のデジタル化された出力(「OUT」)信号50として、総和回路102から総和した出力を量子化して、デジタル化する。OUT信号50は、OUT信号50を遅延する遅延109にフィードバックされる。遅延されたOUT信号50は、DEMシステム106A、106B、106C...106NおよびDAC108A、108B、108C...108Nに並列にそれぞれフィードバックされる。DAC108A、108B、108C...108Nは、受信した遅延OUT信号50を再びアナログ信号に変換し、積分器(単数または複数)1、2、3...Nは、さらに積分動作(単数または複数)を実行し得る。DEMシステム106A、106B、106C...106Nは、遅延したOUT信号50を受信して、それぞれのDAC108A、108B、108C...108Nのエレメントまたはコンポーネントの使用をトラッキングして、DAC108A、108B、108C...108Nの動作を線形化する。

【0016】

デルタシグマ変調器100の設計に関して図1を再度参照すると、デルタシグマ変調器100の係数ゲインが示される。入力信号の係数ゲインs0、s1、s2、s3...sNを有する増幅器は、対応する加算増幅器103、101A、101B、101C...101Nと直列にそれぞれ連結される。積分係数ゲインk1、k2、k3...kNを有する増幅器は、対応する積分器1、2、3...Nの入力に直列にそれぞれ連結される。フィードフォワード係数ゲインf1、f2、f3...fNを有する増幅器は、積分器1、2、3...Nの出力と総和増幅器103との間に直列にそれぞれ連結される。さらに、フィードバック係数ゲインb1、b2、b3...bNを有する増幅器は、DAC108A、108B、108C...108Nと総和増幅器101A、101B、101C...101Nとの間で直列に連結される。共振器係数ゲインr1を有する増幅器は、積分器3の出力から総和増幅器101Bまでフィードバックループで連結される。量子化器ゲインaqを有する増幅器は、総和増幅器103と量子化器104との間に連結される。

【0017】

デルタシグマ変調器100の係数ゲインは、一般に、1以下の値を有する。複数の電力供給V10およびV20で駆動されるデルタシグマ変調器100は、特に低電力の積分器2、3...Nに対して、デルタ変調器100を通る電圧値が変調器コンポーネントの動作電圧限界内になるように設計される。図1のデルタシグマ変調器に示されるようにフィードフォワードアーキテクチャに関して、フィードバック係数ゲインb2~bNまでの値は、0に等しく全て設定され(例えば、本質的に、フィードバック係数ゲインb2~bNを有する増幅器とのパスが存在しない)、フィードバック係数ゲインb1は、1に等しく設定される(例えば、フィードバック係数ゲインb1を有する増幅器とのパスがまだ存在する)。あるいは、フィードバックアーキテクチャに関して、フィードフォワード

10

20

30

40

50

$f_1 \sim f_{(N-1)}$ の値は、全て 0 に等しく設定され（例えば、本質的に、フィードフォワード係数ゲイン $f_1 \sim f_{(N-1)}$ を有する増幅器とのパスが存在しない）、フィードフォワード係数ゲイン $f_{(N)}$ は、1 に等しく設定される（例えば、フィードフォワード係数ゲイン $f_{(N)}$ を有する増幅器とのパスがまだ存在する）。デルタシグマ変調器 100 は、例示のフィードフォワードアーキテクチャを有する。しかし、本発明は、任意の方法で、例えば、フィードバックアーキテクチャまたはフィードフォワードアーキテクチャといった特定のアーキテクチャ、あるいは、係数ゲイン値の任意のセットに限定されない。本発明を提供し、インプリメントすることに関し、係数ゲイン値の任意の適切なセットを有する任意の適切な変調器設計が使用され得る。

【0018】

複数の電力供給 V_{10} および V_{20} で駆動するデルタシグマ変調器 100 が電圧制限内で動作するように係数ゲインの選択およびセッティングは、後により詳細に記載される。この時、積分器 1、2、3...N が論じられる。積分器 1、2、3...N は、積分器を遅延してもよいし、もしくは、遅延しなくてもよい。

【0019】

ここで図 2 を参照すると、デルタシグマ変調器 100 において積分器 1、2、3... または N になり得る例示の遅延積分器 200 が示される。積分器 1 は、高電力の遅延積分器になり、積分器 2、3...N は、低電力の遅延積分器 200 である。積分器 200 は、単一の出力（「out(n)」）214 を有する単一の終端積分器である。積分器 200 は、サンプリングキャパシタネットワーク 204 および積分増幅器 208 を有する。サンプリングキャパシタネットワーク 204 は、スイッチ 201、203、205、および 207、ならびに、サンプリングキャパシタ C_{s206} を有する。キャパシタ C_{s206} は、図 2 に示されるようにスイッチ 201 と 207 との間に直列に連結される。スイッチ 205 は、サンプリングキャパシタ C_{s206} の入力とグラウンド 201 との間に直列に連結され、スイッチ 203 は、サンプリングキャパシタ C_{s206} の出力とグラウンド 201 との間に連結される。スイッチ 207 は、サンプリングキャパシタ C_{s206} の出力と積分増幅器 208 との間に連結される。積分増幅器 208 は、増幅器 212 および積分キャパシタ C_{i210} を備える。積分キャパシタ C_{i210} は、増幅器 212 の負の入力と増幅器 212 の出力 214 との間に連結される。増幅器 212 の正の入力は、グラウンド 201 に連結される。

【0020】

入力（in(n)）信号 202 は、スイッチ 201 を介してサンプリングキャパシタネットワーク 204 に直列に入力される。phi1 および phi2 は、非オーバーラップクロック信号を表す。「phi1」クロック信号が高いとき（例えば、スイッチ 201 および 203 が閉になる）および「phi2」クロック信号が低いとき（例えば、スイッチ 205 および 207 が開になる）、キャパシタ C_{s206} の充電および非充電が、積分増幅器 208 で生じる。さらに、「phi1」クロック信号が低いとき（例えば、スイッチ 201 および 203 が開になる）および「phi2」クロック信号が高いとき（例えば、スイッチ 205 および 207 が閉になる）、キャパシタ C_{s206} は、その電荷を放電し、積分器増幅器 210 のキャパシタ C_{i210} に電荷を伝送する。キャパシタ C_{s206} および C_{i210} の充電、放電、および伝送は、積分を実行する際に、非オーバーラッピングのクロック信号「phi1」および「phi2」により繰り返して継続する。入力 IN 信号 30 に関して、積分器 200 のキャパシタ比は、 $C_s / C_i = s_1 * k_1$ になる。出力 OUT 信号 50 に関して、積分器 200 のキャパシタ比は、 $C_s / C_i = b_1 * k_1$ になる。

【0021】

第 1（上流）の積分器 1 に使用される積分器 200 は、サンプリングキャパシタ C_{s206} によってサンプリングされる熱ノイズによって設定されるデルタシグマ変調器 100 のノイズフロア（例えば、追加されたノイズ電力）を有する。積分器 1 は、高電力電力供給の電圧（例えば、18 ボルト）から動作し、所望ならば、高電圧トランジスタを備え

10

20

30

40

50

る。高電圧積分器 1 は、回路デバイスを破損することなく高電圧を安全に積分し得る。高電圧電源は、積分増幅器 208 のゲイン線形性をさらに改良する。さらに、高電圧積分器 1 により、出力「out (n)」信号 214 に対してより大きな値が可能になる。従って、 k_1 は、大きな値、または、より大きな値になるようになされ得、積分キャパシタ C_{i210} は、物理的な回路領域の節約を提供する小さいサイズのキャパシタ、または、より小さいサイズのキャパシタになるようになされ得る。

【0022】

下流積分器 2～N に対して利用される積分器 200 は、低電力供給の電圧（例えば、3.3 ボルト）から動作する。これらの積分器 2～N は、回路領域および電力消費を著しく低減させる、極めて小さい MOS-FET トランジスタから作られ得る。下流積分器 2～N の必要な性能は、積分器の必要な性能よりも非常に小さい。積分器 2～N に加わったノイズは、積分器 1 に加えられたノイズよりも極めて高くなり得る。積分器 2～N の線形性は、積分器 1 の線形性よりも非常に小さくなり得る。積分器 2～N の線形性はまた、積分器 1 の線形性よりもかなり低くなり得る。より低い性能の必要性に対する理由は、デルタシグマ変調器 100 のデルタシグマループを内部に導入されたエラーが前段階のゲインによって低減されるからである。例えば、積分器 2 によって導入されたエラーは、積分器 1 のゲインによって低減される。

【0023】

しかし、デルタシグマ変調器 100 の係数ゲインは、図 1 に示されるように $V_1(n)$ 、 $V_2(n)$ 、 $V_3(n)$... $V_N(n)$ の電圧値が低電圧積分器 2～N の増幅器の出力限界および電圧動作領域を超えないようにスケールリングされる（例えば、係数スケールリング）必要がある。積分器 2～N の積分増幅器 208 は、3.3 ボルトの電力供給で動作されるので、積分器 2～N の出力は、約 3 ボルトの差異に制限される。

【0024】

例えば、図 1 は、本発明の例示の変調器として、5 次のデルタシグマフィードフォワード変調器 100 を示す。 $V_1(n)$ 、 $V_2(n)$ 、 $V_3(n)$... $V_N(n)$ の電圧値を低減させる最初のステップにおいて、設計者は、公知技術の設計原理によるノイズ変換関数を選択し、係数ゲイン s_0 は、係数ゲイン s_1 に等しく設定される。選択された値に基づいて、積分した信号は、量子化器 104 に供給する総和回路 102 に直接連結され、エラーのみが、ここでデルタシグマ変調器 100 のデルタシグマループに供給される。しかし、 s_0 が 0 である場合、エラーおよび積分された信号の両方がループ内にあり、 $V_2(n)$... $V_N(n)$ の電圧値をはるかに大きくする。 $V_1(n)$ 、 $V_2(n)$ 、 $V_3(n)$... $V_N(n)$ の電圧値を低減させるような第 2 のステップにおいて、残りの係数ゲイン値の値が決定され、選択される。変換関数が選択された後、デルタシグマ変調器 100 内の各ループの周りのゲインが固定される。

【0025】

例えば、第 2 のループに関して、係数ゲインの関係は、式： $C_2 = k_1 * k_2 * f_2 * a_q * b_1$ により決定される。 C_2 は、選択されたノイズ変換関数によって明確にされる。係数ゲイン b_1 、 k_1 および a_q の値は、変調器回路設計において公知である様々な回路制約によって決定され、固定される。従って、積分係数および加算係数の積は、関係式： $k_2 * f_2 = C_2 / (k_1 * a_q * b_1)$ により固定される。 $V_2(n)$ の値が、積分器 2 の最大動作電圧（例えば、3 ボルト）より大きくなると、係数ゲイン k_2 の値は低減し、係数ゲイン f_2 の値は増加させる。設計者は、最大値が最大動作電圧（例えば、3 ボルト）よりも少しだけ低いように、最終的に係数ゲイン k_2 および f_2 の最適、または、最良の値を選択する。選択された値は、係数ゲイン f_2 の値が増加されるに従って、デルタシグマ変調器 100 を利用するアナログーデジタルコンバータの出力が係数ゲイン f_2 の増幅効果のために積分器 2 で生じるエラーに対してより感度が良くなるという事実に基づいて好適な値になる。

【0026】

類似の方法（単数または複数）は、他の次数のループの係数ゲインを選択するように用

10

20

30

40

50

いられ得る。例えば、 $k_3 \sim k_N$ および $f_2 \sim f_N$ の係数ゲインは、次の関係式により決定され得る： $C_3 = k_1 * k_2 * k_3 * f_3 * a_q * b_1$ ； $C_4 = k_1 * k_2 * k_3 * k_4 * f_4 * a_q * b_1$ ； $C_5 = k_1 * k_2 * k_3 * k_4 * k_5 * f_5 * a_q * b_1$ ．．．
 ．．． $C_N = k_1 * k_2 * k_3 * k_4 * k_5 * \dots * k_N * f_N * a_q * b_1$ 。

【0027】

ここで、図3を参照すると、A/Dデルタ-シグマ変調器100を組み込む例示のA/Dコンバータチップ300のブロック図が示される。A/Dコンバータチップ300は、間引きフィルタ302に直列に連結されたA/Dデルタ-シグマ変調器100を含む。間引きフィルタ302は、次に、シリアルポート304に直列に連結される。シリアルデータ入力（「SDATA IN」）信号301は、A/Dコンバータチップ300のA/D
 デルタ-シグマ変調器100に入力される。A/Dデルタ-シグマ変調器100は、SD
 A T A I N信号301をデジタル化し、そのデジタル化された信号を間引きフィルタ3
 02に出力する。間引きフィルタ302は、変調器100から受信したデジタル化された
 信号を受信し、ダウンサンプリングし（down-sample）、かつ、フィルタリン
 グして、ダウンサンプリングされた信号をシリアルポート304に出力する。シリアルポ
 ート304は、典型的に、他のコンポーネントまたはデバイスに対してA/Dコンバー
 タチップ300のインターフェースになる。ダウンサンプリングされた信号は、シリアルポ
 ート304からシリアルデータ出力（「SDATA OUT」）信号306として出力
 される。変調器100を有するA/Dコンバータチップ300は、例えば、オーディオア
 プリケーションにおけるアナログ-デジタル変換、レコーディングスタジオの機器、温度
 センサデバイス、測定機器、遠距離通信システムおよびデバイス、および任意の他の適切
 なアプリケーションといった様々なアプリケーションにおいて使用され得る。

10

20

【0028】

本発明は、第1の上流積分器1のための高電力供給V10および下流積分器2～Nを駆動するための低電力供給V20を利用する。本発明による変調器は、高電力の第1の上流積分器を利用してさらに高い入力電圧信号を可能にし、同時に、低電力の下流積分器を利用することによって物理的な占有領域、電力消費、およびコストを節約することによってより広いダイナミックレンジを提供する。

【0029】

本発明は、いずれの場合においても、特有の変調器、A/Dコンバータまたはアプリケー
 ションを利用することに限定されず、本発明はさらに、任意の他の適切なデバイス、コ
 ンポーネント、またはシステムに対して使用されても良いし、任意の適切なアプリケー
 ションに対して利用されても良い。

30

【0030】

本発明は、好適な実施形態に関して詳細に示され、かつ、記載されるが、形式上および
 詳細の多様な変更が本発明の意図および範囲から逸脱することなくなされ得ることが、当
 業者によって理解される。

【図面の簡単な説明】

【0031】

【図1】図1は、本発明によるアナログ-デジタル（「A/D」）コンバータのためのの
 例示のデルタ-シグマ変調器のブロック図である。

40

【図2】図2は、本発明による図1のデルタ-シグマ変調器における各積分器に対して使
 用され得る例示の遅延積分器のブロック図である。

【図3】図3は、図1のデルタ-シグマ変調器を組み込んだ例示のA/Dコンバータチッ
 プのブロック図である。

【図 1】

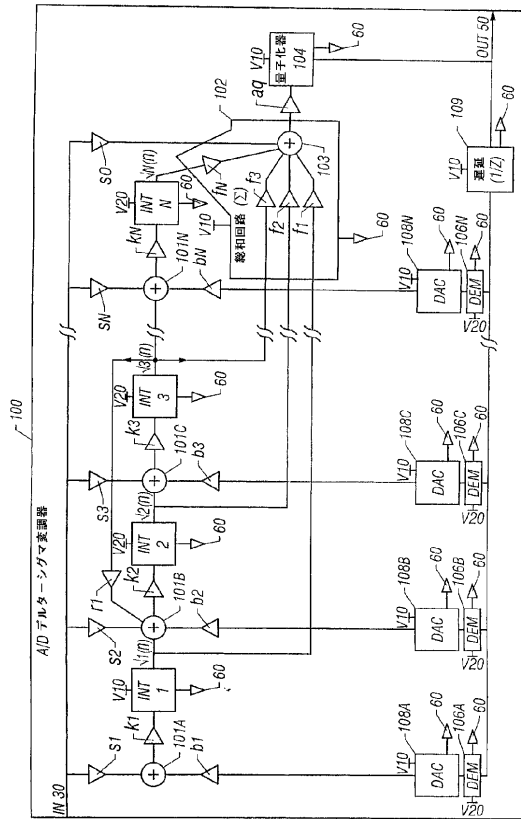


FIG. 1

【図 2】

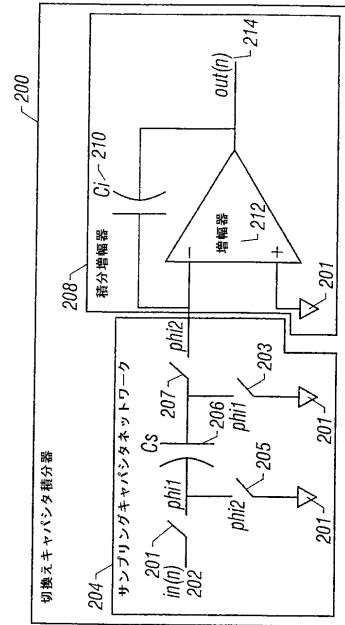


FIG. 2

【図 3】

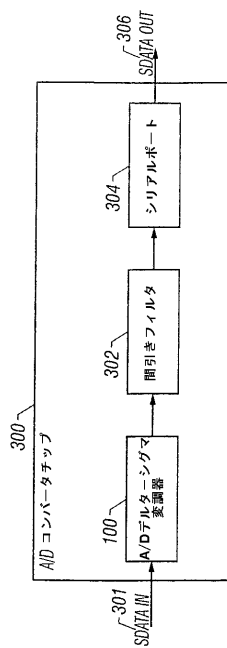


FIG. 3

フロントページの続き

(72)発明者 タッカー, ジョン クリストファー
アメリカ合衆国 メリーランド 21044, コロンビア, コロンビア ロード ナンバー 2
38 5455

審査官 矢頭 尚之

(56)参考文献 国際公開第01/028103 (WO, A1)
特表2000-509927 (JP, A)
特開2000-078015 (JP, A)
特開2001-069009 (JP, A)
特開平07-312555 (JP, A)
特開平08-330967 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H03M 3/02