



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월06일
(11) 등록번호 10-0925603
(24) 등록일자 2009년10월30일

(51) Int. Cl.

H01G 4/30 (2006.01)

(21) 출원번호 10-2007-0098300
(22) 출원일자 2007년09월28일
심사청구일자 2007년09월28일
(65) 공개번호 10-2009-0032798
(43) 공개일자 2009년04월01일

(56) 선행기술조사문현

JP2007250973 A*

KR1020060082795 A*

KR1020070002654 A

*는 심사관에 의하여 인용된 문현

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

이병화

경기 성남시 분당구 이매동 한신아파트 202동 90
4호

위성권

서울 강동구 명일1동 삼익그린아파트 503동 602호

(뒷면에 계속)

(74) 대리인

특허법인 씨엔에스·로고스

전체 청구항 수 : 총 21 항

심사관 : 이우식

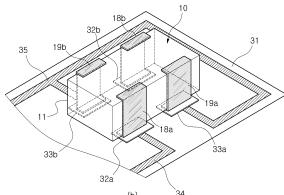
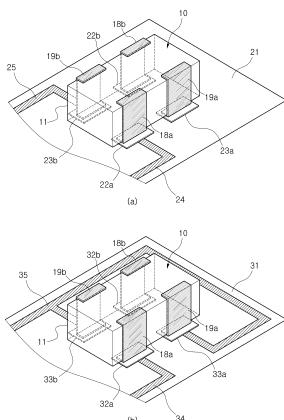
(54) 적층형 캐패시터

(57) 요 약

적층형 캐패시터는, 복수의 유전체층이 적층되어 형성된 캐패시터 본체를 갖는다. 복수의 제1 및 제2 내부 전극은 상기 본체 내에서 상기 유전체층을 사이에 두고 서로 다른 극성의 내부 전극이 서로 대향하도록 교대로 배치되며, 복수의 제1 및 제2 외부 전극은 상기 캐패시터 본체의 표면에 제공된다. 또한, 적어도 일 극성의 내부 연결도체를 포함한다.

상기 내부 연결도체는 동일한 극성의 외부 전극에 각각 연결되며, 상기 내부 연결도체와 동일한 극성의 내부 전극은 적어도 하나의 내부 전극을 포함하는 복수의 그룹으로 구분된다. 또한, 상기 각 그룹의 내부 전극은 동일한 극성의 외부 전극 중 서로 다른 외부 전극에 연결되어 그 연결된 외부 전극을 통해 상기 내부 연결도체에 전기적으로 연결된다.

대 표 도 - 도4



(72) 발명자

박상수

경기 수원시 영통구 영통동 신나무실 풍림아파트
603동1403호

박민철

경기 광명시 광명6동 374번지 63호

박동석

서울 성북구 장위1동 209-26

정해석

서울 강남구 압구정동 현대아파트 74동 1202호

특허청구의 범위

청구항 1

삭제

청구항 2

복수의 유전체층이 적층되어 형성된 캐패시터 본체;

상기 본체 내에서 상기 유전체층을 사이에 두고 서로 다른 극성의 내부 전극이 서로 대향하도록 교대로 배치된 복수의 제1 및 제2 내부 전극;

상기 본체 내에서 상기 유전체층을 사이에 두고 다른 극성의 내부 전극과 인접하도록 배치된 적어도 하나의 제1 및 제2 내부 연결도체; 및

상기 본체의 표면에 형성된 복수의 제1 및 제2 외부 전극;을 포함하며,

상기 제1 및 제2 내부 전극은 각각 적어도 하나의 내부 전극을 포함하는 복수의 그룹으로 구분되고, 상기 각 그룹의 제1 및 제2 내부 전극은 동일한 극성의 제1 및 제2 외부 전극에 연결되어 그룹별로 서로 다른 외부 전극에 연결되고, 그 연결된 외부 전극을 통해 각각 상기 제1 및 제2 내부 연결도체에 전기적으로 연결된 것을 특징으로 하는 적층형 캐패시터.

청구항 3

제2항에 있어서,

상기 제1 및 제2 외부 전극 중 적어도 일 극성의 외부 전극은 해당 극성의 내부 연결도체에 연결되며 해당 극성의 내부 전극에는 연결되지 않은 외부 전극을 포함하는 것을 특징으로 하는 적층형 캐패시터.

청구항 4

제2항에 있어서,

상기 제1 및 제2 내부 전극은 서로 동일한 수의 외부 전극에 연결된 것을 특징으로 하는 적층형 캐패시터.

청구항 5

제2항에 있어서,

상기 제1 및 제2 내부 전극 중 적어도 일 극성의 내부 전극은 해당 극성의 외부 전극 중 복수개의 외부 전극에 각각 연결된 것을 특징으로 하는 적층형 캐패시터.

청구항 6

제2항에 있어서,

적어도 일 그룹의 내부 전극은 다른 그룹의 내부 전극이 연결된 외부 전극에 추가적으로 연결된 것을 특징으로 하는 적층형 캐패시터.

청구항 7

제2항에 있어서,

상기 제1 및 제2 외부 전극은 다른 극성의 외부 전극이 인접하도록 배치된 것을 특징으로 하는 적층형 캐패시터.

청구항 8

제7항에 있어서,

상기 제1 및 제2 외부 전극은 상기 본체의 대향하는 양 측면에 형성되며,

상기 양 측면에 형성된 동일한 수의 외부 전극이 위치하도록 배열된 것을 특징을 하는 적층형 캐패시터.

청구항 9

제8항에 있어서,

상기 제1 및 제2 외부 전극은 다른 극성의 외부 전극이 상기 양 측면의 대응영역에 위치하도록 배열된 것을 특징으로 하는 적층형 캐패시터.

청구항 10

제7항에 있어서,

상기 본체는 서로 대향하는 제1 및 제2 주면과 그 사이에 위치한 4개의 측면을 갖는 직방형 구조이며,

상기 제1 및 제2 외부 전극은 상기 4개의 측면에 걸쳐 형성되고, 상기 대향하는 양 측면에서 동일한 수의 외부 전극이 위치하도록 배열된 것을 특징으로 하는 적층형 캐패시터.

청구항 11

제10항에 있어서,

상기 제1 및 제2 외부 전극은, 다른 극성의 외부 전극이 상기 대향하는 양 측면의 대응영역에 위치하도록 배열된 것을 특징으로 하는 적층형 캐패시터.

청구항 12

제2항에 있어서,

상기 제1 및 제2 내부 연결도체는, 상기 제1 및 제2 내부 전극의 중첩영역에 대응되는 중첩영역을 갖는 것을 특징으로 하는 적층형 캐패시터.

청구항 13

제2항에 있어서,

상기 캐패시터 본체는, 상기 유전체층의 적층방향에 따라 형성되며 서로 반대에 위치한 제1 및 제2 면과 그 사이에 위치한 측면을 갖고, 상기 캐패시터 본체의 제1 및 제2 면 중 어느 한 면이 실장면으로 제공되고,

상기 복수의 제1 및 제2 외부 전극 중 2개의 외부 전극은 상기 적층방향에 따라 형성되는 대향하는 양 측면에 각각 형성되며, 나머지 다른 외부 전극은 상기 본체의 제1 및 제2 면에 적어도 하나씩 형성되고,

상기 제1 및 제2 면 중 실장면으로 제공된 면에 형성된 외부 전극은 상기 측면에 형성된 외부 전극과 함께 적어도 한 쌍의 제1 및 제2 외부 전극을 포함하는 것을 특징으로 하는 적층형 캐패시터.

청구항 14

제2항에 있어서,

상기 캐패시터 본체는, 상기 유전체층의 적층방향에 따라 형성되며 서로 반대에 위치한 제1 및 제2 면과 그 사이에 위치한 측면을 갖고, 상기 캐패시터 본체의 제1 및 제2 면 중 어느 한 면이 실장면으로 제공되며,

상기 복수의 제1 및 제2 외부전극은 각각 3개 이상이며, 상기 본체의 제1 및 제2 면에 각각 반대 극성의 외부 전극이 인접하도록 동일한 수로 형성된 것을 특징으로 하는 적층형 캐패시터.

청구항 15

복수의 유전체층이 적층되어 형성된 캐패시터 본체;

상기 본체 내에서 상기 유전체층을 사이에 두고 서로 다른 극성의 내부 전극이 서로 대향하도록 교대로 배치된 복수의 제1 및 제2 내부 전극; 및

상기 본체의 표면에 형성된 m 개($m \geq 3$)의 제1 및 제2 외부 전극;을 포함하며,

적어도 일 극성의 내부 전극은 적어도 하나의 내부 전극을 포함하는 복수의 그룹으로 구분되고, 상기 각 그룹의 내부 전극은 n개($2 \leq n < m$)의 외부 전극에 각각 연결되며,

상기 각 그룹의 내부 전극에 연결된 외부 전극 중 적어도 하나는 다른 그룹의 내부 전극에 연결된 외부 전극과 상이하며, 모든 그룹의 내부 전극이 서로 전기적으로 연결되도록 일 그룹의 내부 전극이 다른 일 그룹의 내부 전극에 연결된 외부 전극에 공통적으로 연결되는 것을 특징으로 하는 적층형 캐패시터.

청구항 16

제15항에 있어서,

적어도 일 극성의 내부 전극은 상기 제1 및 제2 내부 전극이며,

상기 제1 및 제2 내부 전극은 적어도 하나의 내부 전극을 포함하는 복수의 그룹으로 구분되고, 상기 각 그룹의 내부 전극은 n개($2 \leq n < m$)의 동일한 극성인 외부 전극에 각각 연결되며,

각 극성의 내부 전극에서, 상기 각 그룹의 내부 전극에 연결된 외부 전극 중 적어도 하나는 다른 그룹의 내부 전극에 연결된 외부 전극과 상이하며, 모든 그룹의 내부 전극이 서로 전기적으로 연결되도록 일 그룹의 내부 전극이 다른 일 그룹의 내부 전극에 연결된 외부 전극에 공통적으로 연결되는 것을 특징으로 하는 적층형 캐패시터.

청구항 17

삭제

청구항 18

복수의 유전체층이 적층되어 형성된 캐패시터 본체와, 상기 본체 내에서 상기 유전체층을 사이에 두고 서로 다른 극성의 내부 전극이 서로 대향하도록 교대로 배치된 복수의 제1 및 제2 내부 전극과, 상기 본체 내에서 상기 유전체층을 사이에 두고 다른 극성의 내부 전극과 인접하도록 배치된 적어도 하나의 제1 및 제2 내부 연결도체와, 상기 본체의 표면에 형성된 복수의 제1 및 제2 외부 전극;을 포함하며, 상기 제1 및 제2 내부 전극은 각각 적어도 하나의 내부 전극을 포함하는 복수의 그룹으로 구분되고, 상기 각 그룹의 제1 및 제2 내부 전극은 동일한 극성의 제1 및 제2 외부 전극에 연결되도록 그룹별로 서로 다른 외부 전극에 연결되고, 그 연결된 외부 전극을 통해 각각 상기 제1 및 제2 내부 연결도체에 전기적으로 연결된 것을 특징으로 하는 적층형 캐패시터를 마련하는 단계;

원하는 기생직렬저항(ESR) 값을 얻기 위해서 상기 적층형 캐패시터의 제1 및 제2 외부 전극 중 전원에 연결될 제1 및 제2 외부 전극을 선택하는 단계; 및

상기 선택된 제1 및 제2 외부 전극만이 인쇄회로기판에 마련된 전원라인에 연결되도록 상기 인쇄회로기판에 상기 적층형 캐패시터를 실장하는 단계를 포함하는 적층형 캐패시터 어셈블리 제조방법.

청구항 19

제18항에 있어서,

상기 인쇄회로기판은 상기 적층형 캐패시터의 제1 및 제2 외부 전극에 각각 대응되는 복수의 마운팅패드를 구비하며,

상기 인쇄회로기판에 상기 적층형 캐패시터를 실장하는 단계는,

모든 제1 및 제2 외부 전극을 각각 대응되는 마운팅 패드에 본딩함으로써 상기 적층형 캐패시터를 상기 인쇄회로기판에 실장하되, 상기 선택된 제1 및 제2 외부전극에 대응되는 마운팅 패드에만 상기 전원라인을 연결시키는 단계인 것을 특징으로 하는 적층형 칩 캐패시터 어셈블리 제조방법.

청구항 20

제18항에 있어서,

상기 전원라인에 연결될 제1 및 제2 외부 전극을 선택하는 단계는,

상기 복수의 제1 및 제2 외부 전극 중 적어도 하나의 외부전극을 제외한 제1 및 제2 외부 전극을 선택하는 단계인 것을 특징으로 하는 적층형 칩 캐패시터 어셈블리 제조방법.

청구항 21

복수의 유전체층이 적층되어 형성된 캐패시터 본체와, 상기 본체 내에서 상기 유전체층을 사이에 두고 서로 다른 극성의 내부 전극이 서로 대향하도록 교대로 배치된 복수의 제1 및 제2 내부 전극과, 상기 본체의 표면에 형성된 m 개($m \geq 3$)의 제1 및 제2 외부 전극을 가지며, 적어도 일 극성의 내부 전극은 적어도 하나의 내부 전극을 포함하는 복수의 그룹으로 구분되고, 상기 각 그룹의 내부 전극은 n 개($2 \leq n \leq m$)의 외부 전극에 각각 연결되며, 상기 각 그룹의 내부 전극에 연결된 외부 전극 중 적어도 하나는 다른 그룹의 내부 전극에 연결된 외부 전극과 상이하며, 모든 그룹의 내부 전극이 서로 전기적으로 연결되도록 일 그룹의 내부 전극이 다른 일 그룹의 내부 전극에 연결된 외부 전극에 공통적으로 연결되는 것을 특징으로 하는 적층형 캐패시터를 마련하는 단계;

원하는 기생직렬저항(ESR)값을 얻기 위해서 상기 적층형 캐패시터의 제1 및 제2 외부 전극 중 전원에 연결될 제1 및 제2 외부 전극을 선택하는 단계; 및

상기 선택된 제1 및 제2 외부 전극만이 인쇄회로기판에 마련된 전원라인에 연결되도록 상기 인쇄회로기판에 상기 적층형 캐패시터를 실장하는 단계를 포함하는 적층형 캐패시터 어셈블리 제조방법.

청구항 22

제21항에 있어서,

상기 인쇄회로기판은 상기 적층형 캐패시터의 제1 및 제2 외부 전극에 각각 대응되는 복수의 마운팅패드를 구비하며,

상기 인쇄회로기판에 상기 적층형 캐패시터를 실장하는 단계는,

모든 제1 및 제2 외부 전극을 각각 대응되는 마운팅 패드에 본딩함으로써 상기 적층형 캐패시터를 상기 인쇄회로기판에 실장하되, 상기 선택된 제1 및 제2 외부전극에 대응되는 마운팅 패드에만 상기 전원라인을 연결시키는 단계인 것을 특징으로 하는 적층형 캐패시터 어셈블리 제조방법.

청구항 23

제21항에 있어서,

상기 전원라인에 연결될 제1 및 제2 외부 전극을 선택하는 단계는,

상기 복수의 제1 및 제2 외부 전극 중 적어도 하나의 외부전극을 제외한 제1 및 제2 외부 전극을 선택하는 단계인 것을 특징으로 하는 적층형 캐패시터 어셈블리 제조방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 적층형 캐패시터에 관한 것으로서, 특히 사용자가 직접 등가 직렬 저항(ESR)을 조절할 수 있는 디커플링용 적층형 캐패시터에 관한 것이다.

배경 기술

<2> 일반적으로, 적층형 칩 캐패시터(MLCC)는 복수의 유전체층 사이에 다른 극성의 내부 전극이 교대로 적층된 구조를 갖는다. 이러한 MLCC는 소형화가 가능하면서도 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 다양한 전자장치의 부품으로서 널리 사용된다.

<3> 특히, 컴퓨터 등의 중앙 처리 장치(CPU)를 위한 전원 공급장치는 낮은 전압을 제공하는 과정에서 부하 전류의 급격한 변화로 인한 전압 노이즈가 발생하는 문제가 있다. 따라서, 이러한 전압 노이즈를 억제하기 위한 디커플링 캐패시터용도로 적층형 캐패시터가 전원 공급장치에 널리 사용되고 있다.

- <4> 디커플링용 적층형 칩 캐패시터는 동작 주파수가 증가됨에 따라 보다 낮은 ESL 값을 가질 것이 요구되며, 이러한 ESL를 감소시키기 위한 많은 연구가 활발히 이루어지고 있다.
- <5> 또한, 더 안정적인 전원공급을 위해서, 디커플링용 적층형 캐패시터는 조절가능한 ESR 특성이 요구된다.
- <6> 적층형 캐패시터의 ESR 값이 요구되는 수준보다 낮은 경우에는, 캐패시터의 ESL과 마이크로 프로세서 패키지의 플레인 커패시턴스(plane capacitance)로 인하여 발생하는 병렬 공진주파수에서의 임피던스 피크가 높아지고 캐패시터의 직렬 공진주파수에서의 임피던스는 지나치게 낮아지는 문제가 있다.
- <7> 따라서, 사용자가 전력분배망의 평탄한(flat) 임피던스 특성을 구현할 수 있도록 디커플링용 적층형 캐패시터의 ESR 특성을 용이하게 조절하여 제공되는 것이 바람직하다.
- <8> ESR 조절과 관련하여, 외부 전극 및 내부 전극을 높은 전기적인 저항을 갖는 재료를 사용하는 방안이 고려될 수 있다. 이러한 재료변경을 통한 방안은 종래의 저 ESL 구조를 유지하면서 높은 ESR 특성을 제공할 수 있다는 장점이 있다.
- <9> 하지만, 고저항 물질을 외부 전극에 사용하는 경우에 핀홀(pin hole)로 인한 전류집중 현상이 야기하는 국부적 열점(localized heat spot)이 발생하는 문제점이 있다. 또한, 내부 전극에 고저항 재료를 사용할 경우에 고용량화에 따른 세라믹 재료과의 매칭을 위해서 내부 전극의 재료도 계속 변경해야 하는 단점이 있다.
- <10> 이와 다른 ESR 개선방안으로서, 미국등록특허 6,765,781호(양수인: TDK)는 리키지 전극(linkage electrode)를 캐패시터 본체 외부에 적용함으로써 내부 전극을 리키지 전극을 통해 직렬로 연결시키는 방안이 있다.
- <11> 하지만, 상술된 방안은 모두 캐패시터의 제조자에 의해 실행되는 ESR 조절방안이라는 단점이 있다. 즉, 사용자의 요구 및 적용 제품에 따라 원하는 특정의 등가 직렬 저항을 갖도록 전극구조를 개선하여 설계/제조된다. 이러한 문제는 앞서 설명된 재료 변경 방안도 마찬가지이다.
- <12> 따라서, 종래의 ESR 조절방안은, 캐패시터의 제조자 입장에서는 사용자의 요구와 적용 제품의 조건에 따라 다양한 ESR 특성에 만족하는 제품을 개별적으로 제조해야 하는 어려움이 있으며, 캐패시터의 사용자 입장에서는 필요한 ESR 조건에 따라 개별적으로 제품을 선택해야 하는 불편함이 있어 왔다.

발명의 내용

해결 하고자하는 과제

- <13> 본 발명은 상기한 문제점을 극복하기 위한 것으로서, 그 목적은 사용조건에 따라 요구되는 ESR 특성을 사용자가 직접 조절할 수 있는 새로운 구조를 갖는 적층형 캐패시터를 제공하는데 있다.

과제 해결수단

- <14> 상기한 기술적 과제를 실현하기 위해서, 본 발명은 사용자가 실장단계에서 전원라인과 연결되는 외부 전극의 수와 위치를 선택함으로써 원하는 ESR 특성이 구현될 수 있는 적층형 캐패시터를 제공한다.
- <15> 본 발명의 일 측면은, 복수의 유전체층이 적층되어 형성된 캐패시터 본체와, 상기 본체 내에서 상기 유전체층을 사이에 두고 서로 다른 극성의 내부 전극이 서로 대향하도록 교대로 배치된 복수의 제1 및 제2 내부 전극과, 상기 본체 내에서 상기 유전체층을 사이에 두고 다른 극성의 내부 전극과 인접하도록 배치된 적어도 일 극성의 내부 연결도체와, 상기 본체의 표면에 형성된 복수의 제1 및 제2 외부 전극;을 포함하며, 상기 내부 연결도체는 동일한 극성의 외부 전극에 각각 연결되어, 상기 내부 연결도체와 동일한 극성의 내부 전극은 적어도 하나의 내부 전극을 포함하는 복수의 그룹으로 구분되고, 상기 각 그룹의 내부 전극은 동일한 극성의 외부 전극 중 서로 다른 외부 전극에 연결되어 그 연결된 외부 전극을 통해 상기 내부 연결도체에 전기적으로 연결된 것을 특징으로 하는 적층형 캐패시터를 제공한다.
- <16> 바람직하게, 상기 내부 연결도체로는 양 극성의 내부 연결도체가 모두 채용될 수 있다. 즉, 적어도 일 극성의 내부 연결도체는 제1 및 제2 내부 연결도체일 수 있다.
- <17> 필요에 따라, 상기 제1 및 제2 외부 전극 중 적어도 일 극성의 외부 전극은 해당 극성의 내부 연결도체에 연결되며 해당 극성의 내부 전극에는 연결되지 않은 외부 전극을 포함할 수 있다.
- <18> 특정 실시형태에서, 상기 제1 및 제2 내부 전극은 서로 동일한 수의 외부 전극에 연결될 수 있다. 또한, 상기

제1 및 제2 내부 전극 중 적어도 일극성의 내부 전극은 해당 극성의 외부 전극 중 복수개의 외부 전극에 각각 연결될 수 있다.

- <19> 경우에 따라, 적어도 일 그룹의 내부 전극은 다른 그룹의 내부 전극이 연결된 외부 전극에 추가적으로 연결될 수 있다.
- <20> ESL 특성을 개선하기 위해서, 상기 제1 및 제2 외부 전극은 다른 극성의 외부 전극이 인접하도록 배치되는 것이 바람직하다.
- <21> 구체적인 예에서, 상기 제1 및 제2 외부 전극은 상기 본체의 대향하는 양 측면에 형성되며, 상기 양 측면에 형성된 동일한 수의 외부 전극이 위치하도록 배열될 수 있다. 특히, 상기 제1 및 제2 외부 전극을 다른 극성의 외부 전극이 상기 양 측면의 대응영역에 위치하도록 배열시킴으로써 보다 개선된 ESL 특성을 확보할 수 있다.
- <22> 구체적인 다른 예에서, 상기 본체는 서로 대향하는 제1 및 제2 주면과 그 사이에 위치한 4개의 측면을 갖는 직방형 구조이며, 상기 제1 및 제2 외부 전극은 상기 4개의 측면에 걸쳐 형성되고, 상기 대향하는 양 측면에서 동일한 수의 외부 전극이 위치하도록 배열될 수 있다. 바람직하게, 상기 제1 및 제2 외부 전극은, 다른 극성의 외부 전극이 상기 대향하는 양 측면의 대응영역에 위치하도록 배열될 수 있다.
- <23> 바람직하게는, 상기 제1 및 제2 내부 연결도체도, 상기 제1 및 제2 내부 전극의 중첩영역에 대응되는 중첩영역을 갖도록 제공될 수 있다. 이 경우에, 내부 연결도체는 내부 전극과 유사한 캐패시터 요소로 작용할 수 있다.
- <24> 본 발명은 유전체층이 두께방향으로 적층된 통상의 적층형 캐패시터 구조는 물론, 캐패시터 본체의 폭 또는 길이방향으로 적층된 구조에서 유익하게 적용될 수 있다.
- <25> 일 형태에서는, 상기 캐패시터 본체는, 상기 유전체층의 적층방향에 따라 형성되며 서로 반대에 위치한 제1 및 제2 면과 그 사이에 위치한 측면을 갖고, 상기 캐패시터 본체의 제1 및 제2 면 중 어느 한 면이 실장면으로 제공되고, 상기 복수의 제1 및 제2 외부 전극 중 2개의 외부 전극은 상기 적층방향에 따라 형성되는 대향하는 양 측면에 각각 형성되며, 나머지 다른 외부 전극은 상기 본체의 제1 및 제2 면에 적어도 하나씩 형성된다. 또한, 상기 제1 및 제2 면 중 실장면으로 제공된 면에 형성된 외부 전극은 상기 측면에 형성된 외부 전극과 함께 적어도 한 쌍의 제1 및 제2 외부 전극을 포함한다.
- <26> 다른 형태에서는, 상기 캐패시터 본체는, 상기 유전체층의 적층방향에 따라 형성되며 서로 반대에 위치한 제1 및 제2 면과 그 사이에 위치한 측면을 갖고, 상기 캐패시터 본체의 제1 및 제2 면 중 어느 한 면이 실장면으로 제공되며, 상기 복수의 제1 및 제2 외부 전극은 각각 3개 이상이며, 상기 본체의 제1 및 제2 면에 각각 반대 극성의 외부 전극이 인접하도록 동일한 수로 형성된다.
- <27> 본 발명의 다른 측면은, 별도의 내부 연결도체 없이 내부 전극의 연결구조를 개선함으로써 ESR 조정기능을 갖는 적층형 캐패시터를 제공할 수 있다. 이는 6 단자 이상의 다단자 구조에서 적용될 수 있다.
- <28> 상기 적층형 캐패시터는, 복수의 유전체층이 적층되어 형성된 캐패시터 본체와, 상기 본체 내에서 상기 유전체층을 사이에 두고 서로 다른 극성의 내부 전극이 서로 대향하도록 교대로 배치된 복수의 제1 및 제2 내부 전극과, 상기 본체의 표면에 형성된 m 개($m \geq 3$)의 제1 및 제2 외부 전극;을 포함하며, 적어도 일극성의 내부 전극은 적어도 하나의 내부 전극을 포함하는 복수의 그룹으로 구분되고, 상기 각 그룹의 내부 전극은 n 개($2 \leq n < m$)의 외부 전극에 각각 연결된다. 또한, 상기 각 그룹의 내부 전극에 연결된 외부 전극 중 적어도 하나는 다른 그룹의 내부 전극에 연결된 외부 전극과 상이하며, 모든 그룹의 내부 전극이 서로 전기적으로 연결되도록 일 그룹의 내부 전극이 다른 일 그룹의 내부 전극에 연결된 외부 전극에 공통적으로 연결된다.
- <29> 이러한 내부 전극의 구조 개선은 특정 극성의 내부 전극에 한하여 구현될 수 있으나, 바람직하게는 양극성의 내부 전극인 제1 및 제2 내부 전극에서 구현될 수 있다.
- <30> 이하, 본 명세서에서 사용되는 용어 중 "ESR 조정용 외부 전극"은, 실장시에 전원라인과의 직접 연결 여부에 따라 등가 회로적으로 관련 내부 전극의 직렬연결구조가 변경되어 일정한 범위에서 ESR 값을 조절시킬 수 있는 외부 전극을 말한다.

효과

- <31> 본 발명에 따르면, 적층형 캐패시터 실장시에 외부의 전원라인에 연결될 외부 전극의 선택에 따라 캐패시터의 ESR 특성을 다양하게 변경시킬 수 있다. 이와 같이, 제조업자 측에서는 다양한 ESR 특성을 만족할 수 있는 적층형 캐패시터를 단일 칩으로 제공할 수 있을 뿐만 아니라, 사용자는 외부 전극과 전원라인의 연결만으로 원하는

ESR 특성을 용이하게 결정할 수 있다.

발명의 실시를 위한 구체적인 내용

- <32> 이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 상세히 설명한다.
- <33> 도1은 본 발명의 제1 실시형태에 따른 4 단자 적층형 캐패시터 구조의 일예를 나타낸다.
- <34> 도1을 참조하면, 본 실시형태에 따른 적층형 캐패시터(10)는 복수의 유전체층(11')이 적층되어 형성된 캐패시터 본체(11)를 포함한다.
- <35> 상기 적층형 캐패시터(10)는 대향하는 양 측면에 서로 전기적으로 분리된 각각 2개의 제1 및 제2 외부 전극(18a, 18b, 19a, 19b)을 갖는다.
- <36> 상기 제1 및 제2 외부 전극(18a, 18b, 19a, 19b)은 ESL를 저감시키기 위해서 인접한 외부 전극이 반대 극성을 갖도록 배열될 수 있다. 본 실시형태에서는, 대향하는 양 측면에서 대응되는 위치에 서로 반대 극성의 외부 전극을 배치함으로써 ESL 저감효과를 향상시킬 수 있다.
- <37> 상기 적층형 캐패시터(10)는 도2 및 도3에 예시된 바와 같이, 상기 복수의 유전체층(11')에 각각 형성된 제1 및 제2 내부 연결도체(12, 13)와 제1 및 제2 내부 전극(14a, 15a, 14b, 15b)을 가질 수 있다.
- <38> 상기 복수의 제1 및 제2 내부 전극(14a, 15a, 14b, 15b)은 상기 제1 및 제2 내부 연결도체(12, 13)와 함께 유전체층(11')을 사이에 두고 서로 다른 극성의 내부 전극(14a, 15a, 14b, 15b) 또는 서로 다른 극성의 내부 연결도체(12, 13)가 교대로 배열된다.
- <39> 도2에 도시된 제1 및 제2 내부 연결도체(12, 13)는 각각 하나씩 도시되어 있으나, 적어도 일 극성의 내부 연결도체는 복수개로 제공될 수 있다.
- <40> 이와 유사하게, 도3에 도시된 제1 및 제2 내부 전극(14a, 15a, 14b, 15b)은 각각 하나씩 도시되어 있으나, 실제 적용되는 형태에서는 특정 그룹(B1, B2, C1 또는 C2)의 내부 전극은 복수개일 수 있다.
- <41> 한편, 도2 및 도3에 도시된 순서(A1-A2-B1-B2-C1-C2)에 따라 적층될 수 있으나, 필요에 따라 다양한 순서로 적층될 수 있다. 예를 들어, 내부 연결도체(12, 13)가 내부 전극 사이에 위치하도록 배치될 수 있으며(예, B1-B2-...-C1-C2-A1-A2-B1-B2-...-C1-C2), 제1 및 제2 내부 연결도체(12, 13)가 이격되어 배치될 수도 있다(예, A1-B1-B2-...-C1-C2-A2-B1-B2-...-C1-C2). 특히, 내부 연결도체의 배열위치를 변경함으로써 원하는 ESR 특성을 보다 정밀하게 조절할 수 있다.
- <42> 상기 제1 내부 연결도체(12)는 2개의 리드(L1, L2: 이하, 리드는 각 위치에 따라 동일한 표기가 사용됨)를 통해서 제1 외부 전극(18a, 18b)에 연결된다. 이와 유사하게, 상기 제2 내부 연결도체(13)는 2개의 리드(L3, L4)를 통해서 제2 외부 전극(19a, 19b)에 연결된다.
- <43> 이와 같이, 상기 제1 및 제2 내부 연결도체(12, 13)는, 모든 외부 전극에 연결된 도체패턴이면 만족하지만, 본 실시형태와 같이 상기 제1 및 제2 내부 전극(14a, 14b, 15a, 15b)의 중첩영역에 대응되는 중첩영역을 갖도록 제공함으로써, 다른 내부 전극(14a, 14b, 15a, 15b)과 유사한 캐패시터 요소로 작용할 수 있다.
- <44> 한편, 상기 제1 내부 전극(14a, 14b)은 그룹별로 다른 하나의 제1 외부 전극(18a, 18b)에 각각 연결되며, 상기 제2 내부 전극(15a, 15b)도 그룹별로 다른 하나의 제2 외부 전극(19a, 19b)에 각각 연결된다.
- <45> 즉, 도3에 도시된 바와 같이, 각 그룹의 제1 및 제2 내부 전극(14a, 15a, 14b, 15b)은 하나의 리드(L1, L2, L3, L4)를 통해서 서로 다른 하나의 외부 전극(18a, 18b, 19a, 19b)에 연결된다.
- <46> 이러한 연결을 통해서, 각 그룹의 제1 내부 전극(14a, 14b)은 서로 다른 제1 외부 전극(18a, 18b)을 통해서 제1 내부 연결도체(12)에 전기적으로 연결될 수 있으며, 각 그룹의 제2 내부 전극(15a, 15b)은 서로 다른 제2 외부 전극(19a, 19b)을 통해서 제2 내부 연결도체(13)와 전기적으로 연결될 수 있다.
- <47> 본 실시형태에서는, 전원라인과 연결을 위한 외부 단자로 사용되는 하나의 제1 및 제2 외부 전극을 제외한 2개의 외부 전극은 ESR 조정용 외부 전극으로 사용되는 형태로 이해할 수 있다.
- <48> 다만, 외부 단자로 사용되는 제1 및 제2 외부 전극은 원하는 ESR 특성에 맞게 임의로 선택될 수 있으므로, ESR 조정용 외부 전극은 특정되는 것은 아니다. 예를 들어, 제1 및 제2 외부 전극 중 각각 하나의 외부 전극(18a, 19b)을 외부 단자로 사용하는 경우에, 나머지 2개의 외부 전극(18b, 19a)은 ESR 조정용 외부 전극으로 고려

될 수 있으며, 반대의 경우도 고려될 수 있다. 또한, 동일한 수의 외부 전극을 외부 단자로 사용할 경우에도 어떠한 외부 전극을 선택하느냐에 따라 ESR 값이 미세하게 변경될 수 있다.

<49> 도4a 및 도4b는 본 발명의 제1 실시형태에 따른 적층형 캐패시터에서 ESR 값을 조정하는 방법을 설명하기 위한 개략도이다.

도4a 및 도4a에 도시된 바와 같이, 적층형 캐패시터가 인쇄회로기판에 탑재된 형태를 본 명세서에는 "적층형 캐패시터 어셈블리"라 한다.

<50> 도4a를 참조하면, 도1에 도시된 적층형 캐패시터(10)가 탑재된 인쇄회로기판(21)이 도시되어 있다. 상기 기판(21) 상에는 4개의 마운팅 패드(22a, 22b, 23a, 23b)가 마련된다.

<51> 상기 4개의 마운팅 패드(22a, 22b, 23a, 23b)에는 상기 적층형 캐패시터(10)의 외부 전극(18a, 18b, 19a, 19b)이 각각 연결되도록 솔더링된다. 여기서, 전원라인과 외부 전극의 연결은 전원라인과 마운팅패드의 연결여부에 따라 결정된다.

<52> 따라서, 적층형 캐패시터의 안정적인 지지를 도모하면서 원하는 외부 전극만을 선택적으로 전원라인과 연결시킬 수 있다.

<53> 본 실시형태에서, 2개의 마운팅패드(22a, 23b)는 전원라인(24, 25)에 각각 연결되며, 나머지 2개의 마운팅패드(22b, 23a)는 전원라인(24, 25)에 연결되지 않는다. 따라서, 상기 적층형 캐패시터(10)의 한 쌍의 제1 및 제2 외부 전극(18a, 19b)만이 전원라인(24, 25)을 통해 직접 전원과 연결될 수 있다.

<54> 이와 유사하게, 도4b를 참조하면, 인쇄회로기판(31) 상에 마련된 4개의 마운팅 패드(32a, 32b, 33a, 33b)에 상기 적층형 캐패시터(10)의 외부 전극(18a, 18b, 19a, 19b)이 각각 연결되도록 솔더링되지만, 앞선 형태와 달리 3개의 마운팅패드(32a, 33b, 33a)는 전원라인(34, 35)에 각각 연결되며, 나머지 1개의 마운팅패드(32b, 33a)는 전원라인에 연결되지 않는다.

<55> 이러한 실장에서는, 상기 적층형 캐패시터(10)의 한 쌍의 제1 및 제2 외부 전극(18a, 19b) 외에도 다른 제2 외부 전극(19a)도 전원라인(35)을 통해 직접 전원이 공급될 수 있다.

<56> 도4a에 도시된 바와 같이, 상기 제2 전원라인(25)에 일 제2 외부 전극(19b)은 연결되어 다른 제2 외부 전극(19a)은 연결되지 않는 경우에는, (B2)그룹의 제2 내부 전극(15a)은 제2 내부 연결도체(13)와 제2 외부 전극(19a)을 통해서 전원을 공급받는다. 따라서, (B2)그룹의 제2 내부 전극(15a)은 제2 외부 전극(19a)을 사이에 두고 제2 내부 연결도체(13)와 직렬로 연결되며, 이러한 직렬 연결된 저항성분으로 인해 상대적으로 높은 등가직렬저항값(ESR1)을 가질 수 있다.

<57> 반면에, 도4b와 같이, 특정 제2 외부 전극(19a)이 추가적으로 제2 전원라인(35)에 연결된 경우에는, 그 제2 외부 전극(19a)가 외부 단자가 되어 (B2)그룹의 제2 내부 전극(15a)도 직접 전원을 공급받는다. 따라서, 도4a에서 직렬로 연결되었던 (B2)그룹의 제2 내부 전극(15a)은 다른 내부 전극(15b) 및 제2 내부 연결도체(13)와 병렬 연결되므로, 도4b와 같이 연결된 적층형 캐패시터는 도4a의 실장형태에 비해 낮은 ESR 값(ESR2)을 가질 수 있다.

<58> 추가적으로, 도시되지 않았으나, 다른 제1 외부 전극(18b)도 ESR 조정용 외부 전극으로 사용될 수 있다. 상기 제1 전원라인(31)을 다른 제1 외부 전극(18b)에 추가적으로 연결하는 경우에, 앞서 설명한 바와 유사하게 해당 ESR 조정용 외부 전극인 제1 외부 전극(18b)을 사이에 두고 제1 내부 연결도체(12)와 (A1)그룹의 제1 내부 전극(14a)의 직렬 연결로 발생되는 등가 직렬저항성분까지 없어지므로, 도4b의 경우보다 낮은 ESR 값(ESR3)을 갖게 될 것이다.

<59> 이와 같이, 도1에 도시된 실시형태는 한 쌍의 외부 전극 외에 다른 한 쌍의 외부 전극을 선택적으로 외부 단자로 사용함으로써 ESR 값을 단계적으로 조정(ESR3<ESR2<ESR1)할 수 있다.

<60> 특히, 이러한 ESR 조정은 적층형 캐패시터의 실장단계에서 사용자에 의해 실행될 수 있다는 장점을 제공한다. 공급자는 제품 설계시에 다양한 ESR 값(본 실시형태의 경우에 3개의 ESR 구현가능)을 갖도록 내부 연결도체의 수와 위치를 적절히 설계하면, 사용자는 전원라인과 연결될 외부 단자를 선택함으로써 적층형 캐패시터의 ESR 값을 원하는 값으로 용이하게 조정할 수 있다.

<61> 도5는 본 발명의 제2 실시형태에 따른 4 단자 적층형 캐패시터 구조의 다른 예를 나타낸다. 본 실시형태는 상기 제1 실시형태와는 외부 전극의 위치가 다른 4 단자 적층형 캐패시터이다.

- <62> 도5를 참조하면, 본 실시형태에 따른 적층형 캐패시터(40)는 복수의 유전체층(41')이 적층되어 형성된 캐패시터 본체(41)를 포함한다.
- <63> 본 실시형태에 채용된 캐패시터 본체(41)는 서로 대향하는 제1 및 제2 주면과 그 사이에 위치한 4개의 측면을 갖는 직방형 구조이며, 상기 제1 및 제2 외부 전극(48a, 48b, 49a, 49b)은 상기 4개의 측면에 걸쳐 형성된다.
- <64> 즉, 도5에 도시된 바와 같이, 상기 제1 외부 전극(48a, 48b)은 상기 본체(41)의 대향하는 양 측면에 각각 1개씩 형성되며, 상기 제2 외부 전극(49a, 49b)은 다른 대향하는 양 측면에 각각 1개씩 형성된다. 결과적으로, 상기 제1 및 제2 외부 전극(48a, 48b, 49a, 49b)은 4개의 측면을 따라 반대 극성이 교대로 배열된다.
- <65> 이러한 외부 전극의 배열에 대응되도록, 상기 적층형 캐패시터(40)는 도6 및 도7에 도시된 제1 및 제2 내부 연결도체(42, 43)와 제1 및 제2 내부 전극(45a, 46a, 45b, 46b)을 가질 수 있다.
- <66> 상기 복수의 제1 및 제2 내부 전극(45a, 46a, 45b, 46b)은 상기 제1 및 제2 내부 연결도체(42, 43)와 함께 유전체층(41')을 사이에 두고 서로 다른 극성의 내부 전극(45b, 46b, 45a, 46a) 또는 서로 다른 극성의 내부 연결도체(13, 12)가 교대로 배열된다. 내부 전극 및 내부 연결도체의 다양한 적층순서 및 적층수에 관련하여는 앞선 제1 실시형태에서 설명된 관련 내용이 참조되어 이해될 수 있다.
- <67> 상기 제1 내부 연결도체(42)는 양측으로 연장된 2개의 리드(L1, L2)를 통해서 제1 외부 전극(48a, 48b) 모두에 연결된다. 이와 유사하게, 상기 제2 내부 연결도체(43)는 다른 양측으로 연장된 2개의 리드(L3, L4)를 통해서 제2 외부 전극(49a, 49b)에 연결된다.
- <68> 상기 제1 및 제2 내부 전극(45a, 46a, 45b, 46b)은 동일한 극성의 서로 다른 하나의 외부 전극(48a, 48b) 또는 49a, 49b)에 선택적으로 연결된다.
- <69> 예를 들어, 일 제1 외부 전극(48a)은 다른 제1 외부 전극(48b)이 연결된 (C1)그룹의 제1 내부 전극(45b)과 다른 (B1)그룹의 제1 내부 전극(44a)에만 연결된다. 이와 유사하게, 일 제2 외부 전극(49a)은 다른 제2 외부 전극(49b)이 연결된 (B2)그룹의 제2 내부 전극(46a)과 다른 (C2)그룹의 제2 내부 전극(46b)에만 연결된다.
- <70> 이러한 연결을 통해서 상기 제1 및 제2 내부 전극(45a, 46a, 45b, 46b)은 연결된 외부 전극을 통해서 각각 동일한 극성의 내부 연결도체(42, 43)와 전기적으로 연결될 수 있다.
- <71> 본 실시형태에서도, 도1에 도시된 실시형태와 유사하게, 한 쌍의 외부 전극(48a, 49a)가 연결된 경우에 나머지 제1 및 제2 외부 전극(48b, 49b)는 전원라인과 직접 연결되지 않으면서, (C1)그룹의 제1 내부 전극(45b)과 (B2) 그룹의 제2 내부 전극(46a)과 제1 및 제2 내부 연결도체(42, 43)에 각각 연결하는 외부 연결도체로서 작용한다.
- <72> 따라서, (C1)그룹의 제1 내부 전극(45b)은 외부 연결도체인 제1 외부 전극(48bb)을 사이에 두고 제1 내부 연결도체(42)에 직렬로 연결되며, 이와 유사하게 (B2)그룹의 제2 내부 전극(46a)은 외부 연결도체인 외부 전극(48b, 49b)을 사이에 두고 제2 내부 연결도체(43)에 직렬로 연결될 수 있다. 이러한 직렬연결을 통해서 보다 높은 ESR 값을 가질 수 있다.
- <73> 추가적으로, ESR 조정용 외부 전극인 제1 및 제2 외부 전극(48b, 49b) 중 하나 또는 모두를 전원라인에 연결하는 경우에, 상술된 직렬저항성분이 발생되지 않으므로 상대적으로 낮은 ESR 값을 갖게 될 것이다.
- <74> 이와 같이, 사용자의 외부 단자의 선택에 따라 원하는 서로 다른 ESR 값을 용이하게 선택할 수 있다.
- <75> 본 발명은 4단자 구조 외에도 6단자 이상의 구조에도 용이하게 실현될 수 있다.
- <76> 이러한 6 단자 이상의 다단자 구조에서는, 앞선 실시형태와 유사하게 내부 연결도체를 이용한 ESR 조정 구조를 구현할 수 있음은 물론, 추가적인 내부 연결도체(즉, 동일한 극성의 외부 전극에 모두 연결된 내부도체)없이 내부 전극만으로도 외부 전극의 선택에 따른 ESR 조정이 가능한 구조를 실현할 수 있다(도11, 도12, 도16, 도17, 도21-24 참조).
- <77> 도8은 본 발명의 제3 실시형태에 따른 6단자 적층형 캐패시터의 일 예를 나타내는 사시도이다.
- <78> 도8을 참조하면, 본 실시형태에 따른 적층형 캐패시터(60)는 복수의 유전체층(61')이 적층되어 형성된 캐패시터 본체(61)를 포함한다.
- <79> 상기 적층형 캐패시터(60)는 대향하는 양 측면에 서로 전기적으로 분리된 각각 3개의 제1 및 제2 외부 전극(68a, 68b, 68c, 69a, 69b, 69c)을 가지며, 본 실시형태와 같이 인접한 외부 전극이 반대 극성을 갖도록 배열될 수

있다.

- <80> 본 발명의 제1 양태에 따라, 상기 적층형 캐패시터(60)는 앞선 실시형태와 같이 내부 연결도체를 이용한 ESR 조정 구조를 구현할 수 있다.
- <81> 본 실시형태는, 도9에 도시된 바와 같이, 상기 복수의 유전체층(61')에 각각 형성된 제1 및 제2 내부 연결도체(62,63)를 가질 수 있다. 상기 제1 내부 연결도체(62)는 3개의 리드(L1,L2,L3)를 통해서 3개의 제1 외부 전극(68a,68b,68c)에 각각 연결된다. 이와 유사하게, 상기 제2 내부 연결도체(63)는 3개의 리드(L4,L5,L6)를 통해서 3개의 제2 외부 전극(69a,69b,69c)에 각각 연결된다.
- <82> 도9에 도시된 제1 및 제2 내부 연결도체(62,63)와 함께 채용가능한 제1 및 제2 내부 전극은 다양한 패턴과 그 조합으로 구현될 수 있다. 본 실시형태에서 채용가능한 제1 및 제2 내부 전극의 다양한 예가 도10a 및 도10b에 도시되어 있다.
- <83> 도10a에 도시된 제1 및 제2 내부 전극(64a,64b,65a,65b)은 연결되는 외부 전극(리드구조)에 따라 각각 2개의 그룹(B1,C1,B2,C2)으로 구분된다. 각 그룹의 제1 내부 전극(64a,64b)은 하나의 리드(L1,L2)에 의해 각각 하나의 제1 외부 전극(68a,68b)에 연결된다. 이와 유사하게 제2 내부 전극(65a,65b)도 그룹별로 하나의 리드(L3,L4)에 의해 하나의 제2 외부 전극(69a,69b)에 연결된다.
- <84> 앞선 실시형태와 유사하게, 상기 각 그룹의 제1 및 제2 내부 전극(64a,64b,65a,65b)은 서로 다른 외부 전극에 연결된다.
- <85> 본 예에서와 같이, 특정 제1 및 제2 외부 전극(68c,69c)은 어느 내부 전극에 연결되지 않고 제1 및 제2 내부 연결도체(62,63)에만 연결될 수 있다. 따라서, 상기 특정 제1 및 제2 외부 전극(68c,69c)만을 전원라인과 연결하는 경우에, 나머지 다른 4개의 외부 전극(68a,68b,69a,69b)은 전원라인에 연결되지 않으면서 각각 해당 극성의 내부 전극(64a,64b,65a,65b)과 해당 극성의 내부 연결도체(68a,69b,68b,69a)를 직렬로 연결하는 외부 연결도체로 작용한다. 따라서, 상대적으로 높은 ESR 값을 가질 수 있다.
- <86> 또한, 전원라인에 연결되지 않은 외부 전극(68a,68b,69a,69b) 중 어느 하나를 전원라인에 연결하면, 그 외부 전극에 연결된 내부 전극은 동일한 극성의 내부 연결도체(62 또는 63)과 다시 병렬로 연결되므로, ESR 값을 낮출 수 있다. 이와 같이, 4개의 외부 전극(68a,68b,69a,69b)이 ESR 조정 수단으로 제공될 수 있다. 보 예에서는 전원라인과 연결되는 외부 전극의 수에 따라 최소 5개의 ESR 값을 선택적으로 구현할 수 있다.
- <87> 도10b에 도시된 제1 및 제2 내부 전극(74a,74b,74c,75a,75b,75c)은 연결되는 외부 전극에 따라 각각 3개의 그룹으로 구분된다. 도10a와 유사하게, 각 그룹의 제1 내부 전극(74a,74b,74c)은 하나의 리드(L1,L2,L3)에 의해 하나의 제1 외부 전극(68a,68b,68c)에 각각 연결되며, 각 그룹의 제2 내부 전극(75a,75b,75c)은 하나의 리드(L6,L4,L5)에 의해 각각 하나의 제2 외부 전극(69c,69a,69b)에 연결된다.
- <88> 다만, 도10a에 도시된 내부 전극과는 달리, 추가적인 (D1) 및 (D2)그룹의 제1 및 제2 내부 전극(74c,75c)은 도10a에서 내부 전극에 연결되지 않은 제1 및 제2 외부 전극(68c,69c)에도 연결되므로, 모든 외부 전극에 서로 다른 그룹의 내부 전극이 연결된다.
- <89> 임의의 한 쌍의 제1 및 제2 외부 전극(68a,69a)이 전원라인과 연결된 외부 단자로 선택된 경우에, 나머지 4개의 외부 전극(68b,68c,69b,69c)은 각각 해당 극성의 내부 전극(74b,74c,75c,75a)과 해당 극성의 내부 연결도체(62,63)를 연결하는 외부 연결도체로 작용하고, 각각의 외부 연결도체에 의해 직렬로 연결되므로, 높은 ESR을 얻을 수 있다.
- <90> 이 경우에도, 4개의 외부 전극은 각각 ESR 조정용 외부 단자일 수 있다. 예를 들어, 전원라인과의 연결되는 외부 전극의 수에 따라 5개의 ESR 값을 선택할 수 있다.
- <91> 도10a 및 도10b에 도시된 내부 전극은 도9에 도시된 내부 연결도체와 함께 사용되는 형태로 예시하여 설명하였으나, 본 실시형태와 같이, 6 단자 이상의 다단자 적층형 캐패시터에서는, 동일한 극성의 외부 전극에 모두 연결된 내부 연결도체를 사용하지 않고도 ESR 조정이 가능한 적층형 캐패시터를 구현할 수 있다.
- <92> 내부 연결도체를 채용하지 않는 형태에서, 각 그룹의 내부 전극은 모든 외부 전극에 연결되지 않지만 적어도 2 개의 외부 전극에는 연결된다. 각 그룹의 내부 전극에 연결된 외부 전극 중 적어도 하나는 다른 그룹의 내부 전극에 연결된 외부 전극과 상이하지만, 모든 그룹의 내부 전극이 서로 전기적으로 연결되도록 일 그룹의 내부 전극에 연결된 적어도 하나의 외부 전극은 다른 일 그룹의 내부 전극에도 연결된다.

- <93> 도11 및 도12에는 도8에 도시된 적층형 캐패시터에서 채용가능한 제1 및 제2 내부 전극의 다양한 예가 도시되어 있다.
- <94> 도11에 도시된 바와 같이, 제1 및 제2 내부 전극(84a, 84b, 84c, 85a, 85b, 85c)은 연결되는 외부 전극에 따라 각각 3개의 그룹(A1-A2, B1-B2, C1-C2)으로 구분된다.
- <95> 상기 제1 내부 전극(84a, 84b, 84c)은 2개의 리드(L1, L2, L3 중 서로 다른 2개)에 의해 그룹별로 2개의 제1 외부 전극(68a, 68b, 68c 중 서로 다른 2개)에 연결된다.
- <96> 각 그룹의 제1 내부 전극에 연결된 2개의 제1 외부 전극 중 하나는 다른 그룹의 제1 내부 전극에 연결된 외부 전극과 상이하다. 또한, 일 그룹의 내부 전극에 연결된 1개의 외부 전극은 다른 일 그룹의 내부 전극에도 연결됨으로써 3개 그룹의 제1 내부 전극이 서로 전기적으로 연결될 수 있다.
- <97> 예를 들어, 제1 내부 전극의 경우에는, (A1)그룹 - 제1 외부 전극(68b) - (B1)그룹 - 제1 외부 전극(68c) - (C1)그룹 - 제1 외부 전극(68a) - (A1) 그룹의 연결형태로서 모두 전기적으로 연결된다.
- <98> 이와 유사하게, 각 그룹의 제2 내부 전극(85a, 85b, 85c)은 모든 제2 외부 전극에 연결되지 않으면서 2개의 제2 외부 전극에는 연결되고, 각 그룹의 제2 내부 전극(85a, 85b, 85c)에 연결된 제2 외부 전극 중 1개는 다른 그룹의 제2 내부 전극에 연결된 제2 외부 전극과 상이하지만, 모든 그룹의 제2 내부 전극(85a, 85b, 85c)이 서로 전기적으로 연결되도록 일 그룹의 제2 내부 전극에 연결된 적어도 하나의 제2 외부 전극은 다른 일 그룹의 제2 내부 전극에도 연결된다.
- <99> 이러한 외부 전극과 내부 전극의 연결형태에서는, 외부 전극과 전원라인의 연결에 따라 특정 그룹의 내부 전극이 내부 연결도체와 같이 작용할 수 있다.
- <100> 예를 들어, 특정 제1 및 제2 외부 전극(68a, 69a)에 전원라인이 연결되는 경우에, (A1)그룹 및 (C1)그룹의 제1 내부 전극은 다른 제1 외부 전극(68b, 68a)을 사이에 두고 (B1)그룹의 제1 내부 전극과 직렬로 연결되며, (B2)그룹 및 (C2)그룹의 제2 내부 전극은 다른 제2 외부 전극(69c, 69c)을 사이에 두고 (A2)그룹의 제2 내부 전극과 직렬로 연결된다.
- <101> 따라서, 이러한 직렬 연결로 인해 저항성분이 증가되므로, 그만큼 높은 ESR을 가질 수 있다.
- <102> 사용자는 필요에 따라 보다 낮은 ESR 특성을 얻기 위해서, 앞선 예에서 전원라인과 연결되지 않은 제1 및 제2 외부 전극(68b, 68c, 69b, 69c)을 전원라인에 추가적으로 연결시킬 수 있다. 이와 같이 전원라인과 외부 전극의 추가적인 연결로 인해, 앞서 설명된 직렬 저항성분은 발생되지 않는다.
- <103> 즉, 제1 외부 전극(68b, 68a) 중 적어도 하나에 추가적으로 전원라인을 연결할 경우에, (B1)그룹의 제1 내부 전극은 전원라인과 직접 연결되므로, 다른 그룹의 내부 전극과 병렬로 연결됨으로써 직렬연결로 인한 저항성분은 없어지게 된다. 따라서, ESR 값은 상대적으로 낮아질 수 있다.
- <104> 도12에 도시된 예에서는, 제2 내부 전극(87a, 87b, 87c)만이 각각 3개의 그룹(A2, B2, C2)으로 구분되며, 제1 내부 전극(86)은 통상적인 내부 전극(모든 외부 전극과 연결된 형태)을 갖는 동일한 패턴이며, 각 그룹의 제2 내부 전극(87a, 87b, 87c)과 쌍을 이룬다.
- <105> 상기 제1 내부 전극(86)은 3개의 리드(L1, L2, L3)에 의해 제1 외부 전극(68a, 68b, 68c)에 모두 연결되고, 상기 제2 내부 전극(87a, 87b, 87c)은 도10c에 도시된 제2 내부 전극과 유사하게, 각각 2개의 리드(L4, L5, L6 중 서로 다른 2개)에 의해 그룹별로 동일한 2개의 제2 외부 전극(69a, 69b, 69c 중 서로 다른 2개)에 연결된다.
- <106> 본 실시형태에서는, 제2 외부 전극의 선택적인 연결에 의해 ESR 특성이 조정될 수 있으며, 도11에서 설명된 것과 유사한 방식으로 ESR 특성이 조정될 수 있다.
- <107> 도13은 본 발명의 제4 실시형태에 따른 6 단자 적층형 캐패시터의 다른 예를 나타내는 사시도이다.
- <108> 도13을 참조하면, 본 실시형태에 따른 적층형 캐패시터(90)는 복수의 유전체층(91')이 적층되어 형성된 캐패시터 본체(91)를 포함한다.
- <109> 상기 캐패시터 본체(91)는 서로 대향하는 제1 및 제2 주면과 그 사이에 위치한 4개의 측면을 갖는 직방형 구조이며, 각각 3개의 제1 및 제2 외부 전극(98a, 98b, 98c, 99a, 99b, 99c)은 상기 4개의 측면을 따라 반대극성이 교대로 배열되도록 형성된다.

- <110> 또한, 도13에 도시된 바와 같이, 상기 본체(91)의 대향하는 양 측면(길이방향)에 각각 2개씩 형성되며, 다른 대향하는 양 측면(폭방향)에 각각 1개씩 형성된다.
- <111> 상기 적층형 캐패시터(90)는 도14에 도시된 바와 같이, 상기 복수의 유전체층(91')에 각각 형성된 제1 및 제2 내부 연결도체(92,93)를 가질 수 있다.
- <112> 상기 제1 내부 연결도체(92)는 3개의 리드(L1,L2,L3)를 통해서 제1 외부 전극(98a,98b,98c)에 각각 연결된다. 이와 유사하게, 상기 제2 내부 연결도체(93)는 3개의 리드(L4,L5,L6)를 통해서 제2 외부 전극(99a,99b,99c)에 각각 연결된다.
- <113> 도14에 도시된 제1 및 제2 내부 연결도체(92,93)와 함께 채용가능한 제1 및 제2 내부 전극은 다양한 패턴과 그 조합으로 구현될 수 있다. 본 실시형태에서 채용가능한 제1 및 제2 내부 전극의 일 예가 도15에 도시되어 있다.
- <114> 도15에 도시된 제1 및 제2 내부 전극(94a,94b,94c,95a,95b,95c)은 연결되는 외부 전극에 따라 각각 3개의 그룹으로 구분되며, 각 그룹의 제1 내부 전극(94a,94b,94c)은 하나의 리드(L1,L2,L3)에 의해 하나의 제1 외부 전극(98a,98b,98c)에 각각 연결되며, 각 그룹의 제2 내부 전극(95a,95b,95c)은 하나의 리드(L6,L4,L5)에 의해 각각 하나 제2 외부 전극(99c,99a,99b)에 연결된다.
- <115> 상기 제1 및 제2 내부 전극(94a,94b,94c,95a,95b,95c)은 각각 그룹별로 서로 다른 제1 및 제2 외부 전극(98a,98b,98c,99c,99a,99b)에 연결된다.
- <116> 본 예에서는, 제1 및 제2 외부 전극(98a,98b,98c,99a,99b,99c)은 제1 및 제2 내부 연결도체(92,93)와 함께 특정 그룹의 제1 및 제2 내부 전극에만 연결되며, 나머지 다른 그룹들에는 연결되지 않는다.
- <117> 한 쌍의 제1 및 제2 외부 전극(98a,99a)이 전원라인과 연결된 외부 단자인 경우에, 나머지 4개의 외부 전극(98b,98c,99b,99c)이 외부 연결도체로 작용하여 직렬저항성분이 추가될 수 있으므로, 상대적으로 높은 ESR을 얻을 수 있다. 여기서, 4개의 외부 전극(98b,98c,99b,99c)은 각각 독립적으로 ESR 값을 변경시킬 수 있는 ESR 조정용 외부 단자일 수 있다. 따라서, 전원라인과의 연결에 따라 5개의 ESR 값을 선택적으로 구현할 수 있다.
- <118> 도16에 도시된 제1 및 제2 내부 전극(104a,104b,104c,105a,105b,105c)은 연결되는 외부 전극에 따라 각각 3개의 그룹으로 구분된다. 도16에 도시된 내부 전극의 예는 도14에 도시된 내부연결도체 없이도 ESR 조정을 위한 적층형 캐패시터를 실현할 수 있다.
- <119> 상기 제1 내부 전극(104a,104b,104c)은 2개의 리드(L1,L2,L3 중 서로 다른 2개)에 의해 그룹별로 동일한 2개의 제1 외부 전극(98a,98b,98c 중 서로 다른 2개)에 연결되며, 상기 제2 내부 전극(105a,105b,105c)은 2개의 리드(L4,L5,L6 중 서로 다른 2개)에 의해 그룹별로 동일한 2개의 제2 외부 전극(99a,99b,99c 중 서로 다른 2개)에 연결된다.
- <120> 상기 제1 내부 전극(104a,104b,104c)은 2개의 리드(L1,L2,L3 중 서로 다른 2개)에 의해 그룹별로 2개의 제1 외부 전극(98a,98b,98c 중 서로 다른 2개)에 연결된다. 각 그룹의 제1 내부 전극에 연결된 2개의 제1 외부 전극 중 하나는 다른 그룹의 제1 내부 전극에 연결된 외부 전극과 상이하다. 또한, 일 그룹의 내부 전극에 연결된 1개의 외부 전극은 다른 일 그룹의 내부 전극에도 연결됨으로써 3개 그룹의 제1 내부 전극이 서로 전기적으로 연결될 수 있다.
- <121> 본 예에서의 ESR 조정은 도11을 참조하여 설명된 부분을 참조하여 이해할 수 있다.
- <122> 도17에 도시된 예에서는, 제2 내부 전극(107a,107b,107c)만이 연결되는 외부 전극에 따라 각각 3개의 그룹으로 구분된다. 또한, 제1 내부 전극(106)은 제1 내부 연결도체(92)와 유사한 패턴으로 각 그룹의 제2 내부 전극(107a,107b,107c)과 쌍을 이룬다.
- <123> 본 실시형태에 따르면, 도12에 도시된 내부 전극의 조합과 유사하게 제2 내부 전극에 관련된 제2 외부 전극에 의해서만도 ESR 특성을 조정할 수 있다. 물론, 이와 반대로, 제1 내부 전극을 ESR 조정을 위한 패턴으로 구성하고, 제2 내부 전극은 통상의 내부 전극(내부연결도체(93)과 유사한 패턴)으로 구성할 수 있다.
- <124> 본 발명은 앞선 실시형태와 유사한 방식으로 8 단자 구조에도 적용될 수 있다.
- <125> 도18는 본 발명의 제5 실시형태에 따른 8단자 적층형 캐패시터의 일예를 나타내는 사시도이다.
- <126> 도18을 참조하면, 본 실시형태에 따른 적층형 캐패시터(120)는 복수의 유전체층(121')이 적층되어 형성된 캐패시터 본체(121)를 포함한다.

- <127> 상기 적층형 캐패시터(120)는 대향하는 양 측면에 서로 전기적으로 분리된 각각 4개의 제1 및 제2 외부 전극(128a, 128b, 128c, 128d, 129a, 129b, 129c, 129d)을 갖는다. 각 외부 전극의 배열은 ESL 저감을 위해서 각 측면에서 인접한 외부 전극이 반대 극성을 갖도록 배열될 수 있다.
- <128> 본 실시형태와 같이, 본체(121)의 대향하는 측면의 대응영역에 서로 반대 극성이 위치하도록 배열됨으로써 양 측면에서의 전류 흐름을 반대방향으로 갖도록 자속을 상쇄시킬 수 있다.
- <129> 상기 적층형 캐패시터(120)는 도19에 도시된 바와 같이, 상기 복수의 유전체층(121')에 각각 형성된 제1 및 제2 내부 연결도체(122, 123)를 가질 수 있다. 상기 제1 내부 연결도체(122)는 4개의 리드(L1, L2, L3, L4)를 통해서 제1 외부 전극(128a, 128b, 128c, 128d)에 각각 연결된다. 이와 유사하게, 상기 제2 내부 연결도체(123)는 4개의 리드(L4, L5, L6, L7)를 통해서 제2 외부 전극(129a, 129b, 129c, 129d)에 각각 연결된다.
- <130> 도19에 도시된 제1 및 제2 내부 연결도체(122, 123)와 함께 채용가능한 제1 및 제2 내부 전극은 다양한 패턴과 그 조합으로 구현될 수 있다. 도20을 참조하면, 도19의 내부 연결도체와 함께 채용가능한 내부 전극의 일 예가 도시되어 있다.
- <131> 도20에 도시된 제1 내부 전극(124a, 124b, 124c, 124d)과 제2 내부 전극(125a, 125b, 125c, 125)은 연결되는 외부 전극에 따라 각각 4개의 그룹으로 구분된다.
- <132> 각 그룹의 제1 내부 전극(124a, 124b, 124c, 124d)은 하나의 리드(L1, L2, L3, L4)에 의해 하나의 제1 외부 전극(128a, 128b, 128c, 128d)에 각각 연결되며, 각 그룹의 제2 내부 전극(125a, 125b, 125c, 125d)은 하나의 리드(L7, L8, L6, L5)에 의해 각각 하나 제2 외부 전극(129c, 129d, 129b, 129a)에 연결된다.
- <133> 상기 제1 및 제2 내부 전극(124a, 124b, 124c, 124d, 125a, 125b, 125c, 125)은 각각 그룹별로 서로 다른 제1 및 제2 외부 전극에 연결될 수 있다.
- <134> 본 예에서는, 제1 및 제2 외부 전극(128a, 128b, 128c, 128d, 129a, 129b, 129c, 129d)은 제1 및 제2 내부 연결도체(122, 123)와 함께 특정 그룹의 제1 및 제2 내부 전극에만 연결되며, 나머지 다른 그룹들에는 연결되지 않는다.
- <135> 하지만, 본 발명은 이에 한정되지 않으며, 일 그룹의 내부 전극에 연결된 외부 전극의 2 이상일 경우에 다른 그룹의 외부 전극과 공통적으로 연결되는 형태도 채용될 수 있다.
- <136> 도19의 내부연결도체와 함께 도20에 도시된 내부 전극을 채용하는 ESR 조정 적층형 캐패시터에서, 한 쌍의 제1 및 제2 외부 전극(128a, 129a)이 전원라인과 연결되면, 나머지 6개의 외부 전극(128b, 128c, 128d, 129b, 129c, 129d)이 외부 연결도체로 작용하여 직렬저항성분이 추가될 수 있으며, 이로 인해 상대적으로 높은 ESR을 얻을 수 있다.
- <137> 특히, 나머지 6개의 외부 전극(128b, 128c, 128d, 129b, 129c, 129d)은 각각 독립적으로 캐패시터의 ESR 값을 변경시킬 수 있는 ESR 조정용 외부 단자일 수 있다. 따라서, 전원라인과의 연결되는 수에 따라 단계적으로 7개의 ESR 값을 선택하여 구현할 수 있다.
- <138> 도21에 도시된 내부 전극의 예는 도19에 도시된 내부연결도체 없이도 ESR 조정을 위한 적층형 캐패시터를 실현할 수 있다.
- <139> 도21에 도시된 제1 및 제2 내부 전극(126a, 126b, 126c, 126d, 127a, 127b, 127c, 127d)은 연결된 외부 전극에 따라 각각 4개의 그룹으로 구분된다.
- <140> 상기 제1 내부 전극(126a, 126b, 126c, 126d)은 2개의 리드(L1, L2, L3, L4 중 서로 다른 2개)에 의해 그룹별로 동일한 2개의 제1 외부 전극(128a, 128b, 128c, 128d 중 서로 다른 2개)에 연결되며, 상기 제2 내부 전극(127a, 127b, 127c, 127d)은 2개의 리드(L5, L6, L7, L8 중 서로 다른 2개)에 의해 그룹별로 동일한 2개의 제2 외부 전극(129a, 129b, 129c, 129d 중 서로 다른 2개)에 연결된다.
- <141> 상기 제1 내부 전극(126a, 126b, 126c, 126d)은 2개의 리드(L1, L2, L3, L4 중 서로 다른 2개)에 의해 그룹별로 2개의 제1 외부 전극(128a, 128b, 128c, 128d 중 서로 다른 2개)에 연결된다. 각 그룹의 제1 내부 전극에 연결된 2개의 제1 외부 전극 중 하나는 다른 그룹의 제1 내부 전극에 연결된 외부 전극과 상이하다. 또한, 일 그룹의 내부 전극에 연결된 1개의 외부 전극은 다른 일 그룹의 내부 전극에도 연결됨으로써 3개 그룹의 제1 내부 전극이 서로 전기적으로 연결될 수 있다.
- <142> 예를 들어, 제1 내부 전극의 경우에는, (A1)그룹 - 제1 외부 전극(128b) - (B1)그룹 - 제1 외부 전극(128d) -

(C1) 그룹 - 제1 외부 전극(128b) - (D1) 그룹 - 제1 외부 전극(128c)-(A1) 그룹의 연결형태로서 모두 전기적으로 연결된다.

<143> 이와 유사하게, 각 그룹의 제2 내부 전극은 모든 제2 외부 전극에 연결되지 않으면서 2개의 제2 외부 전극에는 연결되고, 각 그룹의 제2 내부 전극에 연결된 제2 외부 전극 중 1개는 다른 그룹의 제2 내부 전극에 연결된 제2 외부 전극과 상이하지만, 모든 그룹의 제2 내부 전극이 서로 전기적으로 연결되도록 일 그룹의 제2 내부 전극에 연결된 적어도 하나의 제2 외부 전극은 다른 일 그룹의 제2 내부 전극에도 연결된다.

<144> 이러한 외부 전극과 내부 전극의 연결형태에서는, 외부 전극과 전원라인의 연결에 따라 특정 그룹의 내부 전극이 내부 연결도체와 같이 작용할 수 있다. 이로 인해 형성된 일 그룹이 내부 전극과 다른 그룹의 내부 전극의 직렬 연결로 인해 저항성분이 증가될 수 있고, 상대적으로 높은 ESR 특성을 가질 수 있다.

<145> 사용자는 필요에 따라 ESR 특성을 조정하기 위해서, 전원라인과 기본적으로 연결되는 한 쌍의 제1 및 제2 외부 전극 외에 추가적으로 다른 제1 및 제2 외부 전극을 연결시킬 수 있다. 이와 같이 전원라인과 외부 전극의 추가적인 연결로 인하여 직렬로 연결되었던 저항성분이 병렬 연결되므로 ESR 특성을 낮아진다.

<146> 도22에 도시된 제1 내부 전극(134a, 134b, 134c, 134d)과 제2 내부 전극(135a, 135b, 135c, 135d)은 연결되는 외부 전극에 따라 각각 4개의 그룹으로 구분된다.

<147> 본 예에서는, 상기 제1 및 제2 내부 전극은 서로 다른 수의 외부 전극과 연결된다. 보다 구체적으로, 각 그룹의 제1 내부 전극(134a, 134b, 134c, 134d)은 3개의 리드(L1, L2, L3, L4 중 다른 3개)에 의해 3개의 제1 외부 전극(128a, 128b, 128c, 128d 중 다른 3개)에 각각 연결되지만, 각 그룹의 제2 내부 전극(135a, 135b, 135c, 135d)은 앞선 실시예와 유사하게 2개의 리드(L7, L8, L6, L5 중 다른 2개)에 의해 각각 2개의 제2 외부 전극(129c, 129d, 129b, 129a 중 다른 2개)에 연결된다.

<148> 도23에 도시된 예에서는, 제1 및 제2 내부 전극(136a, 136b, 136c, 136d, 137a, 137b, 137c, 137d)은 연결된 외부 전극에 따라 각각 4개의 그룹으로 구분된다.

<149> 상기 제1 내부 전극(136a, 136b, 136c, 136d)은 3개의 리드(L1, L2, L3, L4 중 서로 다른 3개)에 의해 그룹별로 동일한 3개의 제1 외부 전극(128a, 128b, 128c, 128d 중 서로 다른 3개)에 연결되며, 상기 제2 내부 전극(127a, 127b, 127c, 127d)은 3개의 리드(L5, L6, L7, L8 중 서로 다른 3개)에 의해 그룹별로 동일한 3개의 제2 외부 전극(129a, 129b, 129c, 129d 중 서로 다른 3개)에 연결된다.

<150> 도24에 도시된 예에서는, 제2 내부 전극(145a, 145b, 145c, 145d)만이 연결되는 외부 전극에 따라 각각 4개의 그룹으로 구분되며, 제1 내부 전극(144)은 제1 내부 연결도체(122)와 유사한 패턴으로 각 그룹의 제2 내부 전극(145a, 145b, 145c, 145d)과 쌍을 이룬다.

<151> 즉, 상기 제1 내부 전극(144)은 4개의 리드(L1, L2, L3, L4)에 의해 제1 외부 전극(128a, 128b, 128c, 128d)에 모두 연결되고, 상기 제2 내부 전극(145a, 145b, 145c, 145d)은 도16d에 도시된 제2 내부 전극과 유사하게, 각각 3개의 리드(L5, L6, L7, L8 중 서로 다른 3개)에 의해 그룹별로 동일한 3개의 제2 외부 전극(129a, 129b, 129c 중 서로 다른 2개)에 연결된다.

<152> 이러한 구조에서는, 도12와 유사하게, 제2 내부 전극에 관련된 제2 외부 전극과 전원라인의 선택적 연결에 의해 서만 적층형 캐패시터의 ESR 특성이 조정될 수 있다.

<153> 본 발명은 실장면을 기준하여 적층 방향이 수직으로 이루어진 적층형 캐패시터 구조에도 유익하게 적용될 수 있다.

<154> 도25은 본 발명의 제6 실시형태(적층방향 변형예: 4 단자구조)에 따른 적층형 캐패시터의 사시도이다.

<155> 도25에 도시된 바와 같이, 본 실시형태에 따른 적층형 캐패시터(180)는 복수의 유전체층(181')이 적층되어 형성된 캐패시터 본체(181)를 포함한다. 상기 본체(181)는 적층방향에 따라 형성되며 대향하는 제1 및 제2 면(181a, 181b)과 그 사이에 위치한 4개의 측면을 갖는 직방형 구조이며, 본 적층형 캐패시터(180)는 제1 및 제2 면(181a, 181b) 중 어느 일 면은 실장면으로 제공되는 구조이다.

<156> 상기 제1 및 제2 외부 전극(188a, 188b, 189a, 189b)은 상기 4개의 측면에 걸쳐 형성된다. 즉, 도시된 바와 같이, 상기 제1 외부 전극(188a, 188b)은 상기 본체(181)의 대향하는 양 측면에 각각 1개씩 형성되며, 상기 제2 외부 전극(189a, 189b)은 상기 본체(181)의 제1 및 제2 면(181a, 181b)에 각각 1개씩 형성된다. 결과적으로, 상기 제1 및 제2 외부 전극(188a, 188b, 189a, 189b)은 4개의 측면을 따라 반대 극성이 교대로 배열된다.

- <157> 이러한 외부 전극 배열에 적합하도록, 상기 적층형 캐패시터(180)는 도26에 도시된 제1 및 제2 내부 연결도체(182, 183)와 도27에 도시된 제1 및 제2 내부 전극(184a, 184b, 185a, 185b)을 가질 수 있다.
- <158> 상기 제1 내부 연결도체(182)는 양측으로 연장된 2개의 리드(L1, L2)를 통해서 제1 외부 전극(188a, 188b) 모두에 연결된다. 이와 유사하게, 상기 제2 내부 연결도체(183)는 2개의 리드(L3, L4)를 통해서 제1 및 제2 면(181a, 181b)에 위치한 제2 외부 전극(199a, 199b)에 모두 연결된다.
- <159> 상기 제1 및 제2 내부 전극(184a, 184b)은 각각 리드(L1, L2)를 통해서 하나의 제1 외부 전극(188a, 188b)에 연결되며, 상기 제2 내부 전극(185a, 185b)은 각각 리드(L3, L4)를 통해서 하나의 제2 외부 전극(189a, 189b)에 연결된다. 이러한 연결을 통해서 상기 제1 및 제2 내부 전극(184a, 184b, 185a, 185b)은 각각 동일한 극성의 내부 연결도체(182, 183)와 전기적으로 연결될 수 있다.
- <160> 제1 면(181a)이 실장면이 되고, 한 쌍의 제1 및 제2 외부 전극(188a, 188b)을 전원라인에 연결될 경우에, 나머지 제1 외부 전극(188b)에 연결된 (B2)그룹의 내부 전극(184b)은 단자 연결된 상태가 아니다. 따라서, 상기 나머지 제1 외부 전극(188b)은 ESR 조정을 위한 외부 전극으로 사용될 수 있으며, 추가적으로 전원라인에 연결되는 경우에 ESR 값을 낮출 수 있다.
- <161> 본 실시형태와 같이, 양 측면에 외부 전극을 형성하는 경우에는 양 측면에 전극은 실장면에서 용이하게 연결될 수 있도록 형성되는 것이 바람직하다.
- <162> 또한, 상기 본체의 제1 및 제2 면에 적어도 하나의 외부 전극이 형성되어, 하나의 실장면에서 한 쌍의 제1 및 제2 외부 전극 외에 추가적으로 하나 이상의 외부 전극을 제공하며, 이러한 외부 전극은 ESR 조정용 외부 전극으로 사용될 수 있다. ESR 조정용 외부 전극은 전원라인에 연결된 외부 전극에 연결되지 않은 내부 전극에 연결된 외부 전극이며, 이러한 전원라인과 추가적인 연결을 통해서 ESR 값을 낮출 수 있다.
- <163> 또한, 본 실시형태는 제1 및 제2 면을 기준으로 하여 상하 대칭구조를 갖도록 설계된 형태이다. 이러한 형태는 실장면을 자유롭게 선택할 수 있는 장점을 제공한다. 바람직하게는, 어느 면을 실장면으로 선택하더라도 동일한 ESR 및 ESL 특성을 갖도록, 내부 전극 및 내부 연결도체 구조 역시 상하대칭구조로 형성하는 것이 바람직하다.
- <164> 도28A 및 도28B은 각각 본 발명의 제7 실시형태(적층방향 변형예: 6 단자 구조)에 따른 적층형 캐패시터의 예를 나타내는 사시도이다.
- <165> 우선, 도28A을 참조하면, 본 실시형태에 따른 적층형 캐패시터(190)는 복수의 유전체층(191')이 적층되어 형성된 캐패시터 본체(191)를 포함한다. 상기 캐패시터 본체(191)는 적층방향에 따라 형성된 서로 반대에 위치한 제1 및 제2 면을 가지며, 제1 면은 실장면으로 제공될 수 있다.
- <166> 본 실시형태에 따른 적층형 캐패시터(190)는 3개의 제1 외부 전극(198a, 198b, 198c)과 3개의 제2 외부 전극(199a, 199b, 199c)을 갖는 6 단자 구조로 예시되어 있다.
- <167> 도28B에는 이와 유사한 6 단자 구조를 갖는 적층형 캐패시터(200)가 도시되어 있다. 도23a에 도시된 구조와 비교하여, 제1 및 제2 외부 전극(208a, 208b, 208c, 209a, 209b, 209c) 중 양 모서리에 위치한 외부 전극(208a, 208b, 209a, 209b)이 연장된 형태가 상이한 것으로 이해할 수 있다. 이와 같이, 본 발명에 채용가능한 외부 전극 구조는 제1 면 및 제2 면 중 일 면을 실장면으로 제공할 때에 연결될 수 있는 조건을 만족하면, 다양하게 변경될 수 있다.
- <168> 도29 및 도30에는 도28A 및 도28B에 도시된 구조에 채용될 수 있는 내부 연결도체(192, 193)와 내부 전극(194, 195a, 195b, 195c)이 예시되어 있다. 여기서는, 각각 한 쌍씩 예시하였으나 각각 복수로 채용될 수 있으며, 그 순서도 다양하게 변형될 수 있다.
- <169> 도29에 도시된 바와 같이, 상기 제1 내부 연결도체(192)는 3개의 리드(L1, L2, L3)를 통해서, 제2 면에 형성된 제1 외부 전극(198a, 198b)과 제1 면에 형성된 제1 외부 전극(198c)에 각각 연결된다. 이와 유사하게, 상기 제2 내부 연결도체(193)는 3개의 리드(L4, L5, L6)를 통해서 제1 면에 형성된 제2 외부 전극(199a, 199b)과 제2 면에 형성된 제1 외부 전극(199c)에 각각 연결된다.
- <170> 도30에 도시된 예에서는, 상기 제2 내부 전극(195a, 195b, 195c)만이 각각 3개의 그룹으로 구분되며, 제1 내부 전극(194)은 제1 내부 연결도체(194)와 유사한 패턴으로 각 그룹의 제2 내부 전극(195a, 195b, 195c)과 쌍을 이룬다.
- <171> 상기 제1 내부 전극(194)은 제2 면에 형성된 3개의 리드(L1, L2, L3)에 의해 제1 외부 전극(198a, 198b, 198c)에

모두 연결되고, 상기 제2 내부 전극(195a, 195b, 195c)은 각각 2개의 리드(L4, L5, L6 중 서로 다른 2개)에 의해 그룹별로 동일한 2개의 제2 외부 전극(199a, 199b, 199c 중 서로 다른 2개)에 연결된다.

<172> 이러한 구조에서, 제1 면을 실장면으로 하여 한쌍의 제1 및 제2 외부 전극(198c, 199b)을 전원라인과 연결하는 경우에, 제1 면에 위치한 나머지 제1 외부 전극(199a)에는 C2 그룹의 제2 내부 전극(195b)이 연결되지 않은 상태이다. 따라서, 상기 제1 외부 전극(199a)은 ESR 조정용 외부 전극으로서 전원라인과 선택적으로 연결하여 ESR 값을 조정할 수 있다.

<173> 본 실시형태에 따른 적층형 캐패시터는 8개 이상의 단자로도 구현될 수 있다. 본 실시형태와 유사하게, 상기 본체의 제1 및 제2 면에 형성된 외부 전극이 각각 3개 이상으로서 적어도 한 쌍의 제1 및 제2 외부 전극과 추가적으로 ESR을 조정할 수 있는 특정 그룹의 내부 전극에 연결된 구조라면, 적층방향에 따라 형성된 면을 실장면으로 제공하는 적층형 캐패시터에도 유익하게 적용될 수 있다.

<174> 도28A 및 도28B에서 내부 연결도체(도29)를 채용한 형태로만 예시되어 있으나, 6 단자이상 구조이므로, 상술된 내부 연결도체 없이 내부 전극만으로 구성된 예(도11 및 도12 참조)를 적용할 수 있다.

<175> 상술한 실시형태 및 첨부된 도면은 바람직한 실시형태의 예시에 불과하며, 본 발명은 첨부된 청구범위에 의해 한정하고자 한다. 또한, 본 발명은 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이다.

도면의 간단한 설명

<176> 도1은 본 발명의 제1 실시형태에 따른 적층형 캐패시터의 사시도이다.

<177> 도2는 도1에 도시된 적층형 캐패시터에 채용가능한 제1 및 제2 내부 연결도체를 나타내는 평면도이다.

<178> 도3은 도2에 도시된 제1 및 제2 내부 연결도체와 함께 사용가능한 제1 및 제2 내부 전극을 나타내는 평면도이다.

<179> 도4a 및 도4b는 도1에 도시된 적층형 캐패시터의 외부 전극과 인쇄회로기판의 전원라인의 다른 접속상태를 나타내는 사시도이다.

<180> 도5는 본 발명의 제2 실시형태에 따른 적층형 캐패시터의 사시도이다.

<181> 도6은 도5에 도시된 적층형 캐패시터에 채용가능한 제1 및 제2 내부 연결도체를 나타내는 평면도이다.

<182> 도7은 도6에 도시된 제1 및 제2 내부 연결도체와 함께 사용가능한 제1 및 제2 내부 전극을 나타내는 평면도이다.

<183> 도8은 본 발명의 제3 실시형태에 따른 적층형 캐패시터의 사시도이다.

<184> 도9은 도8에 도시된 적층형 캐패시터에 채용가능한 제1 및 제2 내부 연결도체를 나타내는 평면도이다.

<185> 도10a 및 도10b은 도8에 도시된 적층형 캐패시터에 도9에 도시된 내부 연결도체와 함께 채용가능한 제1 및 제2 내부 전극의 예을 나타내는 평면도이다.

<186> 도11 및 도12는 도8에 도시된 적층형 캐패시터에 독자적으로(내부연결도체 없이) 채용가능한 제1 및 제2 내부 전극의 다른 예들이다.

<187> 도13은 본 발명의 제4 실시형태에 따른 적층형 캐패시터의 사시도이다.

<188> 도14는 도13에 도시된 적층형 캐패시터에 채용가능한 제1 및 제2 내부 연결도체를 나타내는 평면도이다.

<189> 도15는 도13에 도시된 제1 및 제2 내부 연결도체와 함께 사용가능한 제1 및 제2 내부 전극의 다양한 예을 나타내는 평면도이다.

<190> 도16 및 도17은 도11에 도시된 적층형 캐패시터에 독자적으로 채용가능한 제1 및 제2 내부 전극의 다른 예을 나타내는 평면도이다.

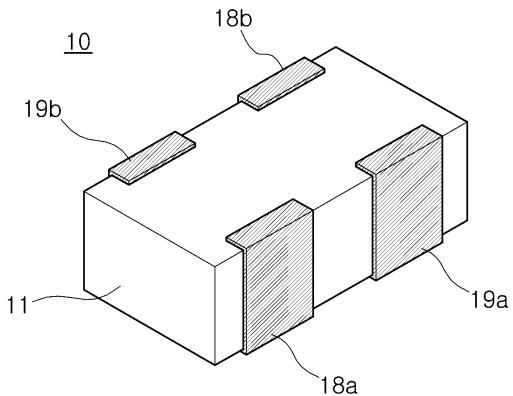
<191> 도18은 본 발명의 제5 실시형태에 따른 적층형 캐패시터의 사시도이다.

<192> 도19는 도18에 도시된 적층형 캐패시터에 채용가능한 제1 및 제2 내부 연결도체를 나타내는 평면도이다.

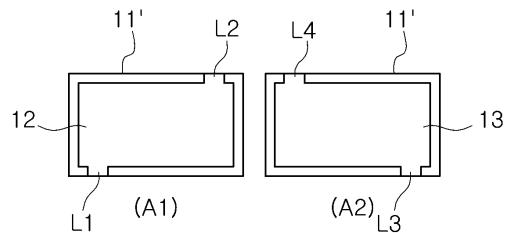
- <193> 도20은 도19에 도시된 제1 및 제2 내부 연결도체와 함께 사용가능한 제1 및 제2 내부 전극의 예를 나타내는 평면도이다.
- <194> 도21 내지 도24는 도18에 도시된 적층형 캐패시터에 독자적으로 채용가능한 제1 및 제2 내부 전극의 다른 예들을 나타내는 평면도이다.
- <195> 도25는 본 발명의 제6 실시형태(적층방향 변형예: 4 단자구조)에 따른 적층형 캐패시터의 사시도이다.
- <196> 도26은 도25에 도시된 적층형 캐패시터에 채용가능한 제1 및 제2 내부 연결도체를 나타내는 평면도이다.
- <197> 도27는 도26에 도시된 제1 및 제2 내부 연결도체와 함께 사용가능한 제1 및 제2 내부 전극을 나타내는 평면도이다.
- <198> 도28A 및 도28B는 각각 본 발명의 제7 실시형태(적층방향 변형예: 6단자 구조)에 따른 적층형 캐패시터의 예를 나타내는 사시도이다.
- <199> 도29는 도28A 및 도28B에 도시된 적층형 캐패시터에 채용가능한 제1 및 제2 내부 연결도체를 나타내는 평면도이다.
- <200> 도30은 도29에 도시된 제1 및 제2 내부 연결도체와 함께 사용가능한 제1 및 제2 내부 전극을 나타내는 평면도이다.

도면

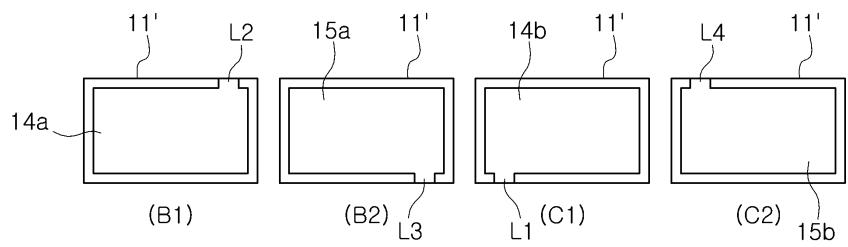
도면1



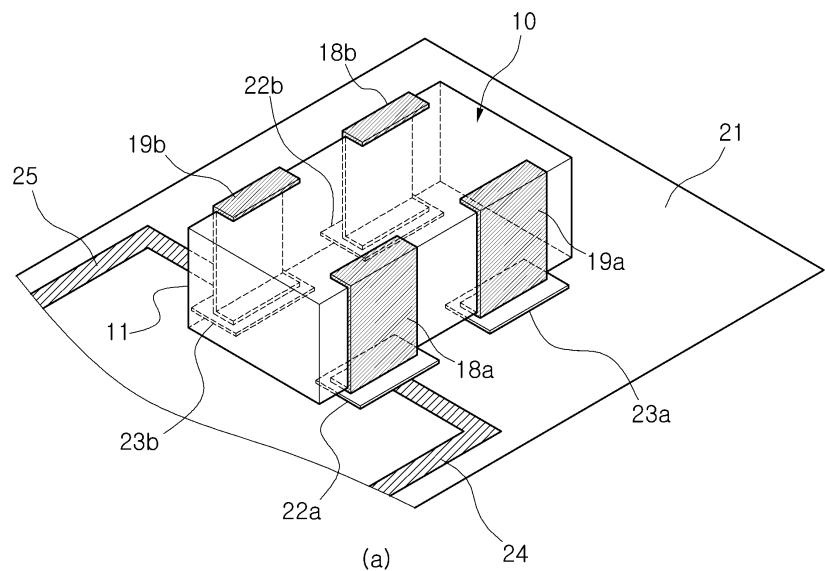
도면2



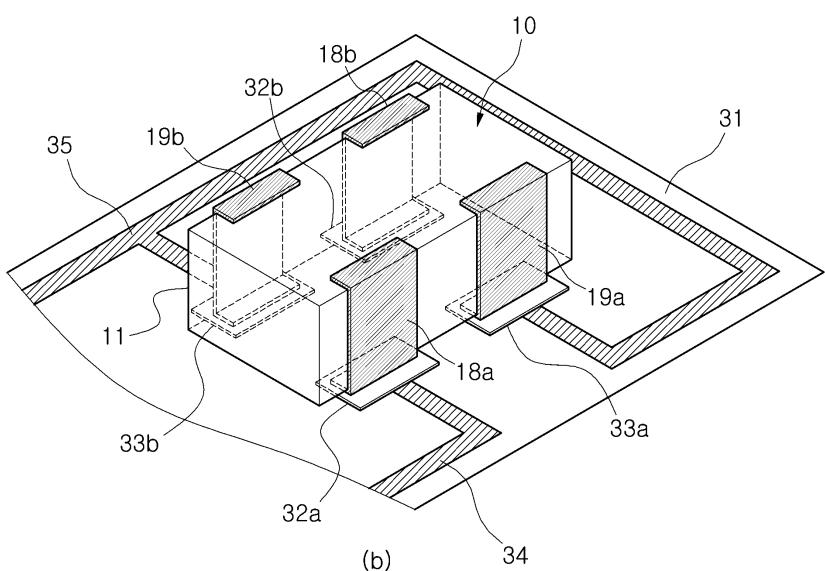
도면3



도면4

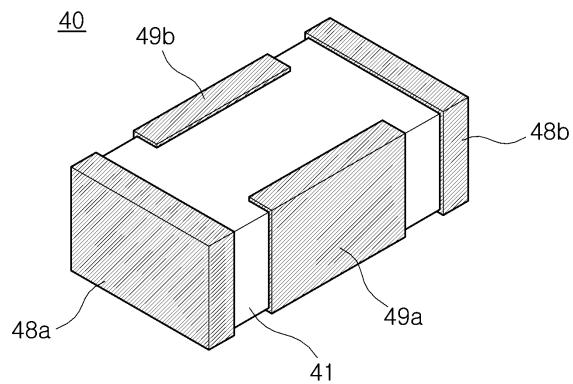


(a)

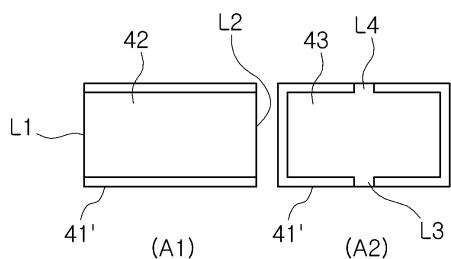


(b)

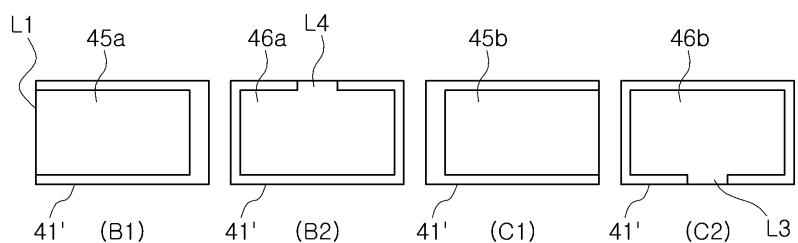
도면5



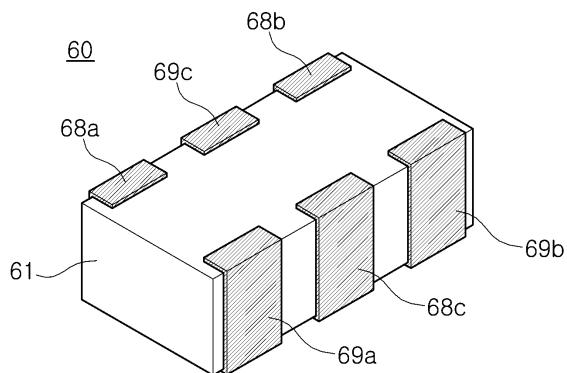
도면6



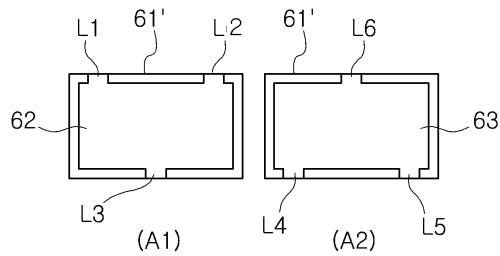
도면7



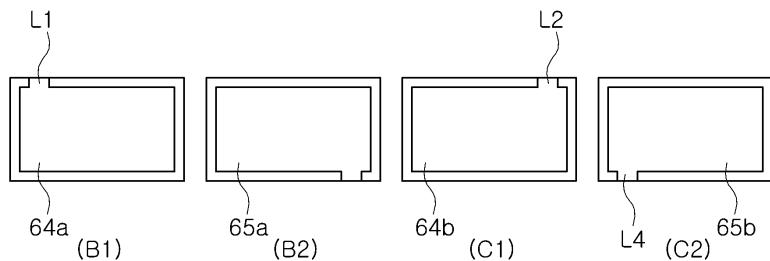
도면8



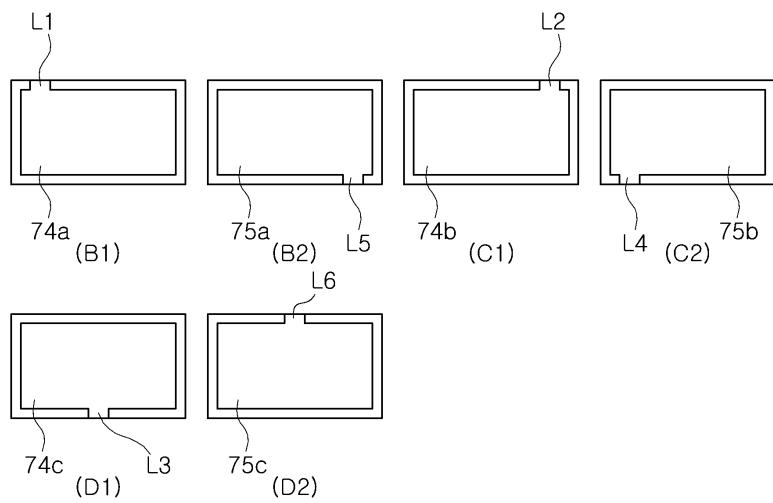
도면9



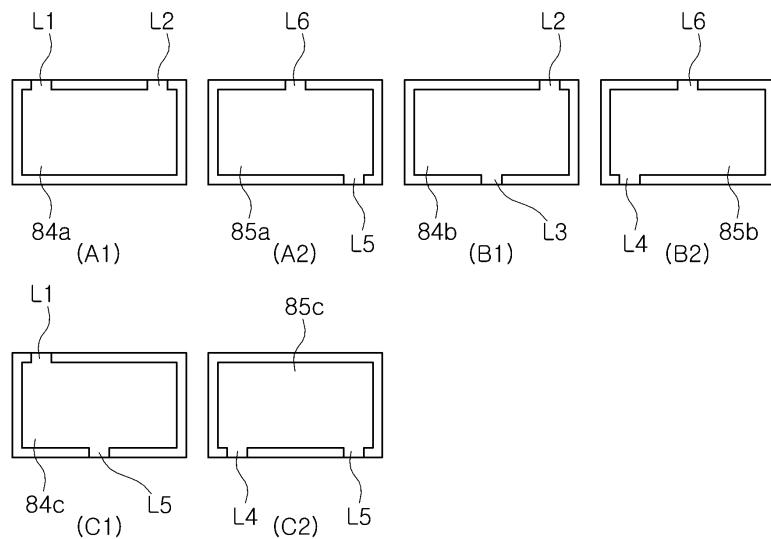
도면10a



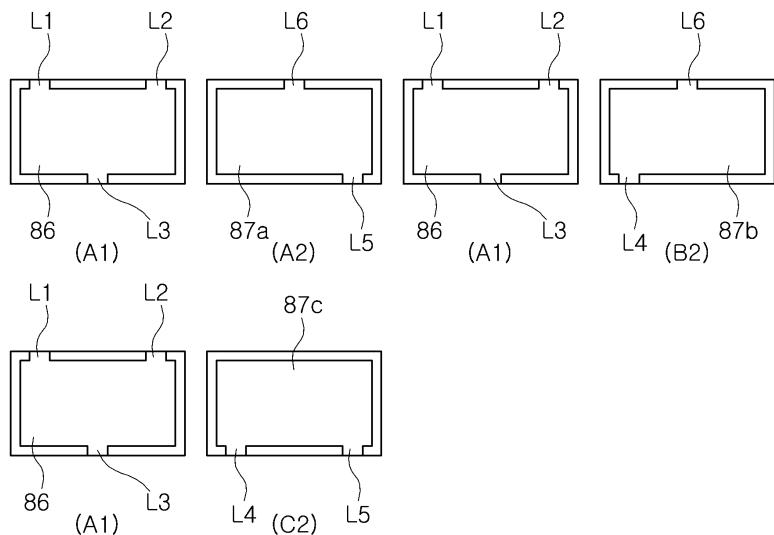
도면10b



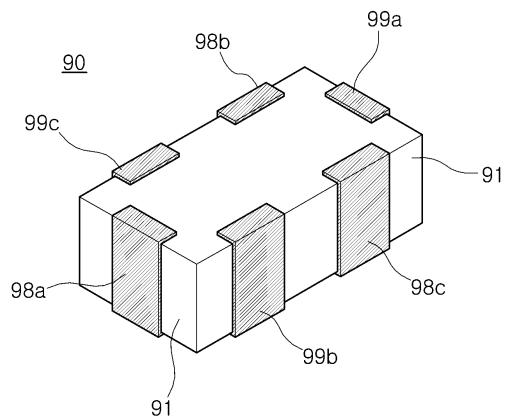
도면11



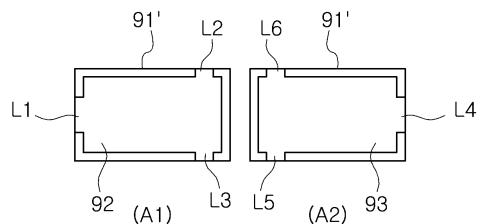
도면12



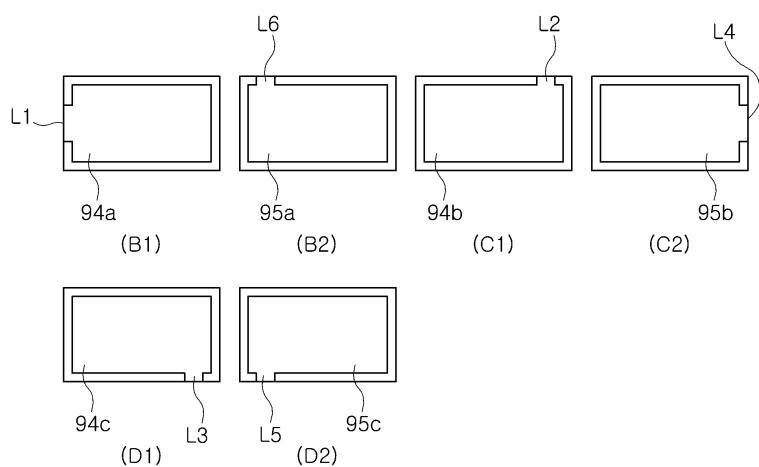
도면13



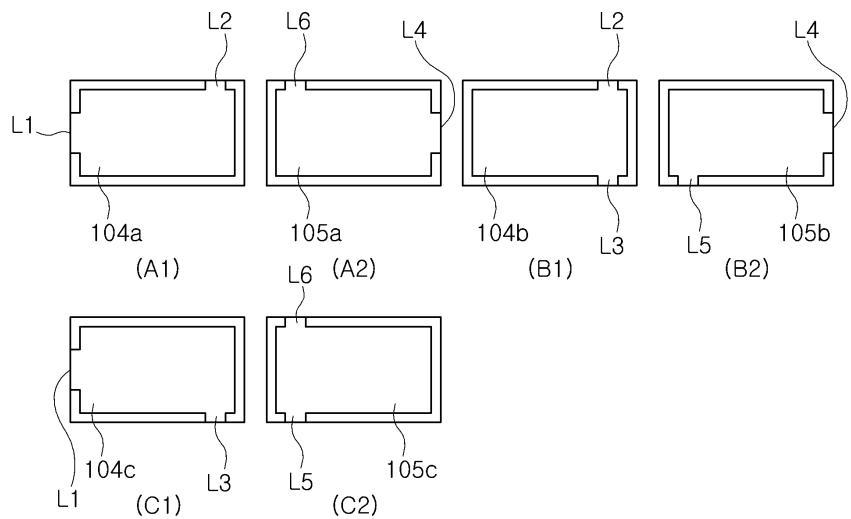
도면14



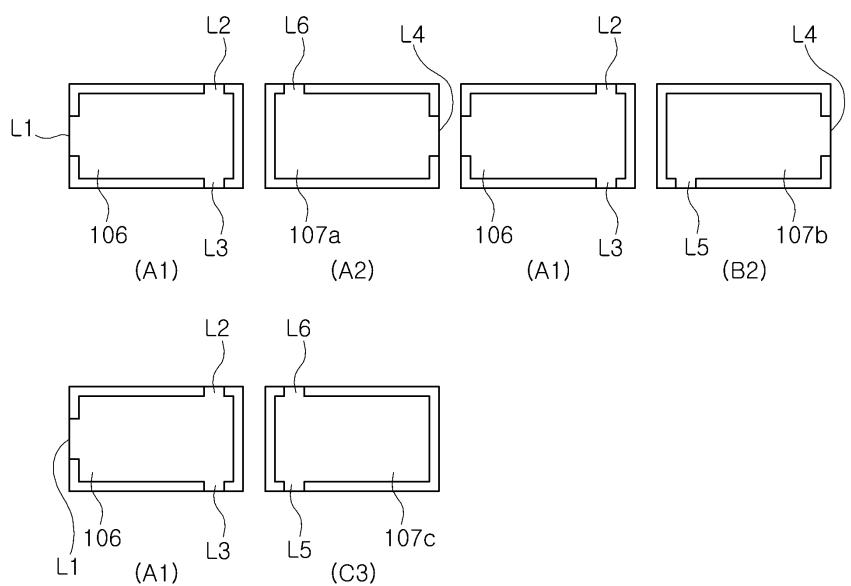
도면15



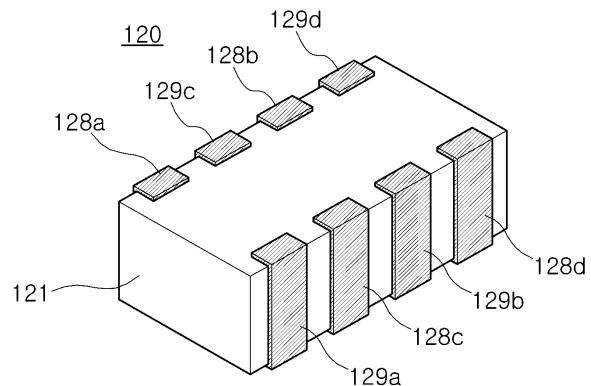
도면16



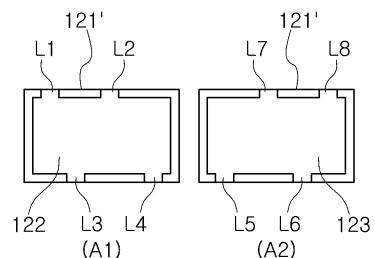
도면17



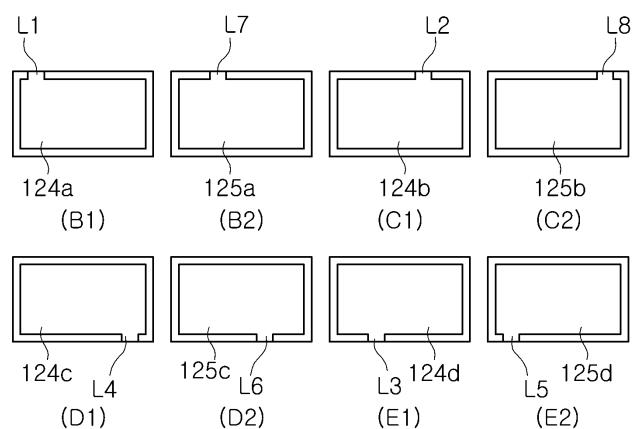
도면18



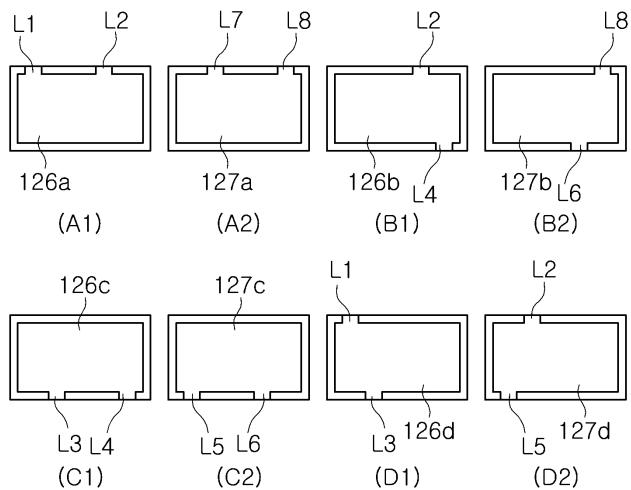
도면19



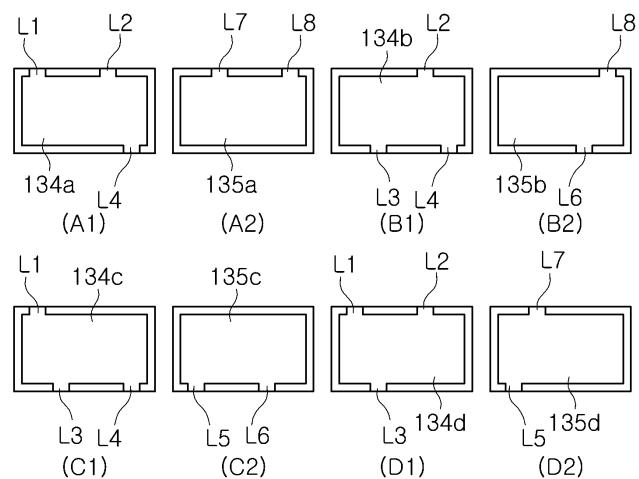
도면20



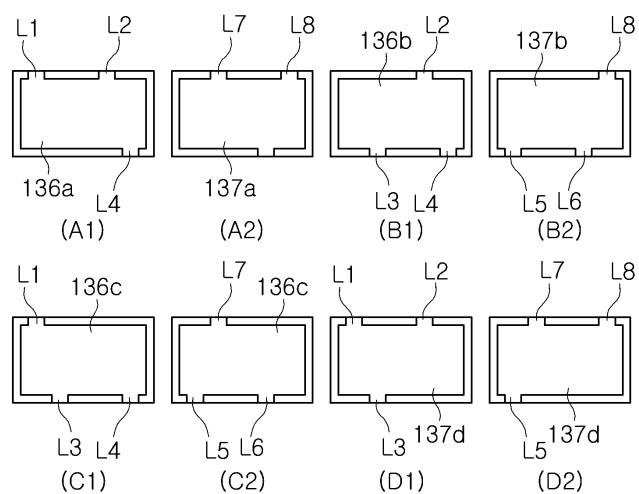
도면21



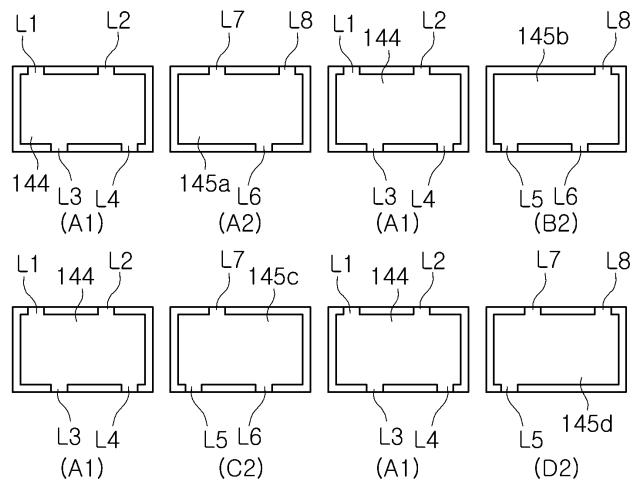
도면22



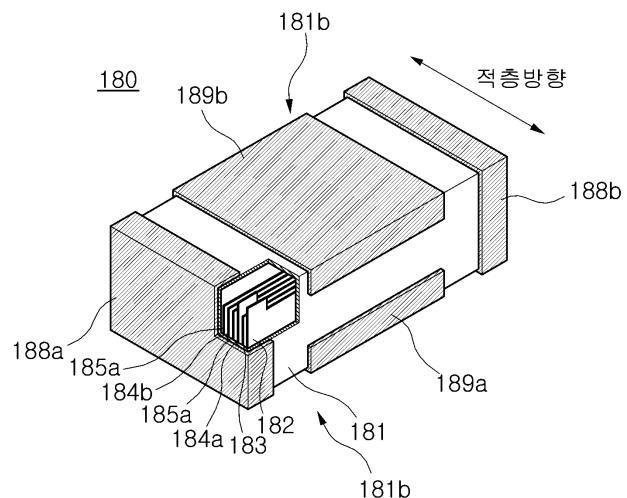
도면23



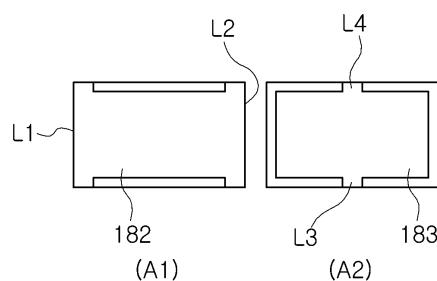
도면24



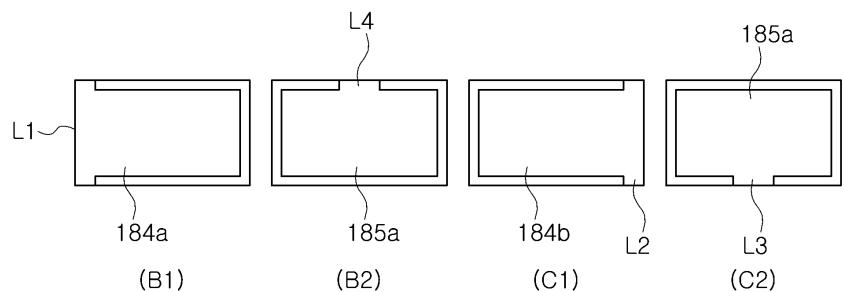
도면25



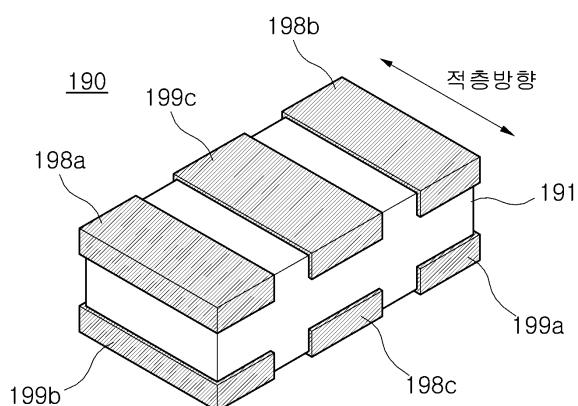
도면26



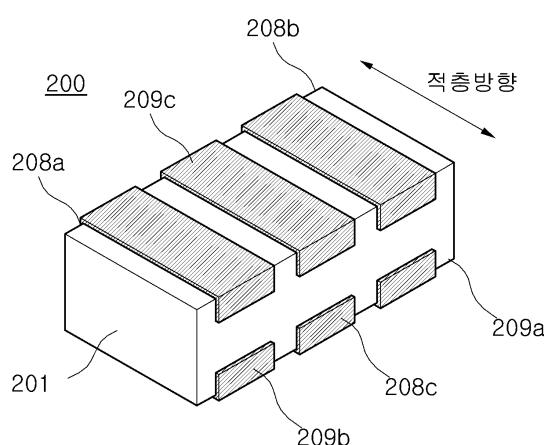
도면27



도면28a

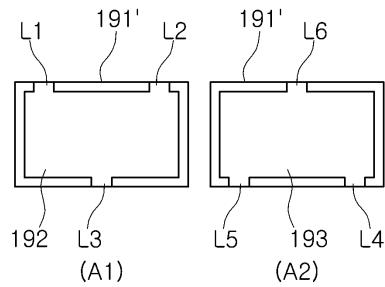


도면28b



(b)

도면29



도면30

