

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7507373号
(P7507373)

(45)発行日 令和6年6月28日(2024.6.28)

(24)登録日 令和6年6月20日(2024.6.20)

(51)国際特許分類		F I	
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00 3 4 2
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 3 8
G 0 9 F	9/33 (2006.01)	G 0 9 F	9/30 3 4 8 A
H 0 1 L	33/08 (2010.01)	G 0 9 F	9/30 3 4 9 A
H 0 1 L	33/22 (2010.01)	G 0 9 F	9/33
請求項の数 22 (全38頁) 最終頁に続く			
(21)出願番号	特願2021-509314(P2021-509314)	(73)特許権者	000226057 日亜化学工業株式会社 徳島県阿南市上中町岡4 9 1 番地1 0 0
(86)(22)出願日	令和2年3月19日(2020.3.19)	(74)代理人	100108062 弁理士 日向寺 雅彦
(86)国際出願番号	PCT/JP2020/012313	(74)代理人	100168332 弁理士 小崎 純一
(87)国際公開番号	WO2020/196271	(74)代理人	内田 敬人
(87)国際公開日	令和2年10月1日(2020.10.1)	(72)発明者	秋元 肇 徳島県阿南市上中町岡4 9 1 番地1 0 0 日亜化学工業株式会社内
審査請求日	令和5年2月20日(2023.2.20)	審査官	川俣 郁子
(31)優先権主張番号	特願2019-55382(P2019-55382)	最終頁に続く	
(32)優先日	平成31年3月22日(2019.3.22)		
(33)優先権主張国・地域又は機関	日本国(JP)		
前置審査			

(54)【発明の名称】 画像表示装置の製造方法および画像表示装置

(57)【特許請求の範囲】

【請求項1】

発光層を含む半導体層を第1基板上に形成した基板を準備する工程と、
回路素子と前記回路素子に電氣的に接続された第1配線層とを含む回路が形成された第2基板に、前記半導体層を貼り合わせる工程と、
前記半導体層をエッチングして発光素子を形成する工程と、
前記発光素子を覆う絶縁膜を形成する工程と、
前記絶縁膜を貫通して前記第1配線層に達するビアを形成する工程と、
前記発光素子と前記回路素子とを前記ビアを介して電氣的に接続する工程と、
を備え、
前記ビアは、異なる層に設けられた前記発光素子および前記回路素子を互いに接続し、
前記半導体層を前記第2基板に貼り合わせる前に前記第1基板を除去する工程と、
前記発光素子の表面を露出させる工程と、
をさらに備えた画像表示装置の製造方法。

【請求項2】

発光層を含む半導体層を第1基板上に形成した基板を準備する工程と、
回路素子と前記回路素子に電氣的に接続された第1配線層とを含む回路が形成された第2基板に、前記半導体層を貼り合わせる工程と、
前記半導体層をエッチングして発光素子を形成する工程と、
前記発光素子を覆う絶縁膜を形成する工程と、

前記絶縁膜を貫通して前記第 1 配線層に達するビアを形成する工程と、
前記発光素子と前記回路素子とを前記ビアを介して電氣的に接続する工程と、
を備え、
前記ビアは、異なる層に設けられた前記発光素子および前記回路素子を互いに接続し、
前記半導体層を前記第 2 基板に貼り合わせた後に前記第 1 基板を除去する工程と、
前記発光素子の表面を露出させる工程と、
をさらに備えた画像表示装置の製造方法。

【請求項 3】

露出された前記発光素子の露出面に透明電極を形成する工程をさらに備えた請求項 1 または 2 に記載の画像表示装置の製造方法。

10

【請求項 4】

前記半導体層を、前記第 1 基板上に形成された緩衝層上に成長させる請求項 1 ~ 3 のいずれか 1 つに記載の画像表示装置の製造方法。

【請求項 5】

前記緩衝層は、窒化物を含む請求項 4 記載の画像表示装置の製造方法。

【請求項 6】

前記第 1 基板は、シリコンまたはサファイアを含む請求項 1 ~ 5 のいずれか 1 つに記載の画像表示装置の製造方法。

【請求項 7】

前記半導体層は、窒化ガリウム系化合物半導体を含み、

20

前記第 2 基板は、シリコンを含む請求項 1 ~ 6 のいずれか 1 つに記載の画像表示装置の製造方法。

【請求項 8】

前記発光素子上に波長変換部材を形成する工程をさらに備えた請求項 1 ~ 7 のいずれか 1 つに記載の画像表示装置の製造方法。

【請求項 9】

回路素子と、

前記回路素子に電氣的に接続された第 1 配線層と、

前記回路素子および前記第 1 配線層を覆う第 1 絶縁膜と、

前記第 1 絶縁膜上に配設された発光素子と、

前記発光素子の少なくとも一部を覆う第 2 絶縁膜と、

前記発光素子に電氣的に接続され、前記第 2 絶縁膜上に配設された第 2 配線層と、

前記第 1 絶縁膜および前記第 2 絶縁膜を貫通し、前記第 1 配線層および前記第 2 配線層を電氣的に接続する第 1 ピアと、

30

を備え、

前記第 1 配線層は、第 1 配線を含み、

前記第 1 配線の少なくとも一部を含む部分は、前記発光素子の直下に設けられ、

前記部分の外周は、平面視で、前記部分に投影された前記発光素子の外周を含む画像表示装置。

【請求項 10】

40

前記発光素子の前記第 1 絶縁膜の側の面に対向する発光面を露出させる開口を有しており、前記発光面上に透明電極を備えた請求項 9 記載の画像表示装置。

【請求項 11】

前記開口から露出された露出面は、粗面を含む請求項 10 記載の画像表示装置。

【請求項 12】

前記第 1 絶縁膜と前記発光素子との間に緩衝層をさらに備えた請求項 9 ~ 11 のいずれか 1 つに記載の画像表示装置。

【請求項 13】

前記回路素子は、トランジスタを含み、

前記発光素子は、第 1 導電形の第 1 半導体層と、前記第 1 導電形とは異なる第 2 導電形

50

の第 2 半導体層と、前記第 1 半導体層と前記第 2 半導体層との間に設けられた発光層と、を含み、前記第 1 絶縁膜から前記第 2 配線層に向かって、前記第 1 半導体層、前記発光層、および前記第 2 半導体層の順に積層され、

前記第 1 配線層は、前記トランジスタの第 1 主電極に接続された第 2 配線を含み、

前記第 2 配線層は、前記第 1 半導体層に接続された第 3 配線を含み、

前記第 1 ピアの一端は、前記第 2 配線に接続され、

前記第 1 ピア他端は、前記第 3 配線に接続された請求項 9 ~ 12 のいずれか 1 つに記載の画像表示装置。

【請求項 14】

前記第 2 絶縁膜を貫通する第 2 ピアをさらに備え、

前記第 2 ピアの一端は、前記第 1 半導体層に接続され、

前記第 2 ピア他端は、前記第 3 配線に接続された請求項 13 記載の画像表示装置。

【請求項 15】

前記第 1 導電形は、p 形であり、

前記第 2 導電形は、n 形であり、

前記トランジスタは、p チャネルトランジスタである請求項 13 または 14 に記載の画像表示装置。

【請求項 16】

前記第 1 導電形は、n 形であり、

前記第 2 導電形は、p 形であり、

前記トランジスタは、n チャネルトランジスタである請求項 13 または 14 に記載の画像表示装置。

【請求項 17】

前記発光素子は、窒化ガリウム系化合物半導体を含み、

前記回路素子は、基板に形成され、前記基板は、シリコンを含む請求項 9 ~ 16 のいずれか 1 つに記載の画像表示装置。

【請求項 18】

前記発光素子上に波長変換部材をさらに備えた請求項 9 ~ 17 のいずれか 1 つに記載の画像表示装置。

【請求項 19】

複数のトランジスタと、

前記複数のトランジスタに電気的に接続された第 1 配線層と、

前記複数のトランジスタおよび前記第 1 配線層を覆う第 1 絶縁膜と、

前記第 1 絶縁膜上に配設された第 1 導電形の第 1 半導体層と、

前記第 1 半導体層上に配設された発光層と、

前記発光層上に配設され、前記第 1 導電形とは異なる第 2 導電形の第 2 半導体層と、

前記第 1 絶縁膜、前記発光層および前記第 1 半導体層を覆うとともに前記第 2 半導体層の少なくとも一部を覆う第 2 絶縁膜と、

前記複数のトランジスタに応じて前記第 2 絶縁膜からそれぞれ露出された、前記第 2 半導体層の複数の露出面上に配設された透明電極に接続された第 2 配線層と、

前記第 1 絶縁膜および前記第 2 絶縁膜を貫通し、前記第 1 配線層の配線および前記第 2 配線層の配線を電気的に接続する第 1 ピアと、

を備えた画像表示装置。

【請求項 20】

前記第 1 配線層は、前記複数のトランジスタのうちの第 1 トランジスタの主電極に接続された第 1 配線を含み、

前記第 2 配線層は、前記第 1 半導体層に接続された第 2 配線を含み、

前記第 1 ピアは、前記第 1 配線と前記第 2 配線との間に設けられた請求項 19 記載の画像表示装置。

【請求項 21】

前記第 1 配線層は、前記複数のトランジスタのうちの前記第 1 トランジスタとは異なる第 2 トランジスタの主電極に接続された第 3 配線を含み、

前記第 2 配線層は、前記第 1 半導体層に接続された第 4 配線を含み、

前記第 1 ピアとは異なる第 2 ピアは、前記第 3 配線と前記第 4 配線との間に設けられた請求項 20 記載の画像表示装置。

【請求項 22】

前記第 2 半導体層は、前記第 2 絶縁膜によって分離された請求項 19 ~ 21 のいずれか 1 つに記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明の実施形態は、画像表示装置の製造方法および画像表示装置に関する。

【背景技術】

【0002】

高輝度、広視野角、高コントラストで低消費電力の薄型の画像表示装置の実現が望まれている。このような市場要求に対応するように、自発光素子を利用した表示装置の開発が進められている。

【0003】

自発光素子として、微細発光素子であるマイクロLEDを用いた表示装置の登場が期待されている。マイクロLEDを用いた表示装置の製造方法として、個々に形成されたマイクロLEDを駆動回路に順次転写する方法が紹介されている。しかしながら、フルハイビジョンや4K、8K等と高画質になるにつれて、マイクロLEDの素子数が増えると、多数のマイクロLEDを個々に形成して、駆動回路等を形成した基板に順次転写するのは、転写工程に膨大な時間を要する。さらに、マイクロLEDと駆動回路等との接続不良等が発生し、歩留りの低下を生じるおそれがある。

20

【0004】

Si基板上に発光層を含む半導体層を成長させ、半導体層に電極を形成した後、駆動回路が形成された回路基板に貼り合わせる技術が知られている（たとえば、特許文献1）。

【先行技術文献】

【特許文献】

30

【0005】

【文献】特開2002-141492号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

実施形態は、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法および画像表示装置を提供する。

【課題を解決するための手段】

【0007】

本発明の一実施形態に係る画像表示装置の製造方法は、発光層を含む半導体層を第1基板上に形成した基板を準備する工程と、回路素子を含む回路が形成された第2基板に、前記半導体層を貼り合わせる工程と、前記半導体層をエッチングして発光素子を形成する工程と、前記発光素子を覆う絶縁膜を形成する工程と、前記絶縁膜を貫通して前記回路に達するビアを形成する工程と、前記発光素子と前記回路素子とを前記ビアを介して電氣的に接続する工程と、を備える。前記ビアは、異なる層に設けられた前記発光素子および前記回路素子を互いに接続する。

40

【0008】

本実施形態に係る画像表示装置は、回路素子と、前記回路素子に電氣的に接続された第1配線層と、前記回路素子および前記第1配線層を覆う第1絶縁膜と、前記第1絶縁膜上に配設された発光素子と、前記発光素子の少なくとも一部を覆う第2絶縁膜と、前記発光

50

素子に電氣的に接続され、前記第 2 絶縁膜上に配設された第 2 配線層と、前記第 1 絶縁膜および前記第 2 絶縁膜を貫通し、前記第 1 配線層および前記第 2 配線層を電氣的に接続する第 1 ピアと、を備える。

【 0 0 0 9 】

本実施形態に係る画像表示装置は、複数のトランジスタと、前記複数のトランジスタに電氣的に接続された第 1 配線層と、前記複数のトランジスタおよび前記第 1 配線層を覆う第 1 絶縁膜と、前記第 1 絶縁膜上に配設された第 1 導電形の第 1 半導体層と、前記第 1 半導体層上に配設された発光層と、前記発光層上に配設され、前記第 1 導電形とは異なる第 2 導電形の第 2 半導体層と、前記第 1 絶縁膜、前記第 1 半導体層および前記発光層を覆うとともに前記第 2 半導体層の少なくとも一部を覆う第 2 絶縁膜と、前記複数のトランジスタに応じて前記第 2 絶縁膜からそれぞれ露出された、前記第 2 半導体層の複数の露出面上に配設された透明電極に接続された第 2 配線層と、前記第 1 絶縁膜および前記第 2 絶縁膜を貫通し、前記第 1 配線層の配線および前記第 2 配線層の配線を電氣的に接続する第 1 ピアと、を備える。

10

【発明の効果】

【 0 0 1 0 】

本実施形態の一実施形態によれば、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法および画像表示装置が実現される。

【図面の簡単な説明】

【 0 0 1 1 】

20

【図 1】第 1 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【図 2 A】第 1 の実施形態の画像表示装置の変形例の 1 つを例示する模式的な断面図である。

【図 2 B】第 1 の実施形態の画像表示装置の変形例の 1 つを例示する模式的な断面図である。

【図 2 C】第 1 の実施形態の画像表示装置の変形例の 1 つを例示する模式的な断面図である。

【図 3】第 1 の実施形態の画像表示装置を例示する模式的なブロック図である。

【図 4】第 1 の実施形態の画像表示装置の一部を例示する模式的な平面図である。

【図 5 A】第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

30

【図 5 B】第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 5 C】第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 6 A】第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 6 B】第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 6 C】第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 7 A】第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図 7 B】第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図 8 A】第 1 の実施形態の画像表示装置の変形例の 1 つの製造方法を例示する模式的な断面図である。

40

【図 8 B】第 1 の実施形態の画像表示装置の変形例の 1 つの製造方法を例示する模式的な断面図である。

【図 9】第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 10 A】第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図 10 B】第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図 10 C】第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

50

【図 1 0 D】第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図 1 1】第 2 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【図 1 2】第 2 の実施形態の画像表示装置を例示する模式的なブロック図である。

【図 1 3 A】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 3 B】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 4 A】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 4 B】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 5】第 2 の実施形態の画像表示装置の変形例の一部を例示する模式的な断面図である。

10

【図 1 6】第 3 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【図 1 7 A】第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 7 B】第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 8 A】第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 8 B】第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 9】第 3 の実施形態に係る画像表示装置の変形例の一部を例示する模式的な断面図である。

【図 2 0 A】第 3 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図 2 0 B】第 3 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

20

【図 2 1】画素 L E D の特性を例示するグラフである。

【図 2 2】第 4 の実施形態に係る画像表示装置を例示するブロック図である。

【図 2 3】第 4 の実施形態に係る画像表示装置の変形例を例示するブロック図である。

【図 2 4】第 1 ～ 第 3 の実施形態およびこれらの変形例の画像表示装置を模式的に例示する斜視図である。

【発明を実施するための形態】

【 0 0 1 2 】

以下、図面を参照しつつ、本発明の実施形態について説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

30

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して詳細な説明を適宜省略する。

【 0 0 1 3 】

(第 1 の実施形態)

図 1 は、実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図 1 には、本実施形態の画像表示装置のサブピクセル 2 0 の構成が模式的に示されている。画像表示装置に表示される画像を構成するピクセル 1 0 は、複数のサブピクセル 2 0 によって構成されている。

40

以下では、X Y Z の 3 次元座標系を用いて説明することがある。サブピクセル 2 0 は、2 次元平面上に配列されている。サブピクセル 2 0 が配列された 2 次元平面を X Y 平面とする。サブピクセル 2 0 は、X 軸方向および Y 軸方向に沿って配列されている。

【 0 0 1 4 】

サブピクセル 2 0 は、X Y 平面にほぼ平行な発光面 1 5 3 S を有している。発光面 1 5 3 S は、主として、X Y 平面に直交する Z 軸の正方向に向かって光を出力する。

【 0 0 1 5 】

図 1 は、サブピクセル 2 0 を X Z 平面に平行な面で切断した場合の断面を模式的に示している。この断面図は、後述する図 4 の A - A ' 線における矢視断面である。

図 1 に示すように、画像表示装置のサブピクセル 2 0 は、トランジスタ 1 0 3 と、第 1

50

の配線層 110 と、第 1 の絶縁膜（層間絶縁膜）112 と、発光素子 150 と、第 2 の絶縁膜（層間絶縁膜）156 と、第 2 の配線層 160 と、ビア 161d と、を備える。サブピクセル 20 は、カラーフィルタ 180 をさらに備える。カラーフィルタ（波長変換部材）180 は、表面樹脂層 170 上に、透明薄膜接着層 188 を介して設けられている。表面樹脂層 170 は、発光素子 150、層間絶縁膜 156 および配線層 160 上に設けられている。

【0016】

トランジスタ 103 は、基板 102 に形成されている。後述する図 3 および図 12 に示すように、基板 102 には、トランジスタ 103 のほか、他のトランジスタや抵抗、キャパシタ等の回路素子が形成され、配線等によって回路 101 を構成している。以下では、回路 101 は、回路素子が形成された素子形成領域 104、絶縁層 105、配線層 110、配線層 110 と回路素子を接続するビアおよび回路素子間等を絶縁する絶縁膜 108 を含むものとする。基板 102、回路 101 および層間絶縁膜 112 等のその他の構成要素を含めて回路基板 100 と呼ぶことがある。

10

【0017】

トランジスタ 103 は、p 形半導体領域 104b と、n 形半導体領域 104s, 104d と、ゲート 107 と、を含む。ゲート 107 は、絶縁層 105 を介して、p 形半導体領域 104b の上に設けられている。絶縁層 105 は、素子形成領域 104 とゲート 107 とを絶縁するとともに、隣接する他の回路素子との絶縁を十分にとるために設けられている。ゲート 107 に電圧が印加されると、p 形半導体領域 104b にチャネルが形成される。トランジスタ 103 は、n チャネル MOSFET である。

20

【0018】

素子形成領域 104 は、基板 102 に設けられている。基板 102 は、たとえば Si 基板である。素子形成領域 104 は、p 形半導体領域 104b と n 形半導体領域 104s, 104d とを含む。p 形半導体領域 104b は、基板 102 の表面付近に設けられている。n 形半導体領域 104s, 104d は、p 形半導体領域 104b 内で p 形半導体領域 104b の表面付近に互いに離隔して設けられている。

【0019】

基板 102 の表面には、絶縁層 105 が設けられている。絶縁層 105 は、素子形成領域 104 も覆っており、p 形半導体領域 104b および n 形半導体領域 104s, 104d の表面も覆っている。絶縁層 105 は、たとえば SiO₂ である。絶縁層 105 は、覆っている領域に応じて SiO₂ や Si₃N₄ 等を含む多層の絶縁層であってもよい。絶縁層 105 は、高誘電率を有する絶縁材料の層を含んでもよい。

30

【0020】

絶縁層 105 を介して、p 形半導体領域 104b の上にゲート 107 が設けられている。ゲート 107 は、n 形半導体領域 104s, 104d の間に設けられている。ゲート 107 は、たとえば多結晶 Si である。ゲート 107 は、多結晶 Si よりも低抵抗のシリサイド等を含んでもよい。

【0021】

この例では、ゲート 107 および絶縁層 105 は、絶縁膜 108 で覆われている。絶縁膜 108 は、たとえば SiO₂ や Si₃N₄ 等である。配線層 110 を形成するのに表面を平坦化するために、さらに PSG (Phosphorus Silicon Glass) や BPSG (Boron Phosphorus Silicon Glass) 等の有機絶縁膜を設けるようにしてもよい。

40

【0022】

絶縁膜 108 には、ビア 111s, 111d が形成されている。絶縁膜 108 上には、第 1 の配線層（第 1 配線層）110 が形成されている。第 1 の配線層 110 は、電位の異なり得る複数の配線を含んでおり、配線 110s, 110d を含んでいる。なお、このように、図 1 以降の断面図においては、配線層の符号は、その配線層に含まれる 1 つの配線の横の位置に表示されているものとする。ビア 111s, 111d は、配線層 110 の配線 110s, 110d と n 形半導体領域 104s, 104d との間にそれぞれ設けられ、

50

これらを電氣的に接続している。配線層 110 およびビア 111s, 111d は、たとえば Al や Cu 等の金属によって形成されている。配線層 110 およびビア 111s, 111d は、高融点金属等を含んでもよい。

【0023】

絶縁膜 108 および配線層 110 上には、さらに平坦化膜として、第 1 の層間絶縁膜 112 が設けられている。層間絶縁膜 (第 1 絶縁膜) 112 は、たとえば PSG や BPSG 等の有機絶縁膜である。第 1 の層間絶縁膜 112 は、回路基板 100 においてその表面を保護する保護膜としても機能する。

【0024】

層間絶縁膜 112 上にわたってバッファ層 140 が設けられている。バッファ層 (緩衝層) 140 は、たとえば AlN 等のナイトライドを含む。バッファ層 140 を設けることによって、発光素子 150 をエピタキシャル成長させたときに発生する結晶欠陥を低減することが期待できる。このように、発光素子 150 と第 1 の層間絶縁膜 112 との間には、バッファ層 140 が設けられている場合に限らず、第 1 の層間絶縁膜 112 上に直接発光素子 150 が設けられていてもよい。

【0025】

回路基板 100 中の配線 110s は、発光素子 150 が載置されている位置まで X 軸方向に延伸して設けられている。後述する図 4 に示すように、配線 110s は、発光素子の Y 軸方向の長さ程度かそれよりも長く Y 軸方向にも延伸している。

【0026】

換言すると、配線 110s の外周は、XY 平面視で発光素子 150 を Z 軸上方から投影したときの外周を含んでいる。これにより、配線 110s は、発光素子 150 の下方への光の散乱を遮光して、トランジスタ 103 に到達しないようにすることができる。配線 110s の材料を適切に選択することによって、発光素子 150 の下方への散乱を発光面 153s 側に反射させて発光効率を向上させることができる。また、配線 110s が、発光素子 150 の下方への散乱光を遮光することによって、トランジスタ 103 への光の到達が抑制され、トランジスタ 103 の誤動作を防止することもできる。

【0027】

発光素子 150 は、n 形半導体層 (第 1 半導体層) 151 と、発光層 152 と、p 形半導体層 (第 2 半導体層) 153 と、を含む。n 形半導体層 151、発光層 152 および p 形半導体層 153 は、回路基板 100 の層間絶縁膜 112 から Z 軸の正方向、つまり発光面 153s に向かってこの順に積層されている。発光素子 150 は、XY 平面視で、たとえばほぼ正方形または長形状を有しているが、角部は丸くなってもよい。発光素子 150 は XY 平面視で、たとえば楕円形状や円形状を有していてもよい。平面視での発光素子の形状や配置等を適切に選定することによって、レイアウトの自由度が向上する。n 形半導体層 151 は、この例では、バッファ層 140 上を X 軸方向に延伸する段差部 151a を有している。

【0028】

発光素子 150 には、たとえば、 $In_xAl_{1-y}Ga_{1-x-y}N$ ($0 < x, 0 < y, x + y < 1$) 等の窒化物半導体が好適に用いられる。発光素子 150 は、いわゆる青色発光ダイオードであり、発光素子 150 が発光する光の波長は、たとえば $467\text{ nm} \pm 20\text{ nm}$ 程度である。発光素子 150 が発光する光の波長は、 $410\text{ nm} \pm 20\text{ nm}$ 程度の青紫発光としてもよい。発光素子 150 が発光する光の波長は、上述の値に限らず、適切なものとすることができる。

【0029】

第 2 の層間絶縁膜 (第 2 絶縁膜) 156 は、バッファ層 140 および発光素子 150 を覆っている。第 2 の層間絶縁膜 156 は、透明樹脂によって形成されている。層間絶縁膜 156 は、発光素子 150 を保護するとともに、第 2 の層間絶縁膜 156 上に形成される配線層 160 のために表面を平坦化する機能も有する。

【0030】

10

20

30

40

50

第2の層間絶縁膜156を貫通して、ビア(第2ビア)161kが設けられている。ビア161kの一端は、段差部151aに接続されている。

【0031】

ビア(第1ビア)161dは、層間絶縁膜112, 156を貫通して設けられている。ビア161dの一端は、配線110dに接続されている。

【0032】

配線層160は、平坦化された層間絶縁膜156上に設けられている。配線層160は、配線160a, 160kを含んでいる。配線160aは、層間絶縁膜156に開口されたコンタクトホールを介して、p形半導体層153に接続されている。配線160aは、この図には示されないが、サブピクセル20に電源を供給する電源線に接続されている。

10

【0033】

配線160kは、ビア161k, 161dの他端に接続されている。したがって、発光素子150のn形半導体層151は、ビア161k, 161dおよび配線160k, 110dを介して、トランジスタ103の主電極に電氣的に接続される。

【0034】

表面樹脂層170は、第2の層間絶縁膜156および第2の配線層160を覆っている。表面樹脂層170は、透明樹脂であり、層間絶縁膜156および配線層160を保護するとともに、カラーフィルタ180を接着するための平坦化面を提供する。

【0035】

カラーフィルタ180は、遮光部181と色変換部182とを含む。色変換部182は、発光素子150の発光面153Sの直上に発光面153Sの形状に応じて設けられている。カラーフィルタ180では、色変換部182以外の部分は、遮光部181とされている。遮光部181は、いわゆるブラックマトリクスであり、隣接する色変換部182から発光される光の混色等によるじみを低減し、シャープな画像を表示することを可能にする。

20

【0036】

色変換部182は、1層または2層とされる。図1には、2層の部分が示されている。1層であるか2層であるかは、サブピクセル20が発光する光の色、すなわち波長によって決定される。サブピクセル20の発光色が赤または緑の場合には、色変換部182は、好ましくは2層とされる。サブピクセル20の発光色が青の場合には、好ましくは1層とされる。

30

【0037】

色変換部182が2層の場合には、発光素子150により近い1層目が色変換層183であり、2層目がフィルタ層184である。つまり、フィルタ層184は、色変換層183上に積層されている。

【0038】

色変換層183は、発光素子150が発光する光の波長を所望の波長に変換する層である。赤色を発光するサブピクセル20の場合には、発光素子150の波長、 $467\text{ nm} \pm 20\text{ nm}$ の光を、たとえば $630\text{ nm} \pm 20\text{ nm}$ 程度の波長の光に変換する。緑色を発光するサブピクセル20の場合には、発光素子150の波長、 $467\text{ nm} \pm 20\text{ nm}$ の光を、たとえば $532\text{ nm} \pm 20\text{ nm}$ 程度の波長の光に変換する。

40

【0039】

フィルタ層184は、色変換層183で色変換されずに残存した青色発光の波長成分を遮断する。

【0040】

サブピクセル20が発光する光の色が青色の場合には、サブピクセル20は、色変換層183を介して光を出力してもよいし、色変換層183を介さずにそのまま光を出力するようにしてもよい。発光素子150が発光する光の波長が $467\text{ nm} \pm 20\text{ nm}$ 程度の場合には、サブピクセル20は、色変換層183を介さずに光を出力してもよい。発光素子150が発光する光の波長を $410\text{ nm} \pm 20\text{ nm}$ とする場合には、出力する光の波長を

50

467nm $\pm$ 20nm程度に変換するために、1層の色変換層183を設けることが好ましい。

【0041】

青色のサブピクセル20の場合であっても、サブピクセル20は、フィルタ層184を有していてもよい。青色のサブピクセル20にフィルタ層184を設けることによって、発光素子150の表面で生じる微小な外光反射が抑制される。

【0042】

(変形例)

サブピクセルの構成の変形例について説明する。

図2A～図2Cは、本実施形態の画像表示装置の変形例をそれぞれ例示する模式的な断面図である。

10

図2A以降のサブピクセルの断面図では、煩雑さを避けるため、表面樹脂層170およびカラーフィルタ180の表示が省略されている。特に記載のない場合には、第2の層間絶縁膜および第2の配線層上には、表面樹脂層およびカラーフィルタが設けられる。後述の他の実施形態およびその変形例の場合についても同様である。

【0043】

図2Aおよび図2Bの場合には、サブピクセル20a、20bは、発光素子150aの構成が上述の第1の実施形態の場合と相違する。他の構成要素は、上述の第1の実施形態の場合と同一であり、詳細な説明を適宜省略する。

図2Aに示すように、サブピクセル20aは、発光素子150aを含む。発光素子150aは、第2の層間絶縁膜(第2絶縁膜)256で覆われている。第2の層間絶縁膜256は、好ましくは白色樹脂である。層間絶縁膜256を白色樹脂とすることによって、発光素子150aが横方向や下方向に発光する光を反射させて、実質的に発光素子150aの輝度を向上させることができる。

20

【0044】

第2の層間絶縁膜256は、黑色樹脂であってもよい。層間絶縁膜256を黑色樹脂とすることによって、サブピクセル内における光の散乱が抑制され、迷光がより効果的に抑制される。迷光が抑制された画像表示装置は、よりシャープな画像を表示することが可能である。

【0045】

30

第2の層間絶縁膜256は、開口158を有している。開口158は、発光素子150aの上方の層間絶縁膜256の一部を除去することによって形成されている。配線160a1は、開口158で露出されたp形半導体層153aに接続されている。

【0046】

p形半導体層153aは、開口158により露出された発光面153Sを有する。発光面153Sは、p型半導体層153aの面のうち発光層152に接する面に対向する面である。発光面153Sは、好ましくは粗面加工されている。発光素子150aは、発光面153Sが粗面とされている場合には、光の取出効率を向上させることができる。

【0047】

図2Bに示すように、サブピクセル20bでは、透明電極159a、159kが配線160a2、160k上にそれぞれ設けられている。透明電極159aは、開口されたp形半導体層153aの発光面153S上に設けられ、配線160a2とp形半導体層153aとを電氣的に接続している。

40

【0048】

発光面153S上に透明電極159aを設けることによって、p形半導体層153aとの接続面積を大きくすることができ、発光効率を向上させることができる。発光面153Sが粗面とされている場合には、発光面153Sと透明電極159aとの接続面積を増大させることができ、接触抵抗を低減することができる。

【0049】

図2Cは、トランジスタ103等の回路素子と発光素子150とのXY平面上の位置が

50

互いにずれて配置されている場合を示している。

以下の理由により、発光素子 150 とトランジスタ 130 とを、平面視で重ならないように配置することがある。p 形半導体領域 104b と n 形の基板 102 との間に空乏層領域が発生し、この空乏層領域は、寄生フォトダイオードとして機能することがある。この寄生フォトダイオードは、発光素子 150 の直下に生じる光被照射領域と重ならないようにすることが好ましい。その場合には、発光層 152 を基板 102 の表面に X Y 平面視で投影したときの端部と、p 形半導体領域 104b の境界との距離を、少なくとも 1 μm 程度以上離すことが好ましい。

【0050】

図 2C に示すように、サブピクセル 20c では、配線 110s3 は、発光素子 150 が載置されている位置まで延伸していない。つまり、配線 110s3 は、X Y 平面視で Z 軸上方から投影したとき、発光素子 150 の外周部を必ずしも含んでいない。一方、配線 160k3 は、上述の実施形態や他の変形例の場合に比べて X 軸方向により長く延伸されている。

10

【0051】

このように、発光素子 150 が回路素子から十分離れて配置されているような場合には、Z 軸の負方向に向かう散乱光が少なくなるので、光によるトランジスタ 103 等回路素子の誤動作を生じにくくなる。回路基板 100 内の配線によって遮光する必要がない場合には、配線を遮光に用いないので、回路配置の自由度が向上し、集積密度を向上させることが可能になる。

20

【0052】

本実施形態では、上述に示したサブピクセル 20 ~ 20c の構成のいずれかを含むことができる。

【0053】

図 3 は、本実施形態に係る画像表示装置を例示する模式的なブロック図である。

図 3 に示すように、本実施形態の画像表示装置 1 は、表示領域 2 を備える。表示領域 2 には、サブピクセル 20 が配列されている。サブピクセル 20 は、たとえば格子状に配列されている。たとえば、サブピクセル 20 は、X 軸に沿って n 個配列され、Y 軸に沿って m 個配列される。

【0054】

30

ピクセル 10 は、異なる色の光を発光する複数のサブピクセル 20 を含む。サブピクセル 20R は、赤色の光を発光する。サブピクセル 20G は、緑色の光を発光する。サブピクセル 20B は、青色の光を発光する。3 種類のサブピクセル 20R, 20G, 20B が所望の輝度で発光することによって、1 つのピクセル 10 の発光色および輝度が決定される。

【0055】

1 つのピクセル 10 は、3 つのサブピクセル 20R, 20G, 20B を含み、サブピクセル 20R, 20G, 20B は、たとえばこの例のように、X 軸上を直線状に配列されている。各ピクセル 10 は、同じ色のサブピクセルが同じ列に配列されていてもよいし、この例のように、列ごとに異なる色のサブピクセルが配列されていてもよい。

40

【0056】

画像表示装置 1 は、電源線 3 および接地線 4 をさらに有する。電源線 3 および接地線 4 は、サブピクセル 20 の配列に沿って、格子状に布線されている。電源線 3 および接地線 4 は、各サブピクセル 20 に電氣的に接続され、電源端子 3a と GND 端子 4a との間に接続された直流電源から各サブピクセル 20 に電力を供給する。電源端子 3a および GND 端子 4a は、電源線 3 および接地線 4 の端部にそれぞれ設けられ、表示領域 2 の外部に設けられた直流電源回路に接続される。電源端子 3a は、GND 端子 4a を基準にして正の電圧が供給される。

【0057】

画像表示装置 1 は、走査線 6 および信号線 8 をさらに有する。走査線 6 は、X 軸に平行

50

な方向に布線されている。つまり、走査線 6 は、サブピクセル 20 の行方向の配列に沿って布線されている。信号線 8 は、Y 軸に平行な方向に布線されている。つまり、信号線 8 は、サブピクセル 20 の列方向の配列に沿って布線されている。

【0058】

画像表示装置 1 は、行選択回路 5 および信号電圧出力回路 7 をさらに有する。行選択回路 5 および信号電圧出力回路 7 は、表示領域 2 の外縁に沿って設けられている。行選択回路 5 は、表示領域 2 の外縁の Y 軸方向に沿って設けられている。行選択回路 5 は、各列のサブピクセル 20 に走査線 6 を介して電氣的に接続され、各サブピクセル 20 に選択信号を供給する。

【0059】

信号電圧出力回路 7 は、表示領域 2 の外縁に沿って設けられている。信号電圧出力回路 7 は、表示領域 2 の外縁の X 軸方向に沿って設けられている。信号電圧出力回路 7 は、各行のサブピクセル 20 に信号線 8 を介して電氣的に接続され、各サブピクセル 20 に信号電圧を供給する。

【0060】

サブピクセル 20 は、発光素子 22 と、選択トランジスタ 24 と、駆動トランジスタ 26 と、キャパシタ 28 と、を含む。図 3 において、選択トランジスタ 24 は T1 と表示され、駆動トランジスタ 26 は T2 と表示され、キャパシタ 28 は C_m と表示されることがある。

【0061】

発光素子 22 は、駆動トランジスタ 26 と直列に接続されている。本実施形態では、駆動トランジスタ 26 は n チャネル MOSFET であり、駆動トランジスタ 26 の主電極であるドレイン電極に発光素子 22 の n 電極であるカソード電極が接続されている。発光素子 22 および駆動トランジスタ 26 の直列回路は、電源線 3 と接地線 4 との間に接続されている。駆動トランジスタ 26 は、図 1 等におけるトランジスタ 103 に対応し、発光素子 22 は、図 1 等における発光素子 150 に対応する。駆動トランジスタ 26 のゲート - ソース間に印加される電圧によって、発光素子 22 に流れる電流が決定され、発光素子 22 は、発光素子 22 に流れる電流に応じた輝度で発光する。

【0062】

選択トランジスタ 24 は、駆動トランジスタ 26 のゲート電極と信号線 8 との間に主電極を介して接続されている。選択トランジスタ 24 のゲート電極は、走査線 6 に接続されている。駆動トランジスタ 26 のゲート電極と接地線 4 との間には、キャパシタ 28 が接続されている。

【0063】

行選択回路 5 は、m 行のサブピクセル 20 の配列から、1 行を選択して走査線 6 に選択信号を供給する。信号電圧出力回路 7 は、選択された行の各サブピクセル 20 に必要なアナログ電圧値を有する信号電圧を供給する。選択された行のサブピクセル 20 の駆動トランジスタ 26 のゲート - ソース間には、信号電圧が印加される。信号電圧は、キャパシタ 28 によって保持される。駆動トランジスタ 26 は、信号電圧に応じた電流を発光素子 22 に流す。発光素子 22 は、流れた電流に応じた輝度で発光する。

【0064】

行選択回路 5 は、選択する行を順次切り替えて選択信号を供給する。つまり、行選択回路 5 は、サブピクセル 20 が配列された行を走査する。順次走査されたサブピクセル 20 の発光素子 22 には、信号電圧に応じた電流が流れて発光する。RGB 各色のサブピクセル 20 が発光する発光色および輝度によって決定された発光色および輝度で各ピクセル 10 が発光して表示領域 2 に画像が表示される。

【0065】

図 4 は、本実施形態の画像表示装置の一部を例示する模式的な平面図である。

本実施形態では、図 1 において説明したように、発光素子 22 (150) と駆動トランジスタ 26 (103) が、Z 軸方向に積層されており、ビア 161d によって、発光素子

10

20

30

40

50

2 2 (1 5 0) のカソード電極と駆動トランジスタ 2 6 (1 0 3) のドレイン電極とを電氣的に接続している。

【 0 0 6 6 】

図 4 の上部には、第 I 層の平面図が模式的に表示され、下部には、第 I I 層の平面図が模式的に表示されている。図 4 では、第 I 層を “ I ” と表記し、第 2 層を “ I I ” と表記している。第 I 層は、発光素子 2 2 (1 5 0) が形成された層である。すなわち、第 I 層は、図 1 において、バッファ層 1 4 0 から Z 軸の正方向に、第 2 の配線層 1 6 0 までの層を含んでいる。図 4 では、バッファ層 1 4 0 および第 2 の層間絶縁膜 1 5 6 は示されていない。第 I I 層は、図 1 において、基板 1 0 2 から Z 軸の正方向に、第 1 の層間絶縁膜 1 1 2 までの層を含んでいる。図 4 では、基板 1 0 2、絶縁層 1 0 5、絶縁膜 1 0 8 および第 1 の層間絶縁膜 1 1 2 は示されていない。この図では、素子形成領域 1 0 4 としてチャネル領域 1 0 4 c が示されている。

10

【 0 0 6 7 】

図 1 の断面は、第 I 層および第 I I 層それぞれに一点鎖線で示した箇所の A A ' 線の矢視断面である。

【 0 0 6 8 】

図 4 に示すように、発光素子 1 5 0 のカソード電極となる n 形半導体層 1 5 1 には、ビア 1 6 1 k (図 1) およびそのコンタクトホール 1 6 1 k 1 を介して、配線 1 6 0 k が接続されている。配線 1 6 0 k は、第 2 の層間絶縁膜 1 5 6 に設けられたコンタクトホール 1 6 1 d 1 を介してビア 1 6 1 d の一端に接続されている。ビア 1 6 1 d は、図上、二点鎖線で模式的に示されている。

20

【 0 0 6 9 】

ビア 1 6 1 d の他端は、第 1 の層間絶縁膜 1 1 2 に設けられたコンタクトホール 1 6 1 d 2 を介して、配線 1 1 0 d に接続されている。配線 1 1 0 d は、絶縁膜 1 0 8 に開口されたコンタクトホール 1 1 1 c 1 を介して、ビア 1 1 1 d (図 1) に接続され、トランジスタ 1 0 3 のドレイン電極に接続される。このようにして、層間絶縁膜 1 5 6、1 1 2 を貫通するビア 1 6 1 d によって、異なる層である第 I 層および第 I I 層にそれぞれ形成された発光素子 1 5 0 およびトランジスタ 1 0 3 を電氣的に接続することができる。

【 0 0 7 0 】

配線 1 1 0 s によって、発光素子 1 5 0 の発光を遮光する配置について、図 4 を用いて説明する。

30

配線 1 1 0 s は、遮光部 1 1 0 s 1 を有する。遮光部 (部分) 1 1 0 s 1 は、X 軸方向の長さ L 2 および Y 軸方向の長さ W 2 を有する長方形の部分である。遮光部 1 1 0 s 1 は、発光素子 1 5 0 の直下に設けられている。発光素子 1 5 0 は、X 軸方向の長さ L 1 および Y 軸方向の長さ W 1 を有する長方形の底面を有する。

【 0 0 7 1 】

各部の長さは、 $L 2 > L 1$ 、 $W 2 > W 1$ となるように設定されている。遮光部 1 1 0 s 1 は、発光素子 1 5 0 の直下に設けられているので、遮光部 1 1 0 s 1 の外周は、発光素子 1 5 0 の外周を含んでいることになる。遮光部 1 1 0 s 1 の外周が発光素子 1 5 0 の外周を含んでいればよく、遮光部 1 1 0 s 1 の形状は、方形である場合に限り適切な任意の形状とすることができる。

40

【 0 0 7 2 】

発光素子 1 5 0 は、上方に向かって発光するとともに、下方に向かう発光や、層間絶縁膜 1 1 2 と表面樹脂層 1 7 0 との界面での反射光や散乱光等が存在する。したがって、好ましくは、遮光部 1 1 0 s 1 の外周は、X Y 平面視で遮光部 1 1 0 s 1 に投影された発光素子 1 5 0 の外周を含むように設定される。このように遮光部 1 1 0 s 1 が設定されることによって、発光素子 1 5 0 の下方への光の到達を抑制して、回路素子への光の影響を軽減することができる。

【 0 0 7 3 】

本実施形態の画像表示装置 1 の製造方法について説明する。

50

図5 A ~ 図6 C は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図5 A に示すように、半導体成長基板 1 1 9 4 を準備する。半導体成長基板 1 1 9 4 は、結晶成長用基板（第 1 基板）1 0 0 1 上に成長させた半導体層 1 1 5 0 を有する。結晶成長用基板 1 0 0 1 は、たとえば Si 基板やサファイア基板等である。好ましくは、Si 基板が用いられる。

【0074】

この例では、結晶成長用基板 1 0 0 1 の一方の面には、バッファ層 1 1 4 0 が形成されている。バッファ層（緩衝層）1 1 4 0 は、AlN 等のナイトライドが好適に用いられる。バッファ層 1 1 4 0 は、Ga N をエピタキシャル成長させるときに、Ga N の結晶と結晶成長用基板 1 0 0 1 との界面での不整合を緩和するために用いられる。

10

【0075】

半導体成長基板 1 1 9 4 では、バッファ層 1 1 4 0 上に、n 形半導体層 1 1 5 1、発光層 1 1 5 2 および p 形半導体層 1 1 5 3 が、バッファ層 1 1 4 0 側からこの順に積層される。半導体層 1 1 5 0 の成長には、たとえば気相成長法（Chemical Vapor Deposition、CVD 法）が用いられ、有機金属気相成長法（Metal Organic Chemical Vapor Deposition、MOCVD 法）が好適に用いられる。半導体層 1 1 5 0 は、たとえば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x$ 、 $0 < y$ 、 $x + y < 1$ ）等である。

【0076】

図5 B に示すように、半導体層 1 1 5 0 を形成した後、結晶成長用基板 1 0 0 1 が設けられた側とは対向する側の p 形半導体層 1 1 5 3 の開放された面に支持基板 1 1 9 0 が接着される。支持基板 1 1 9 0 は、たとえば Si や石英等によって形成されている。その後、結晶成長用基板 1 0 0 1 は、除去される。結晶成長用基板 1 0 0 1 の除去には、たとえばレーザが用いられる。

20

【0077】

回路基板 1 1 0 0 が準備される。回路基板（第 2 基板）1 1 0 0 は、サブピクセル 2 0 の構成について図 1 等で説明した回路 1 0 1 を有する。

【0078】

図の矢印のように、回路基板 1 1 0 0 の一方の面と、半導体層 1 1 5 0 のバッファ層 1 1 4 0 の面とを合わせて、両者を貼り合わせる。回路基板 1 1 0 0 の貼り合わせ面は、配線層 1 6 0 上に形成された層間絶縁膜 1 1 2 の露出面である。

30

【0079】

2 つの基板を貼り合わせるウェハボンディングでは、たとえば、2 つの基板を加熱して熱圧着により 2 つの基板を貼り合わせる。加熱圧着する際に、低融点金属や低融点合金を用いてもよい。低融点金属は、たとえば Sn や In 等であり、低融点合金は、たとえば Zn や In、Ga、Sn、Bi 等を主成分とした合金とすることができる。

【0080】

ウェハボンディングでは、上述のほか、それぞれの基板の貼り合わせ面を化学機械研磨（Chemical Mechanical Polishing、CMP）等を用いて平坦化した上で、真空中で貼り合わせ面をプラズマ処理により清浄化して密着させるようにしてもよい。

40

【0081】

図5 C に示すように、ウェハボンディングにおいては、支持基板 1 1 9 0 に半導体層 1 1 5 0 を貼り付け、結晶成長用基板 1 0 0 1 を除去した後に、バッファ層 1 1 4 0 も除去してもよい。支持基板 1 1 9 0 に支持された半導体層 1 1 5 0 は、バッファ層 1 1 4 0 が除去されて開放された n 形半導体層 1 1 5 1 の面を、回路基板 1 1 0 0 に貼り合わせる。あるいは、バッファ層 1 1 4 0 を設けずに、半導体層 1 1 5 0 を結晶成長させた半導体成長基板を用いてもよい。以下では、バッファ層 1 1 4 0 を設けた状態でウェハボンディングした場合について説明するが、バッファ層 1 1 4 0 を削除した場合も同様に製造することができる。

【0082】

50

図 6 A および図 6 B に示すように、回路基板 1 1 0 0 は、ウェハボンディングによってバッファ層 1 1 4 0 を介して半導体層 1 1 5 0 に接合される。半導体層 1 1 5 0 は、発光素子 1 5 0 の形状に成形される。発光素子 1 5 0 の成形には、たとえばドライエッチングプロセスが用いられ、好適には、異方性プラズマエッチング (Reactive Ion Etching、R I E) が用いられる。

【 0 0 8 3 】

図 6 C に示すように、発光素子 1 5 0 を覆って層間絶縁膜が形成される。層間絶縁膜には、ビアホールが形成される。その後、ビアホールに導電性の金属材料が充填される。ビアホールの形成にはウェットエッチングまたはドライエッチングいずれかを用いることができる。

10

【 0 0 8 4 】

その後、スパッタ等によって、ビアホール内に導電層を形成し、フォトリソグラフィによって配線層 1 6 0 を形成する。ビアホールを形成した後、ビアおよび配線層を同時に形成するようにしてもよい。

【 0 0 8 5 】

サブピクセル 2 0 以外の回路の一部は、回路基板 1 0 0 中に形成されている。たとえば行選択回路 5 (図 3) は、駆動トランジスタや選択トランジスタ等とともに、回路基板 1 0 0 中に形成されることができる。つまり、行選択回路 5 は、上述の製造工程によって同時に組み込まれている場合がある。一方、信号電圧出力回路 7 は、C P U や他の回路要素とともに別の基板に実装され、たとえば後述するカラーフィルタの組み込みの前に、あるいは、カラーフィルタの組み込みの後に、回路基板 1 0 0 の配線と相互に接続される。

20

【 0 0 8 6 】

好ましくは、回路基板 1 1 0 0 は、回路 1 0 1 を含むウェハである。回路基板 1 1 0 0 には、1 つまたは複数の画像表示装置のための回路 1 0 1 が形成されている。あるいは、より大きな画面サイズ等の場合には、1 つの画像表示装置を構成するための回路 1 0 1 が複数の回路基板 1 1 0 0 に分割されて形成されており、分割された回路のすべてを組み合わせ、1 つの画像表示装置を構成するようにしてもよい。

【 0 0 8 7 】

また、好ましくは、結晶成長用基板 1 0 0 1 は、ウェハ状の回路基板 1 1 0 0 と同じ大きさのウェハである。あるいは、1 つの回路基板 1 1 0 0 に複数の結晶成長用基板 1 0 0 1 に形成された半導体層 1 1 5 0 を接合するようにしてもよい。

30

【 0 0 8 8 】

図 7 A および図 7 B は、本実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

図 7 A および図 7 B は、図 2 A のサブピクセル 2 0 a を形成するための製造工程を示している。本変形例では、第 2 の層間絶縁膜 2 5 6 (1 5 6) を形成するまでは、第 1 の実施形態の場合と同一の工程を有している。以下では、図 6 B または図 6 C の工程以降に図 7 A、図 7 B の工程が実行されるものとして説明する。

【 0 0 8 9 】

図 7 A に示すように、第 2 の層間絶縁膜 2 5 6 (1 5 6) をエッチングにより開口 1 5 8 を形成し、p 形半導体層 1 5 3 の面を露出させる。エッチングは、ウェットエッチングでもよいし、ドライエッチングでもよい。

40

【 0 0 9 0 】

その後、露出された p 形半導体層 1 5 3 の発光面 1 5 3 S は、発光効率を向上させるために粗面化される。

【 0 0 9 1 】

図 7 B に示すように、開口 1 5 8 を含めて配線層を成膜し、フォトリソグラフィによって各配線 1 6 0 a 1、1 6 0 k を形成する。配線 1 6 0 a 1 は、露出された p 形半導体層 1 5 3 の発光面 1 5 3 S に接続されるように形成される。

【 0 0 9 2 】

50

このようにして、変形例のサブピクセル 20a が形成される。

【0093】

図 8A および図 8B は、本実施形態の画像表示装置の 1 つの変形例の製造方法を例示する模式的な断面図である。

図 8A および図 8B は、図 2B のサブピクセル 20b を形成するための製造工程を示している。本変形例では、開口 158 を形成するまでは、上述の変形例の場合と同一の工程を有している。したがって、以下では、図 7A 以降に、図 8A、図 8B の工程が実行されるものとして説明する。

【0094】

図 8A に示すように、p 形半導体層 153 の発光面 153S を露出するように開口 158 を形成した後、各配線 160a2, 160k を形成する。配線 160a2 は、p 形半導体層 153 の発光面 153S に接続されていない。

10

【0095】

図 8B に示すように、配線層 160、第 2 の層間絶縁膜 256 (156) および p 形半導体層 153 の発光面 153S を覆う透明導電膜を形成する。透明導電膜は、ITO 膜や ZnO 膜等が好適に用いられる。フォトリソグラフィにより、必要な透明電極 159a, 159k が形成される。透明電極 159a は、配線 160a2 上に形成されるとともに、p 形半導体層 153 の発光面 153S 上にも形成されている。したがって、配線 160a2 および p 形半導体層 153 は、電氣的に接続される。好ましくは、透明電極 159a は、露出されている発光面 153S の全面を覆うように設けられ、発光面 153S に接続されている。

20

【0096】

このようにして、変形例のサブピクセル 20b が形成される。

【0097】

図 9 は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

なお、図 9 では、煩雑さを避けるために、回路基板 100 内や層間絶縁膜 112, 156 内等の配線等については、表示が省略されている。また、図 9 には、カラーフィルタ 180 等の色変換部材の一部が表示されている。ここでは、バッファ層 140、発光素子 150、ピア 161k, 161d、配線層 160、層間絶縁膜 156 および表面樹脂層 170 を含む構造物を発光回路部 172 と呼ぶ。また、回路基板 100 上に発光回路部 172 を設けた構造物を構造体 1192 と呼ぶ。

30

【0098】

図 9 に示すように、カラーフィルタ 180 は、一方の面で構造体 1192 に接着される。カラーフィルタ 180 の他方の面は、ガラス基板 186 に接着されている。カラーフィルタ 180 の一方の面には、透明薄膜接着層 188 が設けられており、透明薄膜接着層 188 を介して、構造体 1192 の発光回路部 172 の側の面に接着される。

【0099】

カラーフィルタ 180 は、この例では、赤色、緑色、青色の順に X 軸の正方向に色変換部が配列されている。赤色および緑色については、1 層目に赤色の色変換層 183R および緑色の色変換層 183G がそれぞれ設けられており、2 層目にフィルタ層 184 がそれぞれ設けられている。青色については、単層の色変換層 183B が設けられている。各色変換部の間には、遮光部 181 が設けられている。

40

【0100】

各色の色変換層 183R, 183G, 183B の位置を発光素子 150 の位置に合わせて、カラーフィルタ 180 は、構造体 1192 に貼り付けられる。

【0101】

図 10A ~ 図 10D は、本実施形態の画像表示装置の変形例の製造方法を示す模式的な断面図である。

図 10A ~ 図 10D には、カラーフィルタをインクジェットで形成する方法が示されている。

50

【0102】

図10Aに示すように、回路基板100に発光回路部172が貼り付けられた構造体1192が準備される。

【0103】

図10Bに示すように、構造体1192上に遮光部181aが形成される。遮光部181aは、たとえばスクリーン印刷やフォトリソグラフィ技術等を用いて形成される。

【0104】

図10Cに示すように、発光色に応じた蛍光体183aは、インクジェットノズルから噴出される。蛍光体183aは、遮光部181aが形成されていない領域を着色する。蛍光体183aは、たとえば一般的な蛍光体材料や量子ドット蛍光体材料を用いた蛍光塗料が用いられる。量子ドット蛍光体材料を用いた場合には、各発光色を実現できるとともに、単色性が高く、色再現性を高くできるので好ましい。インクジェットノズルによる描画の後、適切な温度および時間で乾燥処理を行う。着色時の塗膜の厚さは、遮光部181aの厚さよりも薄く設定されている。

10

【0105】

すでに説明したように、青色発光のサブピクセルについては、色変換部を形成しない場合があるので、蛍光体は噴出されない。また、青色発光のサブピクセルについて、青色の色変換層を形成する場合には、色変換部は1層でよいので、好ましくは、青色の蛍光体の塗膜の厚さは、遮光部181aの厚さと同じ程度とされる。

【0106】

図10Dに示すように、フィルタ層のための塗料184aは、インクジェットノズルから噴出される。塗料184aは、蛍光体183aの塗膜に重ねて塗布される。蛍光体183aおよび塗料184aの塗膜の合計の厚さは、遮光部181aの厚さと同じ程度とされる。

20

【0107】

このようにして、画像表示装置1を製造することができる。

【0108】

本実施形態の画像表示装置1の効果について説明する。

本実施形態の画像表示装置1の製造方法では、発光素子150を駆動するトランジスタ103等の回路素子を含む回路基板1100(100)に、発光素子150のための発光層1152を含む半導体層1150を貼り合わせる。その後、半導体層1150をエッチングして発光素子150を形成する。そのため、回路基板1100(100)に個片化された発光素子を個々に転写するのに比べて、発光素子を転写する工程を著しく短縮することができる。

30

【0109】

たとえば、4K画質の画像表示装置では、サブピクセルの数は2400万個を超え、8K画質の画像表示装置の場合には、サブピクセルの数は9900万個を超える。これだけ大量の発光素子を個々に回路基板に実装するのでは、膨大な時間を要することとなり、マイクロLEDによる画像表示装置を現実的なコストで実現することは困難である。また、大量の発光素子を個々に実装したのでは、実装時の接続不良等による歩留りが低下し、さらなるコスト上昇が避けられない。

40

【0110】

これに対して、本実施形態の画像表示装置1の製造方法では、半導体層1150を個片化する前に、半導体層1150全体を回路基板1100(100)に貼り付けるので、転写工程が1回で完了する。

【0111】

回路基板上で、エッチング等により発光素子を直接形成した後に、発光素子と、回路基板1100(100)内の回路素子とを、ビア形成により電氣的に接続するので、均一な接続構造を実現することができ、歩留りの低下を抑制することができる。

【0112】

50

さらに、半導体層 1 1 5 0 をあらかじめ個片化したり、回路素子に対応した位置に電極を形成したりすることなく、ウェハレベルで回路基板 1 1 0 0 (1 0 0) に貼り付けるので、アライメントをとる必要がない。そのため、貼り付け工程を短時間で容易に行うことが可能になる。貼り付け時にアライメントをとる必要がないので、発光素子 1 5 0 の小型化も容易であり、高精細化されたディスプレイに好適である。

【 0 1 1 3 】

(第 2 の実施形態)

図 1 1 は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

本実施形態では、発光素子 2 5 0 の構成および発光素子 2 5 0 を駆動するトランジスタ 2 0 3 の構成が上述の他の実施形態の場合と相違する。上述の他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

10

【 0 1 1 4 】

図 1 1 に示すように、本実施形態の画像表示装置のサブピクセル 2 2 0 は、トランジスタ 2 0 3 と、発光素子 2 5 0 と、を含む。トランジスタ 2 0 3 は、基板 1 0 2 に形成された素子形成領域 2 0 4 に形成されている。素子形成領域 2 0 4 は、n 形半導体領域 2 0 4 b と p 形半導体領域 2 0 4 s , 2 0 4 d とを含む。n 形半導体領域 2 0 4 b は、基板 1 0 2 の表面付近に設けられている。p 形半導体領域 2 0 4 s , 2 0 4 d は、n 形半導体領域 2 0 4 b 内で n 形半導体領域 2 0 4 b の表面付近に互いに離隔して設けられている。

【 0 1 1 5 】

絶縁層 1 0 5 を介して、n 形半導体領域 2 0 4 b の上にゲート 1 0 7 が設けられている。ゲート 1 0 7 は、p 形半導体領域 2 0 4 s , 2 0 4 d の間に設けられている。

20

【 0 1 1 6 】

トランジスタ 2 0 3 の上部の構造および配線の構造は、上述した他の実施形態の場合と同じである。本実施形態では、トランジスタ 2 0 3 は、p チャネル M O S F E T である。

【 0 1 1 7 】

発光素子 2 5 0 は、p 形半導体層 (第 1 半導体層) 2 5 3 と、発光層 2 5 2 と、n 形半導体層 (第 2 半導体層) 2 5 1 と、を含む。p 形半導体層 2 5 3、発光層 2 5 2 および n 形半導体層 2 5 1 は、回路基板 1 0 0 の第 1 の層間絶縁膜 1 1 2 から発光面 2 5 1 S に向かってこの順に積層されている。発光素子 2 5 0 は、X Y 平面視で、たとえば、ほぼ正方形または長方形をなしているが、角部は丸くなってもよい。発光素子 2 5 0 は X Y 平面視で、たとえば楕円形状や円形状を有していてもよい。平面視での発光素子の形状や配置等を適切に選定することによって、レイアウトの自由度が向上する。p 形半導体層 2 5 3 は、この例では、第 1 の層間絶縁膜 1 1 2 上を X 軸方向に延伸する段差部 2 5 3 a を有する。

30

【 0 1 1 8 】

発光素子 2 5 0 は、上述の他の実施形態の場合と同じ材料でよい。発光素子 2 5 0 は、たとえば $467\text{ nm} \pm 20\text{ nm}$ 程度の青色光あるいは $410\text{ nm} \pm 20\text{ nm}$ の波長の青紫色光を発光する。

【 0 1 1 9 】

本実施形態では、発光素子 2 5 0 は、バッファ層を介することなく、層間絶縁膜 (第 1 絶縁膜) 1 1 2 上に設けられている。

40

【 0 1 2 0 】

第 2 の層間絶縁膜 (第 2 絶縁膜) 2 5 6 は、第 1 の層間絶縁膜 1 1 2 および発光素子 2 5 0 を覆っている。第 2 の層間絶縁膜 2 5 6 は、開口 2 5 8 を有している。開口 2 5 8 は、発光素子 2 5 0 上に形成されており、層間絶縁膜 2 5 6 は、発光素子 2 5 0 の発光面 2 5 1 S 上に設けられていない。層間絶縁膜 2 5 6 は、発光素子 2 5 0 が発光する光を反射して開口 2 5 8 から効果的に出力されるように、白色樹脂が好適に用いられる。

【 0 1 2 1 】

発光面 2 5 1 S は、n 形半導体層 2 5 1 の面のうち発光層 2 5 2 に接する面に対向する面である。発光面 2 5 1 S は、粗面化されている。

50

【 0 1 2 2 】

層間絶縁膜 2 5 6 を貫通して、ビア（第 2 ビア）2 6 1 a が設けられている。ビア 2 6 1 a の一端は、段差部 2 5 3 a に接続されている。

【 0 1 2 3 】

ビア（第 1 ビア）1 6 1 d は、層間絶縁膜 1 1 2 , 2 5 6 を貫通して設けられている。ビア 1 6 1 d の一端は、配線 1 1 0 d に接続されている。

【 0 1 2 4 】

配線層 2 6 0 は、層間絶縁膜 2 5 6 上に設けられている。配線層 2 6 0 は、配線 2 6 0 k , 2 6 0 a を含む。配線 2 6 0 a は、ビア 2 6 1 a , 1 6 1 d の他端に接続されている。したがって、発光素子 2 5 0 の p 形半導体層 2 5 3 は、ビア 2 6 1 a , 1 6 1 d を介して、トランジスタ 2 0 3 の主電極に電氣的に接続される。

10

【 0 1 2 5 】

配線 2 6 0 k は、図示しないが、接地線に接続されている。配線 2 6 0 k 上には、透明電極 2 5 9 k が設けられている。透明電極 2 5 9 k は、発光面 2 5 1 S まで延伸しており、発光面 2 5 1 S の全面にわたって設けられている。したがって、n 形半導体層 2 5 1 は、透明電極 2 5 9 k および配線 2 6 0 k を介して、接地線に接続されている。

【 0 1 2 6 】

配線 2 6 0 a 上にも透明電極 2 5 9 a が配設されている。

【 0 1 2 7 】

層間絶縁膜 2 5 6 および透明電極 2 5 9 k , 2 5 9 a 上には、表面樹脂層 1 7 0 が設けられている。

20

【 0 1 2 8 】

図 1 2 は、本実施形態に係る画像表示装置を例示する模式的なブロック図である。

図 1 2 に示すように、本実施形態の画像表示装置 2 0 1 は、表示領域 2、行選択回路 2 0 5 および信号電圧出力回路 2 0 7 を備える。表示領域 2 には、上述の他の実施形態の場合と同様に、たとえばサブピクセル 2 2 0 が格子状に配列されている。

【 0 1 2 9 】

本実施形態では、発光素子 2 2 2 が接地線 4 側に設けられており、発光素子 2 2 2 に直列に接続された駆動トランジスタ 2 2 6 は、電源線 3 側に設けられている。つまり、駆動トランジスタ 2 2 6 は、発光素子 2 2 2 よりも高電位側に接続されている。駆動トランジスタ 2 2 6 は、p チャネル MOS F E T である。

30

【 0 1 3 0 】

駆動トランジスタ 2 2 6 のゲート電極と信号線 2 0 8 との間には、選択トランジスタ 2 2 4 が接続されている。キャパシタ 2 2 8 は、駆動トランジスタ 2 2 6 のゲート電極と電源線 3 との間に接続されている。

【 0 1 3 1 】

行選択回路 2 0 5 および信号電圧出力回路 2 0 7 は、p チャネル MOS F E T である駆動トランジスタ 2 2 6 を駆動するために、上述の他の実施形態と異なる極性の選択信号および信号電圧を、走査線 2 0 6 および信号線 2 0 8 に供給する。

【 0 1 3 2 】

本実施形態では、駆動トランジスタ 2 2 6 の極性が p チャネルであることから、選択信号および信号電圧の極性等が上述の他の実施形態の場合と相違する。すなわち、行選択回路 2 0 5 は、m 行のサブピクセル 2 2 0 の配列から、順次 1 行を選択するように走査線 2 0 6 に選択信号を供給する。信号電圧出力回路 2 0 7 は、選択された行の各サブピクセル 2 2 0 に必要なアナログ電圧値を有する信号電圧を供給する。選択された行のサブピクセル 2 2 0 の駆動トランジスタ 2 2 6 は、信号電圧に応じた電流を発光素子 2 2 2 に流す。発光素子 2 2 2 は、流れた電流に応じた輝度で発光する。

40

【 0 1 3 3 】

本実施形態の画像表示装置 2 0 1 の製造方法について説明する。

図 1 3 A ~ 図 1 4 B は、本実施形態の画像表示装置の製造方法を例示する模式的な断面

50

図である。

本実施形態では、図 5 A においてすでに説明した半導体成長基板 1 1 9 4 を用いる。以下では、結晶成長用基板 1 0 0 1 上にバッファ層 1 1 4 0 を介してエピタキシャル成長された半導体層 1 1 5 0 を有する半導体成長基板 1 1 9 4 を準備した以降の工程について説明する。

【 0 1 3 4 】

図 1 3 A に示すように、本実施形態では、半導体成長基板 1 1 9 4 から結晶成長用基板 1 0 0 1 を除去せずに、半導体成長基板 1 1 9 4 の上下を反転させて、回路基板 1 1 0 0 に貼り付ける。つまり、結晶成長用基板 1 0 0 1 とは反対側の p 形半導体層 1 1 5 3 の露出面を、図の矢印で示したように、回路基板 1 1 0 0 の層間絶縁膜 1 1 2 の平坦化された面にウェハボンディングによって貼り付ける。ウェハボンディングは、上述の他の実施形態の場合と同様に行うことができる。

10

【 0 1 3 5 】

図 1 3 B に示すように、レーザ照射等によって、結晶成長用基板 1 0 0 1 は除去される。

【 0 1 3 6 】

図 1 4 A に示すように、半導体層 1 1 5 0 をバッファ層 1 1 4 0 とともに、エッチングして発光素子 2 5 0 を形成する。発光素子 2 5 0 上には、バッファ層 2 4 0 が残るので、さらにエッチングして、バッファ層 2 4 0 は除去される。バッファ層 2 4 0 は、発光素子 2 5 0 を形成する前に除去されてもよい。

【 0 1 3 7 】

20

図 1 4 B に示すように、第 1 の層間絶縁膜 1 1 2 および発光素子 2 5 0 を覆う第 2 の層間絶縁膜 2 5 6 が形成される。その後、第 2 の層間絶縁膜 2 5 6 を貫通するようにビアホールが形成される。導電性の金属材料がビアホールに充填される。

【 0 1 3 8 】

第 2 の層間絶縁膜 2 5 6 には、開口 2 5 8 が形成され、n 形半導体層 2 5 1 の発光面 2 5 1 S を露出させる。開口 2 5 8 は、ウェットまたはドライいずれかのエッチング法により形成される。

【 0 1 3 9 】

その後、露出された n 形半導体層 2 5 1 の発光面 2 5 1 S は、発光効率を向上させるために粗面化される。

30

【 0 1 4 0 】

開口 2 5 8 を含めて配線層を成膜し、フォトリソグラフィによって各配線 2 6 0 k , 2 6 0 a を形成する。配線 2 6 0 a は、ビア 2 6 1 a , 1 6 1 d に接続される。配線 2 6 0 k は、図示しない接地線に接続される。

【 0 1 4 1 】

その後、配線 2 6 0 a , 2 6 0 k 上に透明電極 2 5 9 a , 2 5 9 k がそれぞれ設けられる。透明電極 2 5 9 k は、発光面 2 5 1 S まで延伸されて設けられる。透明電極 2 5 9 k は、発光面 2 5 1 S の全面にわたって設けられる。したがって、n 形半導体層 2 5 1 は、透明電極 2 5 9 k および配線 2 6 0 k を介して接地線 4 に接続される。

【 0 1 4 2 】

40

図 1 5 は、本実施形態の画像表示装置の変形例の一部を例示する模式的な断面図である。

図 1 5 に示すように、この変形例では、透明電極を用いずに配線と発光面との電氣的接続をとる。サブピクセル 2 2 0 a では、配線 2 6 0 k 1 は、透明電極を介さずに直接 n 形半導体層 2 5 1 に接続されるようにパターニングされる。

【 0 1 4 3 】

本実施形態では、発光効率の観点から、n 形半導体層の発光面を粗面化することが好ましいが、第 1 の実施形態の場合のように、粗面化せずに透明な層間絶縁膜 1 5 6 を介して発光させるようにしてもよい。

【 0 1 4 4 】

本実施形態の画像表示装置 2 0 1 の効果について説明する。

50

本実施形態においても、上述の他の実施形態の場合と同様の効果を有する。すなわち、回路基板 1 1 0 0 に半導体層 1 1 5 0 を貼り合わせた後、個別の発光素子 2 5 0 をエッチングにより形成するので、発光素子の転写工程を著しく短縮することができる。

【 0 1 4 5 】

上述の他の実施形態の場合の効果に加えて、本実施形態では、n 形半導体層 2 5 1 を発光面 2 5 1 S とすることによって、より容易に粗面化することができ、発光面 2 5 1 S に配線 2 6 0 k 1 を接続することによって、発光効率の高いサブピクセルを形成することができる。

【 0 1 4 6 】

(第 3 の実施形態)

本実施形態では、発光層を含む単一の半導体層に、複数の発光素子に相当する複数の発光面を形成することによって、より発光効率の高い画像表示装置を実現する。以下の説明では、上述の他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

図 1 6 は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図 1 6 に示すように、画像表示装置は、サブピクセル群 3 2 0 を備える。サブピクセル群 3 2 0 は、トランジスタ 1 0 3 - 1 , 1 0 3 - 2 と、第 1 の配線層 3 1 0 と、第 1 の層間絶縁膜 1 1 2 と、半導体層 3 5 0 と、第 2 の層間絶縁膜 3 5 6 と、第 2 の配線層 3 6 0 と、ビア 3 6 1 d 1 , 3 6 1 d 2 と、を含む。

【 0 1 4 7 】

半導体層 3 5 0 は、2 つの発光面 3 5 1 S 1 , 3 5 1 S 2 を含んでおり、サブピクセル群 3 2 0 が実質的 2 つのサブピクセルを含む。本実施形態では、上述の他の実施形態の場合と同様に、実質的に 2 つのサブピクセルを含むサブピクセル群 3 2 0 が格子状に配列されることによって、表示領域が形成される。

【 0 1 4 8 】

トランジスタ 1 0 3 - 1 , 1 0 3 - 2 は、素子形成領域 1 0 4 - 1 , 1 0 4 - 2 にそれぞれ形成されている。この例では、素子形成領域 1 0 4 - 1 , 1 0 4 - 2 は、n 形の半導体層であり、n 形の半導体層に離隔して p 形の半導体層が形成されている。n 形の半導体層はチャネル領域を含んでおり、p 形の半導体層は、ソース領域およびドレイン領域をそれぞれ含んでいる。

【 0 1 4 9 】

素子形成領域 1 0 4 - 1 , 1 0 4 - 2 上には、絶縁層 1 0 5 が形成され、絶縁層 1 0 5 を介して、ゲート 1 0 7 - 1 , 1 0 7 - 2 がそれぞれ形成されている。ゲート 1 0 7 - 1 , 1 0 7 - 2 は、トランジスタ 1 0 3 - 1 , 1 0 3 - 2 のゲートである。この例では、トランジスタ 1 0 3 - 1 , 1 0 3 - 2 は、p チャネル MOS FET である。

【 0 1 5 0 】

2 つのトランジスタ 1 0 3 - 1 , 1 0 3 - 2 上には、絶縁膜 1 0 8 が覆っている。絶縁膜 1 0 8 上に配線層 (第 1 配線層) 3 1 0 が形成されている。

【 0 1 5 1 】

トランジスタ (第 1 トランジスタ) 1 0 3 - 1 の p 形の半導体層と配線層 3 1 0 との間には、ビア 1 1 1 s 1 , 1 1 1 d 1 がそれぞれ設けられている。トランジスタ (第 2 トランジスタ) 1 0 3 - 2 の p 形の半導体層と配線層 3 1 0 との間には、ビア 1 1 1 s 2 , 1 1 1 d 2 が設けられている。

【 0 1 5 2 】

第 1 の配線層 3 1 0 は、配線 3 1 0 s , 3 1 0 d 1 , 3 1 0 d 2 を含む。配線 3 1 0 s は、ビア 1 1 1 s 1 , 1 1 1 s 2 を介して、トランジスタ 1 0 3 - 1 , 1 0 3 - 2 のソース電極に対応する p 形の半導体層に電氣的に接続されている。配線 3 1 0 s は、図示しないが、電源線に接続される。

【 0 1 5 3 】

配線 3 1 0 d 1 は、ビア 1 1 1 d 1 を介して、トランジスタ 1 0 3 - 1 のドレイン電極

10

20

30

40

50

に対応する p 形の半導体層に接続されている。配線 3 1 0 d 2 は、ビア 1 1 1 d 2 を介して、トランジスタ 1 0 3 - 2 のドレイン電極に接続されている。

【 0 1 5 4 】

第 1 の層間絶縁膜（第 1 絶縁膜）1 1 2 は、トランジスタ 1 0 3 - 1 , 1 0 3 - 2 および配線層 3 1 0 を覆っている。半導体層 3 5 0 は、層間絶縁膜 1 1 2 の上方に設けられている。単一の半導体層 3 5 0 は、X 軸方向に沿って配置された 2 つの駆動用のトランジスタ 1 0 3 - 1 , 1 0 3 - 2 の間に設けられている。

【 0 1 5 5 】

半導体層 3 5 0 は、p 形半導体層（第 1 半導体層）3 5 3 と、発光層 3 5 2 と、n 形半導体層（第 2 半導体層）3 5 1 と、を含む。半導体層 3 5 0 は、層間絶縁膜 1 1 2 の側から発光面 3 5 1 S 1 , 3 5 1 S 2 に向かって、p 形半導体層 3 5 3、発光層 3 5 2 および n 形半導体層 3 5 1 の順に積層されている。p 形半導体層 3 5 3 は、段差部 3 5 3 a 1 , 3 5 3 a 2 を有する。段差部 3 5 3 a 1 はトランジスタ 1 0 3 - 1 の側に設けられており、段差部 3 5 3 a 2 はトランジスタ 1 0 3 - 2 の側に設けられている。

【 0 1 5 6 】

第 2 の層間絶縁膜（第 2 絶縁膜）3 5 6 は、第 1 の層間絶縁膜 1 1 2 および半導体層 3 5 0 上を覆っている。層間絶縁膜 3 5 6 は、半導体層 3 5 0 の一部を覆っている。好ましくは、層間絶縁膜 3 5 6 は、半導体層 3 5 0 の発光面（露出面）3 5 1 S 1 , 3 5 1 S 2 を除き、n 形半導体層 3 5 1 の面を覆っている。層間絶縁膜 3 5 6 は、半導体層 3 5 0 の側面および段差部 3 5 3 a 1 , 3 5 3 a 2 を覆っている。層間絶縁膜 3 5 6 は、好ましくは白色樹脂である。

【 0 1 5 7 】

半導体層 3 5 0 のうち層間絶縁膜 3 5 6 で覆われていない部分は、透明電極 3 5 9 k が覆っている。透明電極 3 5 9 k は、層間絶縁膜 3 5 6 の開口 3 5 8 - 1 , 3 5 8 - 2 からそれぞれ露出された n 形半導体層 3 5 1 の発光面 3 5 1 S 1 , 3 5 1 S 2 上に設けられている。透明電極 3 5 9 k は、n 形半導体層 3 5 1 に電氣的に接続されている。

【 0 1 5 8 】

ビア 3 6 1 a 1 , 3 6 1 a 2 は、層間絶縁膜 3 5 6 を貫通して設けられている。ビア 3 6 1 a 1 , 3 6 1 a 2 の一端は、段差部 3 5 3 a 1 , 3 5 3 a 2 にそれぞれ接続されている。

【 0 1 5 9 】

ビア 3 6 1 d 1 , 3 6 1 d 2 は、層間絶縁膜 3 5 6 , 1 1 2 を貫通して設けられている。ビア 3 6 1 d 1 , 3 6 1 d 2 の一端は、配線 3 1 0 d 1 , 3 1 0 d 2 にそれぞれ接続されている。

【 0 1 6 0 】

第 2 の配線層（第 2 配線層）3 6 0 は、層間絶縁膜 3 5 6 上に設けられている。配線層 3 6 0 は、配線 3 6 0 a 1 , 3 6 0 a 2 を含む。ビア（第 1 ビア）3 6 1 d 1 は、配線（第 1 配線）3 1 0 d 1 と配線（第 2 配線）3 6 0 a 1 との間に設けられている。ビア（第 2 ビア）3 6 1 d 2 は、配線（第 3 配線）3 1 0 d 2 と配線（第 4 配線）3 6 0 a 2 との間に設けられている。

【 0 1 6 1 】

配線 3 6 0 a 1 は、ビア 3 6 1 a 1 を介して p 形半導体層 3 5 3 に接続されている。配線 3 6 0 a 2 は、ビア 3 6 1 a 2 を介して、p 形半導体層 3 5 3 に接続されている。したがって、p 形半導体層 3 5 3 は、配線 3 6 0 a 1、ビア 3 6 1 d 1 および配線 3 1 0 d 1 を介してトランジスタ 1 0 3 - 1 のドレイン電極に接続される。p 形半導体層 3 5 3 は、配線 3 6 0 a 2、ビア 3 6 1 d 2 および配線 3 1 0 d 2 を介してトランジスタ 1 0 3 - 2 のドレイン電極に接続される。

【 0 1 6 2 】

配線層 3 6 0 は、配線 3 6 0 k を含む。配線 3 6 0 k 上には、透明電極 3 5 9 k が設けられており、配線 3 6 0 k と透明電極 3 5 9 k とは電氣的に接続されている。透明電極 3

10

20

30

40

50

5 9 k は、開口 3 5 8 - 1 , 3 5 8 - 2 に延伸されている。透明電極 3 5 9 k は、開口 3 5 8 - 1 , 3 5 8 - 2 からそれぞれ露出された発光面 3 5 1 S 1 , 3 5 1 S 2 の全面にわたって設けられ、電氣的に接続されている。配線 3 6 0 a 1 , 3 6 0 a 2 上にも、透明電極 3 5 9 a 1 , 3 5 9 a 2 がそれぞれ設けられており、相互に電氣的に接続されている。

【 0 1 6 3 】

開口 3 5 8 - 1 は、配線 3 6 0 a 1 , 3 6 0 k の間に設けられている。開口 3 5 8 - 2 は、配線 3 6 0 k , 3 6 0 a 2 の間に設けられている。配線 3 6 0 k は、この例では、開口 3 5 8 - 1 , 3 5 8 - 2 の間に設けられている。開口 3 5 8 - 1 , 3 5 8 - 2 は、X Y 平面視で、たとえば正方形または長形状である。方形に限らず、円形、楕円形あるいは六角形等の多角形であってもよい。発光面 3 5 1 S 1 , 3 5 1 S 2 も X Y 平面視で、正方形や長方形、その他の多角形や円形等である。発光面 3 5 1 S 1 , 3 5 1 S 2 の形状は、開口 3 5 8 - 1 , 3 5 8 - 2 の形状と相似であってもよいし、異なる形状としてもよい。

10

【 0 1 6 4 】

上述したように、開口 3 5 8 - 1 , 3 5 8 - 2 から露出されている発光面 3 5 1 S 1 , 3 5 1 S 2 には、それぞれ透明電極 3 5 9 k が接続されている。そのため、透明電極 3 5 9 k から供給された電子は、露出された発光面 3 5 1 S 1 , 3 5 1 S 2 から n 形半導体層 3 5 1 に注入される。一方、p 形半導体層 3 5 3 には、配線 3 6 0 a 1、ビア 3 6 1 d 1 および配線 3 1 0 d 1 を介して、トランジスタ 1 0 3 - 1 から正孔が注入される。また、p 形半導体層 3 5 3 には、配線 3 6 0 a 2、ビア 3 6 1 d 2 および配線 3 1 0 d 2 を介して、トランジスタ 1 0 3 - 2 から正孔が注入される。

20

【 0 1 6 5 】

トランジスタ 1 0 3 - 1 , 1 0 3 - 2 は、隣接するサブピクセルの駆動トランジスタであり、順次駆動される。したがって、2つのトランジスタ 1 0 3 - 1 , 1 0 3 - 2 のいずれか一方から注入された正孔が発光層 3 5 2 に注入され、配線 3 6 0 k から注入された電子が発光層 3 5 2 に注入されて、発光する。

【 0 1 6 6 】

ここで、開口 3 5 8 - 1 は、配線 3 6 0 k と配線 3 6 0 a 1 との間に設けられているので、トランジスタ 1 0 3 - 1 がオンしたときには、開口 3 5 8 - 1 から露出された発光面 3 5 1 S 1 から発光する。一方、開口 3 5 8 - 2 は、配線 3 6 0 k と配線 3 6 0 a 2 との間に設けられているので、トランジスタ 1 0 3 - 2 がオンしたときに、開口 3 5 8 - 2 から露出された発光面 3 5 1 S 2 から発光する。

30

【 0 1 6 7 】

本実施形態の画像表示装置の製造方法について説明する。

図 1 7 A ~ 図 1 8 B は、実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図 1 7 A に示すように、半導体層 1 1 5 0 がエピタキシャル成長された結晶成長用基板 1 0 0 1 を含む半導体成長基板 1 1 9 4 は、回路基板 3 1 0 0 と、ウェハボンディングによって互いに接合される。結晶成長用基板 1 0 0 1 上の半導体層 1 1 5 0 等については、上述の他の実施形態の場合においてすでに説明した構造と同様であり、詳細な説明を省略する。また、回路基板 3 1 0 0 についても、回路の構成が上述の他の実施形態の場合と相違するが、他のほとんどの部分ですでに説明した構造と同様である。以下では、符号のみを代えて、詳細な説明を適宜省略する。

40

【 0 1 6 8 】

図 1 7 B に示すように、この例では、半導体層 1 1 5 0 は、結晶成長用基板 1 0 0 1 のある面とは反対側の面が回路基板 3 1 0 0 の層間絶縁膜 1 1 2 の平坦面に接合される。つまり、半導体層 1 1 5 0 の p 形半導体層 1 1 5 3 の露出面が層間絶縁膜 1 1 2 に接合される。

【 0 1 6 9 】

図 1 8 A に示すように、半導体層 1 1 5 0 は、エッチングされて、p 形半導体層 3 5 3 の端部が形成される。p 形半導体層 3 5 3 の端部は、ビア接続用の段差部 3 5 3 a 1 , 3

50

5 3 a 2 が形成されている。p 形半導体層 3 5 3 の段差部以外の上には、発光層 3 5 2 および n 形半導体層 3 5 1 が形成される。

【 0 1 7 0 】

その後、層間絶縁膜 3 5 6 および半導体層 3 5 0 を覆う層間絶縁膜が形成され、ビアが形成される。さらに配線層 3 6 0 が形成され、エッチングによって配線 3 6 0 a 1 , 3 6 0 k 等が形成される。

【 0 1 7 1 】

図 1 8 B に示すように、配線 3 6 0 a 1 , 3 6 0 k の間の部分および配線 3 6 0 a 2 , 3 6 0 k の間の部分に開口 3 5 8 - 1 , 3 5 8 - 2 がそれぞれ形成される。開口 3 5 8 - 1 , 3 5 8 - 2 によって露出された n 形の半導体層の発光面 3 5 1 S 1 , 3 5 1 S 2 は、それぞれ粗面化される。その後、透明電極 3 5 9 a 1 , 3 5 9 a 2 , 3 5 9 k が形成される。

10

【 0 1 7 2 】

このようにして、2 つの発光面 3 5 1 S 1 , 3 5 1 S 2 部を共用する半導体層 3 5 0 を有するサブピクセルが形成される。

【 0 1 7 3 】

本実施例では、1 つの半導体層 3 5 0 に 2 つの発光面 3 5 1 S 1 , 3 5 1 S 2 を設けたが、発光面の数は 2 つに制限されることはなく、3 つあるいはそれ以上の発光面を 1 つの半導体層 3 5 0 に設けることも可能である。一例として、1 列あるいは 2 列分のサブピクセルを、単一の半導体層 3 5 0 で実現してもよい。これによって後述するように、発光面 1 つあたりの発光に寄与しない再結合電流を削減するとともに、より微細な発光素子を実現する効果を増大させることができる。

20

【 0 1 7 4 】

(変形例)

図 1 9 は、本実施形態に係る画像表示装置の変形例の一部を例示する模式的な断面図である。

本変形例では、発光層 3 5 2 上に 2 つの n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 を設けた点で上述の第 3 の実施形態の場合と異なっている。他の点では、第 3 の実施形態の場合と同じである。

図 1 9 に示すように、本変形例の画像表示装置は、サブピクセル群 3 2 0 a を備える。サブピクセル群 3 2 0 a は、半導体層 3 5 0 a を含む。半導体層 3 5 0 a は、p 形半導体層 3 5 3 と、発光層 3 5 2 と、n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 と、を含む。p 形半導体層 3 5 3、発光層 3 5 2 および n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 は、層間絶縁膜 3 5 6 から発光面 3 3 5 1 S 1 , 3 3 5 1 S 2 に向かってこの順に積層されている。

30

【 0 1 7 5 】

n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 は、発光層 3 5 2 上を X 軸方向に沿って離隔して配置されている。n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 の間には、層間絶縁膜 3 5 6 が設けられ、n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 は、層間絶縁膜 3 5 6 によって分離されている。その層間絶縁膜 3 5 6 上には、配線 3 6 0 k が設けられている。

40

【 0 1 7 6 】

n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 は、X Y 平面視で、ほぼ同一の形状を有しており、その形状は、ほぼ正方形または長方形であり、他の多角形状や円形等であってもよい。

【 0 1 7 7 】

n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 は、発光面 3 3 5 1 S 1 , 3 3 5 1 S 2 をそれぞれ有する。発光面 3 3 5 1 S 1 , 3 3 5 1 S 2 は、開口 3 5 8 - 1 , 3 5 8 - 2 によってそれぞれ露出された n 形半導体層 3 3 5 1 a 1 , 3 3 5 1 a 2 の面である。

【 0 1 7 8 】

発光面 3 3 5 1 S 1 , 3 3 5 1 S 2 の X Y 平面視での形状は、第 3 の実施形態の場合の

50

発光面の形状と同様に、ほぼ同一の形状を有し、ほぼ正方形等の形状を有する。発光面 3351S1, 3351S2 の形状は、本実施形態のような方形に限らず、円形、楕円形あるいは六角形等の多角形であってもよい。発光面 3351S1, 3351S2 の形状は、開口 358-1, 358-2 の形状と相似であってもよいし、異なる形状としてもよい。

【0179】

発光面 3351S1 上には、透明電極 359k が設けられている。発光面 3351S2 上にも透明電極 359k が設けられている。透明電極 359k は、配線 360k 上にも設けられており、発光面 3351S1, 3351S2 に接続された透明電極 359k を介して、n 形半導体層 3351a1, 3351a2 は、配線 360k に接続されている。配線 360k は、図示しないが、GND 線に接続されている。

10

【0180】

図 20A および図 20B は、本変形例の画像表示装置の製造方法を例示する模式的な断面図である。

本変形例では、半導体層 1150 を形成するまでは、第 3 の実施形態の場合に図 17A ~ 図 18A において説明した工程と同様の工程が採用される。以下では、それ以降の工程について説明する。

【0181】

図 20A に示すように、本変形例では、バッファ層 1140、n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 をエッチングして、発光層 352 および p 形半導体層 353 を形成した後、さらにエッチングにより 2 つの n 形半導体層 3351a1, 3351a2 を形成する。2 つの n 形半導体層 3351a1, 3351a2 上のバッファ層 340a は、その後除去される。バッファ層 340a は、利用する製造プロセスの状況に応じて、n 形半導体層 3351a1, 3351a2 のエッチングを行うよりも前に除去されてもよい。

20

【0182】

n 形半導体層 3351a1, 3351a2 は、さらに深いエッチングによって形成されてもよい。たとえば、n 形半導体層 3351a1, 3351a2 を形成するためのエッチングは、発光層 352 内や p 形半導体層 353 内の深さに到達するまで行ってもよい。このように、n 形半導体層を深くエッチングする場合には、n 形半導体層 351 のエッチング位置は、後述する n 形の半導体層の発光面 3351S1, 3351S2 から 1 μm 以上離すことが望ましい。エッチング位置を発光面 3351S1, 3351S2 から離すことによって、再結合電流を抑制することができる。

30

【0183】

図 20B を示すように、層間絶縁膜 112 および半導体層 3350a を覆う層間絶縁膜が形成され、その後ビアが形成される。さらに配線層 360 が形成され、エッチングによって配線 360a1, 360k 等が形成される。

【0184】

層間絶縁膜に開口 358-1, 358-2 がそれぞれ形成される。開口 358-1, 358-2 によって露出された n 形の半導体層の発光面 3351S1, 3351S2 は、それぞれ粗面化される。その後、透明電極 359a1, 359a2, 359k が形成される。

40

【0185】

このようにして、2 つの発光面 3351S1, 3351S2 を有するサブピクセル群 320a が形成される。

【0186】

本変形例の場合も、第 3 の実施形態の場合と同様に、発光面の数は 2 つに限定されることはなく、3 つあるいはそれ以上の発光面を 1 つの半導体層 3350 に設けてもよい。

【0187】

本実施形態の画像表示装置の効果について説明する。

図 21 は、画素 LED の特性を例示するグラフである。

図 21 の縦軸は、発光効率 [%] を表している。横軸は、画素 LED に流す電流の電流

50

密度を相対値によって表している。

図 2 1 に示すように、電流密度の相対値が 1 . 0 より小さい領域では、画素 L E D の発光効率は、ほぼ一定か、単調に増加する。電流密度の相対値が 1 . 0 よりも大きい領域では、発光効率は単調に減少する。つまり、画素 L E D には、発光効率が最大になるような適切な電流密度が存在する。

【 0 1 8 8 】

発光素子から十分な輝度が得られる程度に電流密度を抑制することによって、高効率な画像表示装置を実現することが期待される。しかしながら、低電流密度では、電流密度の低下とともに、発光効率が低下する傾向にあることが、図 2 1 によって示されている。

【 0 1 8 9 】

第 1 の実施形態や第 2 の実施形態において説明したように、発光素子は、発光層を含む半導体層 1 1 5 0 の全層をエッチング等で個別に分離することによって形成される。このとき、発光層と n 形の半導体層との接合面が端部に露出する。同様に、発光層と p 形半導体層との接合面が端部に露出する。

【 0 1 9 0 】

このような端部が存在する場合には、端部において電子および正孔が再結合する。一方で、このような再結合は、発光に寄与しない。端部での再結合は、発光素子に流す電流とはほとんど関係なく発生する。再結合は、端部の発光に寄与する接合面の長さに応じて発生するものと考えられる。

【 0 1 9 1 】

同一寸法の立方体形状の発光素子を 2 個発光させる場合には、端部は、発光素子ごとに四方に形成されるため、合計 8 つの端部において再結合が発生し得る。

【 0 1 9 2 】

これに対して、本実施形態では、2 つの発光面を有する半導体層 3 5 0 , 3 5 0 a , 3 3 5 0 a では、端部は 4 つである。開口 3 5 8 - 1 , 3 5 8 - 2 の間の領域は、電子や正孔の注入が少なく、発光にほとんど寄与しないので、発光に寄与する端部としては、6 個となると考えることができる。このように、本実施形態では、端部の数が実質的に低減されることによって、発光に寄与しない再結合を低減し、その分、駆動電流を引き下げることが可能になる。

【 0 1 9 3 】

高精細化等のために、サブピクセル間の距離を短縮するような場合や電流密度が比較的高い場合等には、第 3 の実施形態のサブピクセル群 3 2 0 では、発光面 3 5 1 S 1 , 3 5 1 S 2 の距離が短くなる。この場合に、n 形半導体層 3 5 1 が共有されていると、隣接する発光面の側に注入された電子の一部が分流して、駆動されていない側の発光面が微発光するおそれがある。変形例では、n 形半導体層を発光面ごとに分離しているので、駆動されていない側の発光面に微発光を生じることを低減させることができる。

【 0 1 9 4 】

本実施形態では、発光層を含む半導体層は、層間絶縁膜の側から、p 形半導体層、発光層および n 形半導体層の順に積層するものであり、n 形半導体層の露出面を粗面化して発光効率を向上させる観点からは好ましい。第 1 の実施形態の場合と同様に、p 形半導体層と n 形半導体層の積層順を代えて、n 形半導体層、発光層および p 形半導体層の順に積層するようにしてもよい。

【 0 1 9 5 】

(第 4 の実施形態)

上述した画像表示装置は、適切なピクセル数を有する画像表示モジュールとして、たとえばコンピュータ用ディスプレイ、テレビ、スマートフォンのような携帯用端末、あるいは、カーナビゲーション等とすることができる。

【 0 1 9 6 】

図 2 2 は、本実施形態に係る画像表示装置を例示するブロック図である。

図 2 2 には、コンピュータ用ディスプレイの構成の主要な部分が示されている。

10

20

30

40

50

図 2 2 に示すように、画像表示装置 4 0 1 は、画像表示モジュール 4 0 2 を備える。画像表示モジュール 4 0 2 は、たとえば上述した第 1 の実施形態の場合の構成を備えた画像表示装置である。画像表示モジュール 4 0 2 は、サブピクセル 2 0 が配列された表示領域 2、行選択回路 5 および信号電圧出力回路 7 を含む。

【 0 1 9 7 】

画像表示装置 4 0 1 は、コントローラ 4 7 0 をさらに備えている。コントローラ 4 7 0 は、図示しないインタフェース回路によって分離、生成される制御信号を入力して、行選択回路 5 および信号電圧出力回路 7 に対して、各サブピクセルの駆動および駆動順序を制御する。

【 0 1 9 8 】

(変形例)

図 2 3 は、本変形例の画像表示装置を例示するブロック図である。

図 2 3 には、高精細薄型テレビの構成が示されている。

図 2 3 に示すように、画像表示装置 5 0 1 は、画像表示モジュール 5 0 2 を備える。画像表示モジュール 5 0 2 は、たとえば上述した第 1 の実施形態の場合の構成を備えた画像表示装置 1 である。画像表示装置 5 0 1 は、コントローラ 5 7 0 およびフレームメモリ 5 8 0 を備える。コントローラ 5 7 0 は、バス 5 4 0 によって供給される制御信号にもとづいて、表示領域 2 の各サブピクセルの駆動順序を制御する。フレームメモリ 5 8 0 は、1 フレーム分の表示データを格納し、円滑な動画再生等の処理のために用いられる。

【 0 1 9 9 】

画像表示装置 5 0 1 は、I / O 回路 5 1 0 を有する。I / O 回路 5 1 0 は、外部の端末や装置等と接続するためのインタフェース回路等を提供する。I / O 回路 5 1 0 には、たとえば外付けのハードディスク装置等を接続する U S B インタフェースや、オーディオインタフェース等が含まれる。

【 0 2 0 0 】

画像表示装置 5 0 1 は、チューナ 5 2 0 および信号処理回路 5 3 0 を有する。チューナ 5 2 0 には、アンテナ 5 2 2 が接続され、アンテナ 5 2 2 によって受信された電波から必要な信号を分離、生成する。信号処理回路 5 3 0 は、D S P (Digital Signal Processor) や C P U (Central Processing Unit) 等を含んでおり、チューナ 5 2 0 によって分離、生成された信号は、信号処理回路 5 3 0 によって、画像データや音声データ等に分離、生成される。

【 0 2 0 1 】

チューナ 5 2 0 および信号処理回路 5 3 0 を、携帯電話の送受信や W i F i 用、G P S 受信器等の高周波通信モジュールとすることによって、他の画像表示装置とすることもできる。たとえば、適切な画面サイズおよび解像度の画像表示モジュールを備えた画像表示装置は、スマートフォンやカーナビゲーションシステム等の携帯情報端末とすることができる。

【 0 2 0 2 】

本実施形態の場合の画像表示モジュールは、第 1 の実施形態の場合の画像表示装置の構成に限らず、その変形例や他の実施形態の場合としてもよい。

【 0 2 0 3 】

図 2 4 は、第 1 ~ 第 3 の実施形態およびこれらの変形例の画像表示装置を模式的に例示する斜視図である。

図 2 4 に示すように、第 1 ~ 第 3 の実施形態の画像表示装置は、上述したように、回路基板 1 0 0 上に、多数のサブピクセルを有する発光回路部 1 7 2 が設けられている。発光回路部 1 7 2 上には、カラーフィルタ 1 8 0 が設けられている。なお、第 6 の実施形態においては、回路基板 1 0 0、発光回路部 1 7 2 およびカラーフィルタ 1 8 0 を含む構造物は、画像表示モジュール 4 0 2、5 0 2 とされ、画像表示装置 4 0 1、5 0 1 に組み込まれている。

【 0 2 0 4 】

10

20

30

40

50

以上説明した実施形態によれば、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法および画像表示装置を実現することができる。

【0205】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他のさまざまな形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明およびその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

【符号の説明】

10

【0206】

1, 201, 401, 501 画像表示装置、2 表示領域、3 電源線、4 接地線、5, 205 行選択回路、6, 206 走査線、7, 207 信号電圧出力回路、8 信号線、10 ピクセル、20, 20a, 20b, 20c サブピクセル、22, 222 発光素子、24, 224 選択トランジスタ、26, 226 駆動トランジスタ、28, 228 キャパシタ、100 回路基板、101 回路、103, 103-1, 103-2 トランジスタ、104, 104-1, 104-2 素子形成領域、105 絶縁層、107, 107-1, 107-2 ゲート、108 絶縁膜、110, 310 第1の配線層、112 第1の層間絶縁膜、140 バッファ層、150, 250 発光素子、156, 256, 356 第2の層間絶縁膜、160, 260, 360 第2の配線層、161d, 161k, 261a, 361a1, 361a2, 361d1, 361d2 ビア、180 カラーフィルタ、320, 320a サブピクセル群、470, 570 コントローラ、1001 結晶成長用基板、1100, 3100 回路基板、1140 バッファ層、1150 半導体層、1190 支持基板、1192 構造体、1194 半導体成長基板

20

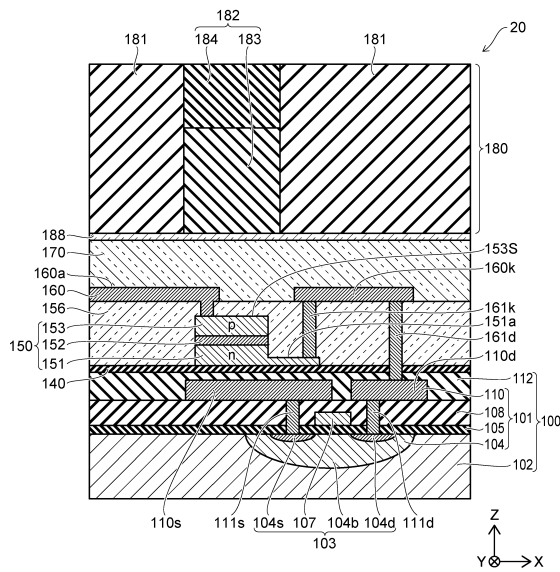
30

40

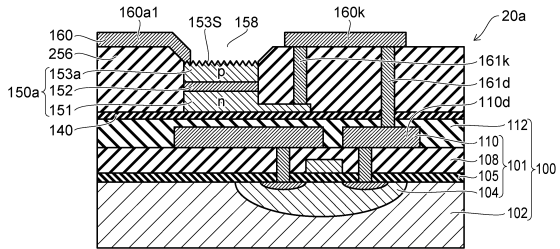
50

【図面】

【図 1】



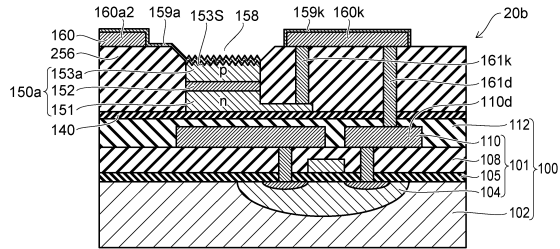
【図 2 A】



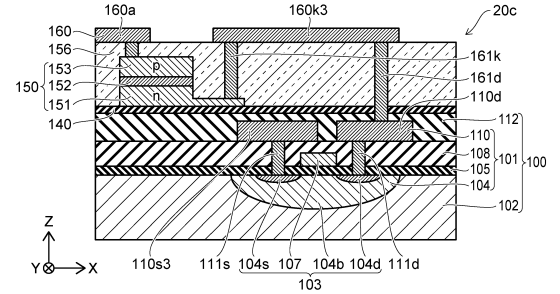
10

20

【図 2 B】



【図 2 C】

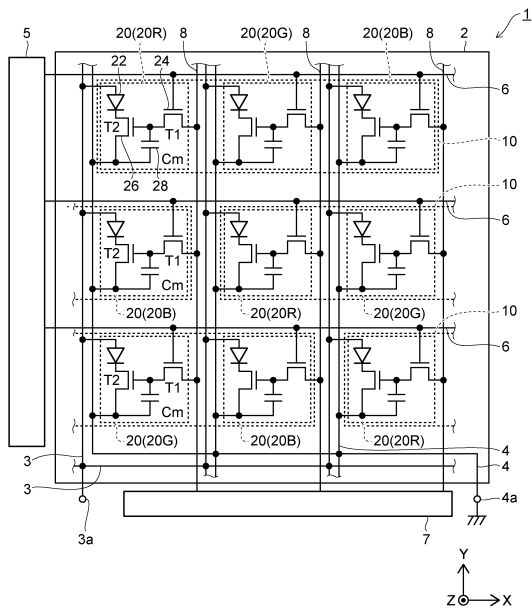


30

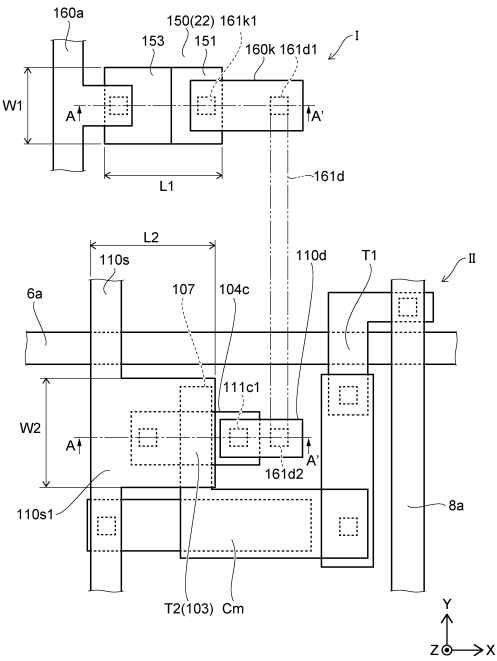
40

50

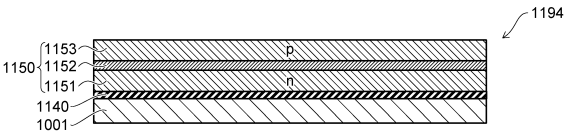
【図 3】



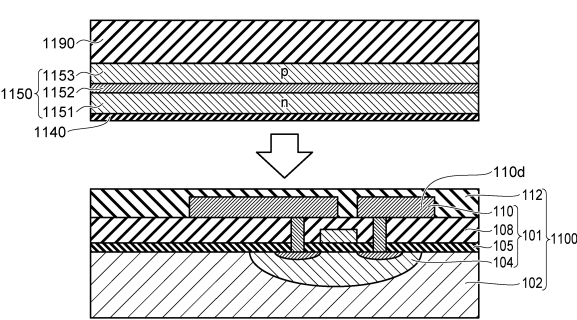
【図 4】



【図 5 A】



【図 5 B】



10

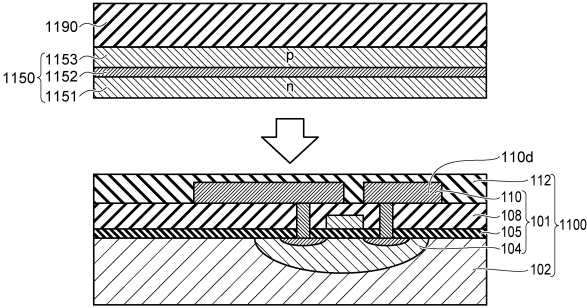
20

30

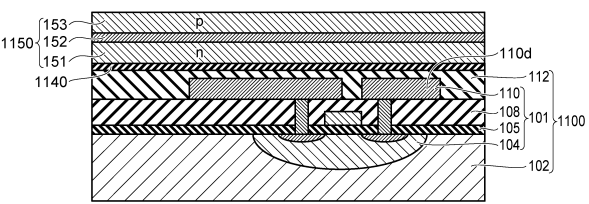
40

50

【図 5 C】

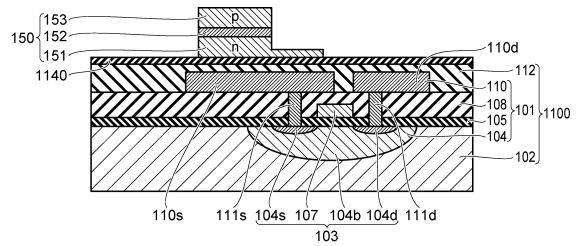


【図 6 A】

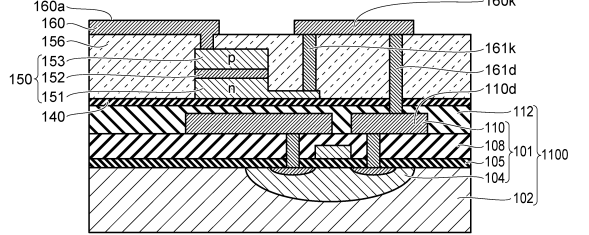


10

【図 6 B】

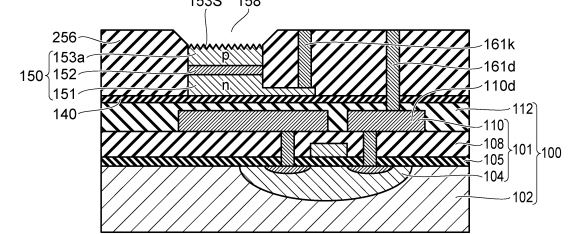


【図 6 C】

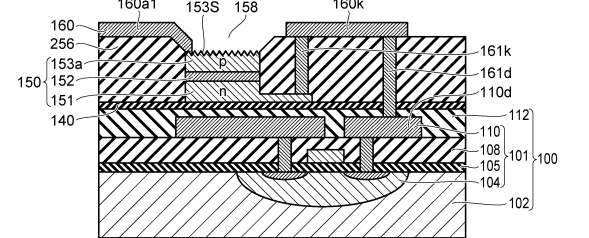


20

【図 7 A】



【図 7 B】

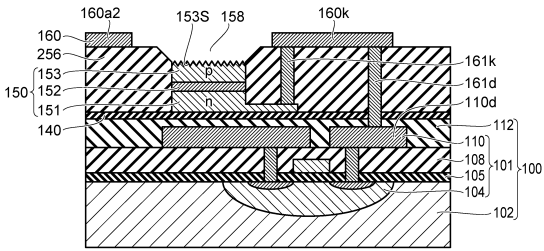


30

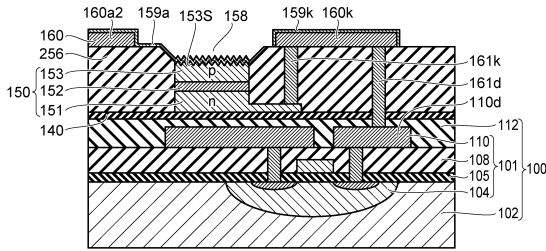
40

50

【図 8 A】

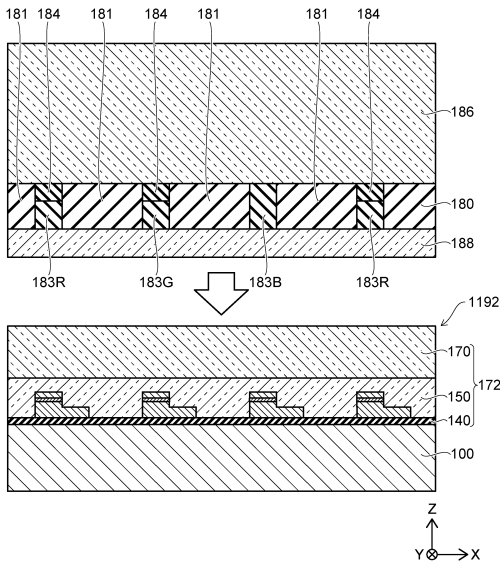


【図 8 B】

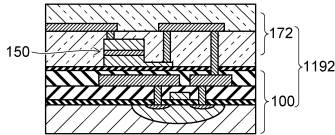


10

【図 9】

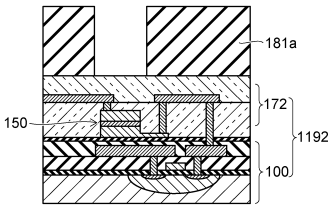


【図 10 A】

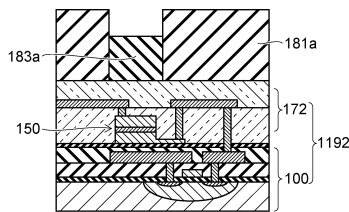


20

【図 10 B】



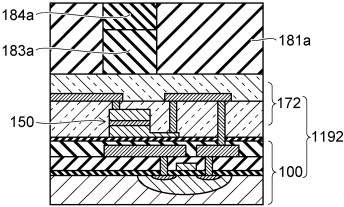
【図 10 C】



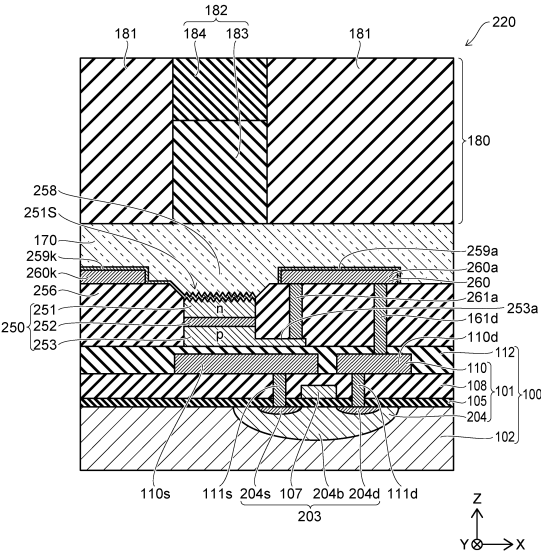
40

50

【図 1 0 D】



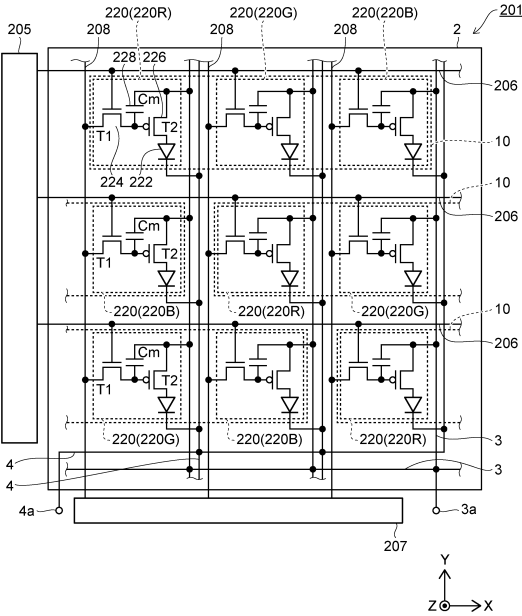
【図 1 1】



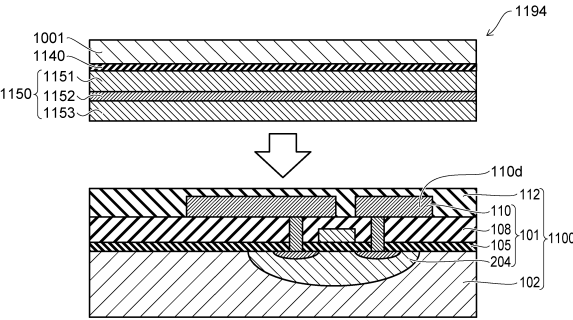
10

20

【図 1 2】



【図 1 3 A】

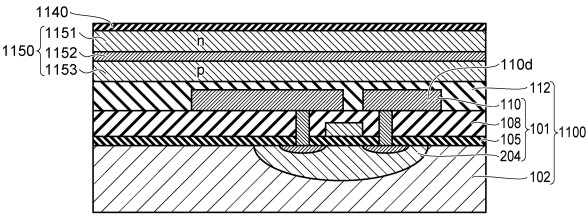


30

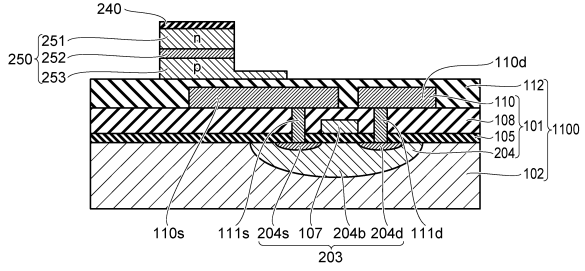
40

50

【図 1 3 B】

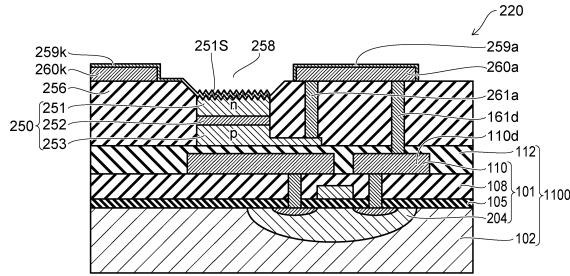


【図 1 4 A】

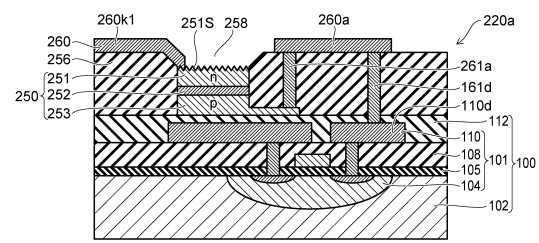


10

【図 1 4 B】



【図 1 5】



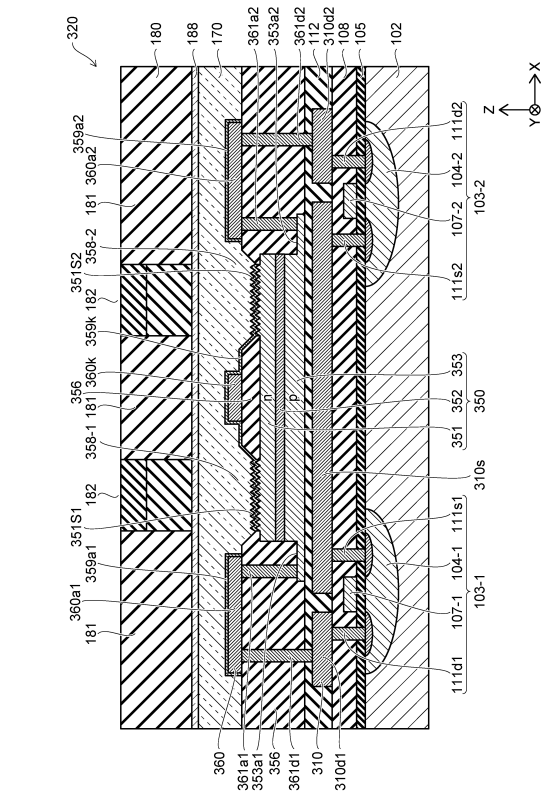
20

30

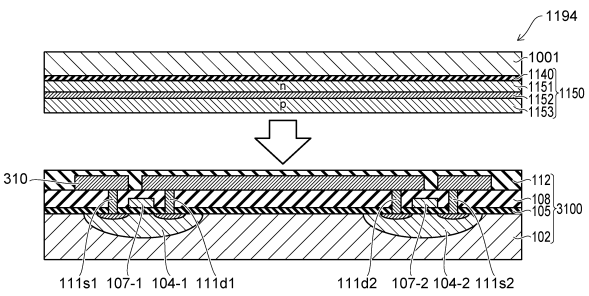
40

50

【図 1 6】



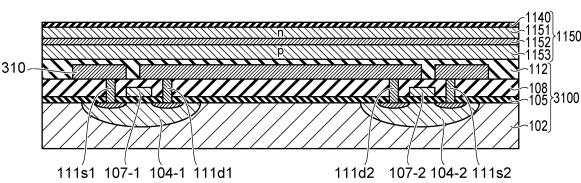
【図 1 7 A】



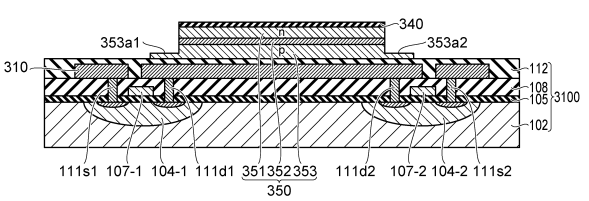
10

20

【図 1 7 B】



【図 1 8 A】

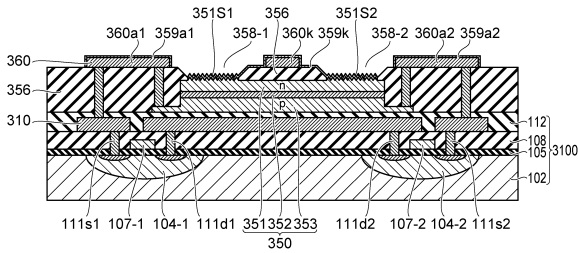


30

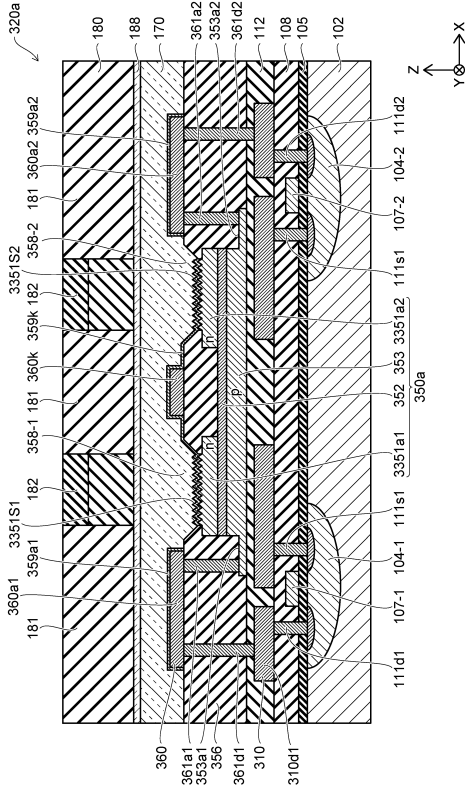
40

50

【図 18 B】



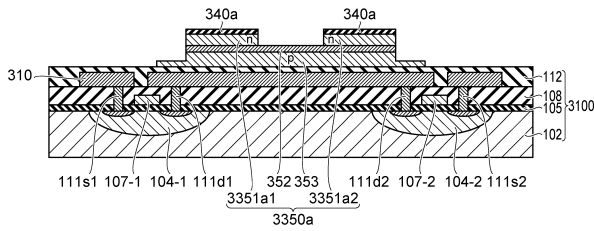
【図 19】



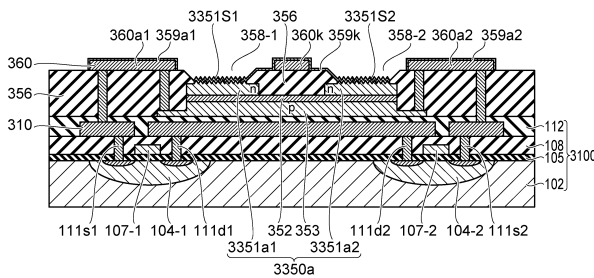
10

20

【図 20 A】



【図 20 B】

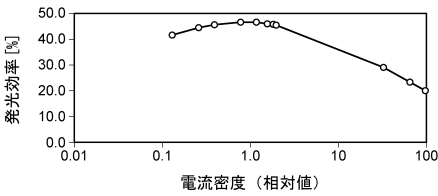


30

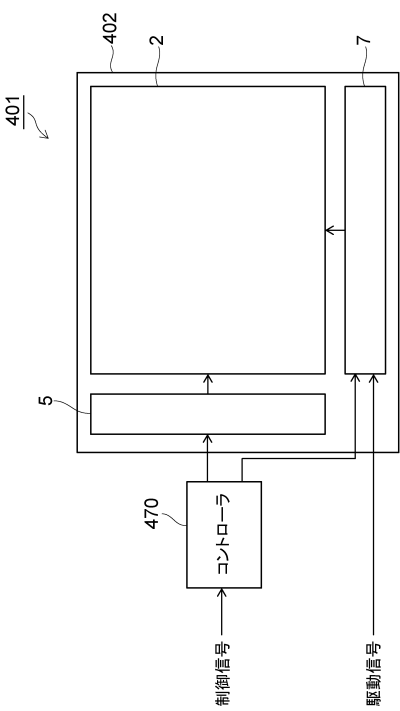
40

50

【図 2 1】



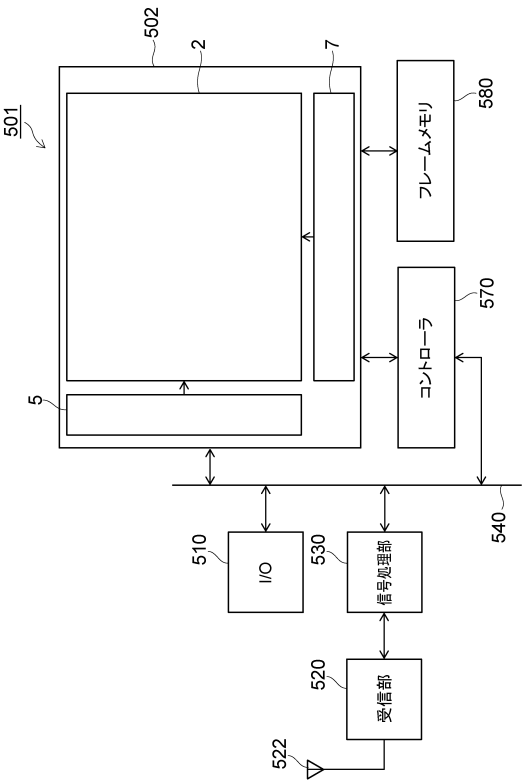
【図 2 2】



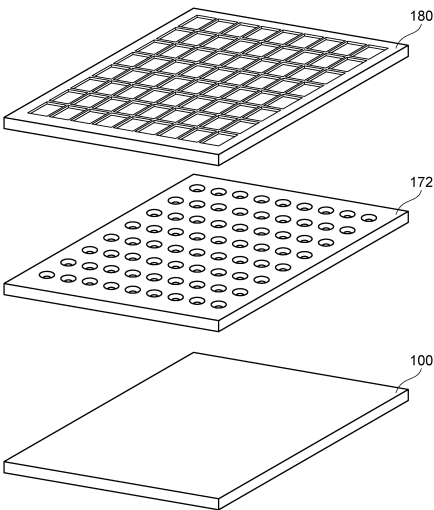
10

20

【図 2 3】



【図 2 4】



30

40

50

フロントページの続き

(51)国際特許分類	F I
H 0 1 L 33/32 (2010.01)	H 0 1 L 33/08
H 0 1 L 33/38 (2010.01)	H 0 1 L 33/22
H 0 1 L 33/42 (2010.01)	H 0 1 L 33/32
H 0 1 L 33/50 (2010.01)	H 0 1 L 33/38
	H 0 1 L 33/42
	H 0 1 L 33/50

(56)参考文献 国際公開第 2 0 1 8 / 1 3 2 0 7 0 (W O , A 1)
特開 2 0 0 9 - 0 9 4 1 4 4 (J P , A)
特開 2 0 1 4 - 0 7 2 2 1 5 (J P , A)
特開 2 0 1 8 - 2 0 5 4 5 6 (J P , A)
特開 2 0 0 7 - 2 4 2 6 4 5 (J P , A)
米国特許出願公開第 2 0 0 9 / 0 0 7 8 9 6 3 (U S , A 1)
特開 2 0 1 8 - 1 0 1 7 8 5 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 - 1 / 1 3 3 4
1 / 1 3 3 9 - 1 / 1 3 5
1 / 1 3 7 - 1 / 1 4 1
G 0 9 F 9 / 0 0 - 9 / 4 6
1 3 / 0 0 - 1 3 / 4 6
H 0 1 L 3 3 / 0 0 - 3 3 / 6 4
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
4 4 / 0 0
4 5 / 6 0
H 1 0 K 5 0 / 0 0 - 9 9 / 0 0