

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204524

(P2012-204524A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.
H01L 27/146 (2006.01)F1
H01L 27/14テーマコード (参考)
4M118

審査請求 未請求 請求項の数 6 O L (全 30 頁)

(21) 出願番号 特願2011-66479 (P2011-66479)
(22) 出願日 平成23年3月24日 (2011.3.24)(71) 出願人 000005821
パナソニック株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100090446
弁理士 中島 司朗
(74) 代理人 100125597
弁理士 小林 国人
(74) 代理人 100146798
弁理士 川畑 孝二
(74) 代理人 100121027
弁理士 木村 公一
(72) 発明者 安平 光雄
大阪府門真市大字門真1006番地 パナ
ソニック株式会社内

最終頁に続く

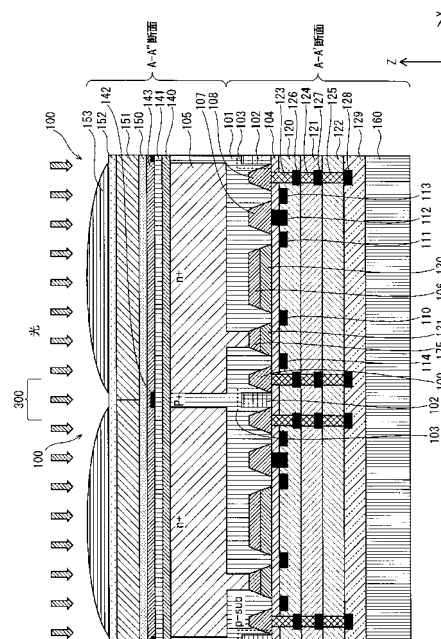
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 グローバル電子シャッター機能を備えながら、高い感度および高い画質を有するMOS型の固体撮像装置を提供する。

【解決手段】 固体撮像装置は、半導体基板101、フォトダイオード105、接続ダイオード175、蓄積ダイオード106、オーバーフローレイン109を有する。フォトダイオード105は、半導体基板101内におけるZ軸方向の上主面側に、当該主面に沿う状態で、且つ、互いの間に間隔をあけた状態で二次元形成されている。蓄積ダイオード106は、半導体基板101内におけるZ軸方向の下主面側に、設けられている。オーバーフローレイン109も、半導体基板101内におけるZ軸方向の下主面側に、設けられている。フォトダイオード105に接続された接続ダイオード175は、蓄積ダイオード106およびオーバーフローレイン109の各々に対し、ゲートを介して配されている。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板内における第 1 の主面側に、当該第 1 の主面に沿う状態で、且つ、互いの間に間隔をあけた状態で二次元形成された複数の光電変換部と、

前記半導体基板内における前記第 1 の主面とは反対側の第 2 の主面側に、前記複数の光電変換部の各々に対応して設けられ、且つ、対応する前記光電変換部に接続された接続ダイオードと、

前記半導体基板内における前記第 2 の主面側に、前記接続ダイオードの各々に対応し、且つ、対応する前記接続ダイオードと第 1 ゲートを介して設けられた蓄積ダイオードと、

前記半導体基板内における前記第 2 の主面側に、前記接続ダイオードの各々に対応し、且つ、対応する前記接続ダイオードと第 2 ゲートを介して設けられたオーバーフロードレインと、

を有する

ことを特徴とする固体撮像装置。

【請求項 2】

半導体基板と、

前記半導体基板内における第 1 の主面側に、当該第 1 の主面に沿う状態で、且つ、互いの間に間隔をあけた状態で二次元形成された複数の光電変換部と、

前記半導体基板内における前記第 1 の主面とは反対側の第 2 の主面側に、前記複数の光電変換部の各々に対応して設けられ、且つ、対応する前記光電変換部に接続された接続ダイオードと、

前記半導体基板内における前記第 2 の主面側に、前記接続ダイオードの各々に対応し、且つ、対応する前記接続ダイオードと第 1 ゲートを介して設けられた蓄積ダイオードと、

前記半導体基板内における前記第 1 の主面側に、隣接する前記光電変換部同士の間設けられたオーバーフロードレインと、

を有する

ことを特徴とする固体撮像装置。

【請求項 3】

さらに、

前記半導体基板内における前記第 2 の主面側に、前記蓄積ダイオードの各々に対応し、且つ、対応する前記蓄積ダイオードと第 3 ゲートを介して設けられたフローティングディフュージョンを有する

ことを特徴とする請求項 1 または請求項 2 に記載の固体撮像装置。

【請求項 4】

前記半導体基板の前記第 2 の主面の上方において、前記隣接する光電変換部同士の間に対応する箇所には、遮光性を有する金属膜が形成されており、

前記フローティングディフュージョンは、前記半導体基板における前記第 1 の主面側上方の少なくとも一部が、前記金属膜で覆われている

ことを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】

前記半導体基板の前記第 2 の主面の上方において、前記隣接する光電変換部同士の間に対応する箇所には、遮光性を有する金属膜が形成されており、

前記蓄積ダイオードは、前記半導体基板における前記第 1 の主面側上方の少なくとも一部が、前記金属膜で覆われている

ことを特徴とする請求項 1 から請求項 3 の何れかに記載の固体撮像装置。

【請求項 6】

前記半導体基板の前記第 2 の主面の上方において、前記隣接する光電変換部同士の間に対応する箇所には、遮光性を有する金属膜が形成されており、

前記オーバーフロードレインは、前記金属膜に接続されており、当該金属膜を介して前

10

20

30

40

50

記バイアス電圧印加部からのバイアス電圧の印加を受ける
ことを特徴とする請求項2に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関し、特に、グローバル電子シャッター機能を有するMOS型固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置であるCCDイメージセンサやMOS型イメージセンサでは、多画素化に伴う画素サイズの微細化（微細セル化）が要求されている。それとともに、固体撮像装置に対しては、運動シーンなどの動きのある撮影においても、高い画質での撮像が可能な電氣的な高速シャッター機能（グローバル電子シャッター機能）が求められている。特に、逐次読出し方式を採用するMOS型イメージセンサにおいても、全画素の受光部の信号電荷を電氣的に一括して読み出すグローバル電子シャッター機能が求められている。

【0003】

上記要望を受けて、種々の技術が提案されている（例えば、非特許文献1）。従来技術の一例として、非特許文献1で提案されている固体撮像装置（MOS型イメージセンサ）の構成および動作ポテンシャルについて、図18を用い説明する。

【0004】

図18（a）の平面概略図に示すように、非特許文献1で提案されている固体撮像装置の各画素では、フォトダイオード903に対して、転送ゲート906を介してストレージダイオード904が設けられている。また、ストレージダイオード904に対して、転送ゲート907を介してフローティングディフュージョン905が設けられている。

【0005】

また、フォトダイオード903に対しては、図18（a）の紙面に向かって上下方向において、転送ゲート913を介してオーバーフロードレイン911が設けられている。ここで、フォトダイオード903は、入射してきた光を電荷に変換する光電変換部として機能し、オーバーフロードレイン911は、フォトダイオード903で生成された電荷を一斉リセットして掃き出すための領域である。ストレージダイオード904は、一斉掃き出し後にフォトダイオード903から一斉読み出しされた信号電荷を一時蓄積するための領域である。

【0006】

次に、図18（a）におけるX-X'断面である図18（b）に示すように、非特許文献1で提案されている固体撮像装置では、オーバーフロードレイン911、フォトダイオード903、ストレージダイオード904、およびフローティングディフュージョン905の全てがp型ウェル領域902が形成された半導体基板901に埋め込み形成されており、フローティングディフュージョン905に対しては、リセットゲート908が設けられ、リセットゲート908には、ドレイン電圧909が設けられている。また、フローティングディフュージョン905に対しては、そのポテンシャル変化を増幅して外部に読み出す増幅器909が設けられている。

【0007】

また、オーバーフロードレイン911には、ドレイン電圧912が設けられている。

次に、非特許文献1で提案されている固体撮像装置の駆動方法について、図18（c）を併せて用い説明する。図18（c）は、図18（a）におけるX-X'断面のポテンシャル図である。先ず、入射光によりフォトダイオード903に蓄積された電荷は、転送ゲート913を全画素一斉にONすることで、オーバーフロードレイン911へと掃き出される。これにより、全画素のフォトダイオード903が一斉にリセットされる（図18（c）における（i）PD-resetting）。

【0008】

10

20

30

40

50

次に、リセットされて空になったフォトダイオード 903 に所定時間（シャッター時間）の入射光により蓄積された信号電荷は、転送ゲート 906 を全画素一斉に ON することで、ストレージダイオード 904 へと転送される。これにより、全画素のフォトダイオード 903 から信号電荷の一斉読み出しがなされる（図 18（c）における（i i）First transfer）。

【0009】

次に、ストレージダイオード 904 に転送された信号電荷は、MOS 型イメージセンサの通常の読み出し方式（逐次読み出し方式）のサイクルに従って、転送ゲート 907 を ON することで、フローティングディフュージョン 905 へと転送される（図 18（c）における（i i i）Second transfer）。そして、フローティングディフュージョン 905 に接続された増幅器 910 を介して、フローティングディフュージョン 905 の信号電荷に応じたポテンシャル変化が外部へと読み出される。

10

【0010】

上記のように、非特許文献 1 で提案されている固体撮像装置では、全画素において、フォトダイオード 903 の電荷をオーバーフローレイン 911 へと一括リセットし、その後、フォトダイオード 903 で所定時間（シャッター時間）の間に生成された信号電荷を全画素一斉に読み出してストレージダイオード 904 へと転送し、一時蓄積される。そして、ストレージダイオード 904 からフローティングディフュージョン 905 に転送された信号電荷に応じ、ポテンシャル変化が増幅器 910 を介して逐次読み出される。このようにして、グローバル電子シャッターが実現されている。

20

【先行技術文献】

【非特許文献】

【0011】

【非特許文献 1】「Two-Stage Charge Transfer Pixel Using Pinned Diodes for Low-Noise Global Shutter Imaging」, K. Yasutomi et al., 2009 Intl. Image Sensor Workshop, session 11.

【発明の概要】

【発明が解決しようとする課題】

30

【0012】

しかしながら、上記非特許文献 1 で提案されている固体撮像装置では、単位画素において、半導体基板 901 内にフォトダイオード 903 とストレージダイオード 904 とが形成されており、フォトダイオード 903 の占有面積とストレージダイオード 904 の占有面積とは、トレードオフの関係となっている（図 18（a）および図 18（b）を参照）。そして、フォトダイオード 903 とストレージダイオード 904 の面積は、互いに同等とする必要があるため、フォトダイオード 903 の占有面積を相対的に大きくすることが困難であり、感度低下を招いてしまう。

【0013】

本発明は、上記問題の解決を図るべくなされたものであって、グローバル電子シャッター機能を備えながら、高い感度を有する MOS 型の固体撮像装置を提供することを目的とする。

40

【課題を解決するための手段】

【0014】

そこで、本発明では、次の構成を採用することとした。

〔I〕 本発明に係る固体撮像装置は、半導体基板と、光電変換部と、接続ダイオードと、蓄積ダイオードと、オーバーフローレインとを有することを特徴とする。

【0015】

（1）光電変換部；半導体基板内における第 1 の主面側に、当該第 1 の主面に沿う状態で、且つ、互いの間に間隔をあけた状態で二次元形成されている。

50

(2) 接続ダイオード；半導体基板内における第1の主面とは反対側の第2の主面側に、複数の光電変換部の各々に対応して設けられ、且つ、対応する光電変換部に接続されている。

【0016】

(3) 蓄積ダイオード；半導体基板内における前記第2の主面側に、接続ダイオードの各々に対応し、且つ、対応する接続ダイオードと第1ゲートを介して設けられている。

(4) オーバーフロードレイン；半導体基板内における第2の主面側に、接続ダイオードの各々に対応し、且つ、対応する接続ダイオードと第2ゲートを介して設けられている。

【0017】

[I I] 本発明に係る固体撮像装置は、半導体基板と、光電変換部と、接続ダイオードと、蓄積ダイオードと、オーバーフロードレインとを有することを特徴とする。

(1) 光電変換部；半導体基板内における第1の主面側に、当該第1の主面に沿う状態で、且つ、互いの間に間隔をあけた状態で二次元形成されている。

【0018】

(2) 接続ダイオード；半導体基板内における第1の主面とは反対側の第2の主面側に、複数の光電変換部の各々に対応して設けられ、且つ、対応する光電変換部に接続されている。

【0019】

(3) 蓄積ダイオード；半導体基板内における第2の主面側に、接続ダイオードの各々に対応し、且つ、対応する接続ダイオードと第1ゲートを介して設けられている。

(4) オーバーフロードレイン；半導体基板内における第1の主面側に、隣接する光電変換部同士の間設けられている。

【発明の効果】

【0020】

先ず、[I]および[I I]の双方の固体撮像装置では、半導体基板内の第1の主面側に光電変換膜が形成され、半導体基板内の第2の主面側に形成された蓄積ダイオードと占有面積という点においてトレードオフの関係にはない。このため、十分な受光部容量と十分な蓄積ダイオード容量との両立が可能である。よって、本発明に係る固体撮像装置では、グローバル電子シャッター機能を備える固体撮像装置において、画素サイズの微細化によっても、十分な光電変換部の面積を確保することができ、高い感度を実現することができる。

【0021】

なお、[I]に係る本発明の固体撮像装置では、各画素において、接続ダイオードに対して第2ゲートを介してオーバーフロードレインが形成されている。このため、[I]に係る本発明の固体撮像装置では、全画素において、光電変換膜の電荷を下部電極、接続プラグ、および接続ダイオードを介して、オーバーフロードレインへと一括リセットし、その後に、光電変換膜で所定時間（シャッター時間）の間で生成された信号電荷を全画素一斉に読み出して蓄積ダイオードへと転送し、一時蓄積できる。そして、その後は、上記非特許文献1で提案されている固体撮像装置と同様に、蓄積ダイオードからフローティングディフュージョンに信号電荷が転送され、当該信号電荷に応じ、ポテンシャル変化が増幅器を介して逐次読み出される。このようにして、本発明に係る固体撮像装置においても、グローバル電子シャッター機能を備える。

【0022】

一方、[I I]に係る本発明の固体撮像装置では、オーバーフロードレインを半導体基板内の第2の主面側に形成するのではなく、半導体基板内の第1の主面側における隣接する光電変換部同士の間形成している。このため、半導体基板内の第2の主面側にオーバーフロードレインを形成しない分、さらに蓄積ダイオードの占有面積を大きくとることができる。

【0023】

以上のように、[I]および[I I]の双方の本発明に係る固体撮像装置では、グローバル電子シャッター機能を備え、動きのある撮影においても、高い画質での撮像が可能である。従って、本発明に係る固体撮像装置では、グローバル電子シャッター機能を備えながら、高い感度を有する。

【 0 0 2 4 】

本発明に係る固体撮像装置では、例えば、次のようなバリエーション構成を採用することが可能である。

上記本発明に係る固体撮像装置では、さらに、半導体基板内における第 2 の主面側に、蓄積ダイオードの各々に対応し、且つ、対応する蓄積ダイオードと第 3 ゲートを介して設けられたフローティングディフュージョンを有するという構成を採用することができる。このような構成を採用する場合には、各画素内において、蓄積ダイオードとフローティングディフュージョンを効率よく配置することができ、画素の微細化に際して有効である。

【 0 0 2 5 】

上記本発明に係る固体撮像装置では、半導体基板の第 2 の主面の上方において、隣接する光電変換部同士の間に対応する箇所には、遮光性を有する金属膜が形成されており、フローティングディフュージョンは、半導体基板における第 1 の主面側上方の少なくとも一部が、金属膜で覆われているという構成を採用することができる。このような構成を採用する場合には、隣接する光電変換部同士の間を通しての漏れ光を遮蔽することにより、漏れ光に起因するフローティングディフュージョンでの偽信号発生を抑制することができる。よって、高い画質性能を得られる。

【 0 0 2 6 】

上記本発明に係る固体撮像装置では、半導体基板の前記第 2 の主面の上方において、隣接する光電変換部同士の間に対応する箇所には、遮光性を有する金属膜が形成されており、蓄積ダイオードは、半導体基板における第 1 の主面側上方の少なくとも一部が、金属膜で覆われているという構成を採用することができる。このような構成を採用する場合には、隣接する光電変換部同士の間を通しての漏れ光を遮蔽することにより、漏れ光に起因する蓄積ダイオードでの偽信号発生を抑制することができる。よって、高い画質性能を得られる。

【 0 0 2 7 】

上記 [I I] に係る本発明の固体撮像装置では、半導体基板の第 2 の主面の上方において、隣接する光電変換部同士の間に対応する箇所には、遮光性を有する金属膜が形成されており、オーバーフロードレインは、金属膜に接続されており、当該金属膜を介してバイアス電圧印加部からのバイアス電圧の印加を受けるという構成を採用することができる。このような構成を採用する場合には、金属膜にバイアス電圧を印加することにより、オーバーフロードレインの電荷状をリセットすることができ、グローバル電子シャッターを実現するのに有効である。

【図面の簡単な説明】

【 0 0 2 8 】

【図 1】本発明の実施の形態 1 に係る固体撮像装置 1 の構成を示す模式ブロック図である。

【図 2】固体撮像装置 1 における画素アレイ 1 0 の一部を示す模式平面図である。

【図 3】固体撮像装置 1 における画素アレイ 1 0 の一部を示す模式断面図である。

【図 4】(a) は、固体撮像装置 1 における 1 画素部の等価回路図であり、(b) は、ポテンシャル図である。

【図 5】固体撮像装置 1 の駆動時における模式タイミングチャートである。

【図 6】駆動時における各ノードでのポテンシャルを示す模式ポテンシャル図である。

【図 7】固体撮像装置 1 の製造における各工程を示す模式断面図である。

【図 8】固体撮像装置 1 の製造における各工程を示す模式断面図である。

【図 9】固体撮像装置 1 の製造における各工程を示す模式断面図である。

【図 1 0】本発明の実施の形態 2 に係る固体撮像装置 2 における画素アレイの一部を示す

10

20

30

40

50

模式平面図である。

【図 1 1】固体撮像装置 2 における画素アレイの一部を示す模式断面図である。

【図 1 2】(a) は、固体撮像装置 2 における 1 画素部の等価回路図であり、(b) は、ポテンシャル図である。

【図 1 3】固体撮像装置 2 の駆動時における模式タイミングチャートである。

【図 1 4】固体撮像装置 2 の駆動時における各ノードでのポテンシャルを示す模式ポテンシャル図である。

【図 1 5】固体撮像装置 2 の製造における各工程を示す模式断面図である。

【図 1 6】固体撮像装置 2 の製造における各工程を示す模式断面図である。

【図 1 7】本発明の実施の形態 3 に係る固体撮像装置 3 における画素アレイの一部を示す模式断面図である。

10

【図 1 8】従来技術に係るグローバル電子シャッター機能を有する固体撮像装置の構成を示す模式図である。

【発明を実施するための形態】

【0029】

以下では、本発明を実施するための形態について、図面を参酌しながら説明する。なお、以下の各実施の形態は、本発明の構成およびそこから奏される作用・効果を分かり易く説明するために用いる例であって、本発明は、本質的な特徴部分以外に何ら以下の形態に限定を受けるものではない。

【0030】

20

〔実施の形態 1〕

1. 固体撮像装置 1 の全体構成

実施の形態 1 に係る固体撮像装置 1 の全体構成について、図 1 を用い説明する。

【0031】

図 1 に示すように、実施の形態 1 に係る固体撮像装置 1 では、複数の画素部 100 が X-Y 面方向にマトリクス状（行列状）に配列され、これより画素アレイ 10 が構成されている。画素アレイ 10 に対しては、パルス発生回路 21、水平シフトレジスタ 22、および垂直シフトレジスタ 23 が接続されている。水平シフトレジスタ 22 および垂直シフトレジスタ 23 は、パルス発生回路 21 からのタイミングパルスの印加に呼応して、各画素部 100 に対して、順次、駆動パルスを出力する。

30

【0032】

2. 画素アレイ 10 の構成

固体撮像装置 1 の構成の内、画素アレイ 10 の構成について、図 2 および図 3 を用い説明する。図 2 は、画素アレイ 10 における一部領域を抜き出して示す模式平面図であり、図 3 は、その A-A' 断面、および A-A'' 断面を示す模式断面図であり、半導体基板表面側の読出し回路部の構造を示す A-A' 断面と裏面フォトダイオード以降の上部（光入射側）の構造を示す A-A'' 断面を組み合わせた模式図であり、構成部位の配置関係については、実際の配置とは異なっている。

【0033】

図 2 に示すように、固体撮像装置 1 においては、フォトダイオード 105 が形成された領域（画素部）同士の間画素分離部 300 が設けられている。そして、各画素部 100 には、接続ダイオード 175、蓄積ダイオード 106、フローティングディフュージョン 107、増幅トランジスタ 116、リセットドレイン 108 が設けられている。また、接続ダイオード 175 に対して、Y 軸方向の上側には、オーバーフロードレイン 109 が設けられ、増幅トランジスタ 116 の X 軸方向の右側には、増幅トランジスタ (Tr) ドレイン 115 が設けられている。

40

【0034】

接続ダイオード 175 と蓄積ダイオード 106 との間には、転送ゲート 110 が設けられ、接続ダイオード 175 とオーバーフロードレイン 109 との間には、転送ゲート 114 が設けられている。同様に、蓄積ダイオード 106 とフローティングディフュージョン

50

107との間には、転送ゲート111が設けられ、フローティングディフュージョン107とリセットドレイン108との間には、転送ゲート113が設けられている。なお、増幅トランジスタ116の増幅Trゲート112は、ゲート酸化膜の開口117を介して、フローティングディフュージョン107に接続されている。

【0035】

オーバーフロードレイン109およびリセットドレイン108には、それぞれコンタクトプラグ119、118が接続されており、また、増幅トランジスタ116には、コンタクトプラグ135が接続されている。また、転送ゲート114、110などには、それぞれコンタクトプラグ136が接続されている。

【0036】

ここで、蓄積ダイオード106およびフローティングディフュージョン107などは、隣接するフォトダイオード105同士の間領域（画素分離部300）に配されている。

次に、固体撮像装置1の画素アレイ10の構成について、断面図にて説明する。

【0037】

図3に示すように、固体撮像装置1は、p型の半導体基板101を備え、図のZ軸方向下側の主面にゲート酸化膜104が積層形成されている。半導体基板101内における下側主面側の部分には、画素部100単位で、STI（Shallow Trench Isolation）102およびp⁺型のチャネルストップ103が形成されている。

【0038】

ゲート酸化膜104に対しては、Z軸方向下側に、層間絶縁膜120、121、122が順に積層形成されている。層間絶縁膜120、121、123は、例えば、CVD（Chemical Vapor Deposition）法を用い形成された酸化膜である。層間絶縁膜120における層間絶縁膜121との境界部分、および層間絶縁膜121における層間絶縁膜122との境界部分には、配線126、127がそれぞれ形成されている。配線126、127には、コンタクトプラグ123、124、125がそれぞれ接続されている。

【0039】

また、層間絶縁膜122に対しては、Z軸方向下側に、保護膜129が積層され、さらに、保護膜129のZ軸方向下側には、支持基板160が貼り合わされている。保護膜129における層間絶縁膜122との境界部分には、コンタクトプラグ125に接続された配線128が設けられている。

【0040】

配線126、127、128は、例えば、アルミニウム（Al）や銅（Cu）を用い形成されている。また、コンタクトプラグ123、124、125は、層間絶縁膜120、121、122に開けられたコンタクト孔に対して、タングステン（W）プラグを埋め込むことにより形成されているが、コンタクトプラグ123については、不純物層（リセットドレイン108、オーバーフロードレイン109）との接触抵抗低減のため、チタン（Ti）を、またタングステン（W）との密着を強化するためにTiNが、境界部分に介挿された構成を有する（図示を省略）。

【0041】

半導体基板101におけるゲート絶縁膜104側の主面から内方に向けての表層領域には、画素部100毎に、オーバーフロードレイン109、接続ダイオード175、蓄積ダイオード106、フローティングディフュージョン107、およびリセットドレイン108が、互いに間隔をあけた状態で設けられている。オーバーフロードレイン109およびリセットドレイン108には、それぞれゲート酸化膜104を挿通するコンタクトプラグ123が接続されている。

【0042】

また、ゲート酸化膜104のZ軸方向下側には、接続ダイオード175とオーバーフロードレイン109との間の領域に転送ゲート114のゲート電極が設けられ、接続ダイオード175と蓄積ダイオード106との間の領域に転送ゲート110のゲート電極が設け

10

20

30

40

50

られている。同様に、ゲート酸化膜 104 の Z 軸方向下側には、蓄積ダイオード 106 とフローティングディフュージョン 107 との間の領域に転送ゲート 111 のゲート電極が設けられ、フローティングディフュージョン 107 とリセットドレイン 108 との間の領域に転送ゲート 113 のゲート電極が設けられている。

【0043】

さらに、フローティングディフュージョン 107 には、ゲート酸化膜 104 を挿通する増幅 Tr ゲート 112 のゲート電極が接続されている。なお、図 3 では、転送ゲート 110, 111, 113, 114 および増幅 Tr ゲート 112 の各ゲート電極を黒色で示し、不純物拡散層間の対応する各箇所がゲートである。そして、転送ゲート 110, 111, 113, 114 および増幅 Tr ゲート 112 の各ゲート電極は、例えば、Poly-Si により形成されている。

10

【0044】

なお、接続ダイオード 175、蓄積ダイオード 106、フローティングディフュージョン 107、リセットドレイン 108、およびオーバーフロドレイン 109 は、n 型の不純物拡散層である。そして、図 3 に示すように、接続ダイオード 175 に対しては、ゲート酸化膜 104 との間の領域に、p⁺ 型の不純物層であるピニング層 130 が形成されている。これにより、接続ダイオード 175 は、埋め込みダイオードになっている。同様に、蓄積ダイオード 106 に対しては、ゲート酸化膜 104 との間の領域に、p⁺ 型の不純物層であるピニング層 131 が形成されている。これにより、蓄積ダイオード 106 についても、埋め込みダイオードになっている。

20

【0045】

また、図示を省略しているが、リセットドレイン 108 には、ドレイン電圧 (V_{DD}) が接続されている。

一方、半導体基板 101 内の Z 軸方向上側の表層部分には、画素部 100 毎にフォトダイオード 105 が形成されている。フォトダイオード 105 は、n 型の不純物拡散層により構成されており、半導体基板 101 の Z 軸方向上側の主面に沿ってマトリクス状に配されている。そして、フォトダイオード 105 は、各々が対応する接続ダイオード 175 に接続されている。

【0046】

フォトダイオード 105 および半導体基板 101 の Z 軸方向上側の面は、ピニング層 140 により全体が覆われており、その上に反射防止膜 141 および保護膜 143 が順に積層形成されている。そして、反射防止膜 141 の上の保護膜 143 との境界部分であって、各画素分離部 300 に対応する領域には、金属配線 142 が形成されている。金属配線 142 は、画素アレイ 10 を平面視する場合に、隣接する画素部 100 間を通るようにメッシュ状になっている。

30

【0047】

保護膜 143 の Z 軸方向上側には、平坦化膜 150、カラーフィルタ層 151、平坦化膜 152、およびマイクロレンズ 153 が順に積層形成されている。この中で、カラーフィルタ層 151 は、画素部 100 毎に透過波長域が設定されている。

【0048】

Z 軸方向上方より入射した光は、画素部 100 毎にマイクロレンズ 153 で集光され、光電変換部としてのフォトダイオード 105 で光電変換される。そして、金属配線 142 が遮光性を有することから、入射した光が、半導体基板 101 に形成された各不純物拡散層 (蓄積ダイオード 106、フローティングディフュージョン 107) に入射するのが防止される。

40

【0049】

なお、図 3 においては、固体撮像装置 1 の画素アレイ 10 の構成を説明するために、便宜上、蓄積ダイオード 106 やフローティングディフュージョン 107 の Z 軸方向上方にフォトダイオード 105 が存在するように図示をしているが、実際には、図 2 に記載の配置関係を有する。

50

【0050】

3. 固体撮像装置1の駆動

上記構成を有する固体撮像装置1は、グローバル電子シャッター機能を有するのであるが、その駆動について、図4から図6を用い説明する。

【0051】

図4(a)は、本発明の実施の形態1に係る固体撮像装置1の内、一つの画素部100の等価回路であり、図4(b)は、各ノードのポテンシャルを示すポテンシャル図である。図5は、固体撮像装置1のグローバル電子シャッター動作のタイミングチャートの概略図であり、図6は、固体撮像装置1のグローバル電子シャッター動作時の画素部100の動作ポテンシャルの概略図である。

10

【0052】

図4(a)に示すように、フォトダイオード(PD)105には、転送ゲート(GR)114を介してオーバーフロードレイン(OFD)109が設けられ、また、転送ゲート(GS)110を介して蓄積ダイオード(SD)106が設けられている。

【0053】

なお、図4(a)などでは、接続ダイオード175を省略している。

蓄積ダイオード(SD)106に対しては、転送ゲート(TX)111を介して、フローティングディフュージョン(FD)107が設けられている。そして、フローティングディフュージョン(FD)107は、増幅トランジスタ(SF)116のゲート(増幅TGゲート112)に接続され、また、転送ゲート(RS)113を介して、リセットドレイン(RD)108が設けられている。増幅トランジスタ(SF)のドレイン(SFD)115には、ドレイン電圧(V_{DD})が接続されている。

20

【0054】

次に、図4(b)のポテンシャル図に示すように、各転送ゲート114, 110, 111, 113において、ポテンシャルが低くなっており、他の各領域で高くなっている。

図5に示すように、転送パルスGSの印加開始タイミングから、次の転送パルスGSの印加開始までが1 frameであり、転送パルスGRの印加が終了した直後から、次の転送パルスGSが印加開始されるまでの間が蓄積時間となる。

【0055】

具体的に、図5に示すように、1 frameの最初に、転送ゲート(GS)110のゲート電極に対して、全ての画素部100一括で転送パルスGSを印加する。これにより、フォトダイオード(PD)105に存在する電荷が、一斉に蓄積ダイオード(SD)106に転送される。

30

【0056】

次に、転送ゲート(GR)114のゲート電極に対して、全ての画素部100一括でリセットパルスGRを印加する。これにより、フォトダイオード(PD)105の信号電荷が、一斉にオーバーフロードレイン(OFD)109に掃き出される(タイミング t_1)。オーバーフロードレイン(OFD)109への電荷の掃き出しが行われた後、蓄積時間が開始される。

【0057】

次に、n行目に位置する画素部100の転送ゲート(RS)113のゲート電極に対しては、リセットパルス RS_n が印加され、これにより、n行目のフローティングディフュージョン(FD)107の電荷状態がリセットされる(タイミング t_3)。次に、上記のように、転送ゲート(RS)113のゲート電極に対してリセットパルス RS_n が印加されたn行目の画素部100に対しては、転送ゲート(TX)111のゲート電極に対して、転送パルス TX_n が印加される。これにより、蓄積ダイオード(SD)106からフローティングディフュージョン(FD)107へと信号電荷が転送される(タイミング t_4)。

40

【0058】

同様にして、(n+1)行目の画素部100における各転送ゲート(RS, TX)11

50

3, 1 1 1のゲート電極に対して、リセットパルス RS_{n+1} および転送パルス TX_{n+1} がそれぞれ印加される。これにより、 $(n+1)$ 行目の画素部1 0 0のフローティングディフュージョン(FD)1 0 7の電荷状態がリセットされ、蓄積ダイオード(SD)1 0 6からフローティングディフュージョン(FD)1 0 7へと信号電荷が転送される。

【0059】

なお、上記において、パルスGR, GSは、全画素部1 0 0に対して一斉に印加されるパルスであり、その他のパルス RS_n , TX_n , RS_{n+1} , TX_{n+1} , ...は、逐次読み出し動作に従う各行単位に印加されるパルスである。

【0060】

次に、図6(a)～(e)の動作ポテンシャルの概略図を用いて、固体撮像装置1のグローバル電子シャッター動作を説明する。

ここで、図6(a)は、全画素部1 0 0のフォトダイオード(PD)1 0 5の電荷状態を一括リセット(受光部の信号電荷を一括リセット)した時($t=t_1$)の画素部1 0 0の動作ポテンシャルを示し、図6(b)は、全画素部1 0 0のフォトダイオード(PD)1 0 5の電荷状態を一括リセット後にフォトダイオード(PD)1 0 5に新たに蓄積された信号電荷を全画素部1 0 0一斉に蓄積ダイオード(SD)1 0 6に一括転送した時($t=t_2$)の画素部1 0 0の動作ポテンシャルを示す。

【0061】

また、図6(c)は、 n 行目(ここでは、パルス TX_n , RS_n が印加される行)の蓄積ダイオード(SD)1 0 6の信号電荷をフローティングディフュージョン(FD)1 0 7に転送する前にフローティングディフュージョン(FD)1 0 7をリセットした時($t=t_3$)の画素部1 0 0の動作ポテンシャルを示し、図6(d)は、逐次読み出しのタイミングに従って、 n 行目の蓄積ダイオード(SD)1 0 6の信号電荷をフローティングディフュージョン(FD)1 0 7に転送した時($t=t_4$)の画素部1 0 0の動作ポテンシャルを示す。

【0062】

図6(e)は、 $(n+1)$ 行目(ここでは、パルス TX_{n+1} , RS_{n+1} が印加される行)の蓄積ダイオード(SD)1 0 6の信号電荷をフローティングディフュージョン(FD)1 0 7に転送する前にフローティングディフュージョン(FD)1 0 7をリセットした時($t=t_5$)の画素部1 0 0の動作ポテンシャルを示す。

【0063】

図6(a)に示すように、タイミング t_1 において、パルスGRの印加により(図5を参照)、転送ゲート(GR)1 1 4がONされる。これにより、全ての画素部1 0 0におけるフォトダイオード(PD)1 0 5に存在する電荷が一斉に、オーバーフローレイン(OFD)1 0 9に転送され、掃出される。これにより、グローバル電子シャッターの読み出し(蓄積時間の開始)が開始される。

【0064】

次に、図6(b)に示すように、タイミング t_2 において、パルスGSはONであり、パルスGRはOFFとなっている。そして、パルスTX(TX_n , TX_{n+1} , ...)もOFFとなっている。パルスGSの印加により、転送ゲート(GS)1 1 0がONされ、全画素部1 0 0の転送ゲート(GS)1 1 0に一斉にパルスが印加されることにより、全画素部1 0 0のフォトダイオード(PD)1 0 5の信号電荷が一斉に、蓄積ダイオード(SD)1 0 6に転送され、一時蓄積される。そして、これによりグローバル電子シャッターの読み出しが終了(蓄積時間の終了)する。

【0065】

また、パルスGRがOFFになった直後のタイミング t_1' から、パルスGSがONになった直後のタイミング t_2' までの蓄積時間が電子シャッター時間となり、任意の時間に設定することができる。

【0066】

次に、全画素部1 0 0一斉に蓄積ダイオード(SD)1 0 6に転送され、蓄積ダイオー

10

20

30

40

50

ド (SD) 106 に蓄積されている信号電荷を、逐次読み出しでフローティングディフュージョン (FD) 107 を介して外部に読み出す説明に移る。

【0067】

図6 (c) に示すように、タイミング t_3 において、パルスGSおよびパルスGRはOFFとなっており、パルスRS_nがON、パルスTX_nがOFFである。この場合において、パルスRS_nはON状態で、転送ゲート (RS) 113 のゲート電極に印加されることにより、フローティングディフュージョン (FD) 107 内の不要な電荷はリセットされ、リセット後の電位はドレイン電圧V_{DD}となる。

【0068】

次に、蓄積ダイオード (SD) 106 の信号電荷をフローティングディフュージョン (FD) 107 に転送する。

図6 (d) に示すように、タイミング t_4 において、パルスGS、GRは、OFFであり、パルスTX_nはON、パルスRS_nはOFFである。この場合において、パルスTX_nがONされ、転送ゲート (TX) 111 のゲート電極に印加されることにより、パルスTX_nが印加される行の蓄積ダイオード (SD) 106 の電子シャッター後の信号電荷が、フローティングディフュージョン (FD) 107 に転送される。ここで、転送されてきた信号電荷の量に応じて、フローティングディフュージョン (FD) 107 の電位がV_Dから変化する。この電位変化をソースフォロワーよりなる増幅トランジスタ (SF) 116 を介して映像信号として外部に読み出す。

【0069】

ここで、上記に示すように、蓄積ダイオード (SD) 106 の信号電荷をフローティングディフュージョン (FD) 107 に転送するタイミング以外の期間は、パルスRS_nはON状態で、転送ゲート (RS) 113 のゲート電極に印加されることにより、フローティングディフュージョン (FD) 107 内の不要な電荷はリセットされ続けている。

【0070】

次に、(n+1) 行目における、蓄積ダイオード (SD) 106 に蓄積されている信号電荷の逐次読み出しに移る。

図6 (e) に示すように、タイミング t_5 において、パルスGS、GRはOFFであり、パルスRS_{n+1}はONであり、パルスTX_{n+1}はOFFである。この場合において、パルスRS_{n+1}がONされ、転送ゲート (RS) 113 のゲート電極に印加されることにより、フローティングディフュージョン (FD) 107 内の不要な電荷はリセットされ、リセット後の電位はドレイン電圧V_{DD}となる。これ以降は、図6 (c) ~ 図6 (e) の逐次読み出しの駆動のサイクルを全ての行を読み出すまで繰り返し、電子シャッター動作で任意の蓄積時間で撮像した画像の読み出しを終了する。

【0071】

4. 効果

本実施の形態に係る固体撮像装置1では、半導体基板101内の一方の主面側 (図3のZ軸方向上側の主面側) にフォトダイオード105を有し、半導体基板101内の他方の主面側 (図3のZ軸方向下側の主面側) に蓄積ダイオード106が形成されているため、フォトダイオード105と蓄積ダイオード106とが、占有面積という点において互いにトレードオフの関係にはない。このため、十分な受光部容量と十分な蓄積ダイオード106の容量との両立が可能である。よって、固体撮像装置1では、グローバル電子シャッター機能を備える固体撮像装置において、画素部100のサイズの微細化によっても、十分な光電変換部の面積を確保することができ、高感度で、大きなダイナミックレンジを実現することができる。

【0072】

また、固体撮像装置1では、各画素部100において、接続ダイオード175に対して転送ゲート114を介してオーバーフローレイン109が形成されている。このため、固体撮像装置1では、全画素部100において、フォトダイオード105および接続ダイオード105の蓄積電荷をオーバーフローレイン109を介して一括リセットし、その

10

20

30

40

50

後に、フォトダイオード105で所定時間（シャッター時間）の間に生成された信号電荷を全画素部100一斉に読み出して蓄積ダイオード106へと転送し、一時蓄積できる。そして、その後は、上記のように、蓄積ダイオード106からフローティングディフュージョン107に信号電荷が転送され、当該信号電荷に応じてポテンシャル変化が増幅トランジスタ116を介して逐次読み出される。このようにして、本実施の形態に係る固体撮像装置1においても、グローバル電子シャッター機能を備える。

【0073】

以上のように、本実施の形態に係る固体撮像装置1では、グローバル電子シャッター機能を備え、動きのある撮影においても、高い画質での撮像が可能であり、グローバル電子シャッター機能を備えながら、高い感度を有する。

10

【0074】

また、本実施の形態に係る固体撮像装置1では、画素分離部300に遮光性を有する金属配線142が形成されており、接続ダイオード175、蓄積ダイオード106およびフローティングディフュージョン107が、金属配線142の下方に形成されており、蓄積ダイオード106およびフローティングディフュージョン107が、金属配線142の下方に形成されている。このため、固体撮像装置1では、隣接するフォトダイオード105同士の間（画素分離部300）を通しての光の入射が防止され、接続ダイオード175、蓄積ダイオード106およびフローティングディフュージョン107での偽信号電荷の発生を防止することができ、これに起因する画質の劣化を防止することができる。よって、本実施の形態に係る固体撮像装置1では、偽信号電荷の混入が生じることがなく、高い画質を得ることができる。

20

【0075】

5. 固体撮像装置1の製造方法

本実施の形態に係る固体撮像装置1の製造方法について、図7から図9を用い説明する。

【0076】

図7（a）に示すように、半導体基板1010に対して、リソグラフィー用のアライメントマークを形成し（図示を省略）、その後n⁺型の不純物拡散層であるフォトダイオード105を画素部100毎に形成する。フォトダイオード105は、例えば、リン（P）や砒素（As）を、300[k e V]～500[k e V]、 1×10^{12} [cm⁻²]～ 1×10^{13} [cm⁻²]で、イオン注入することにより形成される。

30

【0077】

次に、トランジスタや拡散層の素子を分離するSTI（Shallow Trench Isolation）102を形成する。具体的には、半導体基板1010の該当箇所をドライエッチングすることで、例えば、分離領域となる深さ200[nm]～400[nm]の溝を形成する。次に、形成した溝と半導体基板1010の界面の欠陥領域を低減するため、熱酸化等により、例えば、酸化膜厚10[nm]～20[nm]の犠牲酸化を行い、さらに、例えば10[k e V]～20[k e V]、 1×10^{13} [cm⁻²]～ 3×10^{13} [cm⁻²]で、ホウ素（B）のイオン注入を行い、P⁺層のチャネルストッパ103を形成する。

40

【0078】

次に、熱酸化、またはプラズマ酸化等により、例えば、膜厚5[nm]～10[nm]のゲート酸化膜1040を形成する。ゲート酸化膜1040は、この後に説明する、各転送ゲート110、111、113、114を構成するトランジスタのゲート酸化膜となる。

【0079】

次に、図7（b）に示すように、熱CVDまたはプラズマ酸化等により、例えば、100[nm]～200[nm]の膜厚のPoly-Si膜を堆積させ、その後、フォトリソグラフィ技術によって、所定のレジストパターンを形成する。そして、Poly-Si膜を選択的にエッチングすることにより、Poly-Si膜からなる転送ゲート110、1

50

11, 113, 114および増幅Trゲート112の各ゲート電極を形成する。

【0080】

次に、半導体基板1010内のフォトダイオード105形成領域に対応した箇所に、所定のレジストマスクの開口を通して、p型の半導体基板1010にn型の不純物層であるリン(P)や砒素(As)を、例えば、100[k e V]~200[k e V]、 1×10^{12} [cm⁻²]~ 1×10^{13} [cm⁻²]でイオン注入する。これにより、後で説明する接続ダイオード175とフォトダイオード105との接続経路が形成される。

【0081】

次に、p型の半導体基板1010にリン(P)や砒素(As)を、例えば、50[k e V]~80[k e V]、 1×10^{14} [cm⁻²]~ 2×10^{15} [cm⁻²]で、イオン注入し、n型の不純物領域を形成する。形成された不純物領域は、各々がオーバーフローレイン109、接続ダイオード175、蓄積ダイオード106、フローティングディフュージョン107、およびリセットドレイン108に相当する。

【0082】

次に、接続ダイオード175および蓄積ダイオード106の対応する表層部分に、レジストマスクの開口を通してホウ素(B)を、例えば、5[k e V]~10[k e V]、 1×10^{11} [cm⁻²]~ 2×10^{12} [cm⁻²]で、イオン注入し、これによりピニング層130, 131を形成する。ここで、ゲート酸化膜104の形成の後に、フローティングディフュージョン107上の一部を開口し、Poly-Si膜で構成される増幅Trゲート112のゲート電極を形成して、フローティングディフュージョン107と増幅Trゲート112のゲート電極との電氣的接続をとっている。

【0083】

次に、図7(c)に示すように、CVD酸化膜よりなる層間絶縁膜120を、例えば、500[nm]~1000[nm]の膜厚で形成する。そして、フォトリソグラフィ技術とエッチング技術とによって、所定の位置にコンタクト孔を形成する。コンタクト孔の形成箇所は、図2に示す、コンタクトプラグ118, 119, 135の各構成箇所に対応する。開孔されたコンタクト孔にタングステン(W)のプラグを埋め込み、コンタクトプラグ123を形成する。各コンタクトプラグ123は、オーバーフローレイン109およびリセットドレイン108との電氣的接続を形成する。

【0084】

次に、例えば、ダマシン法で150[nm]~200[nm]の膜厚の、銅(Cu)よりなる配線126を形成する。なお、配線126の形成においては、アルミニウム(Al)を用いることも可能であり、その場合には、配線膜厚が200[nm]~300[nm]となる。同様の繰り返しで、層間絶縁膜121, 122、コンタクトプラグ124, 125、および配線127, 128を形成し、多層配線の形成を終了する。そして、配線128が形成された層間絶縁膜122の上面を覆うように、例えば、500[nm]~1000[nm]の膜厚のCVD酸化膜である、保護膜129を形成する。

【0085】

次に、図8(a)に示すように、CMPにより保護膜129を平坦化した後、その表面をプラズマ処理し、酸化膜が形成されてなる表面に、支持基板160を貼り合わせる。支持基板160は、例えば、Si基板やガラス基板よりなり、支持基板160を200[°C]~300[°C]の窒素雰囲気中で圧力を加えながら貼り合せを行う。これにより、保護膜129と支持基板160とは、ファンディアワールス力の原理で低温接着される。そして、支持基板160ごと、半導体基板1010を上下反転させる。

【0086】

次に、図8(b)に示すように、支持基板160を貼り付けた状態で半導体基板1010の裏面側(図8(b)のZ軸方向上側)をバックグラインドで、フォトダイオード105の形成されている領域の深さ近くまで研磨する。次に、仕上げとしてCMPやウェットエッチング(KOHエッチング)でフォトダイオード105の深さまで、研磨する。

【0087】

次に、図 9 (a) に示すように、上記のような研磨工程の後に、半導体基板 101 の最表面 101 f (図 8 (b) を参照) に露出したフォトダイオード 105 の基板界面の欠陥層や、界面準位に起因する暗電流を防止するため、フォトダイオード 105 上に、ホウ素 (B) を、例えば、 $5 [keV] \sim 10 [keV]$ 、 $1 \times 10^{11} [cm^{-2}] \sim 2 \times 10^{12} [cm^{-2}]$ でイオン注入し、 p^+ 型の不純物拡散層であるピニング層 140 を形成する。次に、上記のようなホウ素 (B) のイオン注入による欠陥の回復や、キャリアの活性化を目的に、レーザーアニール等で、アニーリングを行う。これにより、ピニング層 140 の形成、および欠陥回復のアニーリングにより、フォトダイオード 105 の暗電流低減、および短波長の量子効率の向上が実現できる。

【0088】

次に、ピニング層 140 上に、数 10 [nm] ～数 100 [nm] の膜厚で低温の CVD 膜である、反射防止膜 141 を形成する。次に、スパッタリングや CVD で、例えば、膜厚 100 [nm] ～300 [nm] のアルミニウム (Al) やタングステン (W)、モリブデン (Mo) 等の金属膜を堆積し、その後に、フォトリソグラフィ技術とエッチング技術とにより、金属膜をエッチングすることによって、画素分離部 300 における反射防止膜 141 上に、メッシュ状の金属配線 142 を形成する。次に、CVD 酸化膜やプラズマ酸化膜よりなる保護膜 143 を形成する。

【0089】

ここで、画素分離部 300 においては、下方に蓄積ダイオード 106 が位置しているが、金属配線 142 の形成により、蓄積ダイオード 106 への光の入射を防止することが可能である。

【0090】

次に、保護膜 143 上に、透明の有機膜よりなる平坦化膜 150、顔料を含んだ有機膜よりなるカラーフィルタ層 151、および透明の有機膜よりなる平坦化膜 152 を積層形成し、その上に、マイクロレンズ 153 を順に形成して (図 3 を参照)、固体撮像装置 1 は完成する。

【0091】

[実施の形態 2]

1. 固体撮像装置 2 における画素アレイの構成

固体撮像装置 2 の構成の内、画素アレイの構成について、図 10 および図 11 を用い説明する。図 10 は、画素アレイにおける一部領域を抜き出して示す模式平面図であり、図 11 は、その B-B' 断面、および B-B'' 断面を示す模式断面図であり、半導体基板表面側の読出し回路部の構造を示す B-B' 断面と裏面フォトダイオード以降の上部 (光入射側) の構造を示す B-B'' 断面を組み合わせた模式図であり、構成部位の配置関係については、実際の配置とは異なっている。

【0092】

図 10 に示すように、固体撮像装置 2 においても、フォトダイオード 405 が形成された領域 (画素部) 同士の間画素分離部 500 が設けられている。そして、各画素部には、接続ダイオード 475、蓄積ダイオード 406、フローティングディフュージョン 407、増幅トランジスタ 416、リセットドレイン 408 が設けられている。また、増幅トランジスタ 416 の X 軸方向の右側には、増幅トランジスタ (Tr) ドレイン 415 が設けられている。ただし、本実施の形態では、接続ダイオード 475 に隣接した領域にはオーバーフロドレインは設けられていない。オーバーフロドレイン 445 は、半導体基板内におけるフォトダイオード 405 が形成された側に設けられている。

【0093】

本実施の形態においても、転送ゲート 410、411、413、414 が設けられ、増幅トランジスタ 416 の増幅 Tr ゲート 412 は、ゲート酸化膜の開口 417 を介して、フローティングディフュージョン 407 に接続されている。また、リセットドレイン 408 には、コンタクトプラグ 418 が接続されており、また、増幅トランジスタ 416 には、コンタクトプラグ 435 が接続されている。また、上記同様に、転送ゲート 410 など

10

20

30

40

50

には、それぞれコンタクトプラグが接続されている。

【0094】

ここで、上記実施の形態1と同様に、蓄積ダイオード406およびフローティングディフュージョン407などは、隣接するフォトダイオード405同士の間領域（画素分離部500）に配されている。

【0095】

次に、図11に示すように、固体撮像装置2においても、p型の半導体基板401を備え、図のZ軸方向下側の主面にゲート酸化膜404が積層形成され、半導体基板401内における下側主面側の部分には、画素部単位で、STI（Shallow Trench Isolation）402およびp⁺型のチャネルストップ403が形成されている。また、ゲート酸化膜404に対しては、Z軸方向下側に、層間絶縁膜420、421、422が順に積層形成され、さらにその下側には、保護膜429が積層され、その下に支持基板460が貼り付けられている。

【0096】

層間絶縁膜420、421、423には、コンタクトプラグ423、424、425が形成され、互いの境界部分には、配線426、427、428が設けられている。これらについては、材料や形成方法が上記同様である。また、コンタクトプラグ423については、不純物層（リセットドレイン408）との接触抵抗低減のため、チタン（Ti）を、またタングステン（W）との密着を強化するためにTiNが、境界部分に介挿された構成を有する（図示を省略）。

【0097】

半導体基板401におけるゲート絶縁膜404側の主面から内方に向けての表層領域には、画素部毎に、接続ダイオード475、蓄積ダイオード406、フローティングディフュージョン407、およびリセットドレイン408が、互いに間隔をあけた状態で設けられている。また、ゲート酸化膜404のZ軸方向下側には、接続ダイオード475と蓄積ダイオード406との間の領域に転送ゲート410のゲート電極が設けられ、蓄積ダイオード406とフローティングディフュージョン407との間の領域に転送ゲート411のゲート電極が設けられ、フローティングディフュージョン407とリセットドレイン408との間の領域に転送ゲート413のゲート電極が設けられている。

【0098】

さらに、フローティングディフュージョン407には、ゲート酸化膜404を挿通する増幅Trゲート412のゲート電極が接続されている。なお、図11では、転送ゲート410、411、413および増幅Trゲート412の各ゲート電極を黒色で示し、不純物拡散層間の対応する各箇所がゲートである。そして、転送ゲート410、411、413および増幅Trゲート412の各ゲート電極は、例えば、Poly-Siにより形成されている。

【0099】

なお、接続ダイオード475、蓄積ダイオード406、フローティングディフュージョン407、リセットドレイン408は、n型の不純物拡散層である。そして、図11に示すように、接続ダイオード475に対しては、ゲート酸化膜404との間の領域に、p⁺型の不純物層であるピニング層430が形成されている。これにより、接続ダイオード475は、埋め込みダイオードになっている。同様に、蓄積ダイオード406に対しては、ゲート酸化膜404との間の領域に、p⁺型の不純物層であるピニング層431が形成されている。これにより、蓄積ダイオード406についても、埋め込みダイオードになっている。

【0100】

また、本実施の形態においても図示を省略しているが、リセットドレイン408には、ドレイン電圧（V_{DD}）が接続されている。

一方、半導体基板401内のZ軸方向上側の表層部分には、上記実施の形態1と同様に、画素部毎にフォトダイオード405が形成されている。フォトダイオード405は、半

10

20

30

40

50

導体基板 401 の Z 軸方向上側の主面に沿ってマトリクス状に配されており、各々が対応する接続ダイオード 475 に接続されている。

【0101】

フォトダイオード 405 および半導体基板 401 の Z 軸方向上側の面は、ピニング層 440 により全体が覆われており、その上に反射防止膜 441 および保護膜 443 が順に積層形成されている。そして、反射防止膜 441 の上の保護膜 443 との境界部分であって、各画素分離部 500 に対応する領域には、金属配線 442 が形成されている。金属配線 442 は、上記実施の形態 1 と同様に、画素アレイを平面視する場合に、隣接する画素部間を通るようにメッシュ状になっている。

【0102】

ここで、画素分離部 500 においては、隣接するフォトダイオード 405 同士の間に対応する箇所に、オーバーフロードレイン 445 が挿設されている。オーバーフロードレイン 445 は、n 型の不純物拡散層からなり、コンタクトプラグ 444 により金属配線 442 に接続されている。金属配線 442 には、正のバイアス電圧が印加可能となっている。金属配線 442 を介してオーバーフロードレイン 445 に対して、正のバイアス電圧を印加することにより、フォトダイオード 405 の信号電荷をリセットすることが可能となる。

【0103】

保護膜 443 の Z 軸方向上側には、平坦化膜 450、カラーフィルタ層 451、平坦化膜 452、およびマイクロレンズ 453 が順に積層形成されている。Z 軸方向上方より入射した光は、画素部毎にマイクロレンズ 453 で集光され、光電変換部としてのフォトダイオード 405 で光電変換される。そして、金属配線 442 が遮光性を有することから、入射した光が、半導体基板 401 に形成された各不純物拡散層（蓄積ダイオード 406、フローティングディフュージョン 407）に入射するのが防止される。

【0104】

なお、図 11 においては、固体撮像装置 2 の画素アレイの構成を説明するために、便宜上、蓄積ダイオード 406 やフローティングディフュージョン 407 の Z 軸方向上方にフォトダイオード 405 が存在するように図示をしているが、実際には、図 10 に記載の配置関係を有する。

【0105】

2. 固体撮像装置 2 の駆動

上記構成を有する固体撮像装置 2 は、グローバル電子シャッター機能を有するのであるが、その駆動について、図 12 から図 14 を用い説明する。

【0106】

図 12 (a) は、本発明の実施の形態 1 に係る固体撮像装置 1 の内、一つの画素部の等価回路であり、図 12 (b) は、各ノードのポテンシャルを示すポテンシャル図である。図 13 は、固体撮像装置 1 のグローバル電子シャッター動作のタイミングチャートの概略図であり、図 14 は、固体撮像装置 2 のグローバル電子シャッター動作時の画素部の動作ポテンシャルの概略図である。

【0107】

図 12 (a) に示すように、フォトダイオード (PD) 405 には、オーバーフロードレイン (OFD) 445 が隣接形成され、また、転送ゲート (GS) 410 を介して蓄積ダイオード (SD) 406 が設けられている。なお、図 12 (a) などにおいても、接続ダイオード 475 を省略している。

【0108】

蓄積ダイオード (SD) 406 に対しては、転送ゲート (TX) 411 を介して、フローティングディフュージョン (FD) 407 が設けられ、フローティングディフュージョン (FD) 407 は、増幅トランジスタ (SF) 416 のゲート（増幅 Tr ゲート 412）に接続され、また、転送ゲート (RS) 413 を介して、リセットドレイン (RD) 408 が設けられている。増幅トランジスタ (SF) 416 のドレイン (SFD) 415 に

10

20

30

40

50

は、ドレイン電圧 (V_{DD}) が接続されている。

【0109】

次に、図12 (b) のポテンシャル図に示すように、上記実施の形態1と同様に、各転送ゲート410, 411, 413において、ポテンシャルが低くなっており、他の各領域で高くなっている。

【0110】

図13に示すように、転送パルスGSの印加開始タイミングから、次の転送パルスGSの印加開始までが1 frameであり、オーバーフロードレイン (OFD) 445へのリセットパルス V_{OFD} の印加が終了した直後から、次の転送パルスGSが印加開始されるまでの間が蓄積時間となる。

10

【0111】

具体的に、図13に示すように、1 frameの最初に、転送ゲート (GS) 410のゲート電極に対して、全ての画素部一括で転送パルスGSを印加する。これにより、フォトダイオード (PD) 405に存在する電荷が、一斉に蓄積ダイオード (SD) 406に転送される。

【0112】

次に、金属電極442を介してオーバーフロードレイン (OFD) 445に対して、リセットパルス V_{OFD} を全画素部一斉に印加する。これにより、フォトダイオード (PD) 405の信号電荷が、一斉にオーバーフロードレイン (OFD) 445に掃き出される (タイミング t_{11})。オーバーフロードレイン (OFD) 445への電荷の掃き出しが行われた後、蓄積時間が開始される。

20

【0113】

次に、n行目に位置する画素部の転送ゲート (RS) 413のゲート電極に対しては、リセットパルス RS_n が印加され、これにより、n行目のフローティングディフュージョン (FD) 407の電荷状態がリセットされる (タイミング t_{13})。次に、上記のように、転送ゲート (RS) 413のゲート電極に対してリセットパルス RS_n が印加されたn行目の画素部に対しては、転送ゲート (TX) 411のゲート電極に対して、転送パルス TX_n が印加される。これにより、蓄積ダイオード (SD) 406からフローティングディフュージョン (FD) 407へと信号電荷が転送される (タイミング t_{14})。

30

【0114】

同様にして、(n+1)行目の画素部における各転送ゲート (RS, TX) 413, 411のゲート電極に対して、リセットパルス RS_{n+1} および転送パルス TX_{n+1} がそれぞれ印加される。これにより、(n+1)行目の画素部のフローティングディフュージョン (FD) 407の電荷状態がリセットされ、蓄積ダイオード (SD) 406からフローティングディフュージョン (FD) 407へと信号電荷が転送される。

【0115】

なお、上記において、パルス V_{OFD} , GSは、全画素部に対して一斉に印加されるパルスであり、その他のパルス RS_n , TX_n , RS_{n+1} , TX_{n+1} , ... は、逐次読み出し動作に従う各行単位に印加されるパルスである。

【0116】

40

次に、図14 (a) から図14 (e) の動作ポテンシャルの概念図を用いて、固体撮像装置2のグローバル電子シャッター動作を説明する。

図14 (a) に示すように、タイミング $t = t_{11}$ においては、パルス V_{OFD} がONされ、全画素部のフォトダイオード (PD) 405の信号電荷が、一斉にオーバーフロードレイン (OFD) 445に排出される。これにより、グローバル電子シャッターの読み出し (蓄積時間の開始) が開始される。

【0117】

次に、図14 (b) に示すようにタイミング $t = t_{12}$ においては、パルスGSはONであり、パルス V_{OFD} はOFFであり、パルスTX (TX_n , TX_{n+1} , ...) もOFFである。そして、パルスGSがONされ、全画素部における転送ゲート (GS) 4

50

10のゲート電極に一齐に印加されることにより、全画素部におけるフォトダイオード（PD）405の信号電荷が、一齐に蓄積ダイオード（SD）406に転送され、一時蓄積される。そして、これによりグローバル電子シャッターの読み出しが終了（蓄積時間の終了）する。

【0118】

また、上述のように、パルス V_{OFD} がOFFになった直後のタイミング $t = t_{11}$ から、パルスGSがONになった直後のタイミング $t = t_{12}$ までの蓄積時間が電子シャッター時間となり、任意の時間に設定することができる（図13を参照）。

【0119】

次に、全画素部一齐に信号電荷を蓄積ダイオード406に転送し、蓄積ダイオード406に蓄積されている信号電荷を、逐次読み出しでフローティングディフュージョン407を介して外部に読み出す説明に移る。

【0120】

図14（c）に示すように、タイミング $t = t_{13}$ においては、パルスGSおよびパルス V_{OFD} はOFFであり、パルス RS_n はONであり、パルス TX_n はOFFである。そして、パルス RS_n はON状態で、リセットゲート（RS）413のゲート電極に印加されることにより、フローティングディフュージョン（FD）407内の不要電荷はリセットされ、リセット後の電位はドレイン電圧 V_{DD} となる。

【0121】

次に、蓄積ダイオード（SD）406の信号電荷をフローティングディフュージョン（FD）407に転送する。

図14（d）に示すように、タイミング $t = t_{14}$ においては、パルスGSおよびパルス V_{OFD} はOFFであり、パルス TX_n はONであり、パルス RS_n はOFFである。そして、パルス TX_n がONされ、転送ゲート（TX）411のゲート電極に印加されることにより、パルス TX_n が印加される行の蓄積ダイオード（SD）406の電子シャッター後の信号電荷が、フローティングディフュージョン（FD）407に転送される。ここで、転送されてきた信号電荷の量に応じて、フローティングディフュージョン（FD）407の電位が V_{DD} から変化する。この電位変化をソースフォロワーよりなる増幅トランジスタ（SF）416を介して増幅して映像信号として外部に読み出す。

【0122】

ここで、上記に示すように、蓄積ダイオード（SD）406の信号電荷をフローティングディフュージョン（FD）407に転送するタイミング以外の期間は、パルス RS_n はON状態で、転送ゲート（RS）413のゲート電極に印加されることにより、フローティングディフュージョン（FD）407内の不要な電荷はリセットされ続けている。

【0123】

次に、 $(n+1)$ 行目における、蓄積ダイオード（SD）406に蓄積されている信号電荷の逐次読み出しに移る。

図14（e）に示すように、タイミング $t = t_{15}$ においては、パルスGSおよびパルス V_{OFD} はOFFであり、パルス RS_{n+1} はONであり、パルス TX_{n+1} はOFFである。そして、パルス RS_{n+1} がONされ、 $(n+1)$ 行目の画素部におけるリセットゲート（RS）413のゲート電極に印加されることにより、 $(n+1)$ 行目の画素部におけるフローティングディフュージョン（FD）内の不要電荷はリセットされ、リセット後の電位はドレイン電圧 V_{DD} となる。

【0124】

これ以降は、図14（c）～図14（e）の逐次読み出しの駆動のサイクルを全ての行を読み出すまで繰り返し、電子シャッター動作で任意の蓄積時間で撮像した画像の読み出しを終了する。

【0125】

3. 効果

本実施の形態に係る固体撮像装置2においても、半導体基板401内の一方の主面側（

10

20

30

40

50

図 1 1 の Z 軸方向上側の主面側) にフォトダイオード 4 0 5 を有し、半導体基板 4 0 1 内の他方の主面側 (図 1 1 の Z 軸方向下側の主面側) に蓄積ダイオード 4 0 6 が形成されているため、フォトダイオード 4 0 5 と蓄積ダイオード 4 0 6 とが、占有面積という点において互いにトレードオフの関係にはない。このため、十分な受光部容量と十分な蓄積ダイオード 4 0 6 の容量との両立が可能である。よって、固体撮像装置 2 においても、グローバル電子シャッター機能を備える固体撮像装置において、画素部のサイズの微細化によっても、十分な光電変換部の面積を確保することができ、高い感度と大きなダイナミックレンジとを実現することができる。

【0 1 2 6】

また、固体撮像装置 2 では、各画素部におけるオーバーフロードレイン 4 4 5 が、隣接するフォトダイオード 4 0 5 同士の間 に設けられている。このため、本実施の形態に係る固体撮像装置 2 でも、全画素部において、フォトダイオード 4 0 5 の蓄積電荷をオーバーフロードレイン 4 4 5 を介して一括リセットし、その後、フォトダイオード 4 0 5 で所定時間 (シャッター時間) の間で生成された信号電荷を全画素部一斉に読み出して蓄積ダイオード 4 0 6 へと転送し、一時蓄積できる。そして、その後は、上記のように、蓄積ダイオード 4 0 6 からフローティングディフュージョン 4 0 7 に信号電荷が転送され、当該信号電荷に応じてポテンシャル変化が増幅トランジスタ 4 1 6 を介して逐次読み出される。このようにして、本実施の形態に係る固体撮像装置 2 においても、グローバル電子シャッター機能を備える。

【0 1 2 7】

さらに、本実施の形態に係る固体撮像装置 2 では、オーバーフロードレイン 4 4 5 を、半導体基板 4 0 1 におけるフォトダイオード 4 0 5 が形成されている側の表層部分に設けているので、上記実施の形態 1 に比べて、オーバーフロードレイン 4 4 5 の形成領域の分だけ蓄積ダイオード 4 0 6 の占有面積を大きくすることができる。

【0 1 2 8】

以上のように、本実施の形態に係る固体撮像装置 2 では、グローバル電子シャッター機能を備え、動きのある撮影においても、高い画質での撮像が可能であり、グローバル電子シャッター機能を備えながら、高い感度を有する。

【0 1 2 9】

また、本実施の形態に係る固体撮像装置 2 においても、画素分離部 5 0 0 に遮光性を有する金属配線 4 4 2 が形成されており、蓄積ダイオード 4 0 6 およびフローティングディフュージョン 4 0 7 が、金属配線 4 4 2 の下方に形成されている (図 1 0 および図 1 1 を参照)。このため、固体撮像装置 2 においても、隣接するフォトダイオード 4 0 5 同士の間 (画素分離部 5 0 0) を通しての光の入射が防止され、蓄積ダイオード 4 0 6 およびフローティングディフュージョン 4 0 7 での偽信号電荷の発生を防止することができ、これに起因する画質の劣化を防止することができる。よって、本実施の形態に係る固体撮像装置 2 でも、偽信号電荷の混入が生じることがなく、高い画質を得ることができる。

【0 1 3 0】

4. 固体撮像装置 2 の製造方法

本実施の形態に係る固体撮像装置 2 の製造方法について、上記実施の形態 1 との差異を主に、図 1 5 および図 1 6 を用い説明する。

【0 1 3 1】

図 1 5 (a) に示すように、上記実施の形態 1 と同様の方法により、半導体基板 4 0 1 内における Z 軸方向上側の部分にフォトダイオード 4 0 5 を形成し、上記同様に、研磨などによりフォトダイオード 4 0 5 を上面に露出させる。また、上記同様に、半導体基板 4 0 1 内の他方の主面側 (Z 軸方向下側) には、STI 4 0 2、チャネルストップパ 4 0 3、接続ダイオード 4 7 5、蓄積ダイオード 4 0 6、フローティングディフュージョン 4 0 7、およびリセットドレイン 4 0 8 が形成され、接続ダイオード 4 7 5 および蓄積ダイオード 4 0 6 は、ピニング層 4 3 0、4 3 1 の形成により埋め込みダイオードとなっている。

【0 1 3 2】

また、半導体基板 401 の下側主面には、ゲート酸化膜 404 が形成され、転送ゲート 410、411、413 および増幅 Tr ゲート 412 の各ゲート電極が形成されている。さらに、ゲート酸化膜 404 には、層間絶縁膜 420、421、422 および保護膜 429 が積層形成され、コンタクトプラグ 423、424、425 および配線 426、427、428 が設けられている。さらに、保護膜 429 の下側主面には、支持基板 460 が貼り付けられている。これらの製造方法については、上記の通りである。

【0133】

次に、図 15 (b) に示すように、半導体基板 401 における Z 軸方向上側の主面 401f を、バックグラインドや CMP、および化学エッチングで、フォトダイオード 405 の深さまで研磨した後、フォトダイオード 405 上に、 p^+ 型の不純物となるホウ素 (B) をイオン注入する。注入条件は、例えば、5 [keV] ~ 10 [keV]、 $1 \times 10^{11} [cm^{-2}] \sim 2 \times 10^{12} [cm^{-2}]$ である。この注入により、 p^+ 型の不純物拡散層であるピニング層 4400 が形成される。

10

【0134】

次に、図 16 (a) に示すように、画素分離部 500 に相当する領域の半導体基板 401 (ピニング層 4400) に対して、レジスト開口マスクを介して、n 型の不純物であるリン (P) や砒素 (As) を、例えば、50 [keV] ~ 80 [keV]、 $1 \times 10^{14} [cm^{-2}] \sim 2 \times 10^{15} [cm^{-2}]$ でイオン注入する。これにより、半導体基板 401 内の隣接するフォトダイオード 405 同士の間、オーバーフロードレイン 445 を形成することができる。ここで、オーバーフロードレイン 445 は、ピニング層 4400 も挿通した状態で形成される。

20

【0135】

次に、図 16 (b) に示すように、ピニング層 440 およびオーバーフロードレイン 445 上に、低温の CVD 膜である反射防止膜 441 を、例えば、数 10 [nm] ~ 数 100 [nm] の膜厚で形成する。次に、反射防止膜 441 上のオーバーフロードレイン 445 に相当する箇所に対して、所定のパターンのレジスト開口マスクを形成し、ドライエッチング技術で該当箇所を開口し、n 型のオーバーフロードレイン 445 上にコンタクト孔を形成する。そして、スパッタリングや CVD で、例えば、膜厚が 100 [nm] ~ 300 [nm] のアルミニウム (Al) やタングステン (W)、モリブデン (Mo)、TiN 等からなる金属膜を堆積し、その後、フォトリソグラフィ技術とエッチング技術とにより、当該金属膜をエッチングし、反射防止膜 441 の画素分離部 500 に相当する領域に、オーバーフロードレイン 445 と接続されたコンタクトプラグ 444 およびメッシュ状の金属配線 442 を形成する。

30

【0136】

次に、CVD 酸化膜やプラズマ酸化膜よりなる保護膜 443 を形成する。

この後の工程については、図示を省略しているが、上記実施の形態 1 と同様に、保護膜 443 上に、透明の有機膜よりなる平坦化膜 450、顔料を含んだ有機膜よりなるカラーフィルタ層 451、透明の有機膜よりなる平坦化膜 452、および透明の有機膜よりなるマイクロレンズ 453 を順に形成して、固体撮像装置 2 は完成する (図 11 を参照)。

【0137】

40

[実施の形態 3]

1. 固体撮像装置 3 における画素アレイの構成

固体撮像装置 3 の構成の内、画素アレイの構成について、図 17 を用い説明する。図 17 では、画素アレイにおける一部の画素部 600 を抜き出して模式的に図示している。

【0138】

図 17 に示すように、固体撮像装置 3 の構成は、基本的な部分において、上記実施の形態 2 と同様である。即ち、図 17 に示すように、 p 型の半導体基板 601 に対し、Z 軸方向下側の主面にゲート酸化膜 604 が積層形成され、半導体基板 601 内における下側主面側の部分には、画素部単位で、STI (Shallow Trench Isolation) 602 および p^+ 型のチャネルストッパ 603 が形成されている。また、ゲート

50

酸化膜 604 に対しては、Z 軸方向下側に、層間絶縁膜 620, 621, 622 が順に積層形成され、さらにその下側には、保護膜 629 が積層され、その下に支持基板 660 が貼り付けられている。

【0139】

層間絶縁膜 620, 621, 623 には、コンタクトプラグ 623, 624, 625 が形成され、互いの境界部分には、配線 626, 627, 628 が設けられている。これらについては、材料や形成方法が上記同様である。また、コンタクトプラグ 623 については、不純物層（リセットドレイン 608）との接触抵抗低減のため、チタン（Ti）を、またタングステン（W）との密着を強化するために TiN が、境界部分に介挿された構成を有する（図示を省略）。

10

【0140】

半導体基板 601 におけるゲート絶縁膜 604 側の主面から内方に向けての表層領域には、画素部毎に、接続ダイオード 675、蓄積ダイオード 606、フローティングディフュージョン 607、およびリセットドレイン 608 が設けられ、また、転送ゲート 610, 611, 613 および増幅 Tr ゲート 612 の各ゲート電極が設けられている。各ゲート電極は、例えば、Poly-Si により形成されている。

【0141】

また、接続ダイオード 675 および蓄積ダイオード 606 は、ピニング層 630, 631 の形成により埋め込みダイオードになっている。また、本実施の形態においても図示を省略しているが、リセットドレイン 608 には、ドレイン電圧（ V_{DD} ）が接続されている。

20

【0142】

一方、半導体基板 601 内の Z 軸方向上側の表層部分には、上記実施の形態 1 と同様に、画素部毎にフォトダイオード 605 が形成され、各々が対応する接続ダイオード 675 に接続されている。フォトダイオード 605 および半導体基板 601 の Z 軸方向上側には、ピニング層 640、反射防止膜 641 および保護膜 643 が順に積層形成されており、さらに、その上に、平坦化膜 650、カラーフィルタ層 651、平坦化膜 452、およびマイクロレンズ 653 が順に積層形成されている。

【0143】

本実施の形態では、上記実施の形態 2 と同様に、反射防止膜 641 の上の保護膜 643 との境界部分であって、各画素分離部 700 に対応する領域には、金属配線 642 が形成されている。金属配線 642 は、上記実施の形態 1 と同様に、画素アレイを平面視する場合に、隣接する画素部間を通るようにメッシュ状になっている。

30

【0144】

ここで、画素分離部 700 においては、隣接するフォトダイオード 605 同士の間に対応する箇所に、オーバーフロドレイン 645 が挿設されており、コンタクトプラグ 644 により金属配線 642 に接続されている。金属配線 642 には、正のバイアス電圧が印加可能となっている点も上記実施の形態 2 と同様である。本実施の形態に係る固体撮像装置 3 が上記実施の形態 2 に係る固体撮像装置 2 と異なるのは、各オーバーフロドレイン 645 に対応して、 n^- 型の不純物拡散層であるオーバーフロドレイン（OFD）バリア層 646 が形成されている点にある。

40

【0145】

本実施の形態に係る固体撮像装置 3 では、外部から金属配線 642 を介してオーバーフロドレイン 645 に対して、正のバイアス電圧を印加することにより、オーバーフロドレイン 645 の電位をコントロールし、OFD バリア層 646 を介して、フォトダイオード 605 の電荷をリセットすることが可能である。

【0146】

2. 効果

本実施の形態に係る固体撮像装置 3 も、上記実施の形態 2 に係る固体撮像装置 2 と同じ効果を奏する。これに加えて、本実施の形態に係る固体撮像装置 3 では、OFD バリア層

50

646の形成により、より確実なフォトダイオード605の電荷のリセットが可能となり、グローバル電子シャッター機能を有し、且つ、さらに高い画質性能を有する。

【0147】

3. 固体撮像装置3の製造方法

本実施の形態に係る固体撮像装置3の製造方法は、概略、上記実施の形態2と同様であるが、その差異のみを説明する。具体的に、本実施の形態に係る固体撮像装置3の製造方法が上記実施の形態2に係る固体撮像装置2の製造方法と異なるところ、OFDバリア層646を形成するところである。

【0148】

具体的には、画素分離部700に相当する領域の半導体基板601に、レジスト開口マスクを介して、n型の不純物であるリン(P)や砒素(As)を、例えば、50[k e V]～80[k e V]、 $1 \times 10^{14} [\text{cm}^{-2}] \sim 2 \times 10^{15} [\text{cm}^{-2}]$ で、イオン注入して、オーバーフロードレイン645を形成する。そして、オーバーフロードレイン645の注入条件より、不純物濃度が小さくし、注入深さが深い注入条件により、例えば、リン(P)や砒素(As)を、60[k e V]～90[k e V]、 $1 \times 10^{13} [\text{cm}^{-2}] \sim 2 \times 10^{14} [\text{cm}^{-2}]$ で、イオン注入して、OFDバリア層646を形成することができる。

【0149】

なお、OFDバリア層646は、特段の処理を施すことなく形成される場合もあるが、それでも同様の機能をえることができる。上記工程以外は、実施の形態2と同じなので、説明を省略する。

【0150】

[その他の事項]

上記実施の形態1, 2, 3に係る固体撮像装置1, 2, 3では、画素部100, 600, ・ ・ 毎にオーバーフロードレイン109, 445, 645を設ける構成としたが、二つの画素部、あるいはそれ以上の数の画素部で、一つのオーバーフロードレインを共有する構成とすることもできる。同様に、リセットドレイン108, 408, 608についても、一つの画素部あるいはそれ以上の数の画素部で、一つのリセットドレインを共有する構成とすることもできる。

【0151】

また、上記実施の形態1, 2, 3に係る固体撮像装置では、画素アレイ10, ・ ・ において、複数の画素部100, 600, ・ ・ が行列(マトリクス)状に配されている構成としたが、画素部の配列構成はこれに限定されるものではなく、例えば、ハニカム状に配列されていてもよい。

【0152】

また、上記実施の形態1, 2, 3に係る固体撮像装置1, 2, 3では、マイクロレンズ153, 453, 653が最もトップ側に各一つ設けられている構成としたが、凸レンズと凹レンズとの組み合わせ、あるいは、凸レンズと凸レンズの組み合わせ、さらには、凹レンズと凹レンズの組み合わせとすることも可能である。

【産業上の利用可能性】

【0153】

本発明は、グローバル電子シャッター機能を有し、動きのある被写体に対しても高い画質での撮像が可能であり、且つ、高い感度での撮像が可能な固体撮像装置を実現するのに有用である。

【符号の説明】

【0154】

1, 2, 3. 固体撮像装置

10. 画素アレイ

21. パルス発生回路

22. 水平シフトレジスタ

23. 垂直シフトレジスタ

100, 700. 画素部

101, 401, 601, 1010. 半導体基板

102, 402, 602. STI

103, 403, 603. チャネルストッパ

104, 404, 604, 1040. ゲート酸化膜

105, 405, 605. フォトダイオード

106, 406, 606. 蓄積ダイオード

107, 407, 607. フローティングディフュージョン

108, 408, 608. リセットドレイン

109, 445, 645. オーバーフロドレイン

110, 111, 113, 114, 410, 411, 413, 610, 611, 613

10

. 転送ゲート

112, 412, 612. 増幅Trゲート

115, 415. 増幅Trドレイン

116, 416. 増幅トランジスタ

117, 417. ゲート酸化膜の開口

118, 119, 123, 124, 125, 135, 136, 418, 423, 424

, 425, 435, 444, 623, 624, 625, 644. コンタクトプラグ

120, 121, 122, 420, 421, 422, 620, 621, 622. 層間絶

20

縁膜

126, 127, 128, 426, 427, 626, 627, 628. 配線

130, 131, 140, 430, 431, 440, 4400, 630, 631, 64

0. ピニング層

142, 442, 642. 金属配線

129, 143, 429, 443, 629, 643. 保護膜

141, 441, 641. 反射防止膜

150, 152, 450, 452, 650, 652. 平坦化膜

151, 451, 651. カラーフィルタ層

153, 453, 653. マイクロレンズ

160, 460, 660. 支持基板

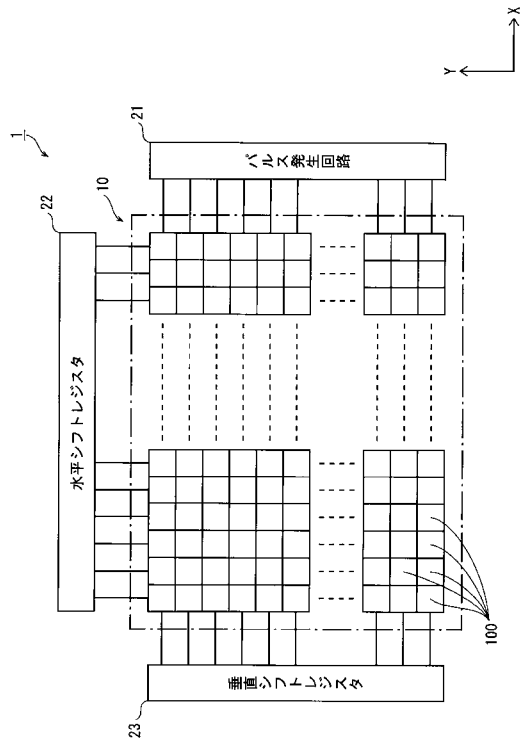
175, 475, 675. 接続ダイオード

300, 500, 700. 画素分離部

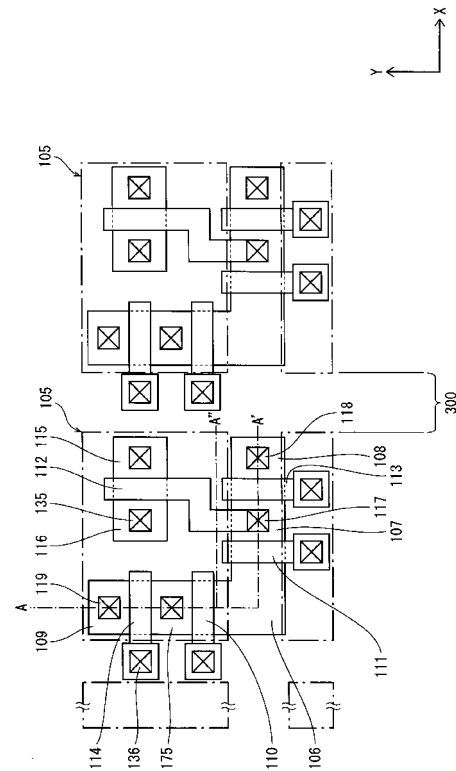
646. OFDバリア層

30

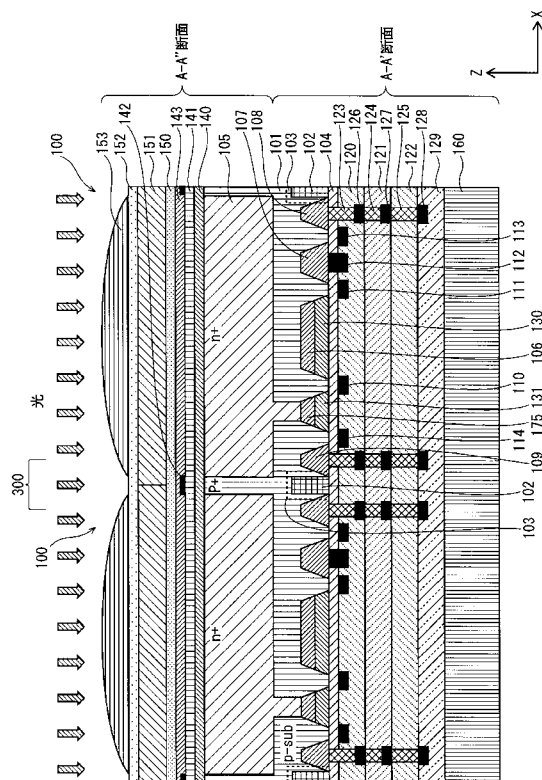
【図 1】



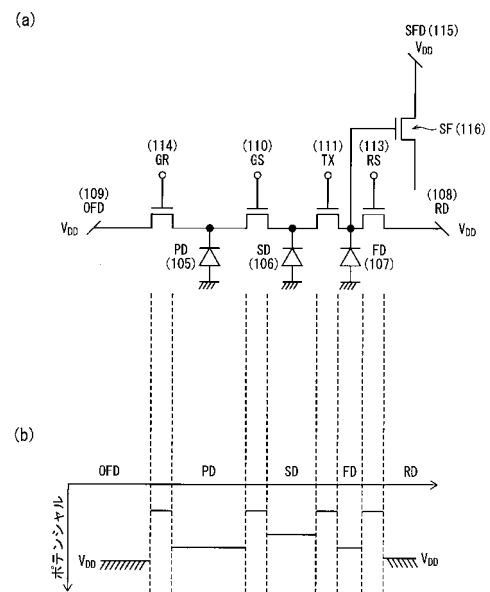
【図 2】



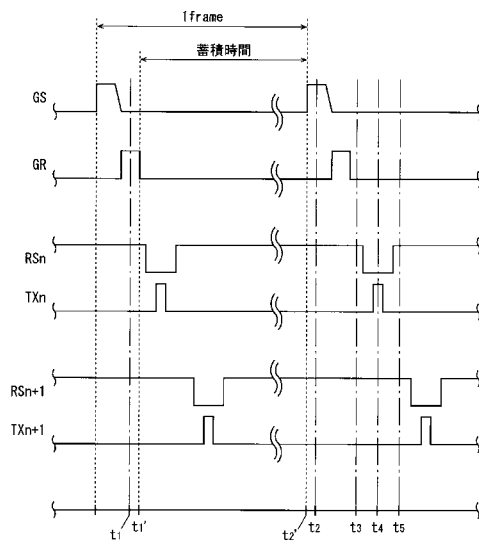
【図 3】



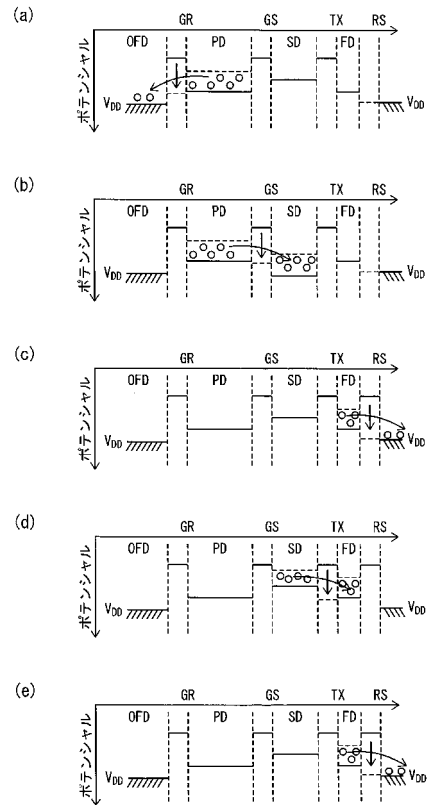
【図 4】



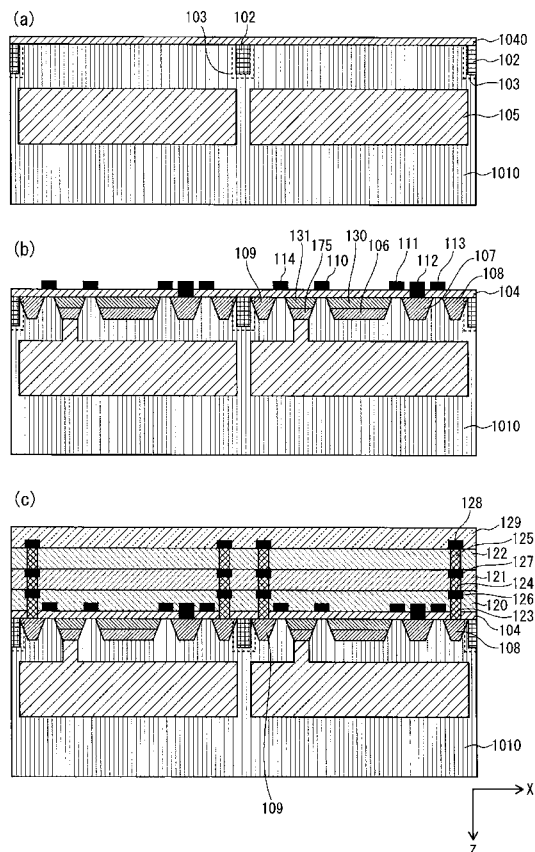
【図 5】



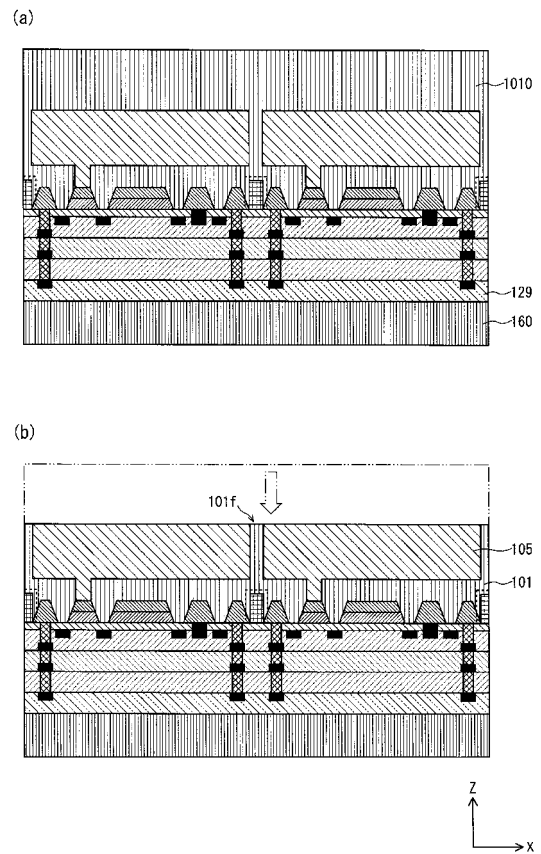
【図 6】



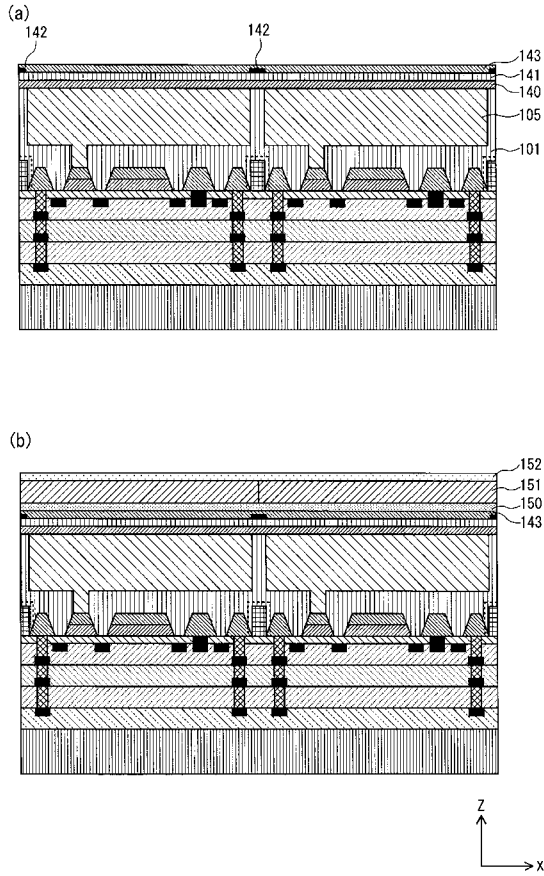
【図 7】



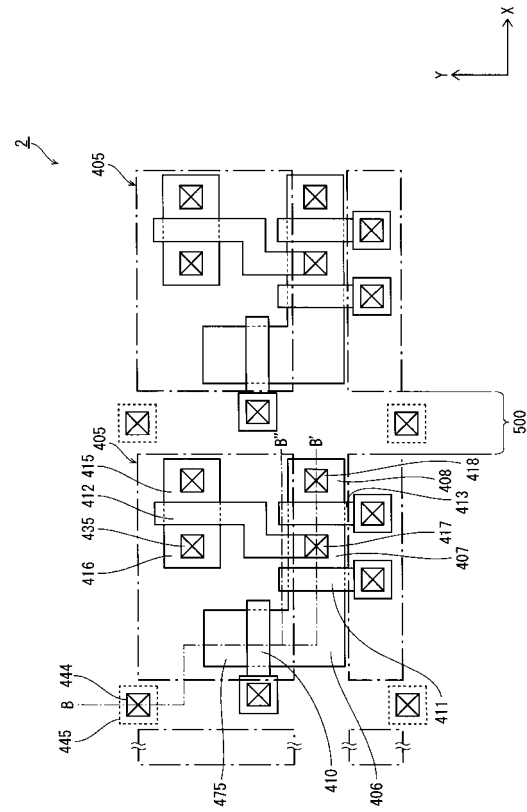
【図 8】



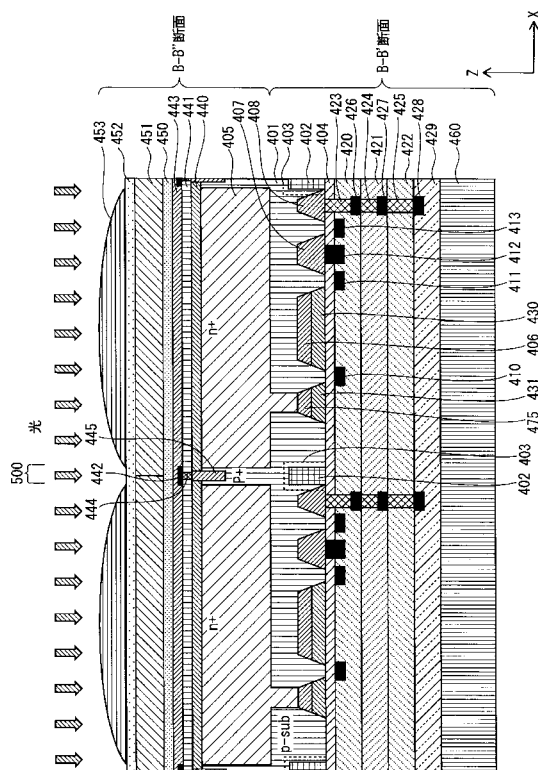
【図 9】



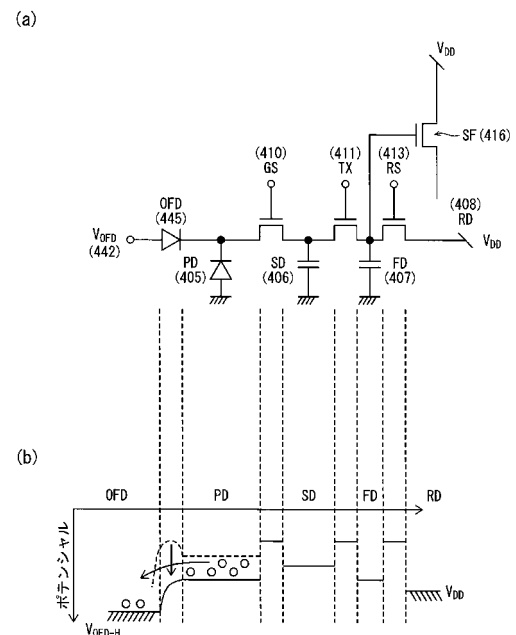
【図 10】



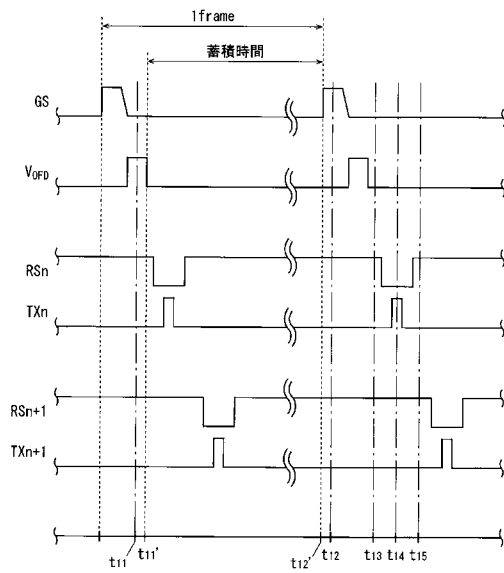
【図 11】



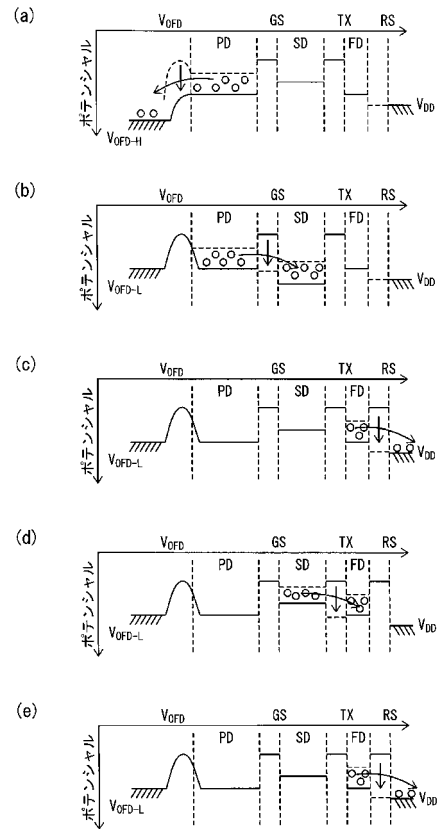
【図 12】



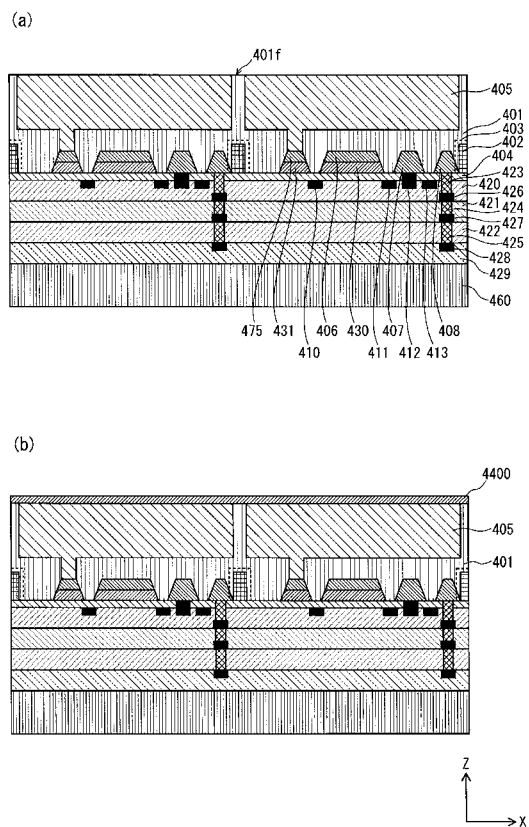
【図 13】



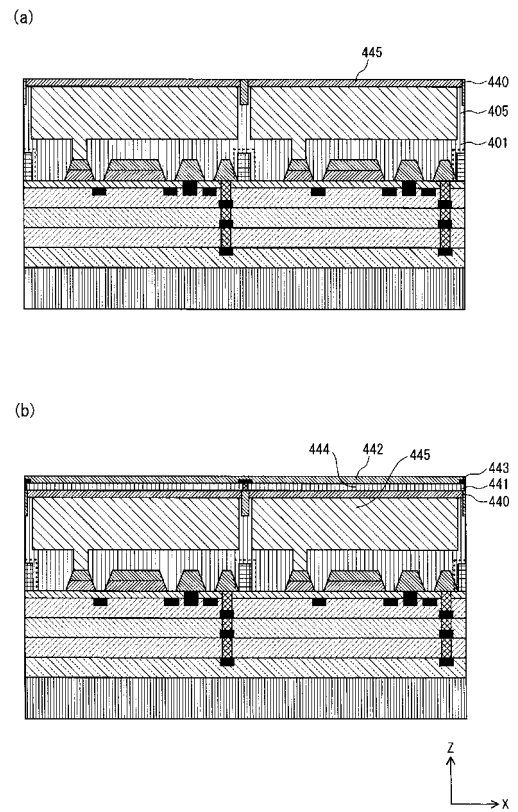
【図 14】



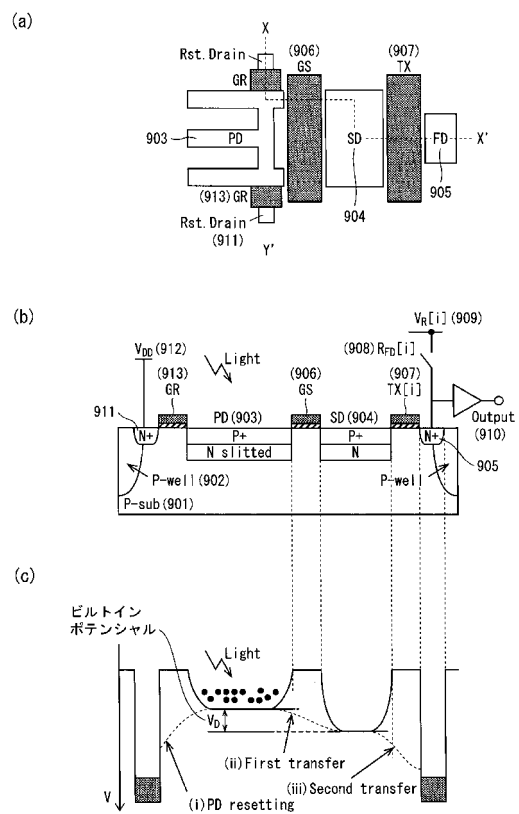
【図 15】



【図 16】



【図 18】



フロントページの続き

(72)発明者 百島 孝

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 4M118 AA01 AB01 BA14 CA04 CA32 DD04 DD12 EA01 EA14 FA14
FA26 FA27 FA28 FA33 GC07 GD04 GD07