

211081

公告本

申請日期	81.4.21
案 號	81103106
類 別	Heil 4/465 21/306

A4
C4

(以上各欄由本局填註)

發明
新型專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 創作名稱	中 文	金 氧 半 導 體 電 晶 體 之 製 造 方 法
	英 文	Method for Manufacturing An MOS Transistor
二、發明人 創作	姓 名	西爾慕特克羅斯 Dr. Helmut Klose
	籍 貫 (國籍)	德 國
	住、居所	德國 D-8000 慕尼黑 83 史特芳喬治林 9 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	籍 貫 (國籍)	德 國
	住、居所 (事務所)	德國 慕尼黑 威田巴契廣場 2 號
	代表人 姓 名	夫蘭茲約瑟夫福克斯 (FRANZ-JOSEF FUCHS) 希母特史塔木勒 (HELMUT STADTMULLER)

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

在積體電路之發展趨向更大的包裝密度時，需要能佔有較少空間之MOS(金氧半導體)電晶體，在MOS電晶體結構微小化中，閘長度縮短了。閘長度小於 $0.25\mu\text{m}$ 之MOS電晶體中可觀察到高漏電流或高臨限電壓。這兩者都是不利之處，而在此技術時代之MOS電晶體是不能接受的。

(得爾它)
已知在源極和汲極間通道區中用三角形_A滲雜層可避免這些不利之處(見K.Yamaguchi,等著1983年日本應用物理期刊(Jap.J.Appl.phys.)第22期補充本22-1,第267-270頁)。因此三角形滲雜層代表反撞擊植入之一種代替。

一三角形滲雜層有約 20nm 之厚度且其用與源極和汲極區相反傳導性之物滲雜。它有超過 10^{19}cm^{-3} 之滲雜物濃度。比較於傳統之反撞擊植入在基體中形成一塗敷之分佈，三角形滲雜層中之滲雜濃度是嚴肅的集中在一處。

已知製造具MESA隔絕且有一三角形滲層之MOS電晶體(見A.A.van Gorkum著1989年晶體生長期刊)(J. Crystal Growth)95期第480-483頁)。但其佈線就因此變得困難。此外，此方法用在製造超大規模積體(ULSI)之積體電路製程中並不適當。

發明概要

本發明之一目的是要提供具三角形滲雜層之MOS電晶體的製造方法，其適合用於一ULSI積體電路之製造程序中。

五、發明說明 (>)

大體而論，本發明之方法是製造一 MOS 電晶體之方法其有下列步驟：

a) 一通道區產生於一基體上，此基體由一第一傳導型滲雜之一半導體材料組成，未被滲雜之一第一層是以晶膜生長於基體上，被第一傳導型滲雜且比第一層薄之一第二層是以晶膜生長於第一層上，與第一傳導型相反之一第二傳導型滲雜且比第二層為厚之一第三層是以晶膜生長於第二層上；

b) 一源極區和一汲極區，其各自以第二傳導型滲雜，是產生在通道區之二相對邊；

c) 一閘介電體產生在通道區之表面，及

d) 與源極區和自汲極區隔絕之一閘電極產生在閘介電體之表面。

本發明之方法利用到藉晶膜生長層之生長可精確地被控制至一高的程度。此一事實，同是亦利用到的是被滲雜層可藉包含滲雜物之氣體的混合物，自氣相中以晶膜生長產生。這些層可由氣體濃縮而得準確度大之滲雜物，且經由層生長有具有準確度大之厚度。因此本發明之方法具有此優點，即作為一三角形層之第二層可在一厚度，例如 20nm，以良好的控制來製造。安排於其上之第三層，其中在完成之電晶體中之通道可經層生長在良好的控制方式中同樣地設定其厚度。

本發明使用矽基板作為基體且形成矽之通道區。

五、發明說明 (3)

藉加上一隔絕層至基體板之表面上且藉構築之隔絕層使它有一開口，其中基體之表面是沒有覆蓋的。且開口界定MOS電晶體之一區域。藉著開口內基板之表面上選擇性的晶膜而形成隨後之通道區，MOS電晶體在自我校準之方式中由一隔絕結構圍繞。

本發明之架構，以一隔絕結構完全覆蓋閘電極。隔絕層和隔絕結構由相對於其第一層之材料形成，第二層和第三層是選擇性地蝕刻。在異向性之蝕刻步驟中，延伸入第一層之深入是在閘電極之兩邊選擇性地在面對面隔絕層和面對面隔絕結構裡產生。之後，一玻璃層加在全部表面上，這以第二傳導型之摻雜物形成。在回火的步驟中，源極和汲極區是由使摻雜物進入第一層、第二層和第三層之未覆蓋表面而形成。回火步驟必須加以控制，使作為三角形層之第二層中和第三層中之摻雜物之分佈基本上維持不變。本發明之架構內包含在迅速之退火程序中執行回火步驟。

在閘電極上形成一第一隔絕層以產生隔絕結構是特別有利的。因此，第一隔絕層與閘電極共用而有與基體表面垂直之邊壁。邊壁隔絕，亦稱為隔物，是由鋁澱積和隨後之第二隔絕層之異向性蝕刻而在邊壁上產生。此方法中，面對面閘電極和面對面隔絕層之源極和汲極區之排列會自動校準。閘電極和源極或汲極區間之空間由邊壁隔絕之寬度界定。邊壁隔絕之寬度亦依賴第二隔絕層

五、發明說明 (4)

之厚度，因此就取消了界定源極和汲極區之一光罩層。

本發明之為一型式中，迅速之熱退火程序中在10秒之期間中使用溫度自1000至1050℃。同時，第一層可用約300nm之厚度形成，第二層可用約20nm厚度形成，第三層可用約100nm厚度形成。

圖式簡要描述

本發明之特徵將述於申請專利範圍中。本發明及另外之目的和優點可參考下列敘述及伴隨之圖式得到最佳了解，圖式中相同符號代表相同元件，其中：

圖1至7顯示本發明製造方法之步驟；

圖8顯示本發明之一另一種可能之連接；

圖9是圖7和圖8中IX-IX線之截面圖。

較佳實施例之描述

一隔絕層2加於基體1上(見圖1)。例如，具100表面朝向之單晶矽之P滲雜基體被用來作一基體。在已知之起始清潔步驟後，將二氧化矽之隔絕層2生長至一定厚度，例如400nm。這以熱方式發生或經由一沈積裝置。

隔絕層2之結構之方式是使用一光阻技術(未示出)及下列之乾蝕刻以產生一開口3。在開口3裡面之基體1表面是沒有覆蓋的(見圖2)。開口3界定一MOS電晶體之一區域。

隨後，一第一層4，一第二層5和一第三層6在開口3中產生，使得開口3基本上填滿(見圖3)。第一層4沒有滲

五、發明說明 (5)

雜的被沈積至一厚度，如 300nm。第二層被 P 雜質滲雜地沈積至一厚度，例如 20nm。滲雜以例如加上至少 10^{19} cm^{-3} 濃度之硼。第三層 6 以 n 雜質沈積。其有約 100nm 之厚度。

隨後，一閘介電體 7 生長或沈積在第三層 6 之表面上，（見圖 4）。閘介電體 7 由二氧化矽或一氮化物／二氧化矽化合物組成。一閘電極 8 在閘介電體 7 上產生。例如此係由離子植入滲雜之一多晶矽層在全表面沈積而發生。一氧化層使用一 CVD 製程在多晶矽層上沈積。由多晶矽層和氧化層組成之雙層是用照相技術構成。閘電極 8 和第一氧化層 9 因此而產生。第一氧化層 9 和閘電極 8 有共同之邊壁，其垂直於基體 1 之表面。隨後，一第二氧化層被沈積。第二氧化層是使用一乾蝕刻作異向性地蝕刻，因而二氧化矽之邊壁隔絕物 10 在閘電極 8 和第一氧化層 9 之二邊產生。在第三層 6 表面邊壁隔絕物 10 之寬度由第二氧化層之厚度建立。

在邊壁隔絕物 10 之產生中必須小心確保二氧化矽蝕刻被伸至此地以致閘電極 9 外之第三層 6 之表面和邊壁隔絕物 10 被完全地露出，因而無遮蔽之矽結晶顯露出來。

凹陷 11 由在隔絕層 2 內對著面對面二氧化矽之一異向性矽蝕刻之閘電極 8 之邊產生（見圖 5）。深陷 11 延伸入第一層 4，因而第二層 5 和第三層 6 完全地被移去至邊壁隔絕物 10 之邊。

隨後，例如以矽滲雜之一玻璃層 12 均勻地在全表面上

五、發明說明 (b)

沈積。如在 1000 至 1050℃ 經 10 秒之輕微的滲雜物驅出之結果，形成了在第一層 4、第二層 5 和與玻璃層 12 接觸之第三層 6 表面之一源極區 13 和一汲極區 14。溫度步驟必須被執行在使作為三角形滲雜層之第二層 5 僅發散至不顯著之程度。

隨後，MOS 電晶體是經由平面化、洞之蝕刻和金屬化而完成。此由例如一介電體 15 之全表面沈積產生（見圖 7）。以金屬化 16 填滿之穿洞在介電體 15 中及在源極區 13 汲極區 14 上之玻璃層 12 中被打開。

另外一種 MOS 電晶體之完成方式是以，例如 BPSG 之平面化層 17 首先被沈積。深入源極區 13 和汲極區 14 之穿洞在平面化層 17 和玻璃層 -12 中被打開。穿洞以鎢 18 填充。覆蓋鎢填充物 18 之鋁接觸 19 被加在平面化層 17 之表面上（見圖 8）。

圖 7 和圖 8 中之 IX-IX 線截面可見於圖 9 中。此 MOS 電晶體被隔絕層 2 完全包圍。

本方法已參考一 NMOS 電晶體之範例敘說。這亦可完全類推至一 PMOS 電晶體。

本發明並不限制於描述之方法的特定細節，其它之修改和應用亦有被思索。上述方法中亦可作某些其它改變且不離開本發明之真正精神和範圍，所以，上述之教導是意欲作為解說而不是作為一種限定。

211081

四、中文發明摘要(發明之名稱：金氧半導體電晶體之製造方法8/11/86)

一種金氧半導體電晶體之製造方法。一通道區由在用一第一傳導型摻雜之一基體(1)上藉選擇性晶膜而產生，該通道區包含用第一傳導型摻雜之一得爾它層(5)。源極區(13)和汲極區(14)特別是藉自一摻雜玻璃層(12)之驅出而形成。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：Method for Manufacturing An MOS Transistor)

A method for the manufacture of an MOS transistor. A channel region is produced by selective epitaxy on a substrate (1) doped with a first conductivity type, said channel region containing a delta-shaped layer (5) doped with the first conductivity type. Source region (13) and drain region (14) are formed, in particular, by drive-out from a doped glass layer (12).

附註：本案已向 德 國(地區) 申請專利，申請日期：1991年4月26日 P4113755.8

六、申請專利範圍

第 81103106 號「金氧半導體電晶體之製造方法」專利案
(81年11月修正)

1. 一種金氧半導體電晶體之製造方法，包括下列步驟：
 - a) 在由一第一傳導型摻雜之半導體材料組成之基體上產生一通道區，其中，一未被摻雜之第一層是以晶膜生長至基體上，被第一傳導型摻雜且比該第一層較薄之一第二層是以晶膜生長法自包含摻雜物氣體之混合物之氣相中形成至該第一層上，及被該第一傳導型相反之第二傳導型摻雜且比該第二層較厚之一第三層是以晶膜生長法自包含摻雜物氣體之混合物之氣相中形成至該第二層上；
 - b) 在該通道區之二相對邊產生一源極區和一汲極區，其各自被該第二傳導型摻雜；
 - c) 在該通道區之一表面產生一閘介電體；
 - d) 在該閘介電體之表面產生一閘電極，其自該源極區和自該汲區隔絕。
2. 如申請專利範圍第 1 項之方法，其中一矽基體被用來作為該基體且其中該通道區由矽形成。
3. 如申請專利範圍第 1 項之方法，其中該方法另包括下列步驟：
 - 加一隔絕層至基體之表面上；
 - 構築該隔絕層使該隔絕層有一開口，開口中之基體表

六、申請專利範圍

面是沒有覆蓋且其界定為金氧半導體電晶體之一區域。

4.如申請專利範圍第3項之方法，其中該通道區係由在該隔絕層之該開口內之基體表面上以選擇性的以晶膜形成。

5.如申請專利範圍第4項之方法，其中該方法另包括下列步驟：用一隔絕結構完全覆蓋開電極；形成隔絕層和隔絕結構其使用該第一層之材料，該第二層和該第三層是選擇性地可蝕刻的；在一異向性的蝕刻步驟中選擇性地產生凹陷，其面對面該隔絕層和該隔絕結構延伸下至該第一層。

6.如申請專利範圍第5項之方法，其中該方法另包括下列步驟：在全部表面上用該第一傳導型之滲雜物加一玻璃層；在一溫度步驟中，藉驅出之滲雜物進入與該玻璃層接觸之該第三層、該第二層和該第一層之那些表面上形成源極區及汲極區；執行該溫度步驟使得第二層和第三層中之滲雜物分佈基本上保持不變。

7.如申請專利範圍第6項之方法，其中期間約為10秒及溫度範圍為自1000至1050℃之快速熱退火程序被用來作為該溫度步驟。

六、申請專利範圍

8. 如申請專利範圍第5項之方法，其中該方法另包括下列步驟：為了產生隔絕結構，在閘電極上形成一第一隔絕層，該第一隔絕層具有以全表面閘電極共用之垂直於基體表面上面對面之邊壁；以全表面順應沈積及隨後之一第二隔絕層之異向性再蝕刻，在邊壁產生邊壁隔絕。
9. 如申請專利範圍第1項之方法，其中該第一層以一約300nm之厚度形成。該第二層以一約20nm之厚度形成，且該第三層以一約100nm之厚度形成。
10. 一種金氧半導體電晶體之製造方法包括下列步驟：
- a) 加一隔絕層至一基體之一表面上；
 - b) 構築該隔絕層使得該隔絕層有一開口，開口中之基體表面是沒有被覆蓋且其界定金氧半導體電晶體之一區域；
 - c) 在由一第一傳導型滲雜之半導體材料組成之基體材料組成之基體上產生一通道區，一未被滲雜之第一層是以晶膜生長至基體上，被第一傳導型滲雜且比該第一層較薄之一第二層是以晶膜生長至該第一層上，及被該第一傳導型相反之第二傳導型滲雜且比該第二層較厚之一第三層是以晶膜生長至該第二層上；
 - d) 在該通道區之二相對邊產生一源極區和一汲極區，其各自被該第二傳導型滲雜；

六、申請專利範圍

- e) 在該通道區之一表面產生一閘介電體；
- f) 在該閘介電體之表面產生一閘電極，其自該源極區和自該汲極區隔絕；
- g) 以一隔絕結構完全覆蓋閘電極；
- h) 形成隔絕層和隔絕結構，其使用一種材料能使該第一層，該第二層和該第三層是選擇性地可蝕刻的；
- i) 在一異向性蝕刻步驟中，選擇性地產生凹陷，其延伸下至面對面該隔絕層和該隔絕結構之該第一層。
11. 如申請專利範圍第10項之方法，其中一矽基體用來作為該基體且其中該通道區由矽形成。
12. 如申請專利範圍第10項之方法，其中該通道區在該隔絕層中該開口內該基體之表面上以選擇晶膜延法形成。
13. 如申請專利範圍第10項之方法，其中該方法另包括下列步驟：
- 以該第二傳導型之滲雜物在全部表面加一玻璃層；
- 在一溫度步驟中，藉驅出滲雜物進入與該玻璃層接觸之該第一層、該第二層和該第三層之那些表面，而形成源極區及汲極區；
- 執行該溫度步驟使得第二層和第三層中之滲雜物分佈基本上保持不變。
14. 如申請專利範圍第13項之方法，其中期間約為10秒

六、申請專利範圍

及溫度範圍為自1000至1050℃之快迅速熱退火程序被用來作為該溫度步驟。

15.如申請專利範圍第10項之方法，其中該方法另包括下列步驟：

在閘電極上形成一第一隔絕層用以產生隔絕結構，該第一隔絕層具有與閘電極共用之垂直於基體表面面對面之邊壁；

以全表面順應沈積及隨後之一第二隔絕層之異向性再蝕刻，在邊壁產生邊壁隔絕。

16.如申請專利範圍第10項之方法，其中該第一層以一約300nm之厚度形成，該第二層以一約20nm之厚度形成，且該第三層以一約100nm之厚度形成。

17.一種金氧半導體電晶體之製造方法包括下列步驟：

a)加一隔絕層至一基體之一表面上；

b)構築該隔絕層使得該隔絕層有一開口，開口中之基體表面是沒有被覆蓋且其界定金氧半導體電晶體之一區域；

c)在由一第一傳導型滲雜之半導體材料組成之基體材料組成之基體上產生一通道區，一未被滲雜之第一層是以晶膜生長至基體上，被第一傳導型滲雜且比該第一層較薄之一第二層是以晶膜生長至該第一層上，及被該第一傳導型相反之第二傳導型滲雜且比該第二

六、申請專利範圍

層較厚之一第三層是以晶膜生長至該第二層上；

d)在該通道區之二相對邊產生一源極區和一汲極區，其各自被該第二傳導型滲雜；

e)在該通道區之一表面產生一閘介電體；

f)在該閘介電體之表面產生一閘電極，其自該源極區和自該汲極區隔絕；

g)以一隔絕結構完全覆蓋閘電極，此隔絕結構是由在閘電極上形成之第一隔絕層而形成，該第一隔絕層具有與閘電極共用之垂直於基板表面面對面之邊壁，且在以全面順應沈積及隨後之一第二隔絕層之異向性再蝕刻，在邊壁產生邊壁；

h)形成隔絕層和隔絕結構，其使用一種材料能使該第一層，該第二層和該第三層是選擇性地可蝕刻的；

i)在一異向性蝕刻步驟中，選擇性地產生凹陷，其延伸下至面對面該隔絕層和該隔絕結構之該第一層。

18.如申請專利範圍第17項之方法，其中該方法另包括下列步驟：

以該第二傳導型之滲雜物在冷卻表面加一玻璃層；

在一溫度步驟中，藉驅出滲雜物進入與該玻璃層接觸之該第一層、該第二層和該第三層之那些表面，而形成源極區和汲極區；

執行該溫度步驟使得第二層和第三層中之滲雜物分佈

六、申請專利範圍

基本上保持不變。

19.如申請專利範圍第17項之方法，其中該通道區在該隔絕層中開口內基體之表面上以選擇晶膜法形成。

20.如申請專利範圍第17項之方法，其中一矽基體用來作為該基體且其中該通道區由矽形成，及其中該第一層由一約300nm之厚度形成，該第二層由一約20nm之厚度形成，而該第三層由一約100nm之厚度形成。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

211081

8/103106

FIG 1

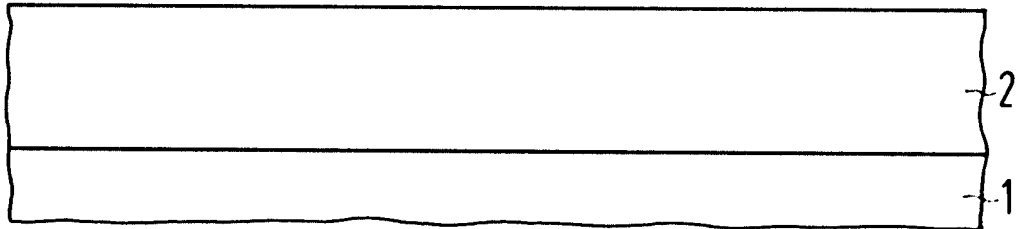


FIG 2



FIG 3

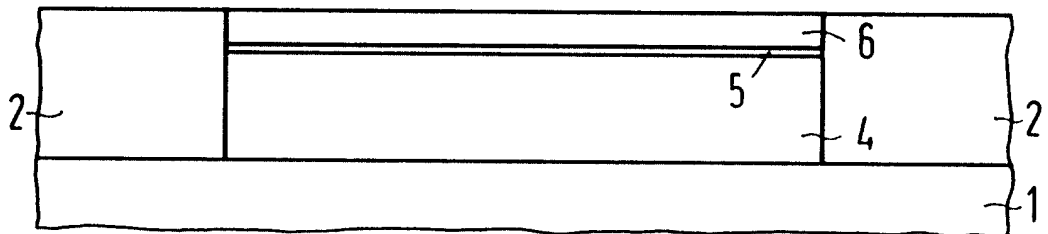


FIG 4

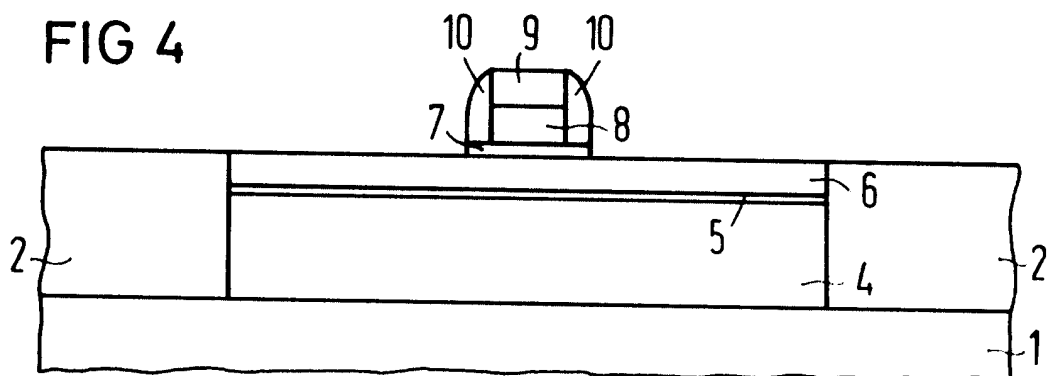


FIG 5

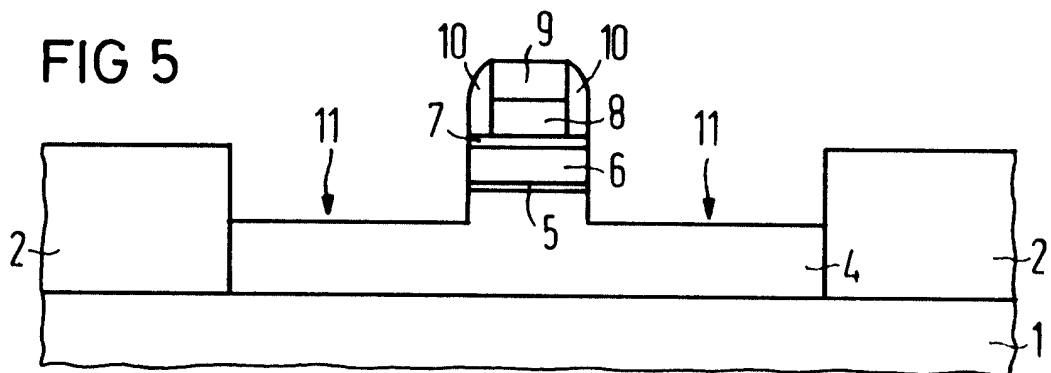


FIG 6

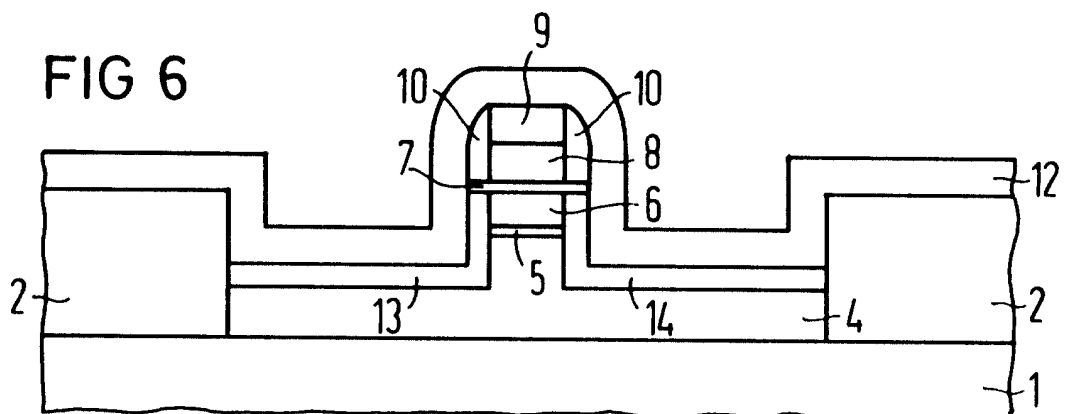


FIG 7

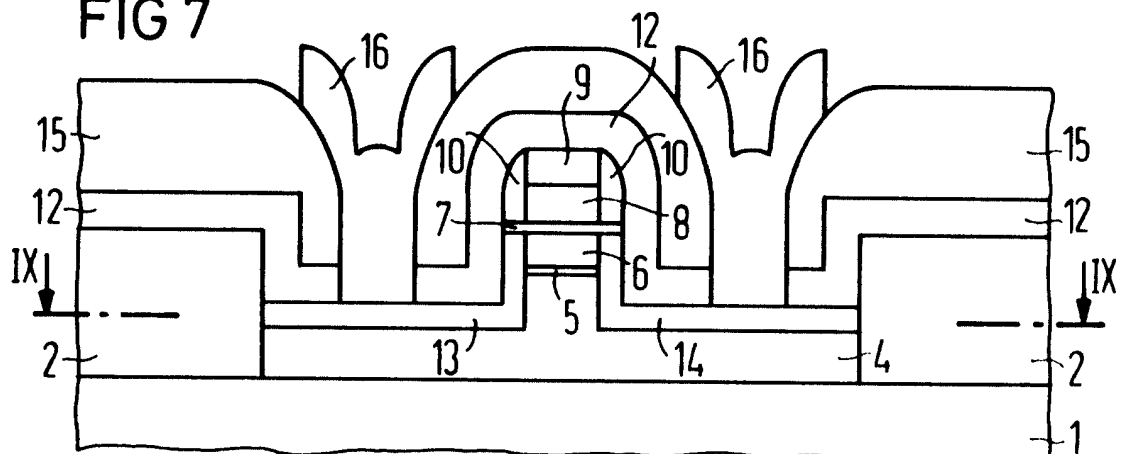


FIG 8

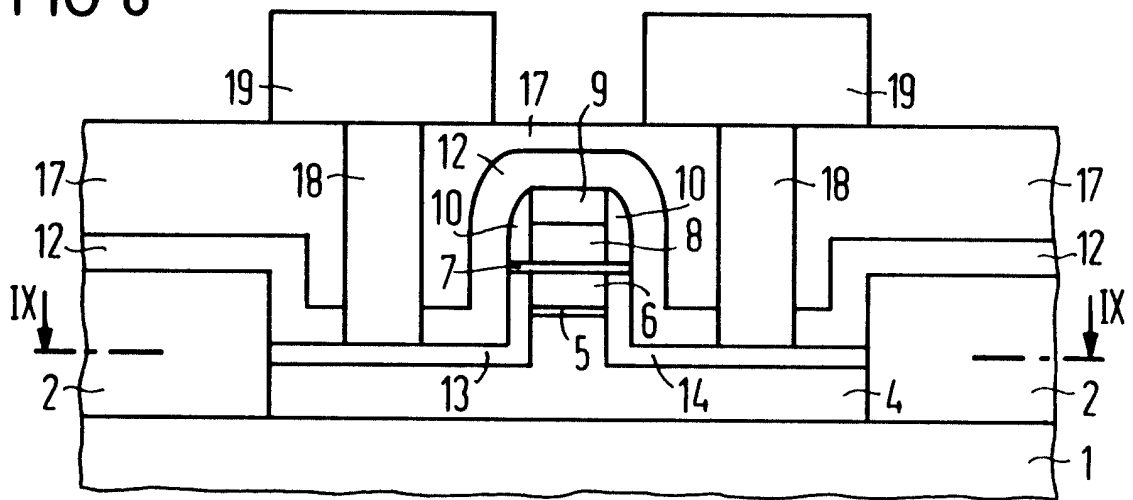


FIG 9

