

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

are in contact with the below p-type trench layers disposed below the trenches. Each n-type deep layer is disposed in the corresponding gap portion, and is in contact with gate insulating films at side surfaces of the trenches positioned below the body layer.

(57) 要約: 電界効果トランジスタ10は、トレンチ14の下側に配置されており、上側から半導体基板12を見たときにトレンチの長手方向に沿って伸びているp型トレンチ下層35と、複数のp型ディープ層36と、複数のn型ディープ層37と、を有する。各p型ディープ層が、ボディ層34から下側に突出しており、上側から半導体基板を見たときにトレンチに対して交差する第1方向に沿って伸びており、第1方向に対して直交する第2方向に間隔部を開けて配置されており、トレンチの下側に配置されているp型トレンチ下層に接している。各n型ディープ層が、対応する間隔部内に配置されており、ボディ層の下側に位置するトレンチの側面でゲート絶縁膜に接している。

明 細 書

発明の名称：電界効果トランジスタとその製造方法

関連出願の相互参照

[0001] 本出願は、2021年3月11日に出願された日本特許出願番号2021-039221号、2021年4月15日に出願された日本特許出願番号2021-069123号、及び、2021年6月23日に出願された日本特許出願番号2021-103917号の関連出願であり、この日本特許出願に基づく優先権を主張するものであり、この日本特許出願に記載された全ての内容を、本明細書を構成するものとして援用する。

技術分野

[0002] 本明細書に開示の技術は、電界効果トランジスタとその製造方法に関する。

背景技術

[0003] 特開2009-194065号公報には、トレンチゲート型の電界効果トランジスタが開示されている。この電界効果トランジスタは、ボディ層から下側に突出する複数のp型ディープ層を有している。各p型ディープ層は、上側から半導体基板を見たときにトレンチに対して交差するように伸びている。複数のp型ディープ層は、その幅方向に間隔部を開けて配置されている。各p型ディープ層は、ボディ層からトレンチの底面よりも下側まで伸びている。特開2009-194065号公報に開示の電界効果トランジスタの一例では、各p型ディープ層は、ボディ層の下側に位置するトレンチの側面及びトレンチの底面でゲート絶縁膜に接している。また、電界効果トランジスタは、ボディ層及び各p型ディープ層に接するn型のドリフト層を有している。この電界効果トランジスタがオフすると、ボディ層からドリフト層内に空乏層が広がる。ドリフト層内に広がる空乏層によって、ソースドレイン間の電圧が保持される。また、この電界効果トランジスタがオフすると、各ディープp層からもドリフト層内に空乏層が広がる。各ディープp層がト

レンチの底面でゲート絶縁膜に接しているので、各ディープp層から広がる空乏層によってトレンチの底面の周辺のドリフト層が空乏化される。このように、各ディープp層からトレンチの底面の周辺に広がる空乏層によって、トレンチの底面の周辺のゲート絶縁膜及びドリフト層で電界集中が生じることが抑制される。したがって、この電界効果トランジスタは、高い耐圧を有する。

発明の概要

[0004] このような複数のp型ディープ層を有する電界効果トランジスタでは、トレンチの底面の周辺のゲート絶縁膜における電界集中をさらに緩和し、高耐圧化するための技術が必要である。本明細書では、複数のp型ディープ層を有する電界効果トランジスタにおいて、高耐圧化を実現する技術を提案する。

[0005] 本明細書が開示する電界効果トランジスタは、上面にトレンチが設けられた半導体基板と、前記トレンチの内面を覆うゲート絶縁膜と、前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極、を有することができる。前記半導体基板が、前記トレンチの側面で前記ゲート絶縁膜に接するn型のソース層と、前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接するp型のボディ層と、前記トレンチの下側に配置されており、上側から前記半導体基板を見たときに前記トレンチの長手方向に沿って伸びているp型トレンチ下層と、複数のp型ディープ層と、複数のn型ディープ層を有することができる。前記各p型ディープ層が、前記ボディ層から下側に突出しており、前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第1方向に沿って伸びており、上側から前記半導体基板を見たときに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記トレンチの下側に配置されている前記p型トレンチ下層に接している。前記各n型ディープ層が、対応する前記間隔部内に配置されており、前記ボディ層の下側に位置する前

記トレンチの前記側面で前記ゲート絶縁膜に接している。

[0006] この電界効果トランジスタは、トレンチの下側に配置されている p 型トレンチ下層を有している。このため、電界効果トランジスタがオフするときにトレンチの底面の周辺の電界集中が緩和される。この結果、この電界効果トランジスタは、高い耐圧を有することができる。さらに、この電界効果トランジスタでは、p 型トレンチ下層が複数の p 型ディープ層を介してボディ層に電氣的に接続されている。このため、p 型トレンチ下層の電位が安定し、この電界効果トランジスタのスイッチング特性が悪化することが抑えられている。このように、この電界効果トランジスタでは、p 型トレンチ下層と複数の p 型ディープ層を組合せたことにより、スイッチング特性の悪化を抑えながら、耐圧を改善することができる。

[0007] 本明細書が開示する電界効果トランジスタの製造方法は、n 型のエピタキシャル層に複数の p 型ディープ層と複数の n 型ディープ層を形成するディープ層形成工程であって、前記各 p 型ディープ層が、上側から前記エピタキシャル層を見たときに第 1 方向に沿って伸びており、上側から前記エピタキシャル層を見たときに前記第 1 方向に対して直交する第 2 方向に間隔部を開けて配置されており、前記各 n 型ディープ層が、対応する前記間隔部内に配置されている、ディープ層形成工程と、前記エピタキシャル層の表面から前記複数の p 型ディープ層と前記複数の n 型ディープ層を超えない深さのトレンチを形成するトレンチ形成工程であって、前記トレンチは、上側から前記エピタキシャル層を見たときに前記複数の p 型ディープ層と前記複数の n 型ディープ層に交差している、トレンチ形成工程と、イオン注入技術を利用して、前記エピタキシャル層の表面に向けて p 型不純物を導入し、前記複数の p 型ディープ層と前記複数の n 型ディープ層の上側にボディ層を形成するボディ層形成工程と、イオン注入技術を利用して、前記トレンチの底面の下側に p 型トレンチ下層を形成する、p 型トレンチ下層形成工程、を有することができる。

[0008] この電界効果トランジスタの製造方法によると、p 型トレンチ下層と複数

のp型ディープ層を有する電界効果トランジスタを製造することができる。

図面の簡単な説明

[0009] [図1]MOSFET 10の断面斜視図（p型ディープ層36を含まないxz断面を示す図）。

[図2]ソース電極22と層間絶縁膜20を省略したMOSFET 10の断面斜視図（p型ディープ層36を含まないxz断面を示す図）。

[図3]p型トレンチ下層35、p型ディープ層36及びn型ディープ層37を含む拡大xy断面であって、半導体基板12を上から見たときのp型トレンチ下層35、p型ディープ層36及びn型ディープ層37の配置を示すMOSFET 10の拡大断面図。

[図4]トレンチ14、p型ディープ層36及びn型ディープ層37を含む拡大xy断面であって、半導体基板12を上から見たときのトレンチ14、p型ディープ層36及びn型ディープ層37の配置を示すMOSFET 10の拡大断面図。

[図5]p型ディープ層36及びn型ディープ層37を含むMOSFET 10の拡大yz断面図。

[図6]MOSFET 10の断面斜視図（p型ディープ層36を含むxz断面を示す図）。

[図7]トレンチ14、p型ディープ層36及びn型ディープ層37を含む拡大xy断面であって、半導体基板12を上から見たときのトレンチ14とp型ディープ層36及びn型ディープ層37の配置を示すMOSFET 10の変形例の拡大断面図。

[図8]トレンチ14、p型ディープ層36及びn型ディープ層37を含む拡大xy断面であって、半導体基板12を上から見たときのトレンチ14とp型ディープ層36及びn型ディープ層37の配置を示すMOSFET 10の変形例の拡大断面図。

[図9]p型トレンチ下層35、p型ディープ層36及びn型ディープ層37を含む拡大xy断面であって、半導体基板12を上から見たときのp型トレン

チ下層 3 5、p 型ディープ層 3 6 及び n 型ディープ層 3 7 の配置を示す MOS F E T 1 0 の変形例の拡大断面図。

[図10]ソース電極 2 2 と層間絶縁膜 2 0 を省略した MOS F E T 1 0 の変形例の断面斜視図（p 型ディープ層 3 6 を含まない x z 断面を示す図）。

[図11] MOS F E T 1 0 の変形例の断面斜視図（p 型ディープ層 3 6 を含まない x z 断面を示す図）。

[図12] MOS F E T 1 0 の変形例の断面斜視図（p 型ディープ層 3 6 を含む x z 断面を示す図）。

[図13] MOS F E T 1 0 の変形例の断面斜視図（p 型ディープ層 3 6 を含まない x z 断面を示す図）。

[図14] MOS F E T 1 0 の変形例の断面斜視図（p 型ディープ層 3 6 を含む x z 断面を示す図）。

[図15] MOS F E T 1 0 の製造方法の説明図。

[図16] MOS F E T 1 0 の製造方法の説明図。

[図17] MOS F E T 1 0 の製造方法の説明図。

[図18] MOS F E T 1 0 の製造方法の説明図。

[図19] MOS F E T 1 0 の製造方法の説明図。

[図20] MOS F E T 1 0 の変形例の断面斜視図（p 型ディープ層 3 6 を含まない x z 断面を示す図）。

発明を実施するための形態

[0010] 図 1、2 に示す実施形態の MOS F E T 1 0 (metal-oxide-semiconductor field effect transistor) は、半導体基板 1 2 を有している。以下では、半導体基板 1 2 の厚み方向を z 方向といい、半導体基板 1 2 の上面 1 2 a に平行な一方向（z 方向に直交する一方向）を x 方向といい、x 方向及び z 方向に直交する方向を y 方向という。半導体基板 1 2 は、炭化シリコン（すなわち、S i C）により構成されている。なお、半導体基板 1 2 がシリコン、窒化ガリウム等の他の半導体材料により構成されていてもよい。半導体基板 1 2 の上面 1 2 a には、複数のトレンチ 1 4 が設けられている。図 2 に示す

ように、複数のトレンチ 14 は、上面 12 a において、y 方向に沿って長く伸びている。複数のトレンチ 14 は、x 方向に間隔を開けて配置されている。

[0011] 図 1、2 に示すように、各トレンチ 14 の内面（すなわち、側面と底面）は、ゲート絶縁膜 16 によって覆われている。各トレンチ 14 内に、ゲート電極 18 が配置されている。各ゲート電極 18 は、ゲート絶縁膜 16 によって半導体基板 12 から絶縁されている。図 1 に示すように、各ゲート電極 18 の上面は、層間絶縁膜 20 によって覆われている。半導体基板 12 の上部に、ソース電極 22 が設けられている。ソース電極 22 は、各層間絶縁膜 20 を覆っている。ソース電極 22 は、層間絶縁膜 20 によってゲート電極 18 から絶縁されている。ソース電極 22 は、層間絶縁膜 20 が存在しない位置で、半導体基板 12 の上面 12 a に接している。半導体基板 12 の下部には、ドレイン電極 24 が配置されている。ドレイン電極 24 は、半導体基板 12 の下面 12 b の全域に接している。

[0012] 図 1、2 に示すように、半導体基板 12 は、複数のソース層 30、複数のコンタクト層 32、ボディ層 34、複数の p 型トレンチ下層 35、複数の p 型ディープ層 36、複数の n 型ディープ層 37、ドリフト層 38、及び、ドレイン層 40 を有している。

[0013] 各ソース層 30 は、高い n 型不純物濃度を有する n 型層である。各ソース層 30 は、半導体基板 12 の上面 12 a を部分的に含む範囲に配置されている。各ソース層 30 は、ソース電極 22 にオーミック接触している。各ソース層 30 は、トレンチ 14 の側面の最上部において、ゲート絶縁膜 16 に接している。各ソース層 30 は、ゲート絶縁膜 16 を介してゲート電極 18 に対向している。各ソース層 30 はトレンチ 14 の側面に沿って y 方向に長く伸びている。即ち、各ソース層 30 は、上側から半導体基板 12 を見たときに、トレンチ 14 の長手方向に対して平行に伸びており、トレンチ 14 の長手方向の一方の端部から他方の端部まで伸びている。

[0014] 各コンタクト層 32 は、高い p 型不純物濃度を有する p 型層である。各コ

ンタクト層 32 は、半導体基板 12 の上面 12a を部分的に含む範囲に配置されている。各コンタクト層 32 は、対応する 2 つのソース層 30 の間に配置されている。各コンタクト層 32 は、ソース電極 22 にオーミック接触している。各コンタクト層 32 は、y 方向に長く伸びている。即ち、各コンタクト層 32 は、上側から半導体基板 12 を見たときに、トレンチ 14 の長手方向に対して平行に伸びており、トレンチ 14 の長手方向の一方の端部から他方の端部まで伸びている。

[0015] ボディ層 34 は、コンタクト層 32 よりも低い p 型不純物濃度を有する p 型層である。ボディ層 34 は、複数のソース層 30 及び複数のコンタクト層 32 の下側に配置されている。ボディ層 34 は、複数のソース層 30 及び複数のコンタクト層 32 に対して下側から接している。ボディ層 34 は、ソース層 30 の下側に位置するトレンチ 14 の側面で、ゲート絶縁膜 16 に接している。ボディ層 34 は、ゲート絶縁膜 16 を介してゲート電極 18 に対向している。

[0016] 各 p 型トレンチ下層 35 は、対応するトレンチ 14 の下側に配置されている p 型層である。後述するように、各 p 型トレンチ下層 35 は、ボディ層 34 と共通のイオン注入工程で形成されてもよい。この場合、各 p 型トレンチ下層 35 とボディ層 34 の p 型不純物の深さ方向の濃度プロファイルは一致しており、対応するトレンチ 14 の底面から各 p 型トレンチ下層 35 の下面までの深さは、半導体基板 12 の上面 12a からボディ層 34 の下面までの深さと一致する。この例では、各 p 型トレンチ下層 35 は、対応するトレンチ 14 の底面を被覆するゲート絶縁膜 16 に接している。図 3 に示すように、半導体基板 12 を上側から見たときに、各 p 型トレンチ下層 35 は、対応するトレンチ 14 の長手方向（この例では y 方向）に沿って長く伸びており、トレンチ 14 の長手方向の一方端から他方端まで連続して伸びていてもよい。後述するように、各 p 型トレンチ下層 35 は、対応するトレンチ 14 の長手方向（この例では y 方向）に沿って長く伸びており、トレンチ 14 の長手方向の一方端から他方端の間で分断していてもよい。

[0017] 各p型ディープ層36は、ボディ層34の下面から下側に突出しているp型層である。各p型ディープ層36のp型不純物濃度は、ボディ層34のp型不純物濃度よりも高く、コンタクト層32のp型不純物濃度よりも低い。図4に示すように半導体基板12を上側から見たときに、各p型ディープ層36は、x方向に長く伸びており、トレンチ14の長手方向（この例では、y方向）に対して直交している。複数のp型ディープ層36は、y方向に間隔を開けて配置されている。以下では、複数のp型ディープ層36の間の部分を、間隔部39（図1及び図2参照）という。図5に示すように、p型ディープ層36は、yz断面において、z方向に長い形状を有している。すなわち、p型ディープ層36のz方向における寸法（以下、深さD_pという）は、p型ディープ層36のy方向における寸法（以下、幅W_pという）よりも大きい。例えば、深さD_pを、幅W_pの1～4倍とすることができる。図6に示すように、各p型ディープ層36は、ボディ層34の下面から各トレンチ14の底面よりも下側の深さまで伸びている。各p型ディープ層36は、ボディ層34の下側に位置するトレンチ14の側面でゲート絶縁膜16に接している。また、図3に示すように、各p型ディープ層36は、トレンチ14の下側に配置されているp型トレンチ下層35に交差するように接している。

[0018] 各n型ディープ層37は、ドリフト層38よりもn型不純物濃度が高いn型層である。各n型ディープ層37のn型不純物濃度は、各p型ディープ層36のp型不純物濃度よりも低い。なお、この例に代えて、各n型ディープ層37は、ドリフト層38のn型不純物濃度と同一濃度であってもよい。図1、2に示すように、各n型ディープ層37は、対応する間隔部39内に配置されている。各n型ディープ層37は、ボディ層34の下面に接している。各n型ディープ層37は、その両側のp型ディープ層36の側面に接している。各n型ディープ層37は、ボディ層34の下面から各トレンチ14の底面及び各p型ディープ層36の下面よりも下側まで伸びている。図5に示すように、間隔部39内のn型ディープ層37は、yz断面において、z方

向に長い形状を有している。すなわち、 n 型ディープ層 37 の z 方向における寸法（以下、深さ D_n という）は、間隔部 39 内の n 型ディープ層 37 の y 方向における寸法（以下、幅 W_n という）よりも大きい。例えば、深さ D_n を、幅 W_n の 1 ～ 4 倍とすることができる。本実施形態では、 n 型ディープ層 37 の幅 W_n は、 p 型ディープ層 36 の幅 W_p と略等しい。各 n 型ディープ層 37 は、隣接する p 型ディープ層 36 の下面の直下まで伸びる接続領域 37a を有している。各接続領域 37a は、対応する p 型ディープ層 36 の下面に接している。各 n 型ディープ層 37 は、各接続領域 37a を介して互いに繋がっている。 n 型ディープ層 37 が p 型ディープ層 36 の下面よりも下側に突出する部分の厚み T_1 （すなわち、 p 型ディープ層 36 の下面から n 型ディープ層 37 下面までの z 方向における距離）は、約 $0.1 \mu\text{m}$ であり、極めて薄い。図 1、2 に示すように、各 n 型ディープ層 37 は、各間隔部 39 内において、ボディ層 34 の下側に位置するトレンチ 14 の側面でゲート絶縁膜 16 に接している。また、図 3 に示すように、各 n 型ディープ層 37 は、トレンチ 14 の下側に配置されている p 型トレンチ下層 35 に交差するように接している。

[0019] ドリフト層 38 は、各 n 型ディープ層 37 よりも低い n 型不純物濃度を有する n 型層である。ドリフト層 38 は、 n 型ディープ層 37 の下側に配置されている。ドリフト層 38 は、 n 型ディープ層 37 に対して下側から接している。

[0020] ドレイン層 40 は、ドリフト層 38 及び n 型ディープ層 37 よりも高い n 型不純物濃度を有する n 型層である。ドレイン層 40 は、ドリフト層 38 に対して下側から接している。ドレイン層 40 は、半導体基板 12 の下面 12b を含む範囲に配置されている。ドレイン層 40 は、ドレイン電極 24 にオーミック接触している。

[0021] 次に、MOSFET 10 の動作について説明する。MOSFET 10 は、ドレイン電極 24 にソース電極 22 よりも高い電位が印加された状態で使用される。各ゲート電極 18 にゲート閾値以上の電位が印加されると、ゲート

絶縁膜 16 の近傍のボディ層 34 にチャネルが形成される。チャネルによって、ソース層 30 と n 型ディープ層 37 が接続される。このため、ソース層 30 からチャネル、n 型ディープ層 37、及び、ドリフト層 38 を経由してドレイン層 40 へ電子が流れる。すなわち、MOSFET 10 がオンする。各ゲート電極 18 の電位をゲート閾値以上の値からゲート閾値未満の値へ引き下げると、チャネルが消失し、電子の流れが停止する。すなわち、MOSFET 10 がオフする。

[0022] 次に、MOSFET 10 をオフするときの動作について、より詳細に説明する。チャネルが消失すると、ボディ層 34 と各 n 型ディープ層 37 の界面の p n 接合に逆電圧が印加される。したがって、ボディ層 34 から各 n 型ディープ層 37 へ空乏層が広がる。また、各 p 型ディープ層 36 は、ボディ層 34 と電氣的に接続されており、ボディ層 34 と略同じ電位を有する。したがって、チャネルが消失すると、各 p 型ディープ層 36 と各 n 型ディープ層 37 の界面の p n 接合にも逆電圧が印加される。したがって、各 p 型ディープ層 36 から各 n 型ディープ層 37 へも空乏層が広がる。さらに、各 p 型トレンチ下層 35 は、各 p 型ディープ層 36 を介してボディ層 34 と電氣的に接続されており、ボディ層 34 と略同じ電位を有する。したがって、チャネルが消失すると、各 p 型トレンチ下層 35 と各 n 型ディープ層 37 の界面の p n 接合にも逆電圧が印加される。このように、各 n 型ディープ層 37 は、ボディ層 34 と各 p 型トレンチ下層 35 と各 p 型ディープ層 36 から広がる空乏層によって素早く空乏化される。特に、各 p 型トレンチ下層 35 が対応するトレンチ 14 の下側に設けられているので、トレンチ 14 の底面の周辺が良好に空乏化される。これによって、トレンチ 14 の底面近傍における電界集中が大幅に緩和される。また、ボディ層 34 と各 p 型トレンチ下層 35 と各 p 型ディープ層 36 から広がる空乏層によって、各 n 型ディープ層 37 の全体が空乏化される。なお、各 n 型ディープ層 37 はドリフト層 38 よりも n 型不純物濃度が高いため、各 n 型ディープ層 37 内にはドリフト層 38 内よりも空乏層が広がり難い。しかしながら、各 n 型ディープ層 37 は p 型

ディープ層 36 によって挟まれており、かつ、各 n 型ディープ層 37 の幅 W_n が狭いので、各 n 型ディープ層 37 の全体が空乏化する。また、空乏層は、各 n 型ディープ層 37 を介してドリフト層 38 へ広がる。ドリフト層 38 の n 型不純物濃度が低いので、ドリフト層 38 のほぼ全体が空乏化される。空乏化されたドリフト層 38 及び各 n 型ディープ層 37 によって、ドレイン電極 24 とソース電極 22 の間に印加される高電圧が保持される。したがって、MOSFET 10 は高い耐圧を有する。

[0023] また、MOSFET 10 では、p 型トレンチ下層 35 が p 型ディープ層 36 を介してボディ層 34 に電氣的に接続されている。このため、p 型トレンチ下層 35 の電位が安定し、この MOSFET 10 のスイッチング特性が悪化することが抑えられる。このように、この MOSFET 10 では、p 型トレンチ下層 35 と p 型ディープ層 36 の組合せによりスイッチング特性の悪化を抑えながら、耐圧を改善することができる。

[0024] また、MOSFET 10 では、p 型トレンチ下層 35 がトレンチ 14 の底面を被覆するゲート絶縁膜 16 に接している。このため、ゲート電極 18 とドレイン電極 24 の間の静電容量（すなわち、帰還容量）が小さくなる。さらに、MOSFET 10 では、各 n 型ディープ層 37 と各 p 型ディープ層 36 が縦に長い形状を有している。このように各 n 型ディープ層 37 と各 p 型ディープ層 36 が構成されていると、帰還容量が小さくなる。これらによって、MOSFET 10 のスイッチング速度を向上させることができる。

[0025] また、MOSFET 10 では、p 型トレンチ下層 35 の深さが p 型ディープ層 36 及び n 型ディープ層 37 の深さよりも深い。このような深い p 型トレンチ下層 35 が設けられていると、n 型ディープ層 37 及びドリフト層 38 の空乏化を促進することができるので、MOSFET 10 の耐圧が改善される。また、このような深い p 型トレンチ下層 35 が設けられていると、過電圧が印加されたときに下方に突出する p 型トレンチ下層 35 でブレイクダウンが生じるので、セル領域で確実にブレイクダウンを生じさせることができる。この結果、MOSFET 10 もアバランシェ耐量が安定することができる。

きる。なお、p型トレンチ下層35の深さがp型ディープ層36及びn型ディープ層37の深さよりも浅くてもよい。この場合、p型トレンチ下層35から伸びる空乏層が抑えられるので、MOSFET10のオン抵抗が改善される。

[0026] なお、MOSFET10では、図4に示されるように、上側から半導体基板12を見たときに、各p型ディープ層36及び各n型ディープ層37が隣り合うトレンチ14の間をx方向に連続して長く伸びていた。この例に代えて、図7に示すように、各p型ディープ層36及び各n型ディープ層37がx方向に分断していてもよい。この例では、各p型ディープ層36が分断されているので、電流経路が広く確保され、オン抵抗が低下する。ただし、この例であっても、各p型ディープ層36及び各n型ディープ層37は、トレンチ14を跨ぐように配置されている。これにより、上記した作用効果を発揮することができる。なお、各p型ディープ層36及び各n型ディープ層37のいずれか一方のみがx方向に分断していてもよい。また、図8に示すように、y方向に隣り合うp型ディープ層36を接続する接続p層36aが設けられていてもよい。このような接続p層36aは、ゲート絶縁膜16に加わる電界の緩和及び耐圧向上に有効である。

[0027] なお、MOSFET10では、図3に示されるように、上側から半導体基板12を見たときに、各p型トレンチ下層35がトレンチ14の長手方向の一方端から他方端まで連続して伸びていた。この例に代えて、図9に示すように、半導体基板12を上側から見たときに、各p型トレンチ下層35は、対応するトレンチ14の長手方向（この例ではy方向）に沿って長く伸びており、トレンチ14の長手方向の一方端から他方端の間で分断していてもよい。この場合、各p型ディープ層36は、p型トレンチ下層35の分断された部分を通過する。例えば、図3に示す例では、p型トレンチ下層35とp型ディープ層36が重複する部分でイオン注入時のダメージが大きくなり、リーク電流の増加が懸念される。一方、図9に示す例では、p型トレンチ下層35とp型ディープ層36の重複部分が少ないので、リーク電流の増加が

抑えられる。

[0028] なお、MOSFET 10では、図2に示されるように、上側から半導体基板12を見たときに、各ソース層30及び各コンタクト層32がトレンチ14の長手方向に対して平行に伸びている。特に、各ソース層30がトレンチ14の長手方向に対して平行に伸びるとともにトレンチ14の側面に接していることにより、トレンチ14の側面全体を高濃度なチャネルとして利用することができるので、MOSFET 10のオン抵抗は低い。さらに、トレンチ14の側面全体をチャネルとして利用することができるので、チャネルと各n型ディープ層37が良好に接続される。例えば、各ソース層30がトレンチ14の長手方向に対して交差するように、特に、トレンチ14の長手方向に対して直交するように伸びていると、トレンチ14の側面に接するソース層30の位置が限定されるので、トレンチ14の側面に形成される高濃度なチャネルの位置も限定される。このため、このような例では、製造時のソース層30とn型ディープ層37の相対的な位置関係のズレによって、トレンチ14の側面に形成される高濃度なチャネルとn型ディープ層37の相対的な位置関係にもズレが生じるので、オン抵抗が大きく変動し易いという問題がある。一方、MOSFET 10では、トレンチ14の側面全体を高濃度なチャネルとして利用することができるので、このようなオン抵抗の変動が生じない。なお、図2の例に代えて、図10に示されるように、各コンタクト層32がトレンチ14の長手方向に沿って分散して配置されていてもよい。なお、この例でも、各コンタクト層32は、上側から半導体基板12を見たときにトレンチ14の長手方向に対して平行に伸びている、ということができる。また、この例では、コンタクト層32間にソース層30が設けられていてもよい。

[0029] また、MOSFET 10では、図11に示すように、n型ディープ層37が、n型ディープ下層137Aとn型ディープ上層137Bを有していてもよい。n型ディープ下層137Aは、n型ディープ上層137Bの下側に設けられており、ドリフト層38よりもn型不純物濃度が高く、n型ディープ

上層 1 3 7 B よりも n 型不純物濃度が低い n 型層である。n 型ディープ下層 1 3 7 A の n 型不純物濃度は、上記したような実質的に単一濃度で構成されるときと同一の濃度であってもよい。n 型ディープ上層 1 3 7 B は、n 型ディープ下層 1 3 7 A とボディ層 3 4 の間に設けられており、トレンチ 1 4 の底面よりも上側に配置されており、ボディ層 3 4 の下側に位置するトレンチ 1 4 の側面でゲート絶縁膜 1 6 に接している。このような n 型ディープ上層 1 3 7 B が設けられていると、p 型トレンチ下層 3 5 とボディ層 3 4 の双方から伸びる空乏層によって p 型トレンチ下層 3 5 とボディ層 3 4 の間の領域の電流経路が狭くなる現象（J F E T 効果）を抑え、オン抵抗の増大を抑えることができる。なお、n 型ディープ層 3 7 の全体が n 型ディープ上層 1 3 7 B と同等の高濃度に構成されていると、上述した耐圧の改善効果が低下する。n 型ディープ層 3 7 が n 型ディープ下層 1 3 7 A と n 型ディープ上層 1 3 7 B を有し、さらに、n 型ディープ上層 1 3 7 B がトレンチ 1 4 の底面よりも上側に配置されていることにより、オン抵抗の増大抑制と高耐圧化を良好に両立させることができる。

[0030] また、M O S F E T 1 0 では、図 1 2 に示すように、p 型ディープ層 3 6 が、p 型ディープ下層 1 3 6 A と p 型ディープ上層 1 3 6 B を有していてもよい。p 型ディープ下層 1 3 6 A は、p 型ディープ上層 1 3 6 B の下側に設けられており、ボディ層 3 4 の p 型不純物濃度よりも高く、p 型ディープ上層 1 3 6 B の p 型不純物濃度よりも低い p 型層である。p 型ディープ上層 1 3 6 B は、p 型ディープ下層 1 3 6 A とボディ層 3 4 の間に設けられており、トレンチ 1 4 の底面よりも上側に配置されており、ボディ層 3 4 の下側に位置するトレンチ 1 4 の側面でゲート絶縁膜 1 6 に接している。M O S F E T 1 0 の耐圧を向上させるためには、p 型ディープ層 3 6 の全体の濃度が高いのが望ましいが、その場合、p 型ディープ層 3 6 と p 型トレンチ下層 3 5 が重複する部分でイオン注入時のダメージが大きくなり、リーク電流の増加が懸念される。図 1 2 に示す M O S F E T 1 0 では、p 型トレンチ下層 3 5 と重複しない部分の p 型ディープ上層 1 3 6 B の濃度を高くすることで、リ

ーク電流の増加を抑えながら、耐圧を向上させることができる。

[0031] また、MOSFET10では、図13に示すように、p型トレンチ下層35が、第1p型トレンチ下層135Aと第2p型トレンチ下層135Bを有していてもよい。第1p型トレンチ下層135Aは、第2p型トレンチ下層135Bの下側に設けられており、第2p型トレンチ下層135Bのp型不純物濃度よりも低いp型層である。第2p型トレンチ下層135Bは、第1p型トレンチ下層135Aとトレンチ14の間に設けられており、トレンチ14の底面でゲート絶縁膜16に接している。第2p型トレンチ下層135Bの深さ方向（z方向）の厚みは、ソース層30の厚み方向の厚みよりも小さくてもよい。特に限定されるものではないが、第2p型トレンチ下層135Bのp型不純物濃度と厚みの積は、n型ディープ層37のn型不純物濃度と厚みの積よりも大きくてもよい。p型不純物濃度の高い第2p型トレンチ下層135Bが設けられていると、MOSFET10がオフしたときに第2p型トレンチ下層135Bが空乏化しない。このため、ゲート電極18とドレイン電極24の間の静電容量（すなわち、帰還容量）が小さくなり、MOSFET10のスイッチング速度を向上させることができる。

[0032] なお、帰還容量が大きいデバイスが必要とされる場合がある。このような場合、図13の第1p型トレンチ下層135Aと第2p型トレンチ下層135Bのp型不純物濃度の関係を逆にしてもよい。すなわち、第2p型トレンチ下層135Bのp型不純物濃度が、第1p型トレンチ下層135Aのp型不純物濃度よりも低くてもよい。この場合も、第2p型トレンチ下層135Bの深さ方向（z方向）の厚みは、ソース層30の厚み方向の厚みよりも小さくてもよい。

[0033] また、MOSFET10では、図14に示すように、p型トレンチ下層35がトレンチ14の底面から離れていてもよい。なお、p型トレンチ下層35とトレンチ14の底面の間の距離は、ソース層30の厚み方向の厚みよりも小さくてもよい。このような位置関係にp型トレンチ下層35が設けられていても、上述した耐圧の改善効果が得られる。一方、後述の製造方法で説

明するように、このようなp型トレンチ下層35は、同時形成されるボディ層34のイオン注入回数を減らした結果が反映された形態である。即ち、図14に示すMOSFET10は、低コストで製造可能な構造を有している。

[0034] また、上記で説明したMOSFET10はいずれも、n型ディープ層37の深さがp型ディープ層36の深さよりも深かった。この例に代えて、n型ディープ層37の深さがp型ディープ層36の深さと等しくてもよい。また、n型ディープ層37の深さがp型ディープ層36の深さより浅くてもよい。

[0035] また、上記で説明したMOSFET10はいずれも、各n型ディープ層37がp型ディープ層36の直下まで伸びる接続領域37aを有していた。この例に代えて、n型ディープ層37が接続領域37aを有していなくてもよい。

[0036] また、上記で説明したMOSFET10はいずれも、上側から半導体基板12を見たときに、各p型ディープ層36及び各n型ディープ層37が各トレンチ14に対して直交していた。この例に代えて、各p型ディープ層36及び各n型ディープ層37が各トレンチ14に対して斜めに交差していてもよい。

[0037] 次に、MOSFET10の製造方法について説明する。MOSFET10は、全体がドレイン層40によって構成された半導体基板から製造される。まず、図15に示すように、エピタキシャル成長技術を利用して、ドレイン層40上にn型のエピタキシャル層50を形成する。

[0038] 次に、図16に示すように、イオン注入技術を利用して、エピタキシャル層50の表面から離れた所定深さ範囲にn型不純物とp型不純物を導入することによってn型ディープ層37とp型ディープ層36を形成する（ディープ層形成工程の一例）。具体的には、エピタキシャル層50の所定深さに向けて面的にn型不純物導入した後に、n型不純物が導入された範囲の一部に向けてp型不純物をマスク越しにカウンタードーピングすることにより、n型ディープ層37とp型ディープ層36を形成することができる。なお、こ

の例に代えて、 n 型ディープ層 37 と p 型ディープ層 36 のそれぞれに対応したマスクを越しに n 型不純物と p 型不純物を順に導入することによって n 型ディープ層 37 と p 型ディープ層 36 を形成してもよい。また、エピタキシャル層 50 をエピタキシャル成長するとき n 型ディープ層 37 の形成範囲に対応した深さの n 型不純物を予め濃く調整することで、 n 型ディープ層 37 を形成するためのイオン注入を省略することができる。なお、イオン注入技術又はエピタキシャル成長技術を利用して n 型ディープ層 37 又は p 型ディープ層 36 を形成するとき、深さ方向の濃度を変更することで、図 11 に示すような n 型ディープ下層 137A と n 型ディープ上層 137B 又は図 12 に示すような p 型ディープ下層 136A と p 型ディープ上層 136B を形成することができる。

[0039] 次に、図 17 に示すように、イオン注入技術を利用して、エピタキシャル層 50 の表層部に n 型不純物及び p 型不純物を導入することによってソース層 30 とコンタクト層 32 を形成する。

[0040] 次に、図 18 に示すように、エッチング技術を利用して、エピタキシャル層 50 の表面から n 型ディープ層 37 及び p 型ディープ層 36 に達するトレンチ 14 を形成する（トレンチ形成工程の一例）。トレンチ 14 の深さは、 n 型ディープ層 37 及び p 型ディープ層 36 を超えないように調整される。トレンチ 14 は、上側からエピタキシャル層 50 を見たときに、複数の p 型ディープ層 36 と複数の n 型ディープ層 37 に交差している。

[0041] 次に、図 19 に示すように、イオン注入技術を利用して、エピタキシャル層 50 の表面に向けて p 型不純物を多段で導入することによってボディ層 34 と p 型トレンチ下層 35 を形成する（ボディ層形成工程と p 型トレンチ下層形成工程の一例）。ボディ層 34 は、 n 型ディープ層 37 及び p 型ディープ層 36 よりも上側であって、ソース層 30 とコンタクト層 32 よりも下側に形成される。 p 型トレンチ下層 35 は、トレンチ 14 の底面の下側に形成される。ここで、イオン注入技術を利用してボディ層 34 と p 型トレンチ下層 35 を形成するとき、深さ方向の濃度を変更することで、図 13 に示す

ような第1 p型トレンチ下層135Aと第2 p型トレンチ下層135Bを形成することができる。さらに、第2 p型トレンチ下層135Bを形成するためにp型不純物を導入する深さは、ソース層30よりも浅い範囲に限定する。これにより、ボディ層34のp型不純物の濃度を所望の値としながら、第2 p型トレンチ下層135Bのp型不純物の濃度を自由に設定することができる。なお、第2 p型トレンチ下層135Bを形成するためのp型不純物はソース層30にも導入されるが、ソース層30に含まれるn型不純物の濃度は導入されるp型不純物の濃度よりも高いので、MOSFET10の電気的特性を大きく変動させることがない。また、n型ディープ層37及びp型ディープ層36よりも上側であって、ソース層30とコンタクト層32よりも下側の範囲にp型不純物が選択的に導入されるように、イオン注入の段数を調整すると、p型トレンチ下層35は、トレンチ14の底面から離れた位置に形成される。図14に示されるMOSFET10は、このような方法で製造された例である。なお、p型不純物をイオン注入する前に、トレンチ14の側面にソーク防止遮蔽膜を成膜してもよい。

[0042] その後、トレンチ14、ゲート絶縁膜16、ゲート電極18、層間絶縁膜20、ソース電極22、及び、ドレイン電極24を形成することで、MOSFET10が完成する。

[0043] 上記製造方法では、エピタキシャル層50を形成した後は、再エピ工程を実施することなく、イオン注入技術を利用して各種半導体領域を形成することができる。帰還容量を低くするためには、n型ディープ層37及びp型ディープ層36を深く形成するのが望ましい。しかしながら、このような深いn型ディープ層37及びp型ディープ層36を、上記製造方法のように、エピタキシャル層50の所定深さにイオン注入技術で形成するのは難しい。このため、背景技術で説明した従来例では、エピタキシャル層の表面に深いn型ディープ層及びp型ディープ層をイオン注入で形成した後に、再エピ工程を実施してボディ層を形成する。しかしながら、再エピ工程を含む製造方法は、コストが増加するという問題がある。一方、本実施形態のMOSFET

10は、p型トレンチ下層35を有しているので、帰還容量が低い。このため、本実施形態のMOSFET10では、n型ディープ層37及びp型ディープ層36を深く形成しなくても、低い帰還容量が得られる。このため、上記製造方法のように、再エピ工程を実施しなくても、帰還容量の低いMOSFET10を製造することができる。なお、必要に応じて、再エピ工程を実施して本実施形態のMOSFET10を製造してもよいことは言うまでもない。

[0044] 上記で説明したMOSFET10は、トレンチ14を形成した後に、イオン注入技術を利用してボディ層34とp型トレンチ下層35を同時形成する例であった。この例に代えて、トレンチ14を形成する前に、p型トレンチ下層35とp型ディープ層36を同時形成してもよい。この場合、ボディ層34は、別のイオン注入工程によって形成される。図20に、p型トレンチ下層35とp型ディープ層36を同時形成したMOSFET10を示す。

[0045] このMOSFET10では、トレンチ14の短手方向（x方向）に沿って測定したときに、p型トレンチ下層35の幅がトレンチ14の幅よりも狭い。これにより、p型トレンチ下層35とトレンチ14の若干の位置合わせのズレを許容することができるので、トレンチ14を形成したときに、p型トレンチ下層35をトレンチ14の底面のみに接するように配置することができる。

[0046] 以下、本明細書で開示される技術の特徴を整理する。なお、以下に記載する技術要素は、それぞれ独立した技術要素であって、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。

[0047] 本明細書が開示する電界効果トランジスタは上面にトレンチが設けられた半導体基板と、前記トレンチの内面を覆うゲート絶縁膜と、前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極、を有することができる。前記半導体基板の材料は、特に限定されるものではないが、例えば炭化珪素であってもよい。前記半導体基

板が、前記トレンチの側面で前記ゲート絶縁膜に接する n 型のソース層と、前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接する p 型のボディ層と、前記トレンチの下側に配置されており、上側から前記半導体基板を見たときに前記トレンチの長手方向に沿って伸びている p 型トレンチ下層と、複数の p 型ディープ層と、複数の n 型ディープ層を有することができる。前記各 p 型ディープ層が、前記ボディ層から下側に突出しており、前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第 1 方向に沿って伸びており、上側から前記半導体基板を見たときに前記第 1 方向に対して直交する第 2 方向に間隔部を開けて配置されており、前記トレンチの下側に配置されている前記 p 型トレンチ下層に接している。前記各 n 型ディープ層が、対応する前記間隔部内に配置されており、前記ボディ層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接している。

[0048] 上記電界効果トランジスタでは、前記ソース層が、上側から前記半導体基板を見たときに前記トレンチの長手方向に対して平行に伸びていてもよい。この電界効果トランジスタでは、オン抵抗の変動が抑えられる。

[0049] 上記電界効果トランジスタでは、前記半導体基板が、前記ボディ層上に設けられており、前記ボディ層よりも高い p 型不純物濃度を有するコンタクト層、を有していてもよい。この場合、前記コンタクト層は、上側から前記半導体基板を見たときに前記トレンチの長手方向に対して平行に伸びていてもよい。

[0050] 上記電界効果トランジスタでは、前記 p 型トレンチ下層は、前記各 p 型ディープ層よりも下側に突出していてもよい。この電界効果トランジスタは、高い耐圧を有することができる。

[0051] 上記電界効果トランジスタでは、前記 p 型トレンチ下層は、前記各 p 型ディープ層よりも浅くてもよい。この電界効果トランジスタは、低いオン抵抗を有することができる。

[0052] 上記電界効果トランジスタでは、前記半導体基板が、前記各 n 型ディープ

層の下側に配置されており、各 n 型ディープ層よりも低い n 型不純物濃度を有するドリフト層、をさらに有していてもよい。換言すると、前記各 n 型ディープ層は、前記ドリフト層よりも高い n 型不純物濃度を有していてもよい。この電界効果トランジスタは、低いオン抵抗を有することができる。

[0053] 上記電界効果トランジスタでは、前記各 n 型ディープ層が、n 型ディープ下層と、前記 n 型ディープ下層の上側に配置されており、前記 n 型ディープ下層よりも高い n 型不純物濃度を有する n 型ディープ上層、を有していてもよい。この場合、前記 n 型ディープ上層は、前記トレンチの底面よりも上側に配置されている。この電界効果トランジスタは、高い耐圧と低いオン抵抗を両立することができる。

[0054] 上記電界効果トランジスタでは、前記各 p 型ディープ層が、p 型ディープ下層と、前記 p 型ディープ下層の上側に配置されており、前記 p 型ディープ下層よりも高い p 型不純物濃度を有する p 型ディープ上層、を有していてもよい。この場合、前記 p 型ディープ上層は、前記トレンチの底面よりも上側に配置されている。この電界効果トランジスタは、リーク電流の増加を抑えながら、高い耐圧を有することができる。

[0055] 上記電界効果トランジスタでは、対応するトレンチの底面から前記各 p 型トレンチ下層の下面までの深さは、前記半導体基板の上面から前記ボディ層の下面までの深さと一致してもよい。この電界効果トランジスタは、前記 p 型トレンチ下層と前記ボディ層が同時形成された結果が反映された形態である。この電界効果トランジスタは、低コストで製造可能な構造を有している。

[0056] 上記電界効果トランジスタでは、前記 p 型トレンチ下層が、前記トレンチの底面から離れていてもよい。この電界効果トランジスタは、同時形成されるボディ層のイオン注入回数を減らした結果が反映された形態である。この電界効果トランジスタは、低コストで製造可能な構造を有している。

[0057] 上記電界効果トランジスタでは、前記 p 型トレンチ下層が、深さ方向に濃度が異なる複数の部分を有していてもよい。前記 p 型トレンチ下層は、第 1

p型トレンチ下層と、前記第1 p型トレンチ下層の上側に配置されている第2 p型トレンチ下層、を有していてもよい。前記第2 p型トレンチ下層は、前記第1 p型トレンチ下層よりも濃度が濃くてもよく、前記第1 p型トレンチ下層よりも濃度が薄くてもよい。また、前記第2 p型トレンチ下層の深さ方向の厚みは、前記ソース層の深さ方向の厚みよりも小さくてもよい。前記p型トレンチ下層の不純物濃度を調整することにより、帰還容量を調整することができる。

[0058] 上記電界効果トランジスタでは、前記p型トレンチ下層が、前記トレンチの長手方向に沿って分断されていてもよい。前記各p型ディープ層は、前記p型トレンチ下層の分断された部分を通過してもよい。この電界効果トランジスタでは、リーク電流の増加が抑えられる。

[0059] 上記電界効果トランジスタでは、前記複数のn型ディープ層が、前記ボディ層の下面から前記複数のp型ディープ層の下面よりも下側まで伸びていてもよい。

[0060] 上記電界効果トランジスタでは、前記第1方向が、上側から前記半導体基板を見たときに、前記トレンチに対して直交していてもよい。

[0061] 本明細書が開示する電界効果トランジスタの製造方法は、n型のエピタキシャル層に複数のp型ディープ層と複数のn型ディープ層を形成するディープ層形成工程であって、前記各p型ディープ層が、上側から前記エピタキシャル層を見たときに第1方向に沿って伸びており、上側から前記エピタキシャル層を見たときに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記各n型ディープ層が、対応する前記間隔部内に配置されている、ディープ層形成工程と、前記エピタキシャル層の表面から前記複数のp型ディープ層と前記複数のn型ディープ層を超えない深さのトレンチを形成するトレンチ形成工程であって、前記トレンチは、上側から前記エピタキシャル層を見たときに前記複数のp型ディープ層と前記複数のn型ディープ層に交差している、トレンチ形成工程と、イオン注入技術を利用して、前記エピタキシャル層の表面に向けてp型不純物を導入し、前記複数のp

型ディープ層と前記複数の n 型ディープ層の上側にボディ層を形成する、ボディ層形成工程と、イオン注入技術を利用して、前記トレンチの底面の下側に p 型トレンチ下層を形成する、p 型トレンチ下層形成工程、を有することができる。

[0062] 前記ディープ層形成工程では、イオン注入技術を利用して、前記複数の p 型ディープ層と前記複数の n 型ディープ層が、前記エピタキシャル層の表面から離れた所定深さ範囲に n 型不純物と p 型不純物を導入することによって形成されてもよい。この製造方法によると、再エピ工程を実施することなく、電界効果トランジスタを製造することができる。

[0063] 前記ボディ層形成工程と前記 p 型トレンチ下層形成工程は、前記トレンチ形成工程の後に同時に実施されてもよい。この製造方法によると、低コストで電界効果トランジスタを製造することができる。

[0064] 上記製造方法は、イオン注入技術を利用して、前記エピタキシャル層の上層部に n 型不純物を導入し、ソース層を形成する、ソース層形成工程、をさらに有していてもよい。この場合、前記 p 型トレンチ下層は、第 1 p 型トレンチ下層と、前記第 1 p 型トレンチ下層の上側に配置されている第 2 p 型トレンチ下層、を有していてもよい。前記第 2 p 型トレンチ下層は、前記第 1 p 型トレンチ下層よりも濃度が濃くてもよい、前記第 1 p 型トレンチ下層よりも濃度が薄くてもよい。前記第 2 p 型トレンチ下層の深さ方向の厚みは、前記ソース層の深さ方向の厚みよりも小さくてもよい。この製造方法によると、前記 p 型トレンチ下層の不純物濃度を調整することにより、帰還容量が調整された電界効果トランジスタを製造することができる。

[0065] 前記 p 型トレンチ下層形成工程は、前記トレンチ形成工程の前に実施されてもよい。この場合、前記 p 型トレンチ下層の幅は、前記トレンチの幅よりも狭くてもよい。この製造方法によると、前記 p 型トレンチ下層と前記トレンチの若干の位置合わせのズレを許容することができる。

[0066] 前記 p 型トレンチ下層形成工程は、前記ディープ層形成工程のうちの前記複数の p 型ディープ層を形成する工程と同時に実施されてもよい。この製造

方法によると、低コストで電界効果トランジスタを製造することができる。

[0067] 以上、実施形態について詳細に説明したが、これらは例示にすぎず、請求の範囲を限定するものではない。請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

請求の範囲

[請求項1]

電界効果トランジスタ（10）であって、
上面にトレンチ（14）が設けられた半導体基板（12）と、
前記トレンチの内面を覆うゲート絶縁膜（16）と、
前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極（18）、
を有し、
前記半導体基板が、
前記トレンチの側面で前記ゲート絶縁膜に接するn型のソース層（30）と、
前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接するp型のボディ層（34）と、
前記トレンチの下側に配置されており、上側から前記半導体基板を見たときに前記トレンチの長手方向に沿って伸びているp型トレンチ下層（35）と、
複数のp型ディープ層（36）と、
複数のn型ディープ層（37）、
を有し、
前記各p型ディープ層が、前記ボディ層から下側に突出しており、前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第1方向に沿って伸びており、上側から前記半導体基板を見たときに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記トレンチの下側に配置されている前記p型トレンチ下層に接しており、
前記各n型ディープ層が、対応する前記間隔部内に配置されており、前記ボディ層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接している、

電界効果トランジスタ。

[請求項2] 前記ソース層は、上側から前記半導体基板を見たときに前記トレンチの長手方向に対して平行に伸びている、請求項1に記載の電界効果トランジスタ。

[請求項3] 前記半導体基板が、

前記ボディ層上に設けられており、前記ボディ層よりも高いp型不純物濃度を有するコンタクト層（32）、を有しており、

前記コンタクト層は、上側から前記半導体基板を見たときに前記トレンチの長手方向に対して平行に伸びている、請求項1又は2に記載の電界効果トランジスタ。

[請求項4] 前記各n型ディープ層は、

n型ディープ下層（137A）と、

前記n型ディープ下層の上側に配置されており、前記n型ディープ下層よりも高いn型不純物濃度を有するn型ディープ上層（137B）、

を有し、

前記n型ディープ上層は、前記トレンチの底面よりも上側に配置されている、請求項1～3のいずれか一項に記載の電界効果トランジスタ。

[請求項5] 前記各p型ディープ層は、

p型ディープ下層（136A）と、

前記p型ディープ下層の上側に配置されており、前記p型ディープ下層よりも高いp型不純物濃度を有するp型ディープ上層（136B）、

を有し、

前記p型ディープ上層は、前記トレンチの底面よりも上側に配置されている、請求項1～4のいずれか一項に記載の電界効果トランジスタ。

- [請求項6] 対応する前記トレンチの底面から前記各 p 型トレンチ下層の下面までの深さは、前記半導体基板の上面から前記ボディ層の下面までの深さと一致する、請求項 1 ～ 5 のいずれか一項に記載の電界効果トランジスタ。
- [請求項7] 前記 p 型トレンチ下層は、前記トレンチの底面から離れている、請求項 6 に記載の電界効果トランジスタ。
- [請求項8] 前記 p 型トレンチ下層は、深さ方向に濃度が異なる複数の部分を有している、請求項 6 に記載の電界効果トランジスタ。
- [請求項9] 前記 p 型トレンチ下層は、
第 1 p 型トレンチ下層（1 3 5 A）と、
前記第 1 p 型トレンチ下層の上側に配置されている第 2 p 型トレンチ下層（1 3 5 B）、
を有し、
前記第 2 p 型トレンチ下層は、前記第 1 p 型トレンチ下層よりも濃度が濃い、請求項 8 に記載の電界効果トランジスタ。
- [請求項10] 前記 p 型トレンチ下層は、
第 1 p 型トレンチ下層（1 3 5 A）と、
前記第 1 p 型トレンチ下層の上側に配置されている第 2 p 型トレンチ下層（1 3 5 B）、
を有し、
前記第 2 p 型トレンチ下層は、前記第 1 p 型トレンチ下層よりも濃度が薄い、請求項 8 に記載の電界効果トランジスタ。
- [請求項11] 前記第 2 p 型トレンチ下層の深さ方向の厚みは、前記ソース層の深さ方向の厚みよりも小さい、請求項 9 又は 10 に記載の電界効果トランジスタ。
- [請求項12] 前記 p 型トレンチ下層は、前記トレンチの長手方向に沿って分断されており、
前記各 p 型ディープ層は、前記 p 型トレンチ下層の分断された部分

を通過する、請求項 1 ～ 11 のいずれか一項に記載の電界効果トランジスタ。

[請求項13]

電界効果トランジスタ（10）の製造方法であって、

n 型のエピタキシャル層（50）に複数の p 型ディープ層（36）と複数の n 型ディープ層（37，137）を形成するディープ層形成工程であって、前記各 p 型ディープ層が、上側から前記エピタキシャル層を見たときに第 1 方向に沿って伸びており、上側から前記エピタキシャル層を見たときに前記第 1 方向に対して直交する第 2 方向に間隔部を開けて配置されており、前記各 n 型ディープ層が、対応する前記間隔部内に配置されている、ディープ層形成工程と、

前記エピタキシャル層の表面から前記複数の p 型ディープ層と前記複数の n 型ディープ層を超えない深さのトレンチ（14）を形成するトレンチ形成工程であって、前記トレンチは、上側から前記エピタキシャル層を見たときに前記複数の p 型ディープ層と前記複数の n 型ディープ層に交差している、トレンチ形成工程と、

イオン注入技術を利用して、前記エピタキシャル層の表面に向けて p 型不純物を導入し、前記複数の p 型ディープ層と前記複数の n 型ディープ層の上側にボディ層（34）を形成する、ボディ層形成工程と、

イオン注入技術を利用して、前記トレンチの底面の下側に p 型トレンチ下層（35）を形成する、p 型トレンチ下層形成工程、

を有する、電界効果トランジスタの製造方法。

[請求項14]

前記ディープ層形成工程では、イオン注入技術を利用して、前記複数の p 型ディープ層と前記複数の n 型ディープ層が、前記エピタキシャル層の表面から離れた所定深さ範囲に n 型不純物と p 型不純物を導入することによって形成される、請求項 13 に記載の電界効果トランジスタの製造方法。

[請求項15]

前記ボディ層形成工程と前記 p 型トレンチ下層形成工程は、前記ト

レンチ形成工程の後に同時に実施される、請求項 13 又は 14 に記載の電界効果トランジスタの製造方法。

[請求項16] イオン注入技術を利用して、前記エピタキシャル層の上層部に n 型不純物を導入し、ソース層（30）を形成する、ソース層形成工程、をさらに有し、

前記 p 型トレンチ下層は、

第 1 p 型トレンチ下層（135A）と、

前記第 1 p 型トレンチ下層の上側に配置されている第 2 p 型トレンチ下層（135B）、

を有し、

前記第 2 p 型トレンチ下層は、前記第 1 p 型トレンチ下層よりも濃度が濃く、

前記第 2 p 型トレンチ下層の深さ方向の厚みは、前記ソース層の深さ方向の厚みよりも小さい、請求項 15 に記載の電界効果トランジスタの製造方法。

[請求項17] イオン注入技術を利用して、前記エピタキシャル層の上層部に n 型不純物を導入し、ソース層を形成する、ソース層形成工程、をさらに有し、

前記 p 型トレンチ下層は、

第 1 p 型トレンチ下層（135A）と、

前記第 1 p 型トレンチ下層の上側に配置されている第 2 p 型トレンチ下層（135B）、

を有し、

前記第 2 p 型トレンチ下層は、前記第 1 p 型トレンチ下層よりも濃度が薄く、

前記第 2 p 型トレンチ下層の深さ方向の厚みは、前記ソース層の深さ方向の厚みよりも小さい、請求項 15 に記載の電界効果トランジスタの製造方法。

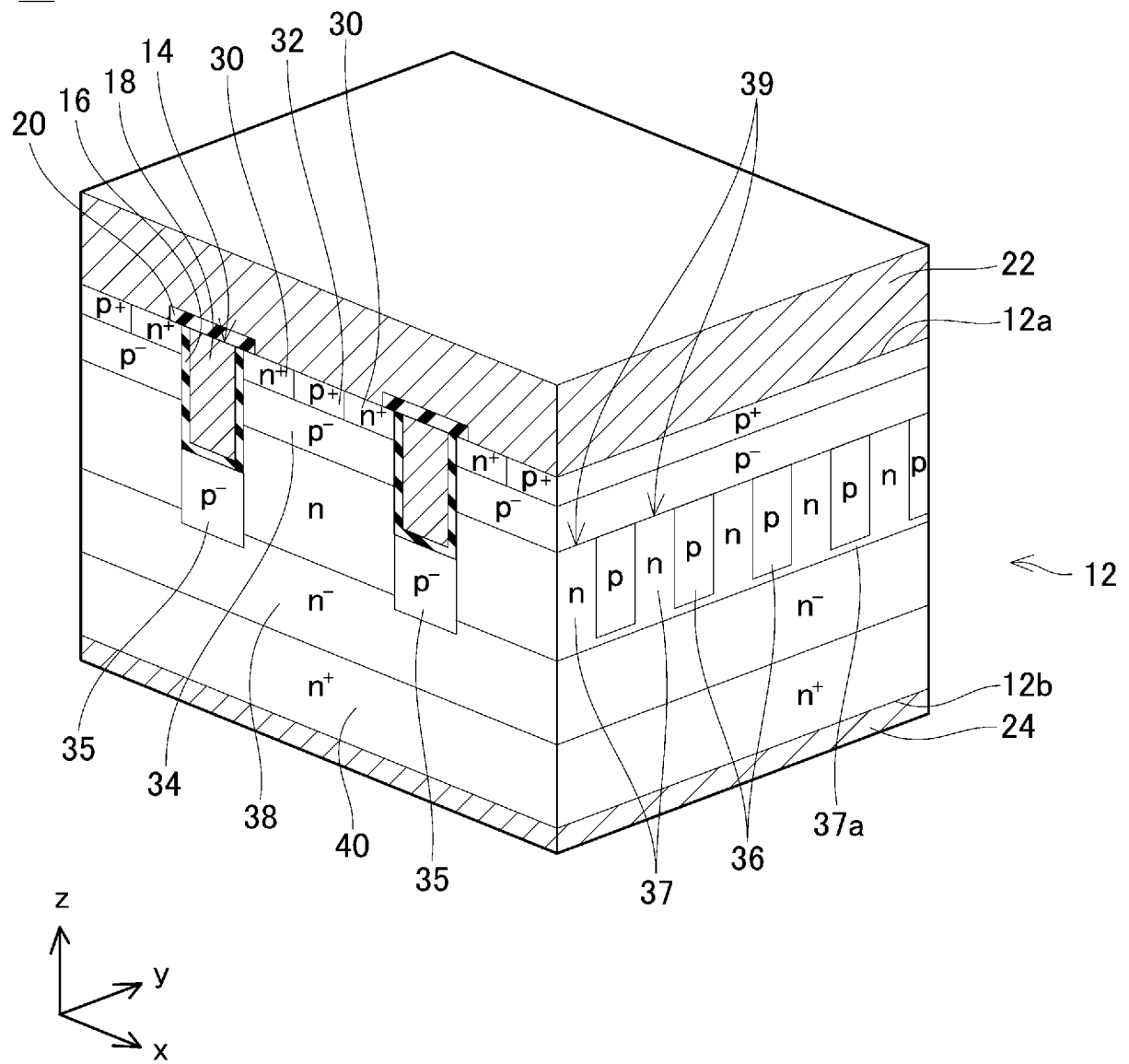
[請求項18] 前記 p 型トレンチ下層形成工程は、前記トレンチ形成工程の前に実施され、

前記 p 型トレンチ下層の幅は、前記トレンチの幅よりも狭い、請求項 1 3 又は 1 4 に記載の電界効果トランジスタの製造方法。

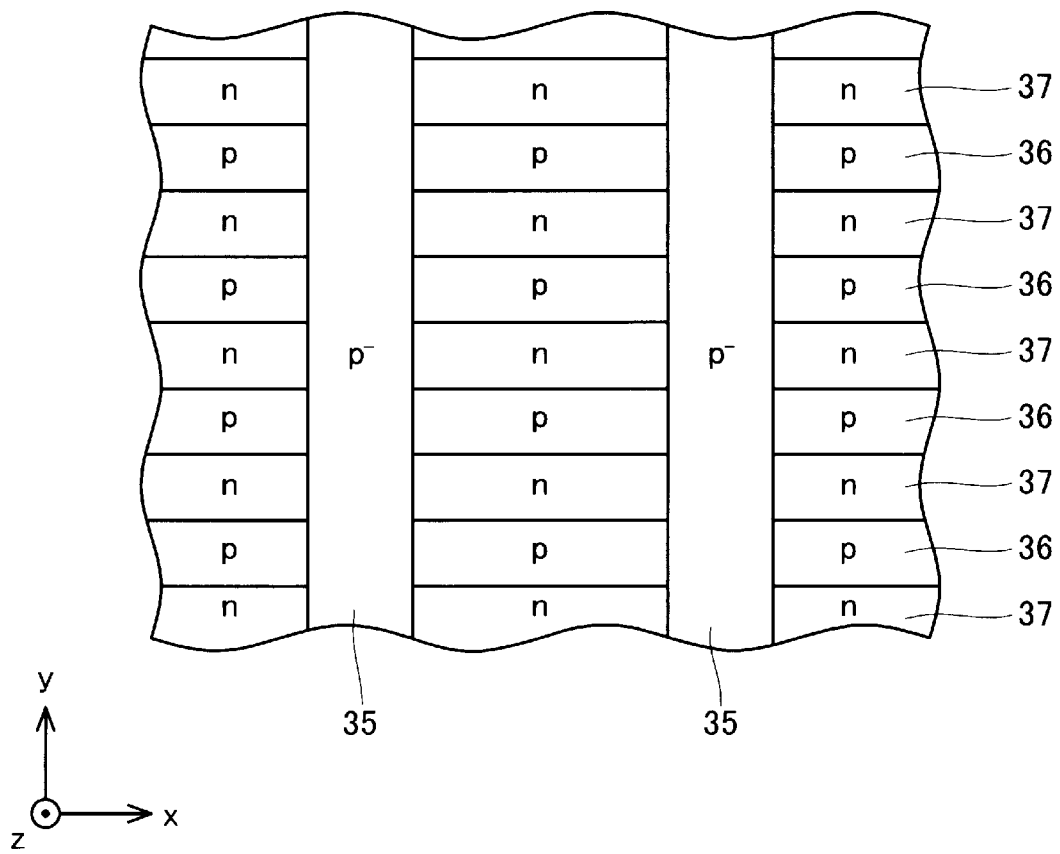
[請求項19] 前記 p 型トレンチ下層形成工程は、前記ディープ層形成工程のうちの前記複数の p 型ディープ層を形成する工程と同時に実施される、請求項 1 8 に記載の電界効果トランジスタの製造方法。

[図1]

10

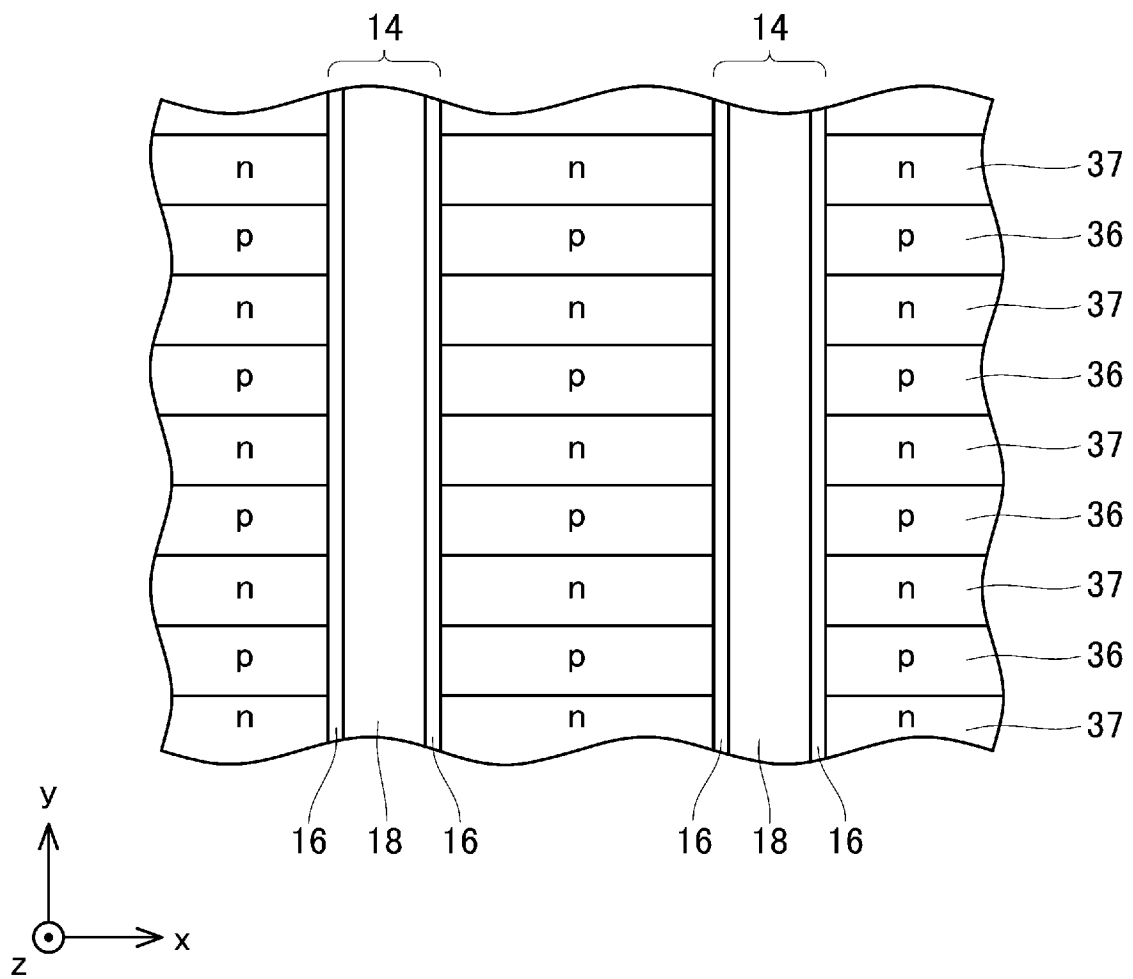


[図3]

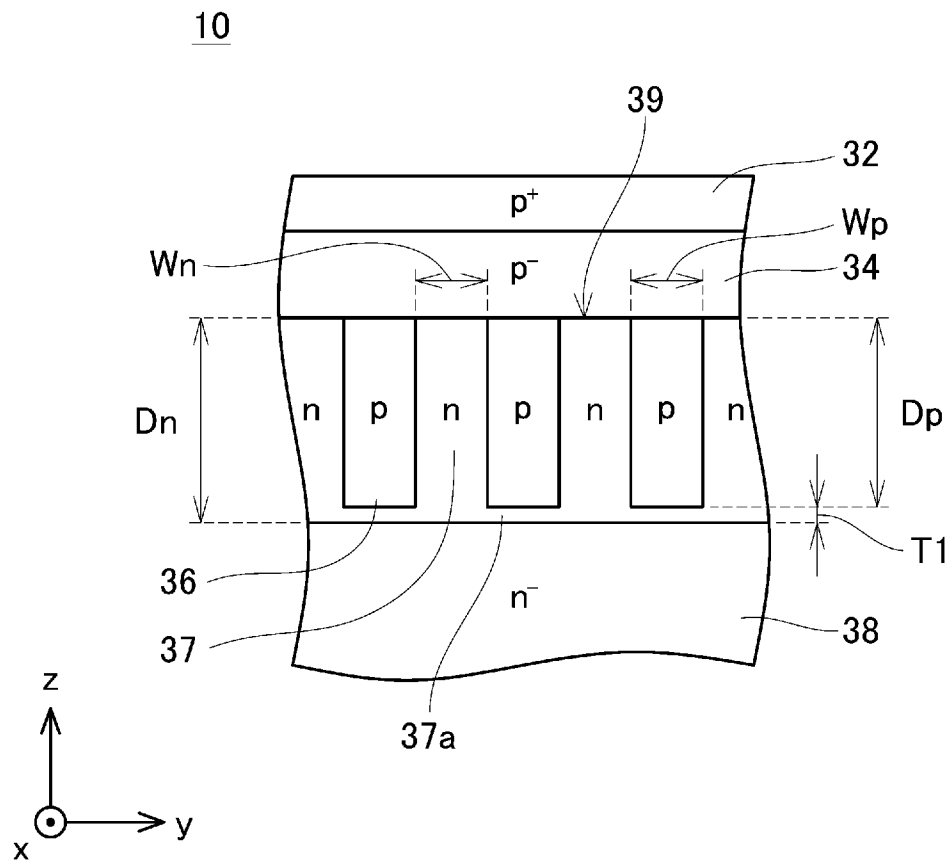
10

[図4]

10

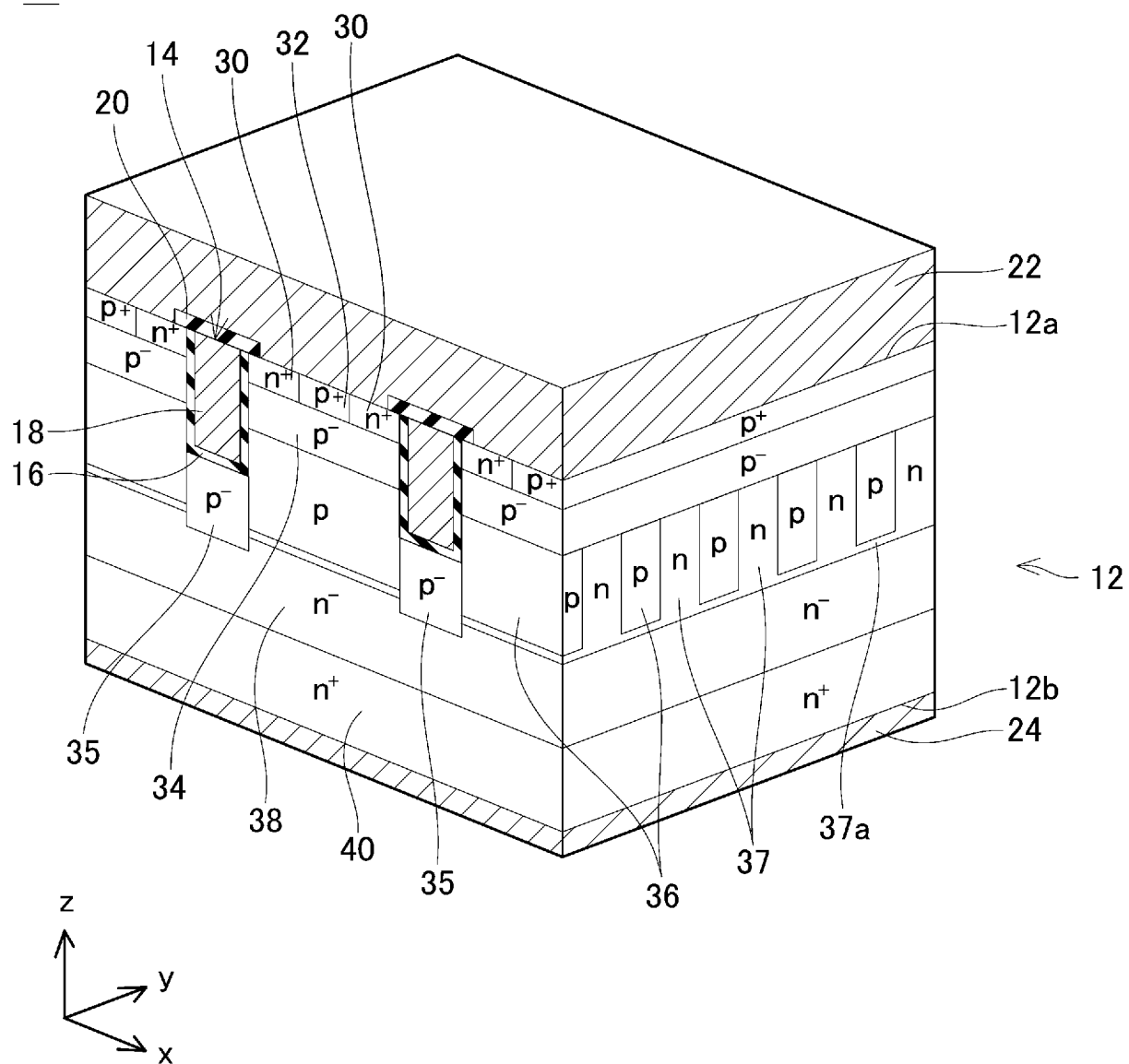


[図5]



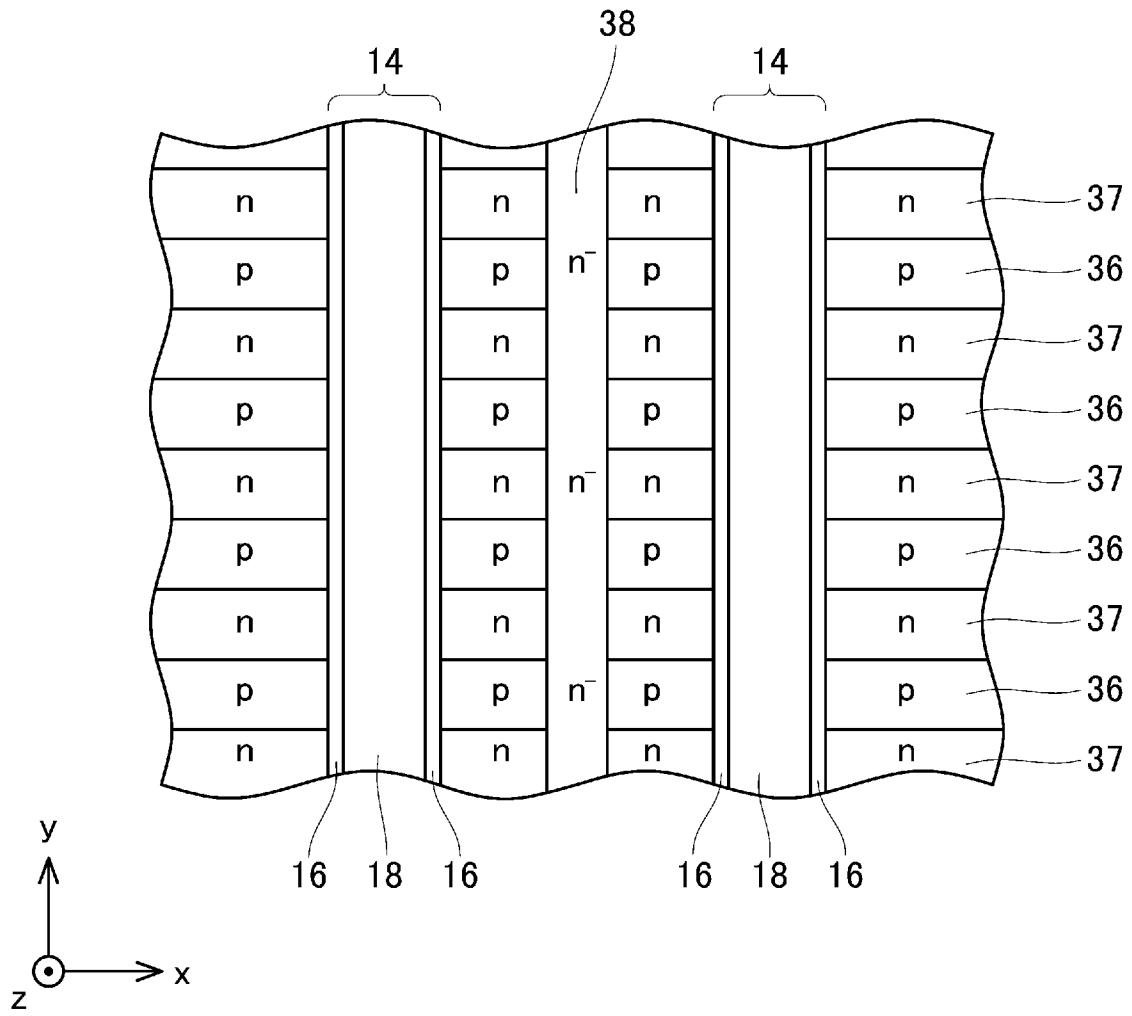
[図6]

10



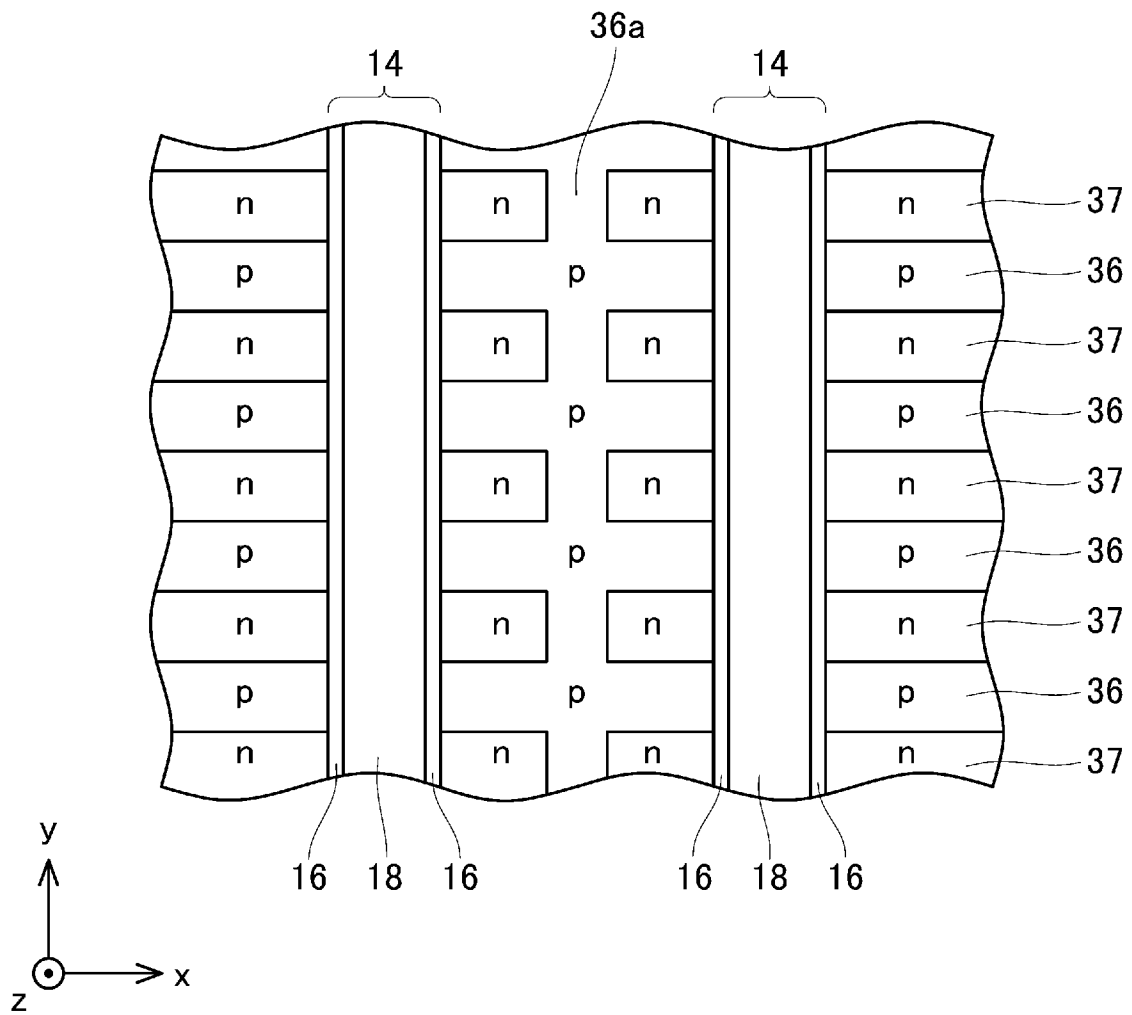
[図7]

10



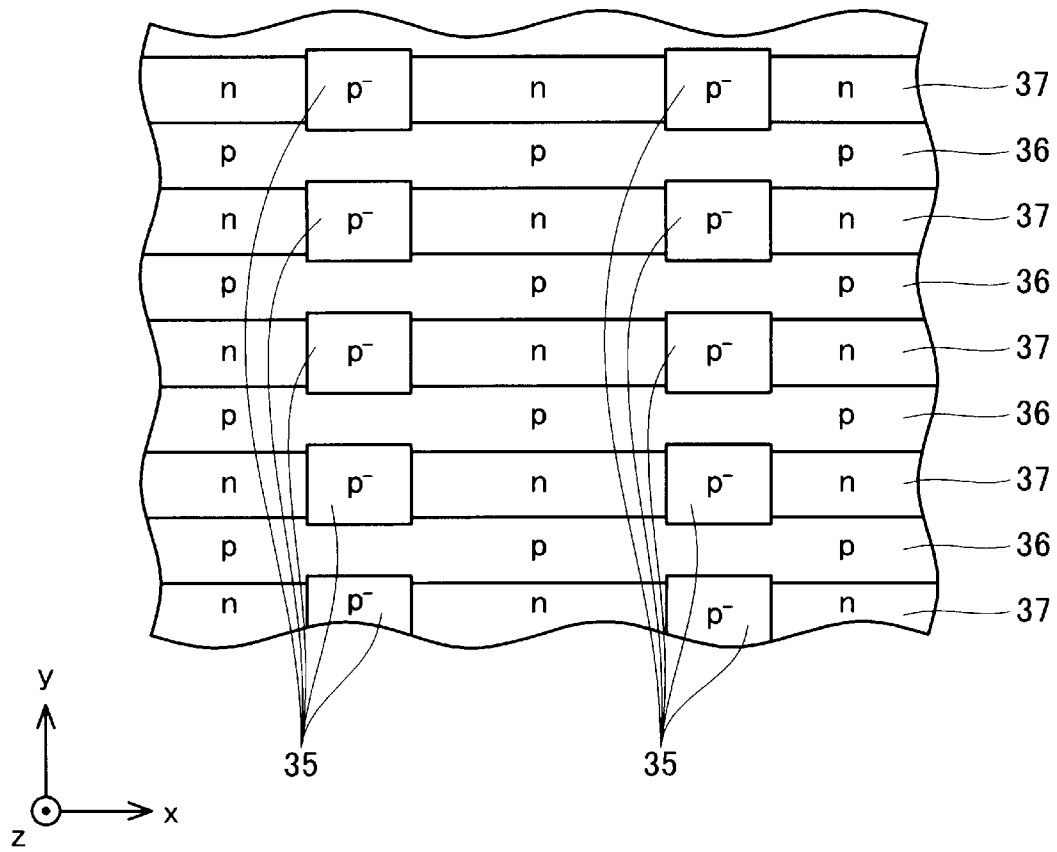
[図8]

10



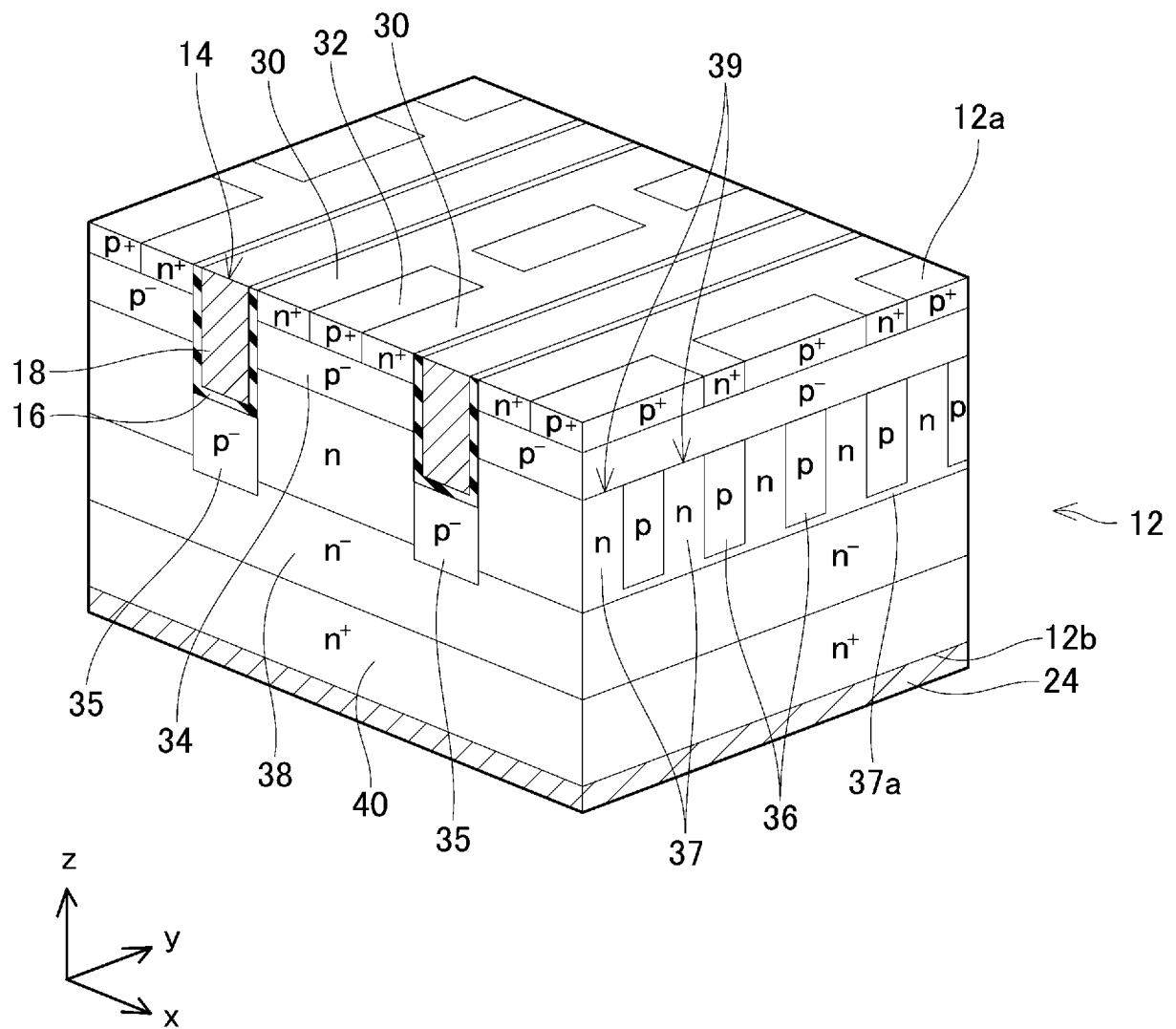
[図9]

10



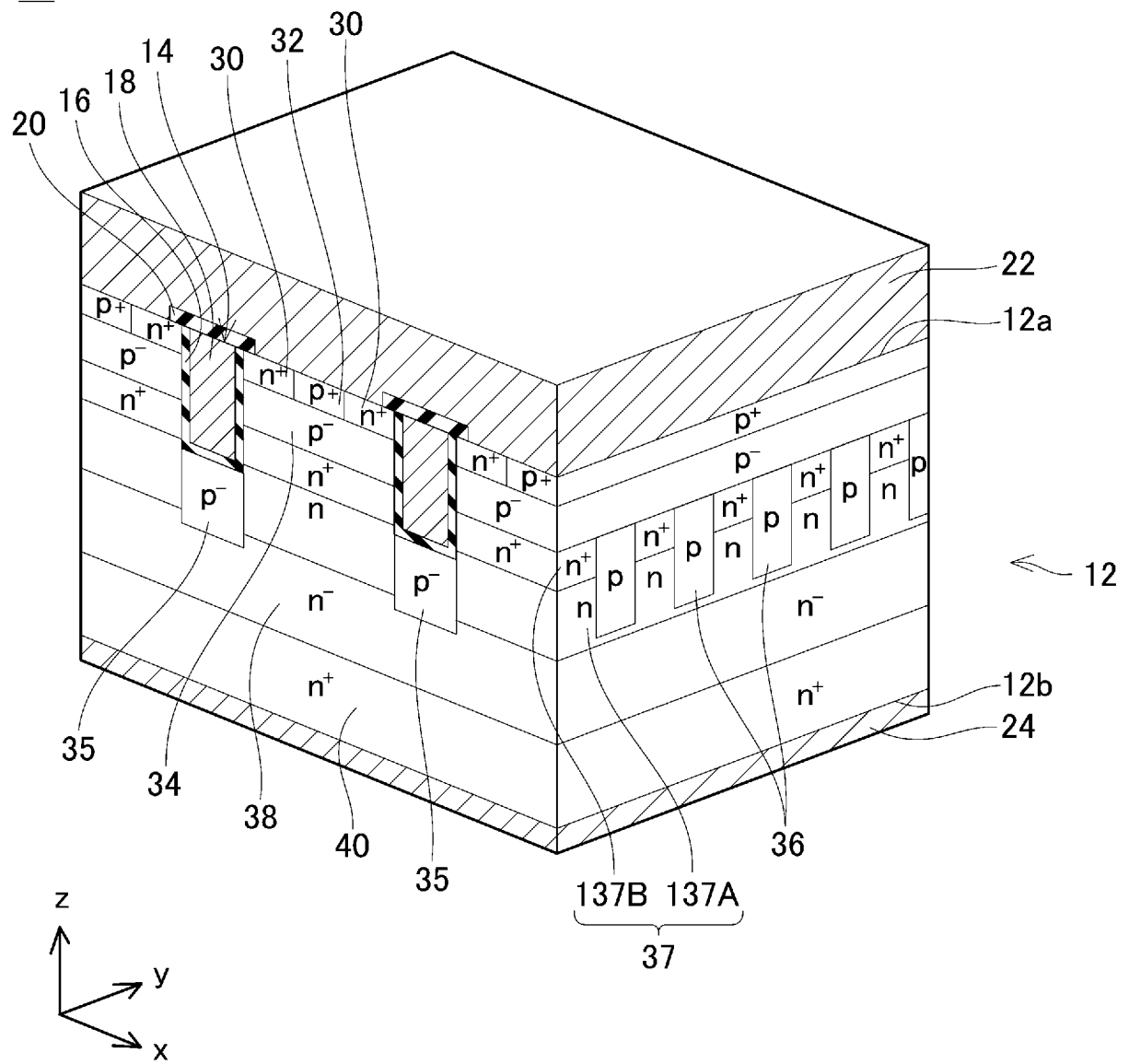
[図10]

10



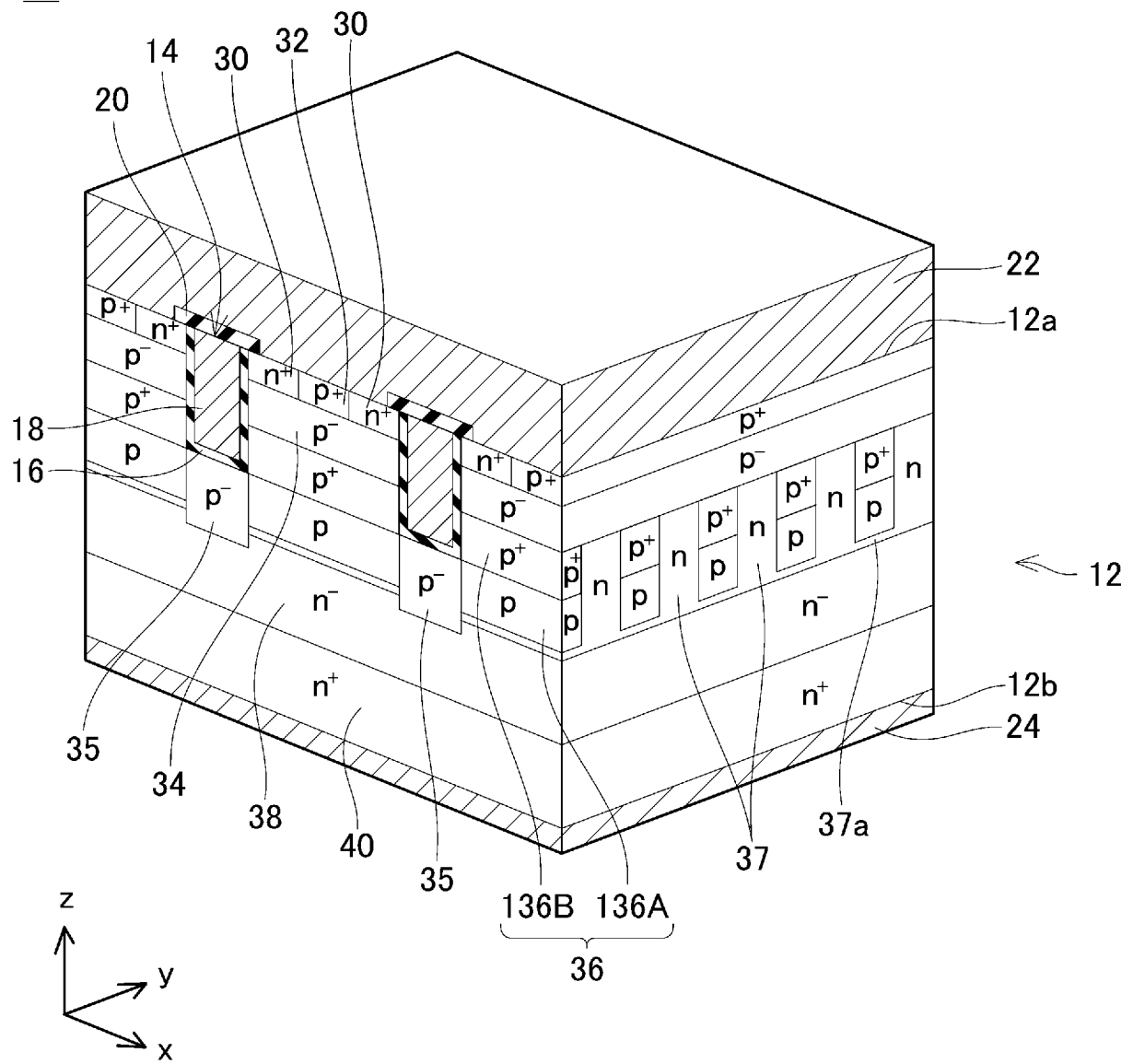
[図11]

10



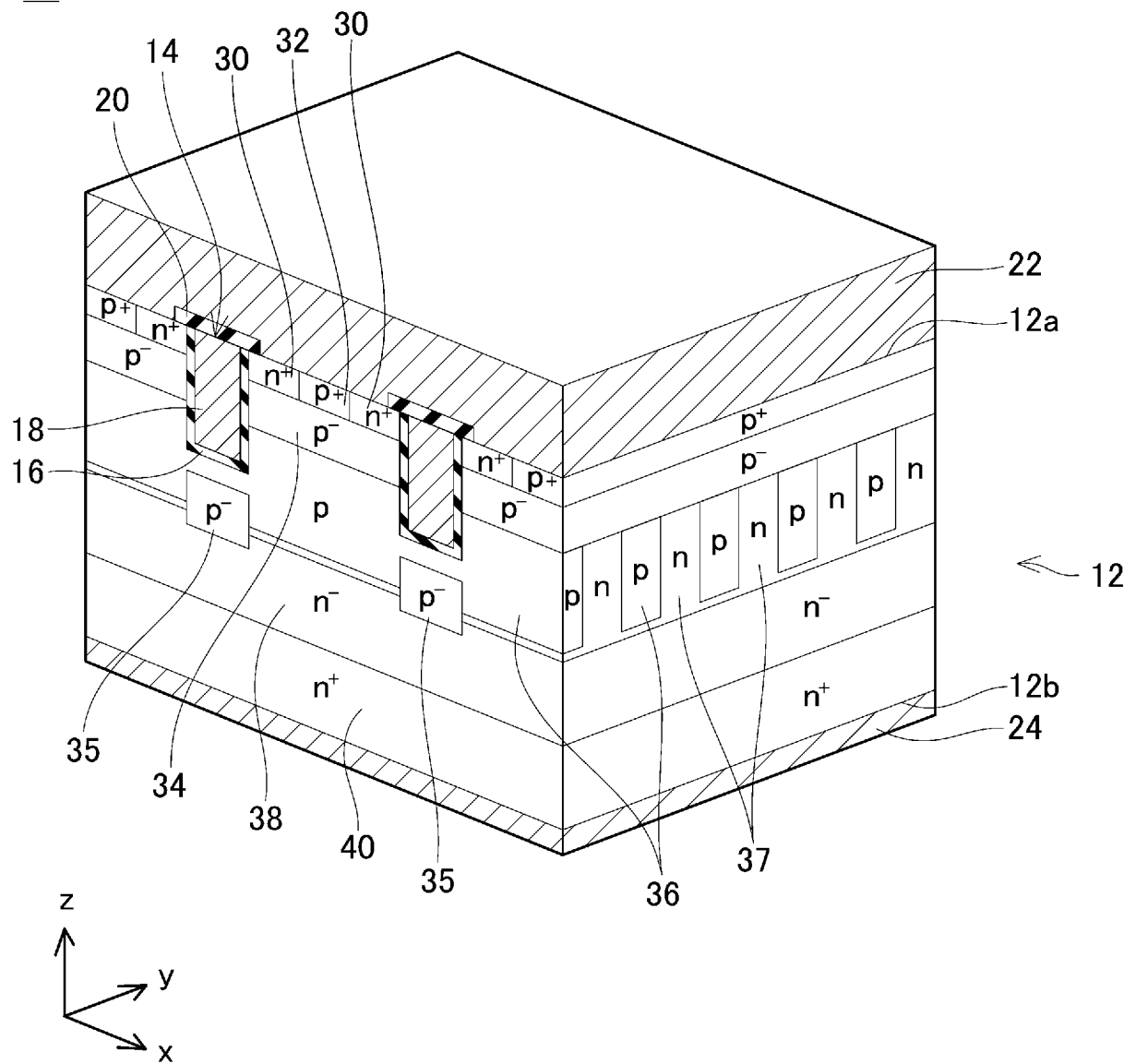
[図12]

10

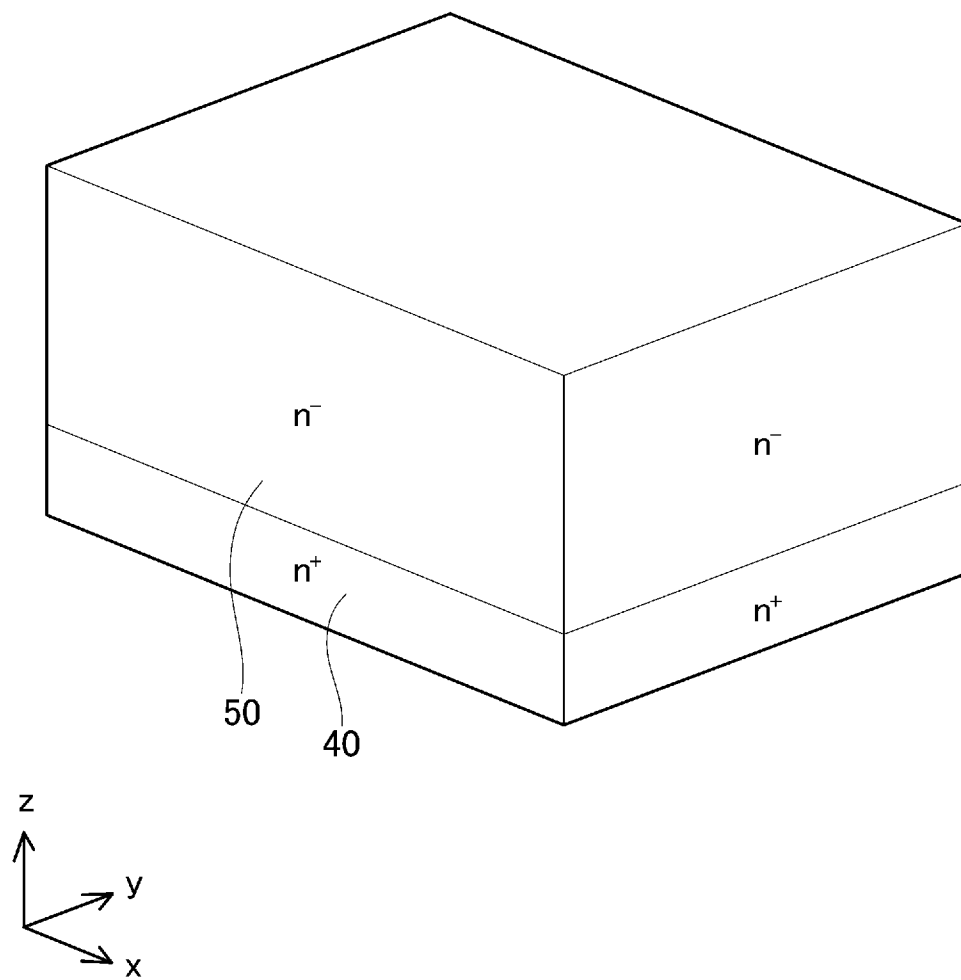


[図14]

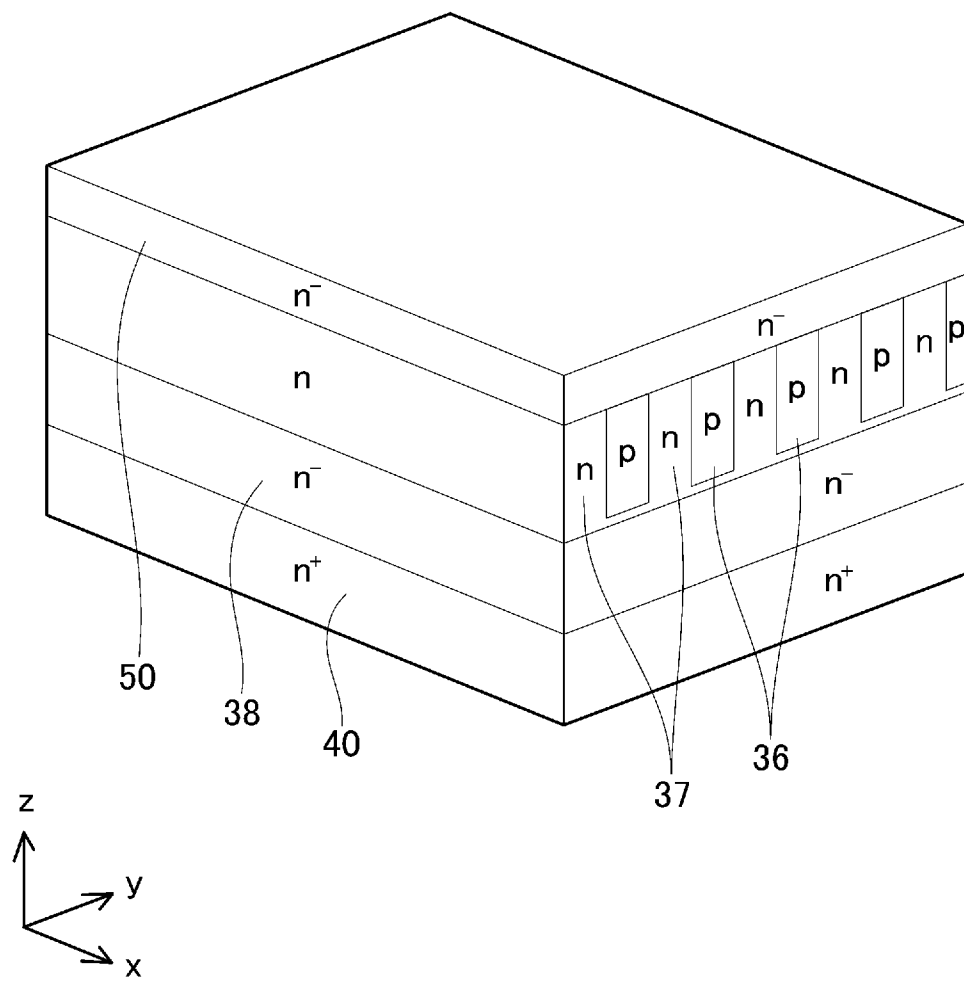
10



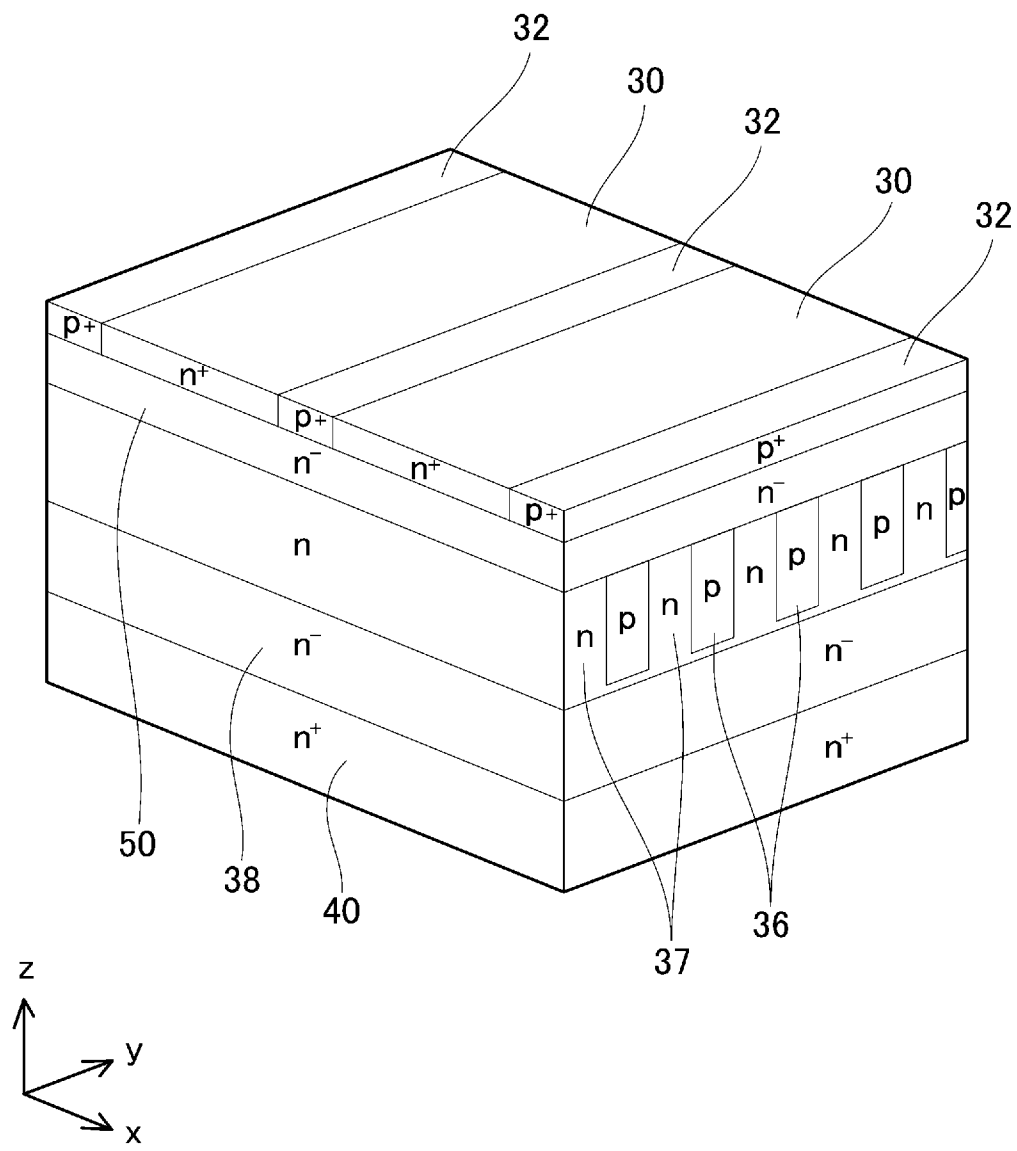
[図15]



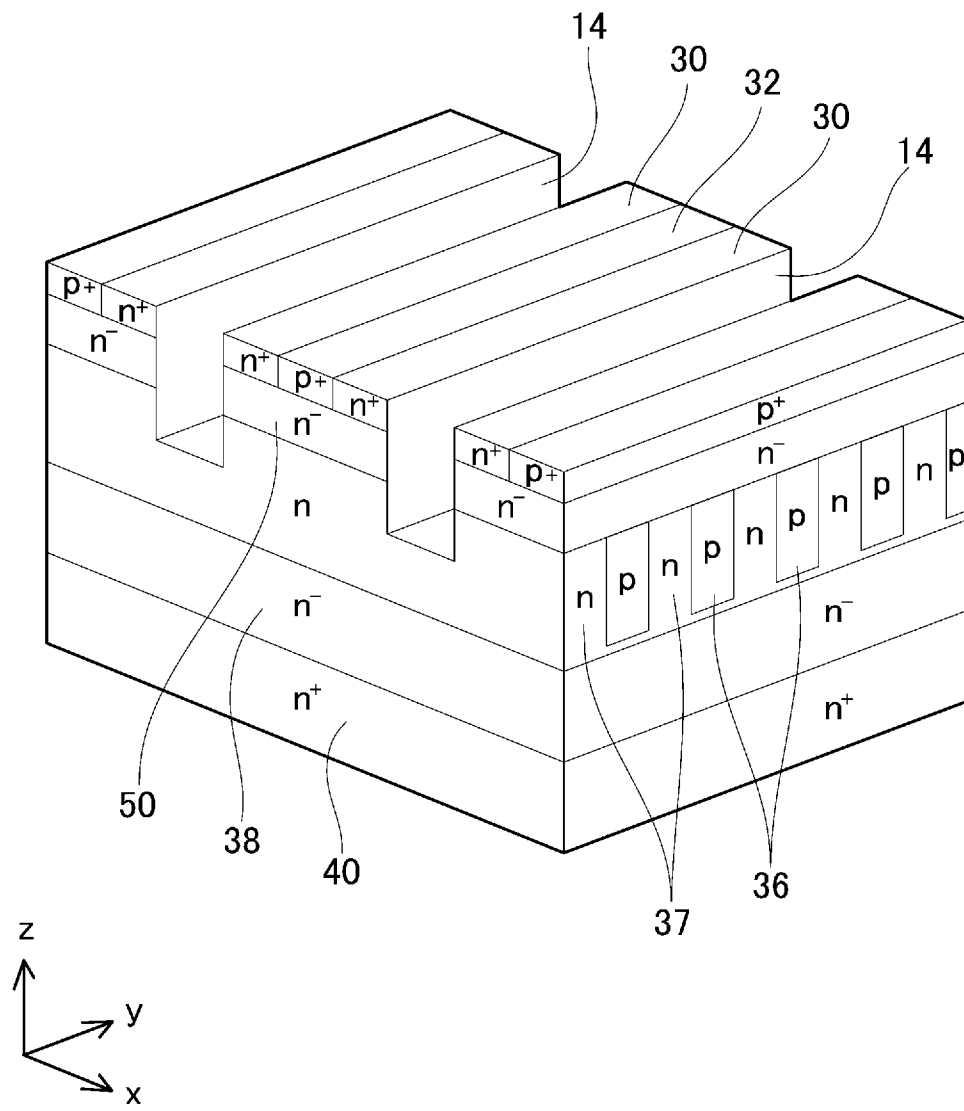
[図16]



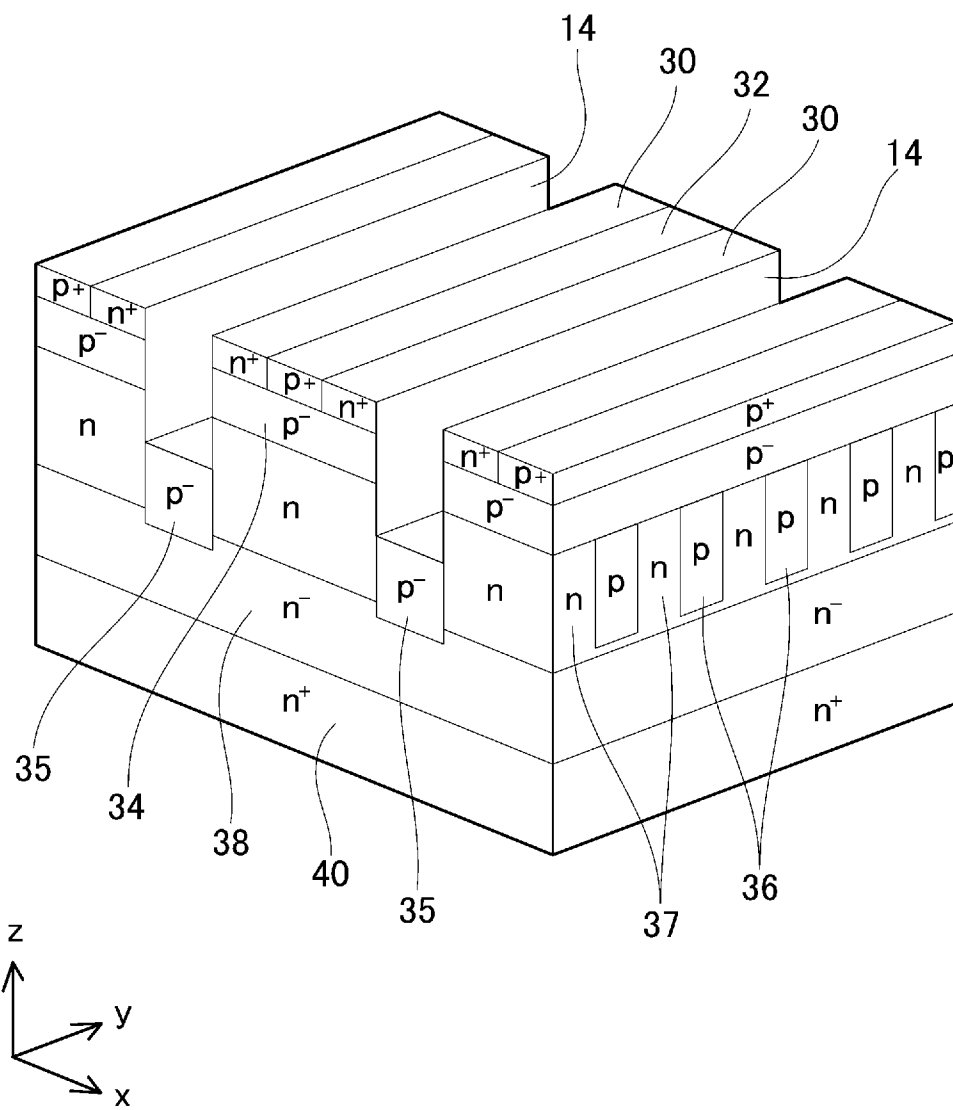
[図17]



[図18]

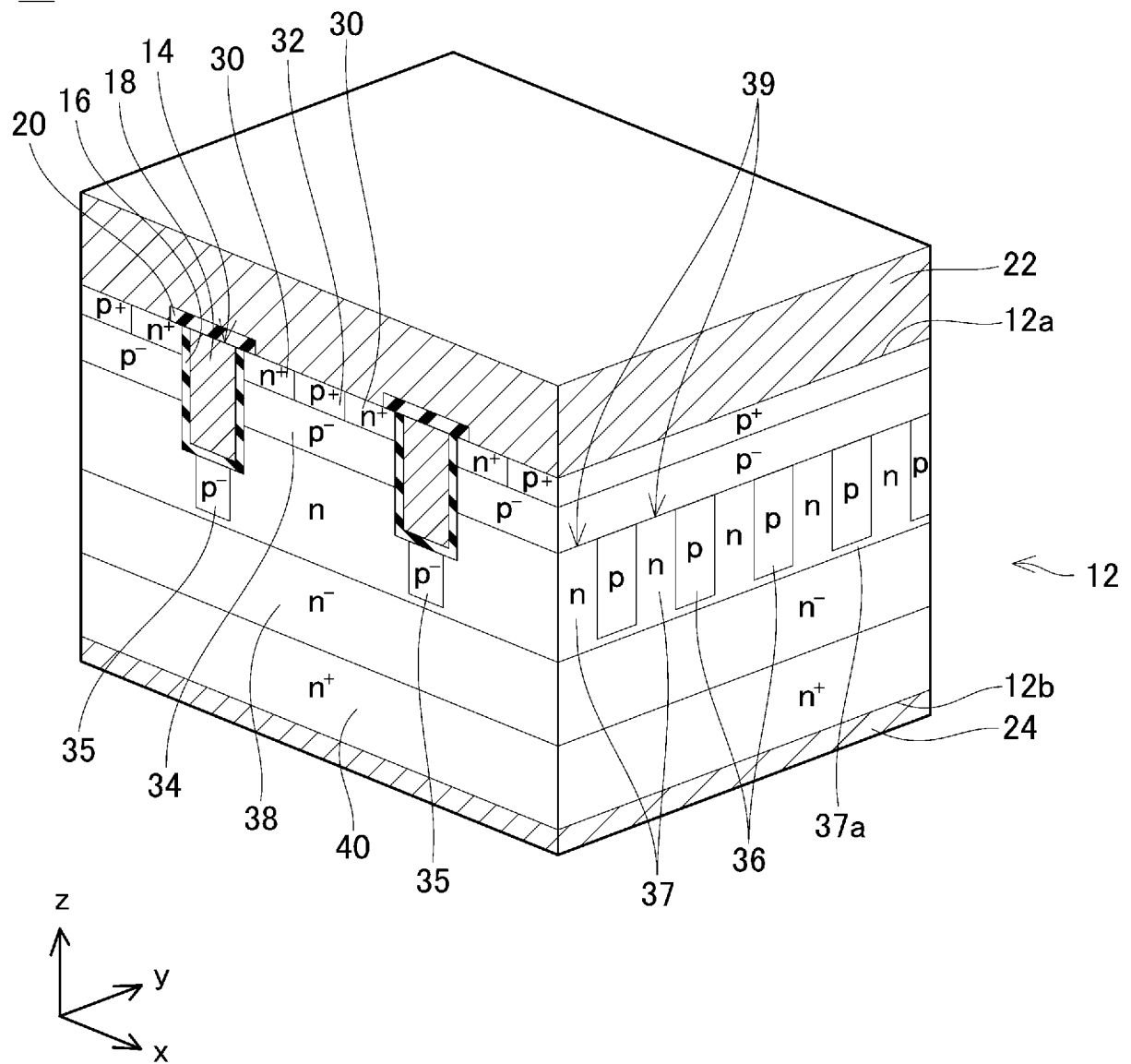


[図19]



[図20]

10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/040836

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/06**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 21/336**(2006.01)i

FI: H01L29/78 652H; H01L29/78 652T; H01L29/78 653A; H01L29/06 301V; H01L29/06 301D; H01L29/78 652C; H01L29/78 652F; H01L29/78 652J; H01L29/78 658A; H01L29/78 652E; H01L29/78 652K; H01L29/78 652D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06; H01L29/78; H01L29/12; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-225615 A (DENSO CORP.) 07 October 2010 (2010-10-07)	1-4
A	paragraphs [0064]-[0077], fig. 1-3	5-19
Y	WO 2016/157606 A1 (MITSUBISHI ELECTRIC CORP.) 06 October 2016 (2016-10-06)	1-4
A	paragraphs [0014]-[0033], fig. 1-3	5-19
Y	JP 2015-046628 A (MITSUBISHI ELECTRIC CORP.) 12 March 2015 (2015-03-12)	1-4
A	paragraphs [0087]-[0103], fig. 16	5-19
Y	JP 2012-169384 A (DENSO CORP., TOYOTA MOTOR CORP., TOYOTA CENTRAL R&D LABS., INC.) 06 September 2012 (2012-09-06)	4
A	paragraphs [0066]-[0070], fig. 12, 13	1-3, 5-19

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 January 2022

Date of mailing of the international search report

01 February 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/040836**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-169386 A (DENSO CORP., TOYOTA MOTOR CORP., TOYOTA CENTRAL R&D LABS., INC.) 06 September 2012 (2012-09-06) paragraphs [0028]-[0046], fig. 1-3	1-19
A	JP 2020-109809 A (DENSO CORP., TOYOTA MOTOR CORP.) 16 July 2020 (2020-07-16) paragraphs [0090]-[0092], fig. 13	1-19
A	JP 2018-113421 A (TOYOTA MOTOR CORP., DENSO CORP.) 19 July 2018 (2018-07-19) paragraphs [0016]-[0025], fig. 1	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/040836

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-225615	A	07 October 2010	(Family: none)	
WO	2016/157606	A1	06 October 2016	US 2018/0076285 A1 paragraphs [0035]-[0054], fig. 1-3	
				DE 112015006403 T5	
				CN 107431091 A	
JP	2015-046628	A	12 March 2015	(Family: none)	
JP	2012-169384	A	06 September 2012	US 2014/0175459 A1 paragraphs [0105]-[0109], fig. 12-13	
				WO 2012/108166 A1	
				DE 112012000748 T5	
				CN 103348478 A	
JP	2012-169386	A	06 September 2012	US 2012/0319136 A1 paragraphs [0091]-[0108], fig. 1-3	
				WO 2012/108167 A1	
				DE 112012000755 T5	
				CN 102844867 A	
JP	2020-109809	A	16 July 2020	(Family: none)	
JP	2018-113421	A	19 July 2018	US 2018/0204906 A1 paragraphs [0031]-[0040], fig. 1	
				DE 102018200237 A1	
				CN 108364861 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/06(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 652H; H01L29/78 652T; H01L29/78 653A; H01L29/06 301V; H01L29/06 301D; H01L29/78 652C; H01L29/78 652F; H01L29/78 652J; H01L29/78 658A; H01L29/78 652E; H01L29/78 652K; H01L29/78 652D		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/06; H01L29/78; H01L29/12; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-225615 A（株式会社デンソー）07.10.2010（2010-10-07） 段落0064-0077, 図1-3	1-4 5-19
Y A	WO 2016/157606 A1（三菱電機株式会社）06.10.2016（2016-10-06） 段落0014-0033, 図1-3	1-4 5-19
Y A	JP 2015-046628 A（三菱電機株式会社）12.03.2015（2015-03-12） 段落0087-0103, 図16	1-4 5-19
Y A	JP 2012-169384 A（株式会社デンソー, トヨタ自動車株式会社, 株式会社豊田中央研 究所）06.09.2012（2012-09-06） 段落0066-0070, 図12, 13	4 1-3, 5-19
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 20.01.2022		国際調査報告の発送日 01.02.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 恩田 和彦 5F 5896 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-169386 A (株式会社デンソー, トヨタ自動車株式会社, 株式会社豊田中央研究所) 06.09.2012 (2012 - 09 - 06) 段落0028-0046, 図1-3	1-19
A	JP 2020-109809 A (株式会社デンソー, トヨタ自動車株式会社) 16.07.2020 (2020 - 07 - 16) 段落0090-0092, 図13	1-19
A	JP 2018-113421 A (トヨタ自動車株式会社, 株式会社デンソー) 19.07.2018 (2018 - 07 - 19) 段落0016-0025, 図1	1-19

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/040836

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-225615	A	07.10.2010	(ファミリーなし)	
WO	2016/157606	A1	06.10.2016	US 2018/0076285	A1
				段落0035-0054, 図1-3	
				DE 112015006403	T5
				CN 107431091	A
JP	2015-046628	A	12.03.2015	(ファミリーなし)	
JP	2012-169384	A	06.09.2012	US 2014/0175459	A1
				段落0105-0109, 図12-13	
				WO 2012/108166	A1
				DE 112012000748	T5
				CN 103348478	A
JP	2012-169386	A	06.09.2012	US 2012/0319136	A1
				段落0091-0108, 図1-3	
				WO 2012/108167	A1
				DE 112012000755	T5
				CN 102844867	A
JP	2020-109809	A	16.07.2020	(ファミリーなし)	
JP	2018-113421	A	19.07.2018	US 2018/0204906	A1
				段落0031-0040, 図1	
				DE 102018200237	A1
				CN 108364861	A