



(12) 发明专利

(10) 授权公告号 CN 101809767 B

(45) 授权公告日 2012.06.13

(21) 申请号 200880108978.2

代理人 陈炜 许伟群

(22) 申请日 2008.09.12

(51) Int. Cl.

(30) 优先权数据

H01L 33/00 (2006.01)

102007046027.0 2007.09.26 DE

H01S 5/343 (2006.01)

(85) PCT申请进入国家阶段日

(56) 对比文件

2010.03.26

EP 1076390 A2, 2001.02.14,

(86) PCT申请的申请数据

WO 02080320 A1, 2002.10.10,

PCT/DE2008/001534 2008.09.12

WO 03065526 A1, 2003.08.07,

(87) PCT申请的公布数据

WO 2004051759 A1, 2004.06.17,

W02009/039830 DE 2009.04.02

审查员 房华龙

(73) 专利权人 欧司朗光电半导体有限公司

地址 德国雷根斯堡

(72) 发明人 彼得·施陶斯 马蒂亚斯·彼得

亚历山大·沃尔特

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

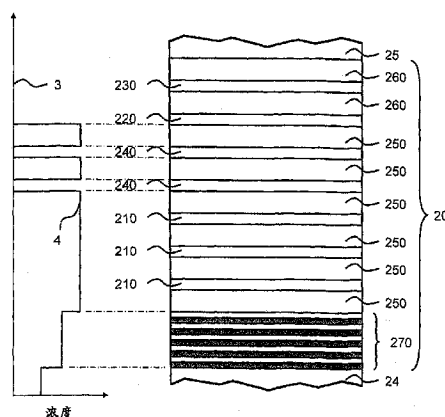
权利要求书 1 页 说明书 6 页 附图 3 页

(54) 发明名称

带有多量子阱结构的光电子半导体芯片

(57) 摘要

本发明提出了一种光电子半导体芯片,其具有有源区(20),该有源区包含设计用于产生电磁辐射的多量子阱结构,该多量子阱结构具有多个相继的量子阱层(210,220,230)。多量子阱结构具有至少一个第一量子阱层(210),其被n导电地掺杂并且设置在与所述第一量子阱层(210)邻接的n导电地掺杂的两个势垒层(250)之间。多量子阱结构具有第二量子阱层(220),其未掺杂并且设置在与所述第二量子阱层邻接的两个势垒层(250,260)之间,其中一个势垒层n导电地掺杂而另一个未掺杂。此外,多量子阱结构具有至少一个第三量子阱层(230),其未掺杂并且设置在与所述第三量子阱层邻接的未掺杂的两个势垒层(260)之间。



1. 一种光电子半导体芯片,具有有源区(20),该有源区包含设计用于产生电磁辐射的多量子阱结构,该多量子阱结构包含多个相继的量子阱层(210,220,230),其中所述多量子阱结构具有:

- 至少一个第一量子阱层(210),其n导电地掺杂并且设置在与所述第一量子阱层(210)邻接的、n导电地掺杂的两个势垒层(250)之间,
- 第二量子阱层(220),其未掺杂并且设置在两个与所述第二量子阱层邻接的势垒层(250,260)之间,其中一个势垒层n导电地掺杂而另一个未掺杂,以及
- 至少一个第三量子阱层(230),其未掺杂并且设置在与所述第三量子阱层邻接的、未掺杂的两个势垒层(260)之间。

2. 根据权利要求1所述的光电子半导体芯片,其中所述至少一个第一量子阱层、第二量子阱层和所述至少一个第三量子阱层(210,220,230)在从半导体芯片的n侧至p侧的方向上以上述顺序相继。

3. 根据权利要求1所述的光电子半导体芯片,其中多量子阱结构具有至少一个第四量子阱层(240),所述第四量子阱层未掺杂并且设置在与所述第四量子阱层邻接的、n导电地掺杂的两个势垒层(250)之间。

4. 根据权利要求2所述的光电子半导体芯片,其中多量子阱结构具有至少一个第四量子阱层(240),所述第四量子阱层未掺杂并且设置在与所述第四量子阱层邻接的、n导电地掺杂的两个势垒层(250)之间。

5. 根据上述权利要求之一所述的光电子半导体芯片,该半导体芯片包含的第一量子阱层(210)与第三量子阱层(230)同样多,或者比第三量子阱层(230)更多。

6. 根据权利要求1至4之一所述的光电子半导体芯片,其中有源区(20)最多具有十个量子阱层(210,220,230,240)。

7. 根据权利要求1至4之一所述的光电子半导体芯片,该半导体芯片在从半导体芯片的n侧至p侧的方向上在有源区(20)之前具有成对的交替的层的超晶格(270),该超晶格具有小于或者等于50nm的厚度。

8. 根据权利要求7所述的光电子半导体芯片,其中每对交替的层的至少一个层被n导电地掺杂。

9. 根据权利要求1至4之一所述的光电子半导体芯片,其中所述至少一个第一量子阱层(210)和/或与第一量子阱层(210)邻接的两个势垒层(250)包含浓度(4)大于或者等于 1×10^{18} 原子/cm³的n掺杂材料。

10. 根据权利要求1至4之一所述的光电子半导体芯片,其中势垒层(250,260)的层厚度分别具有在9.5nm到10.5nm之间的值,其中包含边界值。

11. 根据权利要求1至4之一所述的光电子半导体芯片,其中量子阱层(210,220,230,240)的层厚度分别具有2nm到3nm之间的值,其中包含边界值。

12. 根据权利要求1至4之一所述的光电子半导体芯片,该半导体芯片没有生长衬底。

13. 根据权利要求1至4之一所述的光电子半导体芯片,其中有源区(20)基于InGaN化合物半导体材料。

14. 根据权利要求1至4之一所述的光电子半导体芯片,该半导体芯片设计用于发射具有在绿色光谱范围中的强度最大值的电磁辐射。

带有多量子阱结构的光电子半导体芯片

[0001] 本专利申请要求德国专利申请 102007046027.0 的优先权,其公开内容通过引用结合于此。

[0002] 本申请涉及一种带有多量子阱结构的光电子半导体芯片。

[0003] 带有多量子阱结构的光电子半导体芯片例如在出版物 WO 01/39282A2 和 US 5,831,277 中公开。

[0004] 本申请的任务是提出一种带有多量子阱结构的光电子半导体芯片,其是特别高效的。

[0005] 该任务通过根据权利要求 1 所述的光电子半导体芯片来解决。该半导体芯片的有利的扩展方案和改进方案在从属权利要求中进行说明。权利要求的公开内容在此明确地通过引用结合到本说明书中。

[0006] 本申请提出了一种光电子半导体芯片,其具有有源区,该有源区包含为了产生电磁辐射而设置的多量子阱结构。该有源区尤其是外延的半导体层序列的部分区域。半导体芯片例如是发光二极管芯片或者激光二极管芯片。

[0007] 有源区包含多个相继的量子阱层。合乎目的地,每个量子阱层设置在与其关联的两个势垒层之间。换言之,在有源区中相继地分别是势垒层和量子阱层。在每个量子阱层之前尤其是与其关联的势垒层,并且在该量子阱层之后是与其关联的另外的势垒层。表述“之前”和“之后”在本上下文中应理解为分别在半导体芯片的 n 侧至 p 侧的方向上,其中有源区设置在 n 侧和 p 侧之间。

[0008] 术语“多量子阱结构”和“量子阱层”在本上下文中并未阐明量子化的维度方面的含义。由量子阱层和两个与其关联的势垒层限定的量子阱可以是量子膜、至少一个量子线或者至少一个量子点,或者这些结构中的至少两个的组合。

[0009] 多量子阱结构具有至少一个第一量子阱层,其 n 导电地掺杂并且设置在邻接第一量子阱层的、n 导电地掺杂的两个势垒层之间。换言之,尤其是不仅第一量子阱层而且与其关联的两个势垒层都 n 导电地掺杂。

[0010] n 导电地掺杂的层在本上下文中理解为以至少一种 n 掺杂材料如硅来掺杂的层。可能的是,两个不同的层(譬如量子阱层和势垒层)以不同的 n 掺杂材料来 n 导电地掺杂。优选地,所有 n 导电地掺杂的量子阱层和势垒层以相同的 n 掺杂材料掺杂。

[0011] 多量子阱结构还具有至少一个、优选恰好一个第二量子阱层,该第二量子阱层未被掺杂并且设置在与第二量子阱层邻接的两个势垒层之间,这些势垒层中的一个 n 导电地掺杂而另一个未被掺杂。例如,第二量子阱层在第一量子阱层之后。尤其是,在第二量子阱层之前的势垒层被 n 导电地掺杂而在第二量子阱层之后的势垒层未被掺杂。

[0012] 未被掺杂的层在此理解为如下的层:其基本上没有 n 掺杂材料或者 p 掺杂材料。然而,未被掺杂的层例如由于 n 掺杂材料和 / 或 p 掺杂材料的扩散也可以具有 n 掺杂材料和 / 或 p 掺杂材料的低的浓度,尤其是具有低到趋近于零的浓度。当 n 掺杂材料在未掺杂的层中的浓度比 n 掺杂材料在第一量子阱层中的浓度低至少 40%、优选低至少 70% 时, n 掺杂材料尤其是以低浓度存在于未掺杂的层中。

[0013] 最后,多量子阱结构具有至少一个第三量子阱层,其未掺杂并且设置在与第三量子阱结构邻接的同样未掺杂的两个势垒层之间。合乎目的地,第三量子阱层在第二量子阱层之后地设置在有源区中。

[0014] 发明人已确定的是,借助第一、第二和第三量子阱层的这样的顺序实现了半导体芯片的特别高的效率。尤其是在大的工作电流的情况下,相对于传统的半导体芯片提高了效率。光电子半导体芯片例如设计用于以大于或者等于 80mA 的工作电流来驱动。

[0015] 在一种扩展方案中,多量子阱结构具有至少一个第四量子阱层,其未掺杂并且设置在与第四量子阱层邻接的、n 导电地掺杂的两个势垒层之间。例如,第四量子阱结构在所述至少一个第一量子阱层之后并且在第二量子阱层之前。

[0016] 具有第四量子阱层的半导体芯片有利地具有特别低的正向电压。换言之,借助特别低的工作电压实现了预先给定的工作电流。具有至少一个第四量子阱层的半导体芯片例如设计用于以低的工作电流、如以大约 20mA 的工作电流驱动。

[0017] 在一个扩展方案中,多量子阱结构具有至少与第三量子阱层同样多的第一量子阱层。在一个改进方案中,多量子阱结构包含比第三量子阱层多的第一量子阱层。发明人已在大量的比较试验中确定:当第一量子阱层的数目选择得大于或者等于第三量子阱层的数目时,半导体芯片是特别高效的。

[0018] 在另一扩展方案中,有源区具有最多十个量子阱层。优选地,该有源区具有五个或者更多个量子阱层。半导体芯片特别优选具有在七个到九个之间的量子阱层,其中包括边界值。发明人的试验已得出,这种半导体芯片在预先给定的工作电流的情况下产生特别高的光通量。尤其是,光通量的随着增大的工作电流的饱和特性表现得特别小。

[0019] 在一个扩展方案中,在从半导体芯片的 n 侧至 p 侧的方向上在有源区之前是交替的层的对的超晶格。该超晶格例如在小于或者等于 50nm、尤其是小于或者等于 30nm 的层厚度上延伸。例如,其具有大约 25nm 的层厚度。

[0020] 超晶格的交替的层例如具有小于或者等于 5nm 的层厚度,尤其是具有大约 0.5nm 到 2nm 的层厚度,其中包括边界值。交替的层的每个对的至少一个层 n 导电地掺杂。在一个扩展方案中,整个超晶格 n 导电地掺杂。

[0021] 借助 50nm 或者更小的超晶格的小的层厚度实现了半导体芯片的特别低的正向电压。借助 n 导电地掺杂的第一量子阱层,在超晶格的小的层厚度的情况下也实现了将载流子良好地注入到所述至少一个第三量子阱层中。

[0022] 第一量子阱层、两个与第一量子阱层邻接的势垒层和 / 或与第二量子阱层邻接的 n 导电地掺杂的势垒层尤其是以大于或者等于 1×10^{18} 原子 / cm^3 的浓度来用 n 掺杂材料掺杂。在一个扩展方案中,第一量子阱层和两个与第一量子阱层邻接的势垒层具有相同浓度的相同 n 掺杂材料。可替代地或者附加地,在一个改进方案中,与第二量子阱层邻接的、n 导电地掺杂的势垒层具有与第一量子阱层和 / 或同第一量子阱层邻接的势垒层相同浓度的 n 掺杂材料。当在两个层之间的 n 掺杂材料的浓度相差 20% 或者更少,优选相差 10% 或者更少,例如相差 5% 或者更少时,这两个层在此具有“相同浓度的” n 掺杂材料。

[0023] 势垒层例如具有在 5nm 到 12nm 之间的层厚度,优选在 6nm 到 11nm 之间的层厚度,特别优选在 9nm 到 10.5nm 之间的层厚度,其中分别包括边界值。在一个改进方案中,量子阱层具有 1 纳米到 5 纳米之间的层厚度,优选在 2nm 到 3nm 之间的层厚度,其中分别包含边

界值。例如,势垒层的层厚度为大约 10nm 而量子阱层的层厚度为大约 2.5nm。发明人的比较试验已经得出:在势垒层的这种层厚度的情况下和 / 或在量子阱层的这种层厚度的情况下,随着增大的工作电流,半导体芯片具有光通量的特别低的饱和度。

[0024] 在另一扩展方案中,半导体芯片没有生长衬底。尤其是,半导体芯片是薄膜半导体芯片。

[0025] 薄膜半导体芯片的特征尤其在于以下典型特征的至少之一:

[0026] - 在产生辐射的外延的半导体层序列的朝着支承元件的第一主面上施加或者构建有反射层,该反射层将外延的半导体层序列中产生的电磁辐射的至少一部分向回反射到半导体层序列中;

[0027] - 薄膜半导体芯片包含支承元件,该支承元件并不是其上外延地生长了半导体层序列的生长衬底,而是独立的支承元件,其事后固定在外延的半导体层序列上,

[0028] - 外延的半导体层序列的生长衬底被从外延的层序列去除,或者薄化为使得其单独与外延的层序列一起是非自由支承的,或者

[0029] - 外延的半导体层序列具有在 20 μ m 或者更小的范围中、尤其是在 10 μ m 的范围中的厚度。

[0030] 支承元件优选构建为对于半导体芯片发射的辐射是可透射的。

[0031] 此外,外延的半导体层序列优选包含带有至少一个如下面的至少一个半导体层:该面具有混匀结构,其在理想情况下引起光在外延的半导体层序列中的近似各态历经的分布,即其具有尽可能各态历经的随机散射特性。

[0032] 薄膜半导体芯片的基本原理例如在 1993 年 10 月 18 日 I. Schnitzer 等人所著的 Appl. Phys. Lett. 63(16), 2174-2176 页中进行了描述,其公开内容通过引用结合于此。对于薄膜半导体芯片的例子在出版物 EP 0905797A2 和 WO 02/13281 A1 中进行了描述,其公开内容通过引用结合于此。

[0033] 薄膜半导体芯片良好近似地是朗伯表面发射器并且因此尤其适于前灯中的应用。

[0034] 在一个扩展方案中,半导体芯片的有源区、尤其是半导体芯片的外延的半导体层序列基于 III-V 化合物半导体材料,例如基于氮化物-化合物半导体材料如 InAlGaN。在另一实施形式中,半导体层序列基于 II/VI- 化合物半导体材料。

[0035] III/V 化合物半导体材料具有来自第三主族的至少一种元素,譬如 Al, Ga, In 和来自第五主族的元素譬如 B、N、P、As。特别地,术语“III/V 化合物半导体材料”包括二元、三元或者四元化合物的族,其包含来自第三主族的至少一种元素和来自第五主族的至少一种元素,例如氮化物-化合物半导体和磷化物-化合物半导体。这种二元、三元或者四元化合物此外例如可以具有一种或多种掺杂材料以及附加的组成部分。

[0036] 相应地,II/VI 化合物半导体材料具有来自第二主族的至少一种元素譬如 Be、Mg、Ca、Sr 和来自第六主族的元素譬如 O、S、Se。特别地,II/VI- 化合物半导体材料包括二元、三元或者四元化合物,其包括来自第二主族的至少一种元素和来自第六主族的至少一种元素。这种二元、三元或者四元化合物此外例如可以具有一种或多种掺杂材料以及附加的组成部分。例如,属于 II/VI- 化合物半导体材料的有:ZnO、ZnMgO、CdS、ZnCdS、MgBeO。

[0037] “基于氮化物-化合物半导体材料”在本上下文中表示:半导体层序列或者其至少一部分、特别优选地至少有源区和 / 或生长衬底具有氮化物-化合物半导体材料(优选是

$\text{In}_n\text{Al}_m\text{Ga}_{1-n-m}\text{N}$) 或者由其构成, 其中 $0 \leq n \leq 1, 0 \leq m \leq 1$ 且 $n+m \leq 1$ 。在此, 该材料并不一定具有根据上式的数学上精确的组分。更确切地说, 其例如可以具有一种或者多种掺杂材料以及附加的组成部分。然而出于清楚的原因, 上式仅包含晶格的主要组成部分 (Al, Ga, In, N), 即使它们可以部分被少量的其他材料替代和 / 或补充。

[0038] 在一个扩展方案中, 半导体芯片设计用于发射具有在绿色光谱范围中的强度最大值的电磁辐射。

[0039] 半导体芯片的其他优点、有利的扩展方案和改进方案从以下结合图 1 至 3 描述的实施例得到。

[0040] 其中:

[0041] 图 1 示出了通过根据第一实施例的光电子半导体芯片的示意性横截面,

[0042] 图 2 示出了通过根据第一实施例的光电子半导体芯片的有源区的示意性横截面和 n 掺杂材料在有源区中的示意性浓度分布曲线, 以及

[0043] 图 3 示出了通过根据第二实施例的光电子半导体芯片的有源区的示意性横截面和 n 掺杂材料在有源区中的浓度分布曲线。

[0044] 在附图和实施例中, 相同或者作用相同的组成部分设置有相同的附图标记。附图和在附图中所示的元件彼此间的大小关系基本上不应视为合乎比例的。更确切地说, 为了更好的理解和 / 或更好的表示, 各个元件可以被夸大地示出。例如, 层可以被夸大地示出, 和 / 或浓度差可以被夸大和 / 或过小地示出。

[0045] 图 1 示出了通过根据第一实施例的光电子半导体芯片的示意性横截面。该光电子半导体芯片具有在生长衬底 1 上的外延的半导体层序列 2。在半导体芯片的一个变形方案中, 去除或者至少强烈地薄化生长衬底 1。

[0046] 半导体层序列 2 例如基于 InAlGaIn 化合物半导体材料。该半导体层序列例如在生长衬底 1 上制造, 该生长衬底具有蓝宝石或者由其构成。

[0047] 半导体层序列 2 包含至少一个 n 接触层 21 和 p 接触层 27, 在其间设置有有源区 20, 该有源区包含多量子阱结构用于产生辐射。

[0048] 在此, 半导体层序列 2 在从 n 接触层 21 至有源区 20 的过程中具有电流扩展层 22 以及两个另外的 n 掺杂的层 23、24。在从有源区 20 至 p 接触层 27 的过程中, 半导体层序列 2 在此具有两个另外的 p 掺杂的层 25、26。另外的 n 掺杂的和 / 或 p 掺杂的层或者这些层中的至少一个或者数个例如是载流子限制层 (“confinement layers”)。

[0049] 在此, n 接触层 21 具有 $3 \mu\text{m}$ 的层厚度。例如, n 接触层 21 具有 GaN。其优选以硅作为 n 掺杂材料来 n 导电地掺杂, 例如以 3×10^{18} 原子 / cm^3 的浓度掺杂。

[0050] 电流扩展层 22 例如具有 $1 \mu\text{m}$ 的层厚度。其合乎目的地被高 n 掺杂, 例如用硅以 1×10^{19} 原子 / cm^3 的浓度掺杂。这样, 电流扩展层具有高的横向导电能力。

[0051] 两个另外的 n 掺杂的层在此分别具有 $0.5 \mu\text{m}$ 的层厚度。它们例如二者都具有用硅作为 n 掺杂材料来 n 导电地掺杂的氮化镓。硅浓度例如在朝着有源区 20 的另外的 n 掺杂的层 24 中为 8×10^{17} 原子 / cm^3 。在与有源区 20 背离的另外的 n 掺杂的层中存在浓度例如为 1×10^{18} 原子 / cm^3 的硅。

[0052] p 接触层 27 包含例如 GaN。另外的 p 掺杂的层 25、26 包含例如 AlGaN。在此, 朝着有源区 20 的另外的 p 掺杂的层 25 是 AlGaN(10% Al) 层, 而与有源区 20 背离的另外的 p

掺杂的层 26 是 AlGa_N(6% Al) 层。p 接触层和另外的 p 掺杂的层 25、26 例如以镁作为 p 掺杂材料来掺杂。

[0053] 在 p 接触层 27 中, p 掺杂材料的浓度在此比在另外的 p 导电层 25、26 中更低。例如, 该浓度在 p 接触层 27 中大约为 5×10^{19} 原子 / cm³。在另外的 p 掺杂的层 25、26 中, p 掺杂材料例如以大于或者等于 6×10^{19} 原子 / cm³ 的浓度、例如以大约 1×10^{20} 原子 / cm³ 的浓度存在。

[0054] 在图 2 中放大地示出了半导体层序列 2 的有源区 20。在图 2 的右边区域中以示意性横截面示出了有源区 20。图 2 的左边区域示意性地示出了在右边区域中绘制的层的 n 掺杂材料的浓度 4。箭头 3 表示从半导体层序列 2 的 n 侧至 p 侧的方向 (在 n 侧和 p 侧之间设置有有源区 20), 即尤其是从 n 接触层 21 至 p 接触层 27 的方向。

[0055] 根据第一实施例, 半导体芯片的有源区 20 具有带有七个量子阱层 210、220、230 的量子阱结构。在从 n 侧至 p 侧的方向 3 中相继的是三个第一量子阱层 210、第二量子阱层 220 和三个第三量子阱层 230。

[0056] 每两个相邻的量子阱层 210、220、230 通过势垒层 250、260 彼此分离。势垒层 250 之一在第一量子阱层 210 的第一个之前。势垒层 260 的另一个在第三量子阱层 230 的最后一个之后。以此方式, 量子阱层 210、220、230 的每一个都设置在恰好两个势垒层 250、260 之间。

[0057] 超晶格结构 270 在量子阱层 210、220、230 和势垒层 250、260 之前。超晶格结构 270 由交替的 InGa_N 层和 Ga_N 层的对构成, 它们例如分别具有小于或者等于 1nm 的层厚度。它们例如以 1.5×10^{18} 原子 / cm³ 的浓度用硅作为 n 掺杂材料掺杂。

[0058] 三个在超晶格结构 270 之后的第一量子阱层 10 和与其关联的、第一量子阱层 210 设置在其间的势垒层 250 同样用硅作为 n 掺杂材料掺杂, 例如以在 1×10^{18} 原子 / cm³ 到 8×10^{18} 原子 / cm³ 之间、尤其是在 2×10^{18} 原子 / cm³ 到 4×10^{18} 原子 / cm³ 之间 (其中分别包括边界值) 的浓度掺杂。

[0059] 在第一量子阱层 210 之后是第二量子阱层 220, 在该第二量子阱层之前是势垒层 250, 该势垒层也与第一量子阱层 210 关联。在第二量子阱层 220 之前的势垒层 250 被 n 掺杂。在第二量子阱层 220 之后的势垒层 260 未被掺杂, 如第二量子阱层 220 本身那样。

[0060] 在第二量子阱层 220 之后, 三个第三量子阱层 230 设置在每两个未掺杂的势垒层 260 之间。

[0061] 半导体芯片设计用于以例如 80mA 的工作电流驱动。由半导体芯片发射的电磁辐射的大部分 (尤其是实际上全部电磁辐射) 在至少一个、优选多个、尤其是全部的第三量子阱层 230 中或者在第三量子阱层 230 和第二量子阱层 220 中产生。第一量子阱层 210 对于辐射产生没有贡献或者几乎没有贡献。

[0062] 在图 3 中以示意性横截面示出了根据第二实施例的半导体芯片的有源区 20。在左边的区域中又示意性地绘制了在右边区域中示出的层的 n 掺杂材料的浓度分布曲线。

[0063] 根据第二实施例的半导体芯片与第一实施例的不同在于, 有源区 20 仅仅包含唯一的第三量子阱层 230。此外, 有源区包含两个第四量子阱层 240, 它们在第一量子阱层 210 之后并且在第二量子阱层 220 之前。总之, 于是在第二实施例中, 有源区 20 包含七个量子阱层 210、220、230、240。

[0064] 第四量子阱层 240 未掺杂。四个量子阱层 240 的每个都设置在两个邻接的以 n 掺杂材料掺杂的势垒层 250 之间。在此, n 掺杂材料在所有以 n 掺杂材料掺杂的势垒层 250 中 和在第一量子阱层 210 中具有相同的浓度。

[0065] 根据第二实施例的半导体芯片尤其是设计用于以大约 20mA 的工作电流驱动。

[0066] 在此所描述的本发明并不受到参照实施例的说明限制。更确切地说, 本发明包括任何新的特征以及特征的任意组合, 尤其是包含实施例和权利要求中的特征的任意组合, 即使该特征或者该组合本身并未在权利要求和实施例中进行明确说明。

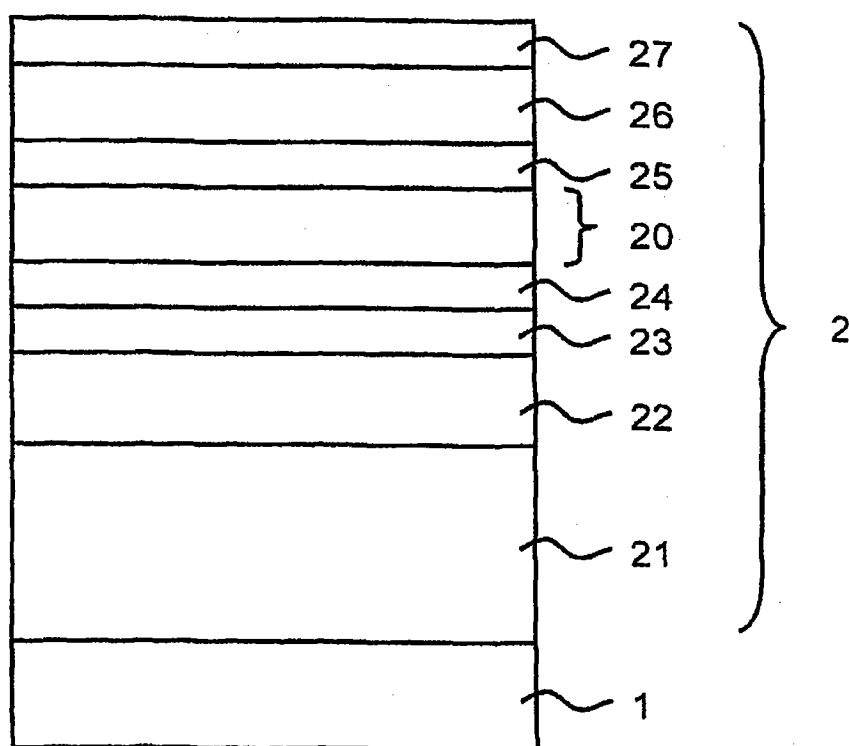


图 1

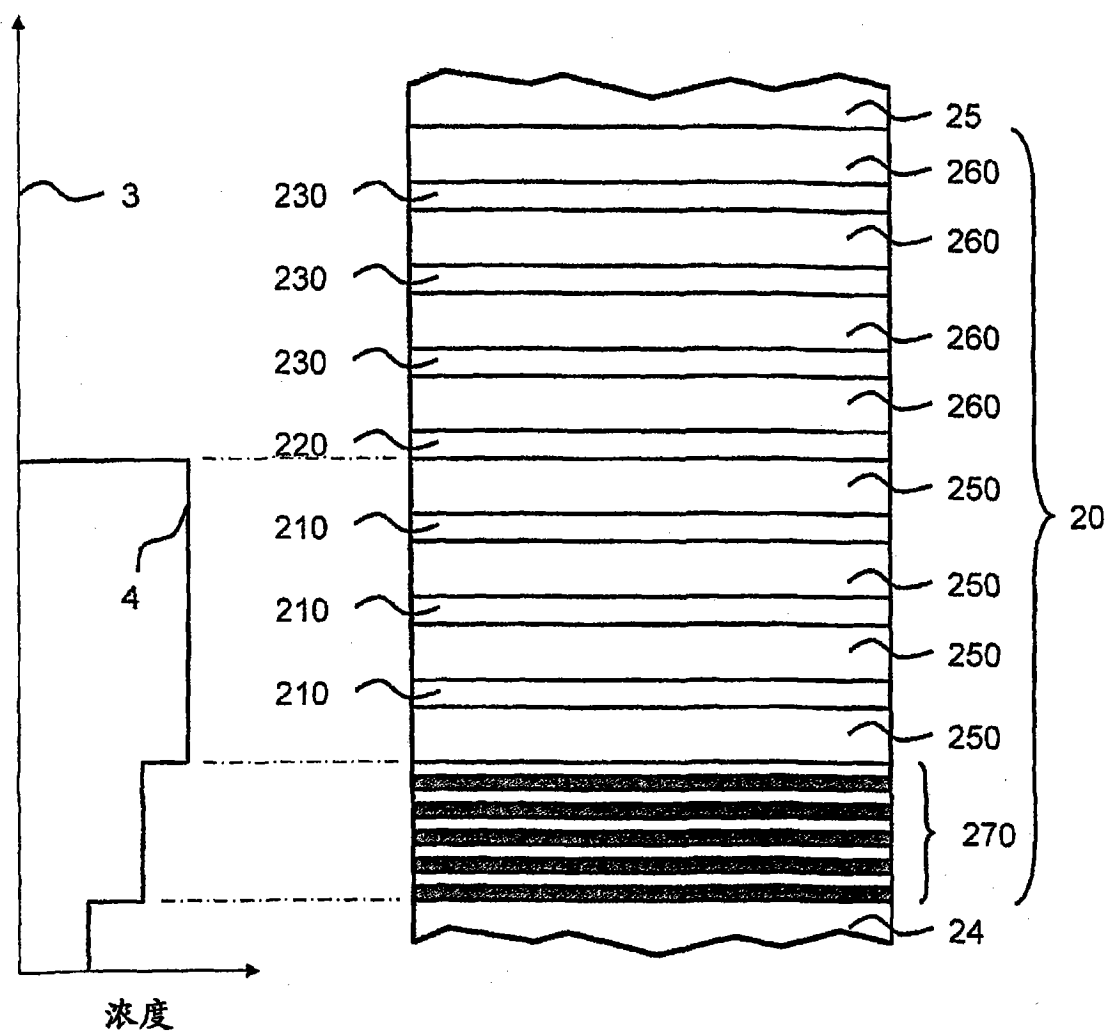


图 2

