



(12) 发明专利

(10) 授权公告号 CN 101258592 B

(45) 授权公告日 2010.06.09

(21) 申请号 200680026427.2

(22) 申请日 2006.06.26

(30) 优先权数据

11/160,999 2005.07.19 US

(85) PCT申请进入国家阶段日

2008.01.18

(86) PCT申请的申请数据

PCT/US2006/024701 2006.06.26

(87) PCT申请的公布数据

W02007/011496 EN 2007.01.25

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 A·布赖恩特 E·J·诺瓦克

R·Q·威廉姆斯

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 于静 杨晓光

(51) Int. Cl.

H01L 21/84 (2006.01)

H01L 27/108 (2006.01)

(56) 对比文件

US 6596570 B2, 2003.07.22, 全文.

US 2004/0126985 A1, 2004.07.01, 全文.

CN 1184698 C, 2005.01.12, 全文.

US 2004/0222471 A1, 2004.11.11, 说明书第
0036-0052 段、图 2-3.

JP 2000-307129 A, 2000.11.02, 全文.

US 6383904 B1, 2002.05.07, 全文.

JP 2002-303886 A, 2002.10.18, 全文.

审查员 施曙东

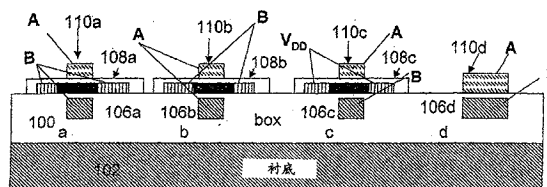
权利要求书 4 页 说明书 6 页 附图 6 页

(54) 发明名称

平面背栅极 CMOS 中的高性能电容器

(57) 摘要

一种用于双栅极 CMOS 结构的制造方法和器件。所述结构包括在绝缘层 (100) 中的第一板 (106a-d) 和在所述绝缘层之上电对应所述第一板的第二板 (110a-d)。隔离结构 (108a-d) 在所述第一板与所述第二板之间。



1. 一种制造双栅极 CMOS 结构的方法,包括以下步骤:
在绝缘层中形成掩埋的第一板;
在所述绝缘层之上形成电对应所述第一板的第二板;以及
在所述第一板与所述第二板之间提供隔离结构,
其中所述隔离结构包括介质层和硅岛,所述介质层包围硅岛并且与所述绝缘层接触,
以及所述绝缘层形成所述第一板与所述硅岛之间的背板绝缘结构。
2. 根据权利要求 1 的方法,其中所述隔离结构在所述第一板之上形成第一介质层。
3. 根据权利要求 1 的方法,还包括掺杂所述隔离结构以在所述第一板与所述第二板之间形成扩散区域。
4. 根据权利要求 1 的方法,其中所述隔离结构厚度为**50Å至400Å**。
5. 根据权利要求 3 的方法,其中所述第一板和所述第二板中的任何一个的高度为**1000Å至2000Å**。
6. 根据权利要求 1 的方法,其中在所述硅岛上热生长所述介质层。
7. 根据权利要求 1 的方法,其中所述介质层和所述背板绝缘结构每一个的厚度为**10Å到100Å**。
8. 根据权利要求 1 的方法,还包括:
形成第一端子,所述第一端子被连接至所述第一板和所述硅岛的相对的侧部,其中使用在所述硅岛上形成的扩散区域将所述第一端子连接至所述硅岛的相对的侧部;以及
形成连接至所述第二板的第二端子。
9. 根据权利要求 1 的方法,还包括:
形成第一端子,所述第一端子被连接至在扩散区域处的所述硅岛的相对的侧部;以及
形成连接至所述第一板和所述第二板的第二端子。
10. 根据权利要求 1 的方法,还包括:
形成连接至所述硅岛的第一端子;
形成连接至所述第一板的第二端子;和
形成连接至所述第二板的第三端子;以及
将比所述第二端子或所述第三端子高的电势提供到所述第一端子。
11. 根据权利要求 1 的方法,还包括:在所述第一板与第二板之间的所述隔离结构中形成硅层;以及蚀刻部分所述硅层以形成所述硅岛。
12. 根据权利要求 11 的方法,其中将所述第一板与所述第二板之间的的硅层完全蚀刻掉,以便直接在所述绝缘层上形成所述第二板,以及还包括:
形成连接至所述第一板的第一端子;以及
形成连接至所述第二板的第二端子。
13. 根据权利要求 1 的方法,还包括当所述板之间的所述硅岛完全耗尽时直接在所述第一板与所述第二板之间提供电容。
14. 根据权利要求 3 的方法,还包括:
当相对于所述扩散区域中的一个扩散区域的短路在所述隔离结构上形成的扩散区域的线路的电势使沟道反型时,在所述绝缘层的顶部之下形成反型层;以及

当所述线路的所述电势相对于所述一个扩散区域为高时,在所述绝缘层的所述顶部之下形成堆积层。

15. 根据权利要求 1 的方法,还包括:

在所述绝缘层中形成至少另一板;

对应于所述绝缘层中的所述另一板在所述绝缘层之上形成至少另一板;以及

在所述绝缘层中的所述至少另一板与在所述绝缘层之上的所述至少另一板之间提供隔离岛和介质结构。

16. 一种制造双栅极 CMOS 结构的方法,包括以下步骤:

在绝缘层中形成至少一个背板;

在所述绝缘层之上形成对应所述至少一个背板的至少一个前板;以及

在所述至少一个背板与所述前板之间提供介质结构,

其中所述介质结构为背栅极介质层和前栅极介质层,所述前栅极介质层形成在硅岛与所述至少一个前板之间并且与所述背栅极介质层接触,以及所述介质结构包围所述硅岛并且所述绝缘层形成所述背板与所述硅岛之间的背栅极介质层。

17. 根据权利要求 16 的方法,还包括掺杂在所述介质结构中形成的隔离岛以形成扩散区域。

18. 根据权利要求 16 的方法,还包括:

在所述至少一个背板与所述前板之间的所述介质结构中形成硅层;

蚀刻部分所述硅层以形成对应于所述至少一个背板和所述至少一个前板的隔离的岛;以及

掺杂部分所述隔离的岛以形成扩散区域,

其中所述介质结构为在所述背板与所述隔离的岛之间设置的背栅极介质层,和在所述隔离的岛与所述前板之间形成的前栅极介质。

19. 根据权利要求 16 的方法,还包括掺杂与所述至少一个背板和前板相关的扩散区域。

20. 根据权利要求 19 的方法,其中所述介质结构为通过扩散区域分离的前板介质和背板介质。

21. 根据权利要求 20 的方法,还包括:

形成第一端子,所述第一端子被连接至所述背板和所述扩散区域的相对侧部以短路所述扩散区域;以及

形成连接至所述前板的第二端子。

22. 根据权利要求 20 的方法,还包括:

形成连接至所述扩散区域第一端子;以及

形成连接至所述前板和所述背板第二端子。

23. 根据权利要求 20 的方法,还包括:

形成连接至所述扩散区域中的所述一个扩散区域的第一端子;

形成连接至所述前板的第二端子;和

形成连接至所述背板的第三端子;以及

将比所述第二端子或所述第三端子高的电势提供到所述第一端子。

24. 根据权利要求 16 的方法,其中:
所述介质是厚度为 $10\text{\AA}$ 至 $100\text{\AA}$ 的第一介质和第二介质;以及
所述前板和所述背板具有 $1000\text{\AA}$ 至 $2000\text{\AA}$ 的临界尺寸。
25. 根据权利要求 16 的方法,其中:
所述至少一个背板是至少两个背板;
所述至少一个前板是至少两个前板;
所述介质结构包含第一介质和第二介质。
26. 根据权利要求 25 的方法,其中所述两个前栅极为至少第一前栅极和第二前栅极,以相同的工艺同时形成所述第一和第二前栅极。
27. 根据权利要求 25 的方法,其中所述两个或多个前栅极为第一前栅极和第二前栅极,单独地形成所述第一和第二前栅极。
28. 一种在衬底上形成的电容器,其中所述衬底具有掩埋的绝缘层和在所述绝缘层上的器件层,所述电容器包括:
下板,形成在掩埋的绝缘层中;
所述掩埋的绝缘层的一部分,形成在所述下板之上以提供第一电容器介质;
器件层的一部分,形成在所述第一电容器介质上;
第二电容器介质,形成在所述器件层的所述部分上;以及
上板,形成在所述第二电容器介质上。
29. 根据权利要求 28 的电容器,其中所述器件层的所述部分具有电耦合至第一电压水平的至少一个端子。
30. 根据权利要求 28 的电容器,其中所述上板被电耦合至第二电压水平。
31. 根据权利要求 30 的电容器,其中所述下板被电耦合至所述第一电压水平。
32. 根据权利要求 30 的电容器,其中所述下板被电耦合至所述第二电压水平。
33. 根据权利要求 30 的电容器,其中所述下板被电耦合至第三电压水平。
34. 根据权利要求 33 的电容器,其中所述第一电压水平包括足够高以阻止 MOS 沟道反型的电压源。
35. 一种双栅极电容器,包括:
至少一个背栅极,形成在掩埋的绝缘层中;
至少一个前栅极,形成在所述掩埋的绝缘层之上;
介质层,形成在所述至少一个前栅极与背栅极之间;以及
掺杂的扩散区域,邻近所述至少一个背栅极,
其中所述介质层为背栅极介质层和前栅极介质层,所述前栅极介质层形成在硅岛与所述至少一个前板之间并且与所述背栅极介质层接触,以及所述前栅极介质层包围所述硅岛并且所述绝缘层形成所述背栅极与所述硅岛之间的背栅极介质层。
36. 根据权利要求 35 的双栅极电容器,以及所述介质层为第二电容器介质。
37. 根据权利要求 35 的双栅极电容器,还包括:
第一端子,被连接至所述至少背栅极和所述扩散区域以短路所述扩散区域;以及
第二端子,被连接至所述至少前栅极。
38. 根据权利要求 35 的双栅极电容器,还包括:

第一端子,被连接至所述扩散区域;以及
第二端子,被连接至所述至少一个前栅极和背栅极。

39. 根据权利要求 35 的双栅极电容器,还包括:

第一端子,被连接至所述扩散区域中的所述一个扩散区域;
第二端子,被连接至所述至少前栅极;以及
第三端子,被连接至所述至少背栅极。

平面背栅极 CMOS 中的高性能电容器

技术领域

[0001] 本发明涉及半导体器件,更具体而言,涉及基于超薄 SOI 的双栅极 CMOS 电容器以及制造方法。

背景技术

[0002] 可以将常规 MOS(金属-氧化物半导体)电容器建模为平行板电容器。在该类型的结构中,可以由金属或重掺杂的多晶硅(“多晶”)制造一个板,以及由半导体制造一个板(例如,当 MOS 电容器在高正向偏置下时形成的反型层)。使用绝缘体例如 SiO_2 或“氧化物”分离该两个板。在深缩放超薄 SOI(绝缘体上硅)器件中,在源极和漏极区域之下的绝缘层,例如,氧化物,被制造的较薄以提高 MOS 晶体管的性能。虽然这导致更快的晶体管,但是较薄的沟道区域和掺杂剂固体溶解度限制了可以在沟道中设置的激活的掺杂剂的量。这导致电容器中的有效串联电阻变得相当大。从电路的观点,这可以造成很多问题。

[0003] 更具体而言,在超薄 SOI MOS 器件中,由 p 型硅制造 nMOS 晶体管的 n 沟道 FET,并由 n 型硅制造 pMOS 晶体管的 p 沟道 FET。重掺杂的源极和漏极区域提供电极以接触之前提及的沟道区域。在 SOI MOS 器件中,在沟道区域之下创建氧化物区域。氧化物区域电隔离器件的源极、漏极、以及沟道区域与衬底。通过例如栅极的功函数、任何的沟道掺杂剂、以及晶体管结构的尺寸等因素确定沟道的 MOS 阈值电压,即当电荷载流子以显著的量从源极流动通过沟道到漏极时的栅极电势。然而,在 SOIMOS 器件中的低移动沟道电荷可以在一定的条件下具有大的有效电阻(等价串联电阻(ESR))。该大的 ESR 对电容器的性能具有很大的影响。例如,电容器有效电阻的增加将导致劣化电容器的频率特性。

[0004] MOS 结构的更详细的模型将垂直栅极-介质-衬底栅极“叠层”分解为串联的两个电容器,例如,线性氧化物电容和非线性沟道电容。通过实例,如果在 N 型 MOS 结构上的栅极上的电压为强负,空穴被吸引到介质-衬底界面并在该处堆积。在该堆积状态, MOS 电容器约为线性电容器。另一方面,如果将 N 型 MOS 结构上的栅极电压设置为正,耗尽表面的移动空穴,产生具有暴露的掺杂剂离子的耗尽区域。由于耗尽电荷约平方根依赖于栅极介质下的电势,所以耗尽电容器是非线性的。但是,随着进一步地提高栅极电压,在源极端子与沟道之间的电势势垒静电降低,从而沟道被来自源极的移动电子所充斥。沟道中存在电子指示了表面附近的硅的反型,例如, NFET 沟道变为 n 型以及类似地 PFET 沟道变为 p 型。

[0005] 在超薄 SOI 器件中,归因于晶体管缩放规则,将栅极叠层之下的硅区域的厚度制造得非常薄,其中通过掩埋氧化物约束在栅极之下的硅区域的底部。即使在接近固体溶解度限制的沟道掺杂水平处,栅极诱导的耗尽区域可以从栅极延伸到背氧化物产生耗尽了移动载流子的(即,“完全耗尽的”)区域。

[0006] 当移动电子(反型电荷)的数量远低于耗尽区域中暴露的掺杂剂离子(耗尽电荷)的数量时,产生弱反型。另一方面,当反型电荷极大地超过耗尽电荷时,产生强反型。此外,当反型电荷与耗尽电荷可比较时,可以将强反型到中等反型之间的过渡限定为条件。当强反型栅极之下的沟道区域时,栅极电荷基本通过反型层电荷平衡。反型层电荷占优势时

的电压称为阈值电压 V_t 并且 V_{t0} 表示当源极电压等于 0 时的阈值电压。

[0007] 在 SOI MOS 技术中, 依赖于施加到 SOI 沟道区域 (也称为硅体) 的外部偏置而存在几种工作模式。硅体通过掩埋的背氧化物与衬底分离。该情况下, 浮体情况, 由多个物理因素, 其包括来自源极和漏极的二极管结电流、漏极附近的碰撞电离、栅极泄漏、双极效应、以及耦合到器件的电端子栅极、漏极、以及体的电容, 来控制体中的电势。可以相对于源极电势限定 SOI 体电势并可以在正常操作期间相对于源极电势显著地正向偏置体电势。如果将外部电势施加到 SOI 体 (称为体接触), 通过外部电势和外部体接触与 SOI 体之间的电阻来约束体电势。然而, 注意, 在超薄 SOI 器件具有这样的硅体的情况下, 该硅体已被缩放至其中硅体是完全耗尽的情况, 外部电阻如此之高以致体接触是无效的。

[0008] 上述的超薄 SOI MOS 器件的扩展是双栅极 SOI MOS 晶体管。在该结构中, 背氧化物已经被减薄至这样的情况, 在背氧化物之下的区域可以对体施加不可忽略的电场并可以邻近背氧化物形成反型层或堆积层。当在背氧化物中或之下设置第二栅极电极时, 便形成了双栅极器件 SOI MOS 晶体管。此外, 典型地隔离第二栅极电极 (背栅极) 与其它导电单元例如衬底、源极、漏极、以及顶栅极 (前栅极)。

[0009] 在常规 MOS 工艺技术例如 SOI 或体 (非 SOI) 中, 可以通过使用被偏置为反型或堆积状态的常规 MOS 晶体管产生故意 (intentional) 电容器电路单元而没有显著的额外工艺步骤。归因于使用常规 MOS 栅极氧化物, 这产生了相对恒定的高值电容器。这些电容器可以在模拟应用中作为解藕电容器或作为电抗元件。然而在双栅极超薄 SOI 中, 以该方式形成的故意电容单元可以包含寄生电阻, 其中该寄生电阻在操作的某些范围中由完全耗尽的体所支配, 减小了其作为电流设计单元的有效性。然而, 由于双栅极 SOI 具有超越超薄单栅极 SOI 技术的某些性能优点, 所以传统和前沿电路设计技术仍然需要故意电容单元。因此, 希望将寄生电阻低、具有高电容、以及易于制造的故意电容电路单元引入到双栅极技术中。

发明内容

[0010] 在本发明的第一方面中, 一种制造双栅极 CMOS 结构的方法包括: 在绝缘层中形成第一板, 和在所述绝缘层之上形成电对应所述第一板的第二板。所述方法还包括在所述第一板与所述第二板之间提供隔离结构。

[0011] 在本发明的另一方面中, 制造双栅极 CMOS 结构的所述方法, 包括: 在绝缘层中形成至少一个背板, 和在所述绝缘层之上形成对应所述至少一个背板的至少一个前板。所述方法还包括在所述至少一个背板与所述前板之间提供介质。

[0012] 在本发明的又一方面中, 一种在具有掩埋的绝缘层和在所述绝缘层上的器件层的衬底上形成的电容器包括在掩埋的绝缘层中形成的下板。将所述掩埋的绝缘层的一部分形成在所述下板之上以提供第一电容器介质。将器件层的一部分形成在所述第一电容器介质上, 以及将第二电容器介质形成在所述器件层的所述部分上。将上板形成在所述第二电容器介质上。

[0013] 在另一方面中, 本分明包括一种双栅极电容器, 所述双栅极电容器具有在掩埋的绝缘层中形成的至少一个背栅极, 和在所述掩埋的绝缘层之上形成的至少一个前栅极。在所述至少一个前栅极与背栅极之间形成介质层。邻近所述至少一个背栅极掺杂扩散区域。

附图说明

- [0014] 图 1 根据本发明示例了制造器件的步骤；
- [0015] 图 2 根据本发明示例了制造器件的附加的步骤；
- [0016] 图 3 根据本发明示例了制造器件的附加的步骤；
- [0017] 图 4 根据本发明示例了制造器件的附加的步骤；
- [0018] 图 5 根据本发明示例了制造器件的附加的步骤；
- [0019] 图 6a-6d 示出了根据本发明的步骤制造的本发明的不同结构的顶视图或布线示意图；以及
- [0020] 图 7 示出了图 6a-6d 的各自的结构的侧视图。

具体实施方式

[0021] 本发明旨在 CMOS 结构,更具体而言,旨在缩放的双栅极 SOI 中的低电阻、高值电容器以及制造方法。通过使用双栅极器件以及本发明的制造方法,获得具有增强的功能的超薄 SOI 电容器。通过实例,在一个应用中可以对于高频操作降低串联电阻;然而,在其它应用中,可以获得每单位面积的高电容。

[0022] 根据本发明,如果需要,基于缩放的双栅极 SOI 技术,可以同时制造四种不同的 COMS 电容器结构;即,可以用基本上相同的工艺形成初始的结构,用不同的布线结构以获得希望的结果。在一个应用中,设计两种结构以直接在前和背栅极之间提供高电容,伴随着可忽略的串联电阻的降低。在另一结构中,例如,通过使用电连接到一起的两个前和背栅极来提供具有减小的串联电阻的较高电容,使用不反型或堆积的有源硅,由此提供垂直位于两板之间并且通过完全耗尽的沟道区域的电容单元。

[0023] 图 1 示出了根据本发明的初始结构。在该结构中,使用任何的常规方法,在衬底 102 上形成氧化物或介质层 100。一种这样的常规方法可以包括晶片接合,其中通过 van der Waals 力将具有氧化物层 100 的另一晶片(未示出)接合到衬底上。衬底晶片 102 包括硅、锗、或其它易于了解的材料,并且为了制造工艺的目的,厚度优选为约 500 微米。在氧化物层 100 的表面上设置薄硅层 104。在一个实施例中,硅层 104 的厚度为约 $50\text{\AA}$ 到 $400\text{\AA}$, 本发明还涵盖其它的厚度。图 1 示出了紧密相邻的所有实施例,然而对于应用而言不需要这样,可以在芯片区域周围的任意位置中设置一个或多个实施例。

[0024] 在接合层 100、102 之前,在氧化物层中形成一个或多个背栅极 106a-106d(也称为板)。应该理解,依赖于特定的应用所希望的布线结构,可以使用每一个背栅极 106a-106d 形成相似或不同的电容器。例如,在图 1 中示出的实施例中,四个背栅极 106a-106d 分别在区域 a-d 形成结构。此外,同样依赖于希望的应用,还可以形成多于或少于四个的背栅极。因此,应该理解,背栅极 106a-106d 的讨论是示例性的并且不应该将其考虑为本发明的限制特征。

[0025] 在形成背栅极 106a-106d 时,可以利用包括常规标准光刻和蚀刻工艺的工艺步骤,这对于本领域的技术人员是公知的。例如,在某些应用中,工艺可以包括结合反应离子蚀刻(RIE)使用的阻挡掩模。在实施中,背栅极 106a-106d 可以为多晶硅并被常规掺杂,例如使用磷、硼或砷。同样,在实施例中,背栅极 106a-106d 的截面具有这样的尺寸,其可以最小化任何的显著的栅极电阻。例如,背栅极 106a-106d 的高度可以为约 $1000\text{\AA}$ 到 $2000\text{\AA}$,

虽然本发明还涵盖其它的临界尺寸。在氧化物层 100 的顶表面与背栅极 106a-106d 之间设置约**10Å**到**100Å**的间隔。该距离标定了称为背栅极氧化物或介质层的区域,可以设计其尺寸以最小化任何的电势寄生效应例如直接隧穿电流。

[0026] 图 2 代表根据本发明的进一步的处理步骤。在图 2 中,使用常规工艺,蚀刻掉硅层 104。例如,图 2 是用于限定每个隔离的电容器单元的有源区域掩模的示例,该有源区域包括沟道、漏极、以及源极区域。在一个应用中,在被表示为“a”、“b”以及“c”的区域之上设置有源区域掩模。然后以硅隔离工艺蚀刻该结构,产生硅体或岛 104a、104b 以及 104c。在区域“d”中将硅层 104 完全蚀刻。

[0027] 然后分别在硅体 104a、104b 以及 104c 上热生长或淀积栅极氧化物或介质层 108a、108b、108c。在一个实施例中,将栅极氧化物层 108a、108b、108c 形成至约**10Å**到**100Å**的厚度,与在背栅极 106a-106b 与硅体 104 之间的氧化物层 100 的间隔相似。可以使用该氧化物层形成本发明的实际的电容器。

[0028] 图 3 表示在图 2 的结构上淀积的栅极材料 110(例如,多晶硅)。使用下面描述的随后的步骤,使用该材料 110 形成前栅极。重掺杂(例如, 10^{20}cm^{-3})栅极材料 110,然而不必使用与背栅极 106a-106b 相同的掺杂剂种(species)。使用种例如磷、硼或砷的高掺杂剂水平以最小化多晶硅耗尽效应。对于多晶硅材料 110 的尺寸的考虑也基本上与背栅极 106a-106b 的相同。例如,多晶硅材料 110 的截面具有可以最小化任何的显著的栅极电阻的尺寸,例如,约**1000Å**到**2000Å**,虽然本发明还涵盖其它的临界尺寸。

[0029] 图 4 表示形成前栅极 110a-110d 的示例性构图和蚀刻工艺。在一个工艺中,可以独力地形成截面“d”的前栅极与剩余的前栅极 110a-110c。这归因于前栅极 110d 被更深地蚀刻,因为没有在该区域之上设置硅层 104 和随后的氧化物层。在一个实例中,在形成前栅极 110a-110c 的工艺期间,可以在区域“d”之上设置保护掩模。同样,在形成前栅极 110d 期间,可以在区域“a”、“b”、以及“c”之上设置保护掩模。这些工艺对于本领域的技术人员中是公知的,从而这里不需要为了完全理解本发明的进一步讨论。

[0030] 图 5 示例了包括形成间隔物、源极和漏极区域以及硅化物的几个工艺步骤。在图 5 的示例中,仅示出了区域“a”的 CMOS 结构;然而,应该理解参考截面“a”讨论的工艺可以同样地应用于形成区域“b”、“c”以及“d”中的结构。因此,图 5 的示例性示例可以用于在图 6a-7 中示出的任何结构上形成源极、漏极、侧壁以及硅化物形成。

[0031] 通过实例,参考区域“a”,以任何的常规的方法在硅体中形成源极和漏极区域 112_1 和 112_2 。绝缘区域 105 邻近源极和漏极区域 112_1 和 112_2 。在前栅极 110a 和前氧化物层 108a 的侧壁上分别形成延伸到掺杂的源极和漏极区域 112_1 和 112_2 的间隔物 114。可以使用磷、硼或砷掺杂这些区域,优选产生用于源极和漏极的 1×10^{20} 粒子 / cm^3 的范围,但是对于其它的掺杂的区域是典型的较低水平,例如作为其中包括双栅极 MOS 电容器的常规晶体管工艺的一部分的晕圈或扩展(extension)注入。除前栅极 110a 的顶表面外,还分别在掺杂的源极和漏极区域 112_1 和 112_2 处的暴露的硅层上形成硅化物层 116。本领域的技术人员在本领域中公知硅化物和间隔物的形成。

[0032] 图 6a-6d 示出了参考图 1-5 讨论的不同结构“a”到“d”的布线示意图的顶视图。在图 6a 中,示出了双栅极 FET 电容器,其对应于用于截面“a”的描述的制造工艺。在图 6a 的 FET 电容器中,第一线路“A”接触前栅极 110a 并形成电容器的第一端子。第二线路“B”

接触背栅极 106a, 以及硅层的两个相对的侧部 (side), 形成电容器的第二端子。因此, 在该结构中, 从“A”电极通过结构到“B”电极形成电容器, 这导致源极和漏极被短路到一起。可选地, 可以颠倒背栅极和前栅极的角色, “B”电极包括背栅极并且“A”端子包括连接到前栅极的扩散区域。

[0033] 图 6b 是使用在图 1-5 的区域“b”中形成的结构的双栅极电容器, 具有这里示出的布线示意图。在图 6b 的高密度电容器中, 第一线路“A”接触硅层扩散区域的两侧, 形成电容器的第一端子。第二线路“B”接触前栅极 110b 以及背栅极 106b 并形成电容器的第二端子。这样, 在该结构中, 线路“A”将硅的两端连接到一起, 同时线路“B”将前栅极 110b 以及背栅极 106b 连接到一起。由于前和背沟道电荷区域一起电运作, 所以图 6b 的器件提供了相比于图 6a 的器件的增加的电容。

[0034] 在图 6a 和 6b 的电容器结构中, 高电容器是可能的, 因为薄介质层 (包括这些双栅极电容器的常规 MOS 晶体管工艺潜在地共享的工艺步骤) 分别地直接位于前和背栅极 106a 和 110a 之间。而且, 由于硅的外部边缘 (扩散) 被线路“B”连接到一起, 结构的顶部分变得与常规 MOSFET 相似。以及, 在该情况下, 可以在顶氧化物层 108a 之下形成反型层。也就是, 双栅极结构还允许两个器件具有形成在氧化物层 108a 之下的反型沟道。

[0035] 此外, 由于在硅之上形成前栅极和存在被连接到与前栅极不同的电势的两个扩散, 堆积或扩散效应可以发生。因此, 通过该布线示意图应该理解, 如果“B”线路的电势相对于扩散变得超过前或背栅极阈值电压, 将形成反型层; 然而, 如果线路“B”的电势具有关于扩散电势的足够低的偏置, 将在一个或两个电容器氧化物之下产生堆积层。应该认识到, 在 p 型或 n 型器件中产生相反的偏置结果。

[0036] 图 6c 是使用在图 1-5 的区域“c”中形成的结构的双栅极电容器, 具有这里示出的布线示意图。在图 6c 的布线结构中, 第一线路“A”接触前栅极 110c 并形成电容器的第一端子。第二线路“B”接触背栅极 106c 并形成电容器的第二端子。高电势 (例如 Vdd) 接触硅层的两个侧部 (扩散)。从电的观点看, 图 6c 的薄体结构是完全耗尽的并具有从“A”到“B”基本上穿过该结构的场线, 例如, 前栅极 110c 到背栅极 106c。图 6c 的双栅极电容器对于高频操作提供了低串联电阻 (与图 6d 的电容器相似)。

[0037] 在图 6c 的器件中, 因为栅极上的电势不会超过扩散的电势, 所以不会形成反型层。当相对于外部扩散电势中的一个的栅极电势超过 MOS FET 阈值并且在周围存在载流子的源时, 其中该载流子的源为源极和漏极, 便可以形成反型层。但是, 归因于电阻问题这是不希望的。在图 6c 的器件中消除了该现象, 因为扩散上的电势高并且将在“A”和“B”上的电势操作在该电势之下。此外, 如果栅极端子变得太低, 变可以发生堆积; 然而, 假设操作图 6c 的器件, 因为高扩散电势与将发生堆积的偏置之间存在约 1.2 伏特 (或带隙电势), 所以这不会发生。

[0038] 图 6d 是使用在图 1-5 的区域“c”中形成的结构的双栅极电容器, 具有这里示出的布线示意图。在图 6d 的电容器中, 第一线路“A”接触前栅极 110d 并形成电容器的第一端子。第二线路“B”接触背栅极 106d 并形成电容器的第二端子。图 6d 的器件对于高频操作提供了低串联电阻以及基于背氧化物厚度的缩放的每单位面积的高电容。

[0039] 图 7 示出了图 6a-6d 的各自的结构的侧视图。第一线路“A”和第二线路“B”表示在图 6a-6d 中示出的器件的各自的端子。图 7 还清楚的示例了分别代表图 6a-6d 中示出

和描述的器件的区域“a”、“b”、“c”以及“d”。在该示例中,两个介质或氧化物层将前栅极 110a-110c 与背栅极 106a-106c 分离。通过选择适宜的氧化物厚度来控制对于寄生电阻、通过前栅极或背栅极的直接隧穿的贡献,以便最小化泄漏电流。

[0040] 虽然根据示例性的实施例描述了本发明,但本领域的技术人员将认识到可以修改地并在所附权利要求的精神和范围内实施本发明。

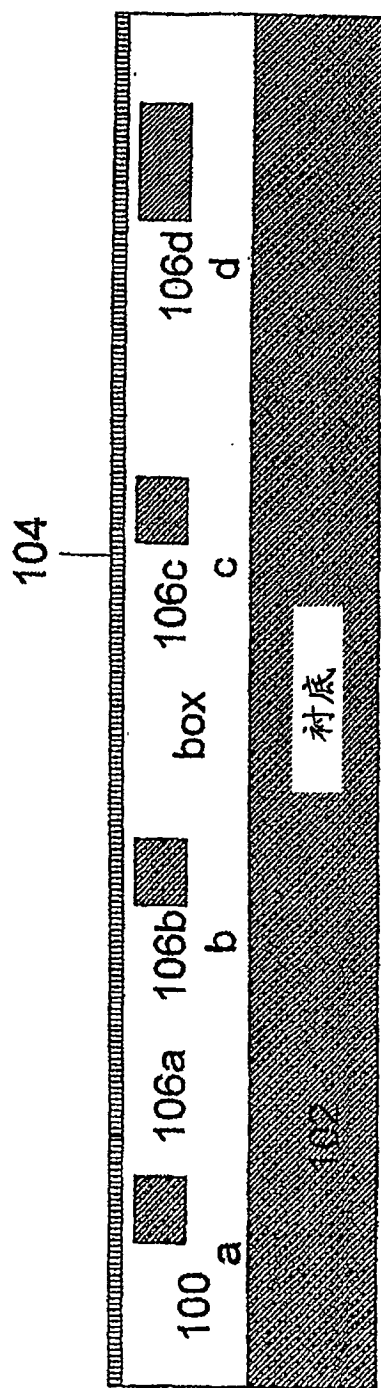


图 1

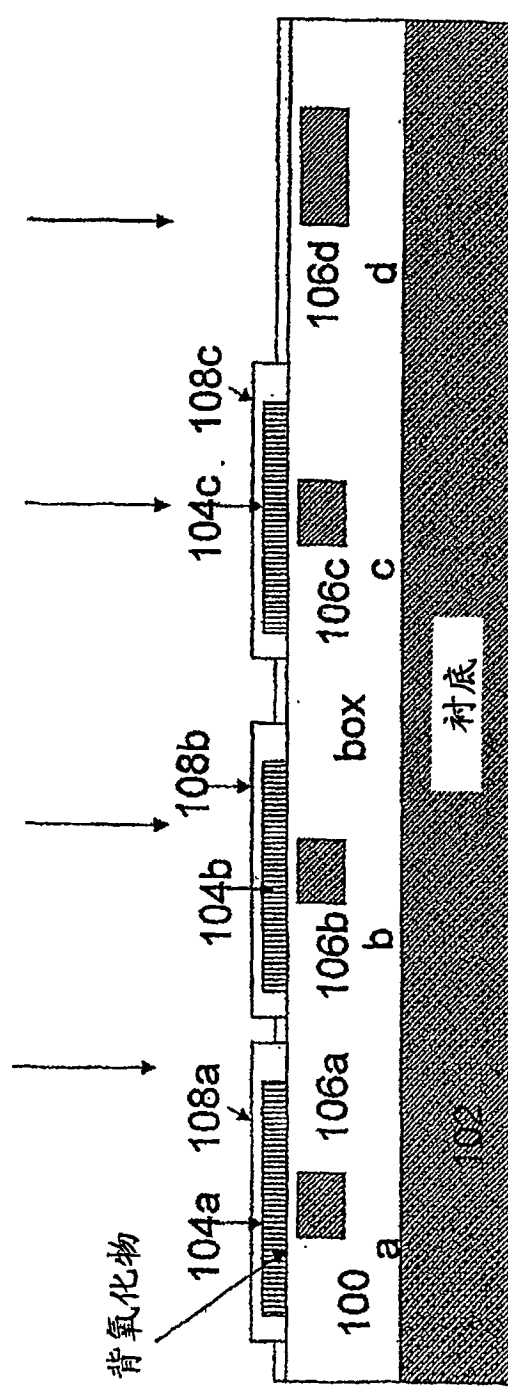


图 2

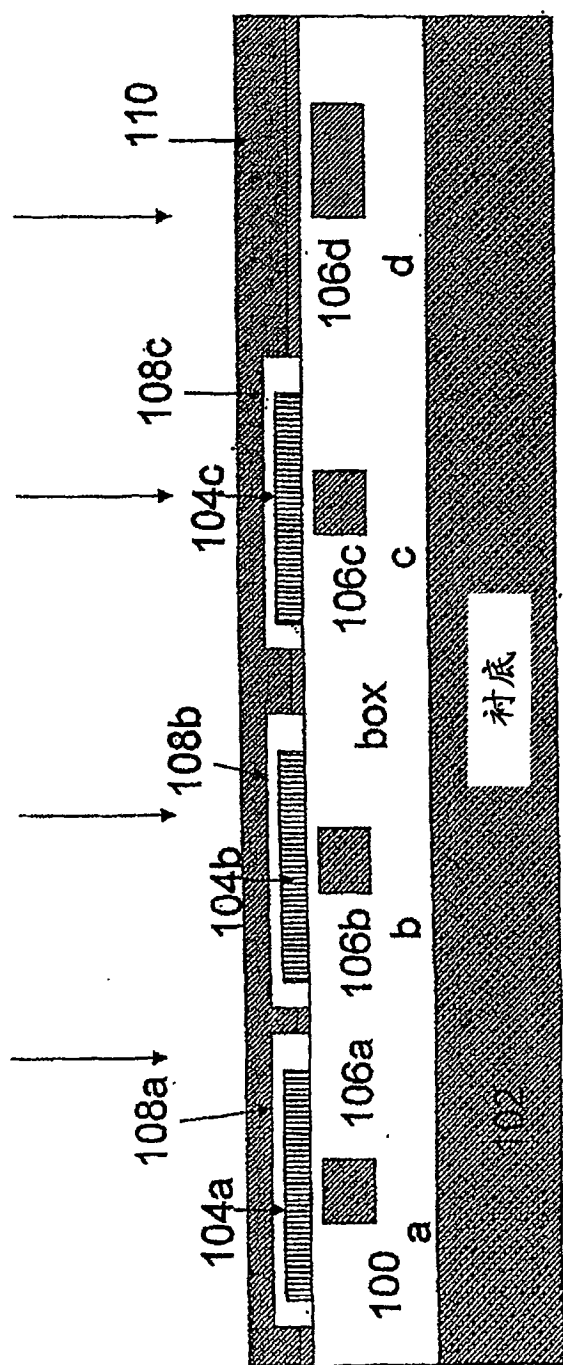


图 3

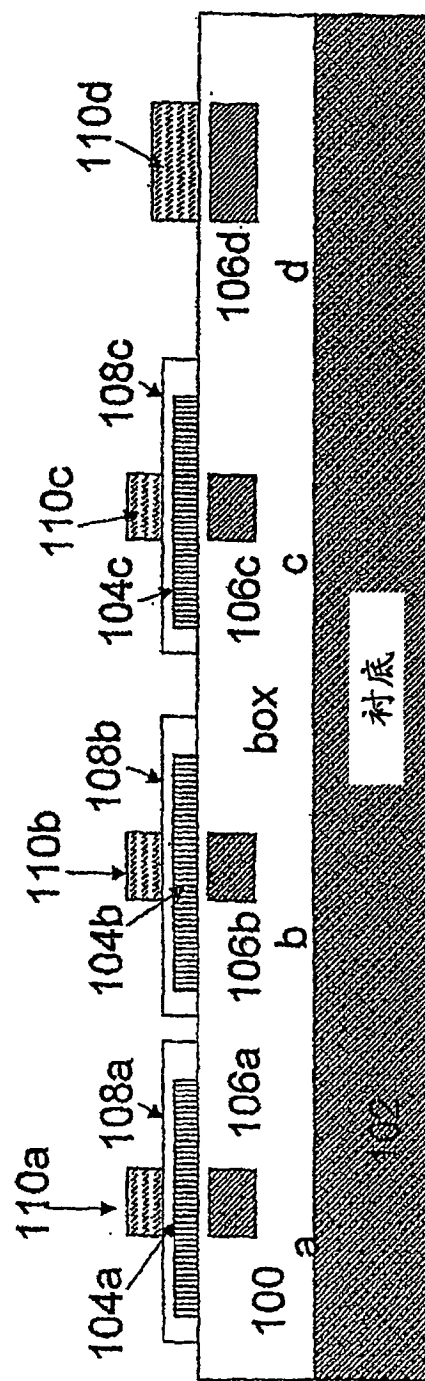


图 4

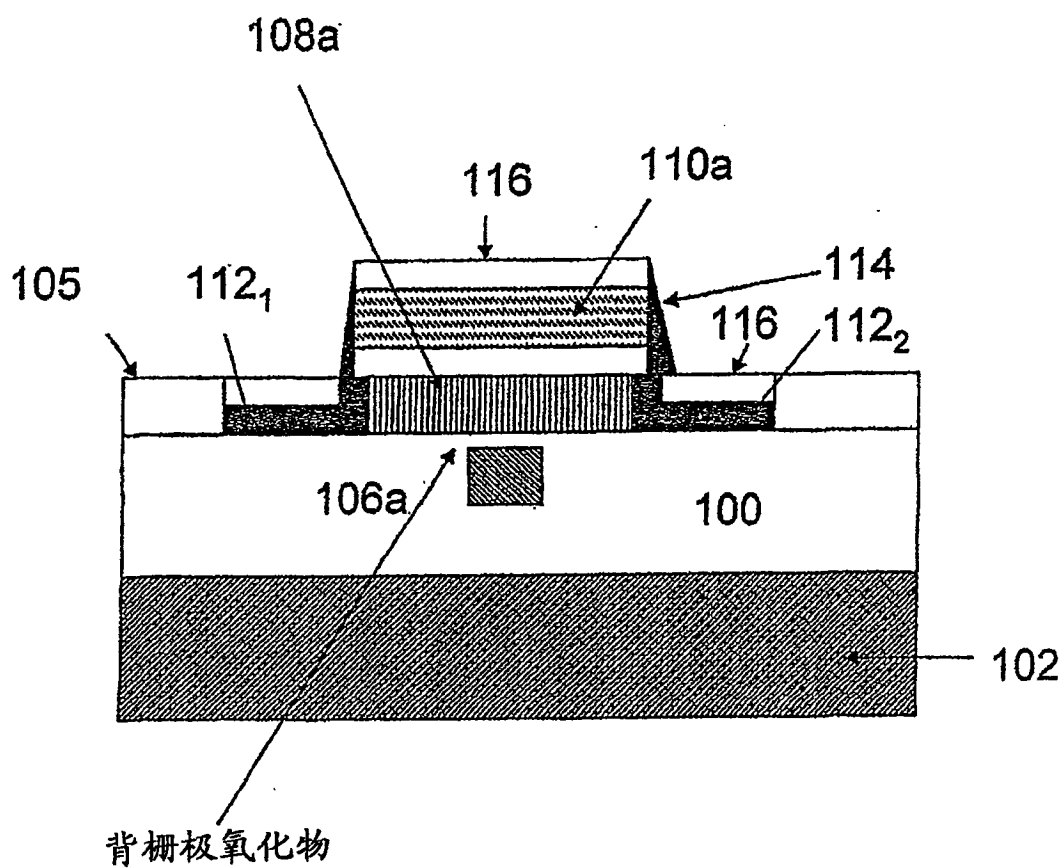
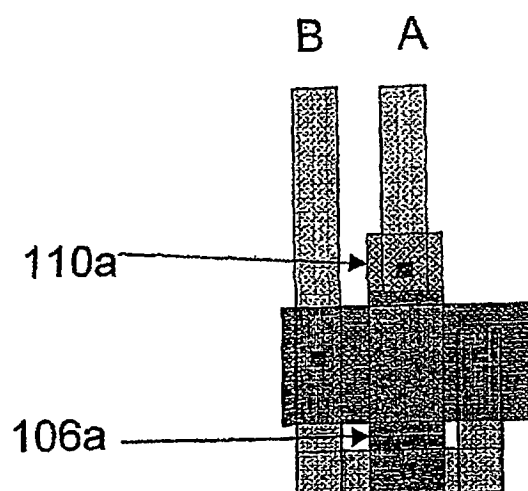


图 5



A: FET 电容器

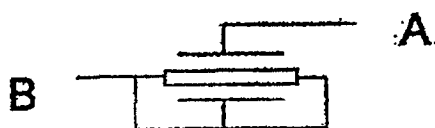


图 6a

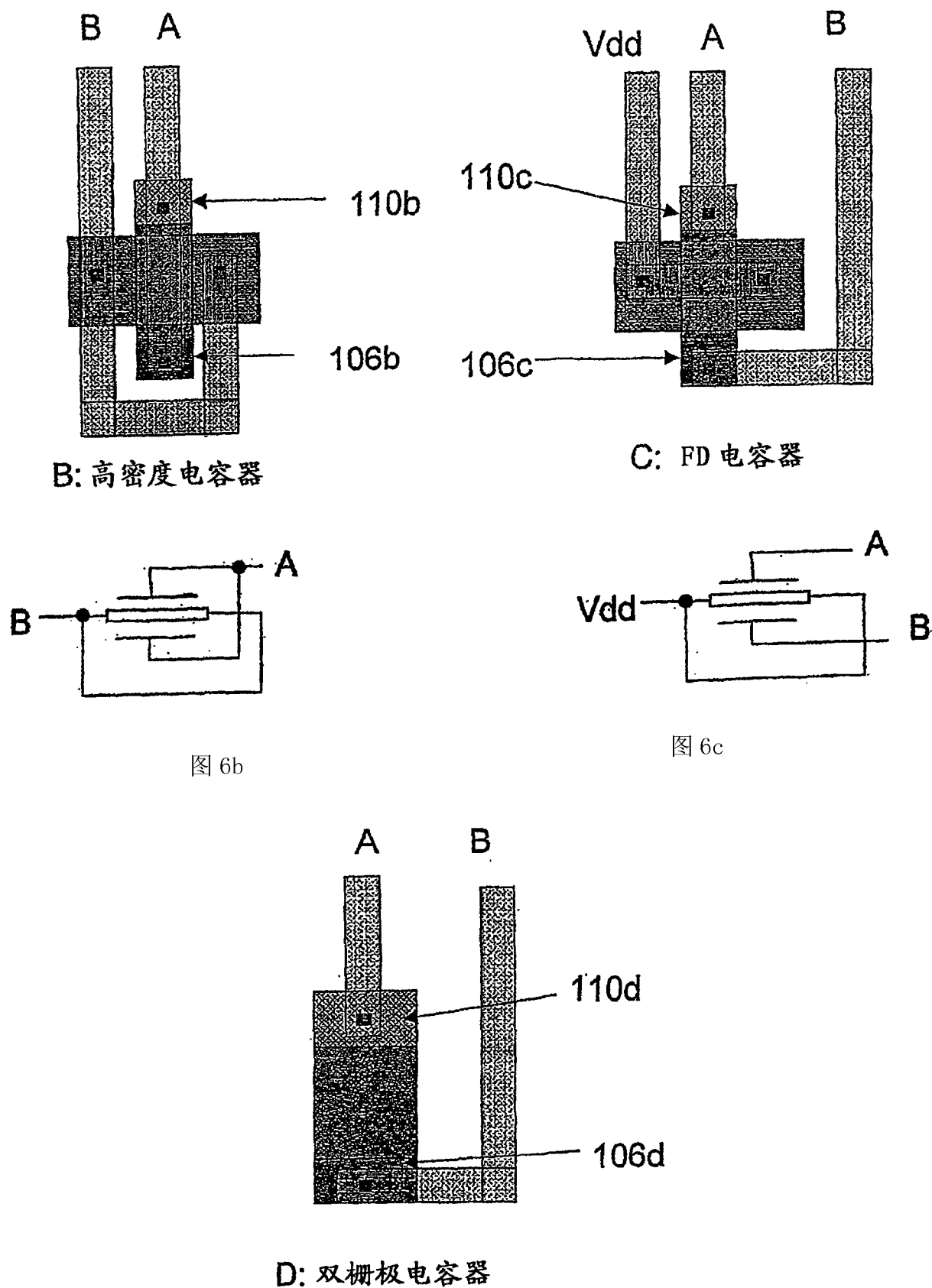


图 6b

图 6c

图 6d

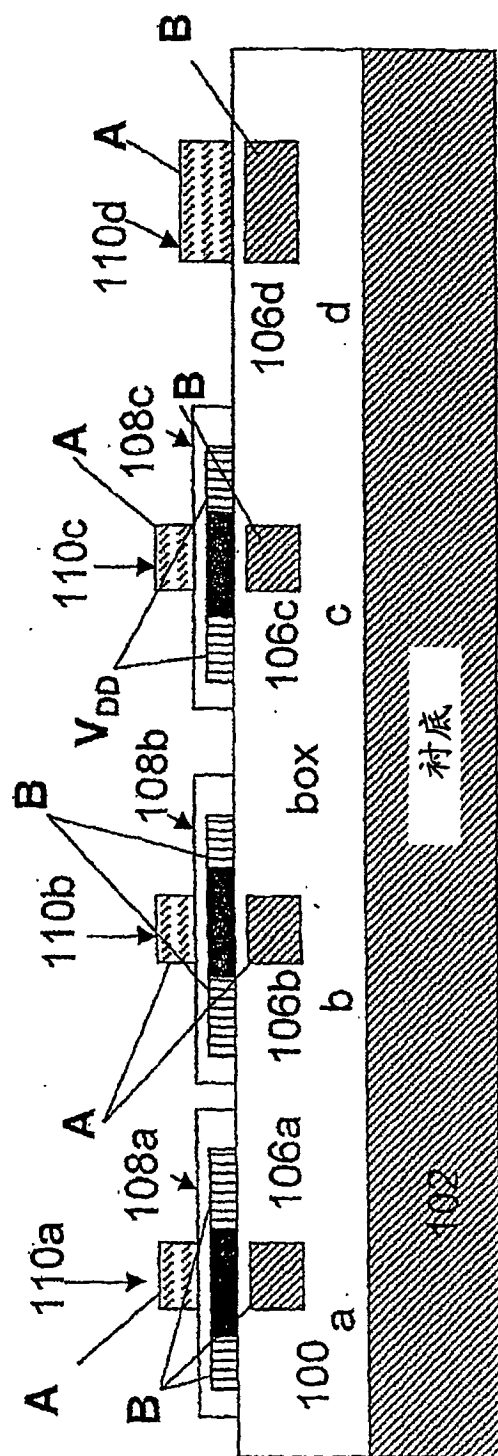


图 7