

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294441

(P2005-294441A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.⁷

H01L 23/14

H05K 3/46

F I

H01L 23/14

H05K 3/46

H05K 3/46

テーマコード (参考)

5E346

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2004-105764 (P2004-105764)

(22) 出願日 平成16年3月31日 (2004. 3. 31)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100105924

弁理士 森下 賢樹

(72) 発明者 臼井 良輔

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 中村 岳史

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Fターム(参考) 5E346 AA12 AA43 CC09 CC10 CC16

CC32 DD02 DD25 DD32 FF04

FF15 FF22 FF45 GG07 GG15

GG17 GG22 HH06 HH24 HH33

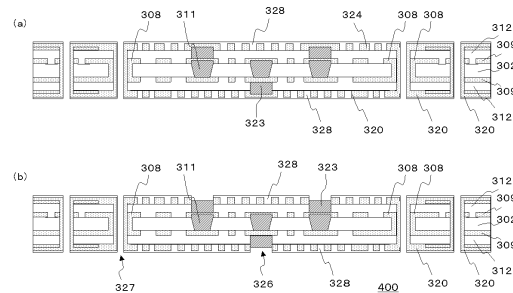
(54) 【発明の名称】 素子搭載基板およびそれを用いた半導体装置

(57) 【要約】

【課題】 信頼性が高く、かつ小型化された素子搭載基板を提供する。

【解決手段】 フォトソルダーレジスト層328を構成する材料は、母材であるカルド型ポリマーと所定の添加剤とを用いて、ボイドや凹凸などの発生が抑制された状態で薄膜に成形可能である。このため、フォトソルダーレジスト層328を構成する材料として、25 μ m程度の厚さのフィルムを用いることができ、フォトソルダーレジスト層328を構成する材料として通常用いられている樹脂材料の厚さである35 μ m程度と比較すると、約2/3の厚さとなる。したがって、素子搭載基板400を小型化することができる。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

素子を搭載するための素子搭載基板であって、
基材と、該基材上に設けられた絶縁膜と、該絶縁膜上に設けられたソルダーレジスト層とを含み、

前記ソルダーレジスト層は、カルド型ポリマーを含むことを特徴とする素子搭載基板。

【請求項 2】

請求項 1 に記載の素子搭載基板において、

前記ソルダーレジスト層に前記素子を接続する配線が設けられていることを特徴とする素子搭載基板。

10

【請求項 3】

請求項 1 または 2 に記載の素子搭載基板において、

前記ソルダーレジスト層のガラス転移温度が 180°C 以上 220°C 以下であり、

前記ソルダーレジスト層の周波数 1MHz の交流電界を印加した場合の誘電正接が 0.001 以上 0.04 以下であることを特徴とする素子搭載基板。

【請求項 4】

請求項 3 に記載の素子搭載基板において、

前記ソルダーレジスト層のガラス転移温度以下の領域における線膨張係数が $50\text{ppm}/^{\circ}\text{C}$ 以上 $80\text{ppm}/^{\circ}\text{C}$ 以下であることを特徴とする素子搭載基板。

【請求項 5】

20

請求項 1 乃至 4 いずれかに記載の素子搭載基板と、

該素子搭載基板に搭載されている半導体素子と、

を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、素子搭載基板およびそれを用いた半導体装置に関するものである。

【背景技術】

【0002】

携帯電話、PDA、DVC、DSCといったポータブルエレクトロニクス機器の高機能化が加速するなか、こうした製品が市場で受け入れられるためには小型・軽量化が必須となっており、その実現のために高集積のシステムLSIが求められている。一方、これらのエレクトロニクス機器に対しては、より使い易く便利なものが求められており、機器に使用されるLSIに対し、高機能化、高性能化が要求されている。このため、LSIチップの高集積化にともないそのI/O数が増大する一方でパッケージ自体の小型化要求も強く、これらを両立させるために、半導体部品の高密度な基板実装に適合した半導体パッケージの開発が強く求められている。こうした要求に対応するため、CSP (Chip Size Package) と呼ばれるパッケージ技術が種々開発されている。

30

【0003】

こうしたパッケージの例として、BGA (Ball Grid Array) が知られている。BGAは、パッケージ用基板の上に半導体チップを実装し、それを樹脂モールドングした後、反対側の面に外部端子としてハンダボールをエリア状に形成したものである。BGAでは、実装エリアが面で達成されるので、パッケージを比較的容易に小型化することができる。また、回路基板側でも狭ピッチ対応とする必要がなく、高精度な実装技術も不要となるので、BGAを用いると、パッケージコストが多少高い場合でもトータルな実装コストとしては低減することが可能となる。

40

【0004】

図12は、一般的なBGAの概略構成を示す図である。BGA100は、ガラスエポキシ基板106上に、接着層108を介してLSIチップ102が搭載された構造を有する。LSIチップ102は封止樹脂110によってモールドされている。LSIチップ10

50

2とガラスエポキシ基板106とは、金属線104により電氣的に接続されている。ガラスエポキシ基板106の裏面には、半田ボール112がアレイ状に配列されている。この半田ボール112を介して、BGA100がプリント配線基板に実装される。

【0005】

特許文献1には、他のCSPの例が記載されている。同公報記載には、高周波用LSIを搭載するシステム・イン・パッケージが開示されている。このパッケージは、ベース基板上に、多層配線構造が形成され、その上に高周波用LSIをはじめとする半導体素子が形成されている。多層配線構造は、コア基板、絶縁樹脂層付銅箔やソルダーレジスト層などが積層された構造となっている。

【0006】

【特許文献1】特開2002-94247号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記公報記載の技術をはじめ、システム・イン・パッケージに用いられるソルダーレジスト層は、多層配線構造の最上層に位置するため、高い加工性が要求される。また、ソルダーレジスト層の表面には、ベアチップなどの半導体素子が直接搭載されるため、吸湿特性や密着性についても高い性能が要求される。また、ソルダーレジスト層は、その層内に埋設される配線パターンの配線間絶縁膜としての役割を果たすため、寄生容量の低減が要求される。

【0008】

また、パッケージの微細化の要求により、ソルダーレジスト層の薄膜化が求められる。

【0009】

本発明は上記事情に鑑みなされたものであって、その目的とするところは、信頼性が高く、かつ小型化された素子搭載基板を提供することにある。

【課題を解決するための手段】

【0010】

本発明によれば、素子を搭載するための素子搭載基板であって、基材と、該基材上に設けられた絶縁膜と、該絶縁膜上に設けられたソルダーレジスト層とを含み、ソルダーレジスト層は、カルド型ポリマーを含むことを特徴とする素子搭載基板が提供される。

【0011】

本発明によれば、ソルダーレジスト層はカルド型ポリマーを含むことによって、ソルダーレジスト層の解像度および吸湿特性などの諸特性を向上させることができる。また、ソルダーレジスト層を薄膜化することができる。したがって、信頼性が高く、かつ小型化された素子搭載基板を提供することができる。

【0012】

また、ソルダーレジスト層に素子を接続する配線が設けられていてもよい。

【0013】

また、ソルダーレジスト層のガラス転移温度が180℃以上220℃以下であり、ソルダーレジスト層の周波数1MHzの交流電界を印加した場合の誘電正接が0.001以上0.04以下であってもよい。

【0014】

また、ソルダーレジスト層のガラス転移温度以下の領域における線膨張係数が50ppm/℃以上80ppm/℃以下であってもよい。

【0015】

本発明によれば、上記特徴を有する素子搭載基板と、該素子搭載基板に搭載されている半導体素子とを備えることを特徴とする半導体装置が提供される。

【0016】

本発明によれば、信頼性が高く、かつ、小型化された素子搭載基板を備えることにより、信頼性が高く、かつ、小型化された半導体装置を提供することができる。

10

20

30

40

50

【0017】

なお、絶縁膜は、単層絶縁膜でも多層絶縁膜でもよいものとする。

【0018】

なお、本発明において、素子搭載基板とは、LSIチップやICチップなどの半導体素子を搭載するための基板を意味する。たとえば、後述するISB（登録商標）構造におけるインターポーザー基板などが挙げられる。また、素子搭載基板は、シリコン基板などの剛性を有するコア基板を備えてもよいが、コア基板を有さず、絶縁樹脂膜からなる多層絶縁膜を備えるコアレス構造であってもよい。

【発明の効果】

【0019】

10

本発明によれば、信頼性が高く、かつ小型化された素子搭載基板を提供することができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態について説明するが、その前に、実施の形態で採用するISB構造について説明する。ISB（Integrated System in Board；登録商標）は、本出願人により開発された独自のパッケージである。ISBは、半導体ベアチップを中心とする電子回路のパッケージングにおいて、銅による配線パターンを持ちながら回路部品を支持するためのコア（基材）を使用しない独自のコアレスシステム・イン・パッケージである。

【0021】

20

図1はISBの一例を示す概略構成図である。ここではISBの全体構造をわかりやすくするため、単一の配線層のみ示しているが、実際には、複数の配線層が積層した構造となっている。このISBでは、LSIベアチップ201、Trベアチップ202およびチップCR203が銅パターン205からなる配線により結線された構造となっている。LSIベアチップ201は、裏面に半田ボール208が設けられた引き出し電極や配線に対し、金線ボンディング204により導通されている。LSIベアチップ201の直下には、導電性ペースト206が設けられ、これを介してISBがプリント配線基板に実装される。ISB全体はエポキシ樹脂などからなる樹脂パッケージ207により封止された構造となっている。

【0022】

30

このパッケージによれば、以下の利点が得られる。

- (i) コアレスで実装できるため、トランジスタ、IC、LSIの小型・薄型化を実現できる。
- (ii) トランジスタからシステムLSI、さらにチップタイプのコンデンサや抵抗を回路形成し、パッケージングすることができるため、高度なSIP(System in Package)を実現できる。
- (iii) 現有の半導体素子を組合せできるため、システムLSIを短期間に開発できる。
- (iv) 半導体ベアチップが直下の銅材に直接マウントされており、良好な放熱性を得ることができる。
- (v) 回路配線が銅材でありコア材がないため、低誘電率の回路配線となり、高速データ転送や高周波回路で優れた特性を発揮する。
- (vi) 電極がパッケージの内部に埋め込まれる構造のため、電極材料のパーティクルコンタミの発生を抑制できる。
- (vii) パッケージサイズはフリーであり、1個あたりの廃材を64ピンのSQFPパッケージと比較すると、約1/10の量となるため、環境負荷を低減できる。
- (viii) 部品を載せるプリント回路基板から、機能の入った回路基板へと、新しい概念のシステム構成を実現できる。
- (ix) ISBのパターン設計は、プリント回路基板のパターン設計と同じように容易であり、セットメーカーのエンジニアが自ら設計できる。

40

【0023】

50

次に I S B の製造プロセス上のメリットについて説明する。図 2 は、従来の C S P および本発明に係る I S B の製造プロセスの対比図である。図 2 (B) は、従来の C S P の製造プロセスを示す。はじめにベース基板上にフレームを形成し、各フレームに区画された素子形成領域にチップが実装される。その後、各素子について熱硬化性樹脂によりパッケージが設けられ、その後、素子毎に金型を利用して打ち抜きを行う。最終工程の打ち抜きでは、モールド樹脂およびベース基板が同時に切断されるようになっており、切断面における表面荒れなどが問題になる。また打ち抜きを終わった後の廃材が多量に生じるため、環境負荷の点で課題を有していた。

【 0 0 2 4 】

一方、図 2 (A) は、 I S B の製造プロセスを示す図である。はじめに、金属箔の上にフレームを設け、各モジュール形成領域に、配線パターンを形成し、その上に L S I などの回路素子を搭載する。続いて各モジュール毎にパッケージを施し、スクライプ領域に沿ってダイシングを行い、製品を得る。パッケージ終了後、スクライプ工程の前に、下地となる金属箔を除去するので、スクライプ工程におけるダイシングでは、樹脂層のみの切断となる。このため、切断面の荒れを抑制し、ダイシングの正確性を向上させることが可能となる。

【 0 0 2 5 】

第一の実施の形態

図 1 0 (b) は、本実施形態に係る 4 層 I S B 構造を備える素子搭載基板 4 0 0 を示す断面図である。

【 0 0 2 6 】

本実施形態に係る素子搭載基板 4 0 0 は、基材 3 0 2 の上面に、絶縁樹脂膜 3 1 2 、フォトソルダーレジスト層 3 2 8 を順に積層してなる構造を有する。また、基材 3 0 2 の下面に、絶縁樹脂膜 3 1 2 、フォトソルダーレジスト層 3 2 8 を順に積層してなる構造を有する。

【 0 0 2 7 】

ここで、4 層 I S B 構造とは、内部に配線層を 4 層有する構造のことであり、その配線層は絶縁樹脂膜 3 1 2 内およびフォトソルダーレジスト層 3 2 8 内に埋設されている。また、フォトソルダーレジスト層 3 2 8 は、その層内にビアホールを形成するプロセスの都合上、感光性を有することが求められる。

【 0 0 2 8 】

また、4 層 I S B 構造において、基材 3 0 2 を挟んで、上面の絶縁樹脂膜 3 1 2 と下面の絶縁樹脂膜 3 1 2 とを構成する材料として同じ材料を用いることができ、また、上面のフォトソルダーレジスト層 3 2 8 と下面のフォトソルダーレジスト層 3 2 8 とを構成する材料として同じ材料を用いることができるので、製造工程を簡略化することができるというプロセス上の利点がある。

【 0 0 2 9 】

また、これらの基材 3 0 2 、絶縁樹脂膜 3 1 2 、フォトソルダーレジスト層 3 2 8 を貫通する貫通孔 3 2 7 が設けられている。

【 0 0 3 0 】

また、基材 3 0 2 には、銅膜 3 0 8 からなる配線の一部、銅膜 3 2 0 からなる配線の一部、ビア 3 1 1 の一部などが埋め込まれている。絶縁樹脂膜 3 1 2 には、銅膜 3 0 8 からなる配線の一部、銅膜 3 2 0 からなる配線の一部、配線 3 0 9 、ビア 3 1 1 の一部、ビア 3 2 3 の一部などが埋め込まれている。フォトソルダーレジスト層 3 2 8 には、銅膜 3 2 0 からなる配線の一部、ビア 3 2 3 の一部などが埋め込まれている。また、フォトソルダーレジスト層 3 2 8 には、開口部 3 2 6 が設けられている。

【 0 0 3 1 】

ここで、基材 3 0 2 に用いる材料としては、特にガラスエポキシ基板に限定されず、適度な剛性を有する材料であれば使用可能である。例えば、基材 3 0 2 として、樹脂基板やセラミック基板などを用いることができる。より具体的には、低誘電率であるため高周波

10

20

30

40

50

特性に優れた基材を用いることができる。すなわち、ポリフェニールエチレン（PPE）、ビスマレイドトリアジン（BT-resin）、ポリテトラフルオロエチレン（テフロン（登録商標））、ポリイミド、液晶ポリマー（LCP）、ポリノルボルネン（PNB）、エポキシ系樹脂、アクリル系樹脂、セラミックあるいはセラミックと有機基材の混合体などを用いることができる。また、基材302の厚さは、たとえば、60 μm程度とする。

【0032】

絶縁樹脂膜312に用いる材料としては、加熱により軟化する樹脂材料であり、絶縁樹脂膜312をある程度薄膜化させることができる樹脂材料が用いられる。特に、低誘電率であり、高周波特性に優れた樹脂材料を好適に用い得る。また、絶縁樹脂膜312の厚さは、たとえば、40 μm程度とする。

10

【0033】

ここで、絶縁樹脂膜312には、フィラーまたは繊維等の充填材を含めることができる。フィラーとしては、たとえば粒子状または繊維状のSiO₂やSiNを用いることができる。

【0034】

また、フォトソルダーレジスト層328には、後述するカルド型ポリマー含有樹脂膜が用いられる。ここで、フォトソルダーレジスト層328の厚さは、たとえば30 μm程度以下が好ましく、25 μm程度がより好ましく用いられる。

【0035】

ここで、カルド型ポリマーは、嵩高い置換基が主鎖の運動を阻害することにより、優れた機械的強度、耐熱性および低い線膨張率を有する。よって、フォトソルダーレジスト層328にカルド型ポリマー含有樹脂膜を用いることにより、ヒートサイクルにおいて、フォトソルダーレジスト層328とその周囲の層との密着性の低下または層間剥離などが抑制される。このため、本実施形態に係る素子搭載基板400の信頼性が良好となる。

20

【0036】

また、上記の銅膜308からなる配線、銅膜320からなる配線、配線309、ビア311、ビア323などからなる多層配線構造としては、例えば銅配線などに限定されず、アルミニウム配線、アルミニウム合金配線、銅合金配線、ワイヤーボンディングされた金配線、金合金配線、またはこれらの混合配線などを用いることもできる。

30

【0037】

また、上記の4層ISB構造の表面または内部には、トランジスタやダイオードなどの能動素子、キャパシタや抵抗などの受動素子が設けられていてもよい。これらの能動素子または受動素子は、4層ISB中の多層配線構造に接続し、ビア323などを通じて外部の導電部材と接続可能としてもよい。

【0038】

図3から図10は、本実施形態に係る素子搭載基板400の工程断面図である。

【0039】

まず、図3(a)に示すように、ドリルで直径150 nm程度の孔を開口した銅箔304が圧着された基材302を用意する。ここで、基材302の厚さは、たとえば、60 μm程度とし、銅箔304の厚さは、たとえば、10 μmから15 μm程度とする。ここで、基材302に用いる材料としては、特にガラスエポキシ基板に限定されず、適度な剛性を有する材料であれば使用可能である。例えば、基材302として、樹脂基板やセラミック基板などを用いることができる。より具体的には、低誘電率であるため高周波特性に優れた基材を用いることができる。すなわち、ポリフェニールエチレン（PPE）、ビスマレイドトリアジン（BT-resin）、ポリテトラフルオロエチレン（テフロン（登録商標））、ポリイミド、液晶ポリマー（LCP）、ポリノルボルネン（PNB）、エポキシ系樹脂、アクリル系樹脂、セラミックあるいはセラミックと有機基材の混合体などを用いることができる。

40

【0040】

50

図3(b)に示すように、銅箔304の上面に、フォトエッチングレジスト層306をラミネートする。

【0041】

ついで、ガラスをマスクとして露光することでフォトエッチングレジスト層306をパターンニングする。その後、図4(a)および(b)に示すように、フォトエッチングレジスト層306をマスクとして、たとえば、薬液による化学エッチング加工によって、直径100nm程度のビアホール307を形成する。その後、ビアホール307内をウェット処理により粗化および洗浄する。つづいて、図4(c)に示すように、高アスペクト比対応の無電解めっき、次いで電解めっきにより、ビアホール307内を導電性材料で埋め込み、ビア311を形成した後に、全面に銅膜308を形成する。

10

【0042】

ビア311は、たとえば以下のようにして形成することができる。まず、無電解銅めっきにより全面に0.5~1μm程度の薄膜を形成した後、電解めっきにより約20μm程度の膜を形成する。無電解めっき用触媒は、通常パラジウムを用いることが多く、可とう性の絶縁樹脂に無電解用めっき用触媒を付着させるには、パラジウムを錯体の状態で水溶液に含ませ、可とう性の絶縁基材を浸漬して表面にパラジウム錯体を付着させ、そのまま、還元剤を用いて、金属パラジウムに還元することによって可とう性の絶縁基材表面にめっきを開始するための核を形成することができる。

【0043】

図5(a)に示すように、銅膜308の上下の表面にフォトエッチングレジスト層310をラミネートする。つづいて、図5(b)に示すように、ガラスをマスクとして露光することでパターンニングした後、フォトエッチングレジスト層310をマスクとして銅めっき層308をエッチングすることにより、銅からなる配線309を形成する。たとえば、レジストから露出した箇所に、化学エッチング液をスプレー噴霧して不要な銅めっきをエッチング除去し、配線パターンを形成することができる。

20

【0044】

次に、図6(a)に示すように、銅箔314付きの絶縁樹脂膜312を、配線309の上下から圧着する。ここで、絶縁樹脂膜312の厚さは、たとえば、40μm程度とし、銅箔314の厚さは、たとえば、10μm~15μm程度とする。

【0045】

絶縁樹脂膜312に用いる材料としては、加熱することにより軟化する材料であればどのようなものを用いることもできるが、たとえばエポキシ樹脂、BTレジン等のメラミン誘導体、液晶ポリマー、PPE樹脂、ポリイミド樹脂、フッ素樹脂、フェノール樹脂、ポリアミドビスマレイミド等を用いることができる。ここで、絶縁樹脂膜312には、フィラーまたは繊維等の充填材を含めることができる。フィラーとしては、たとえば粒子状または繊維状のSiO₂やSiNを用いることができる。

30

【0046】

圧着の方法としては、銅箔付き絶縁樹脂膜312を基材302および配線309に当接し、絶縁樹脂膜312内に基材302および配線309を嵌入する。次に、図6(b)に示すように、絶縁樹脂膜312を真空下または減圧下で加熱して基材302および配線309に圧着する。つづいて、図6(c)に示すように、銅箔314にX線を照射することで、銅箔314、絶縁樹脂膜312、配線309、基材302を貫通する孔315を開口する。

40

【0047】

図7(a)に示すように、銅箔314の上下の表面にフォトエッチングレジスト層316をラミネートする。つづいて、図7(b)に示すように、ガラスをマスクとして露光することでパターンニングした後、フォトエッチングレジスト層316をマスクとして、銅箔314をエッチングすることにより、銅からなる配線319を形成する。たとえば、レジストから露出した箇所に、化学エッチング液をスプレー噴霧して不要な銅箔をエッチング除去し、配線パターンを形成することができる。

50

【0048】

図8(a)に示すように、配線319の上下の表面にフォトエッチングレジスト層317をラミネートする。つづいて、図8(b)に示すように、ガラスをマスクとして露光することでパターニングした後、フォトエッチングレジスト層317をマスクとして、たとえば、薬液による化学エッチングにより、直径100nm程度のビアホール322を形成する。その後、ビアホール322内をウェット処理により粗化および洗浄する。つづいて、図8(c)に示すように、高アスペクト比対応の無電解めっき、次いで電界めっきにより、ビアホール322内を導電性材料で埋め込み、ビア323を形成した後に、全面に銅膜320を形成する。

【0049】

ビア323は、たとえば以下のようにして形成することができる。まず、無電解銅めっきにより全面に0.5~1μm程度の薄膜を形成した後、電解めっきにより約20μm程度の膜を形成する。無電解めっき用触媒は、通常パラジウムを用いることが多く、可とう性の絶縁樹脂に無電解用めっき用触媒を付着させるには、パラジウムを錯体の状態で水溶液に含ませ、可とう性の絶縁基材を浸漬して表面にパラジウム錯体を付着させ、そのまま、還元剤を用いて、金属パラジウムに還元することによって可とう性の絶縁基材表面にめっきを開始するための核を形成することができる。

【0050】

図9(a)に示すように、銅膜320の上下の表面に、フォトエッチングレジスト層316をラミネートする。つづいて、図9(b)に示すように、ガラスをマスクとして露光することでパターニングした後、フォトエッチングレジスト層316をマスクとして、銅膜320をエッチングすることにより、銅からなる配線324を形成する。たとえば、レジストから露出した箇所に、化学エッチング液をスプレー噴霧して不要な銅箔をエッチング除去し、配線パターンを形成することができる。

【0051】

図10(a)に示すように、配線324の上下の表面に、フォトソルダーレジスト層328をラミネートする。ここで、フォトソルダーレジスト層328の厚さは、たとえば30μm程度以下が好ましく、25μm程度がより好ましく用いられる。ラミネートの条件としては、たとえば、温度110℃、時間1~2分、2気圧などが用いられる。その後、アフターバーク工程によりフォトソルダーレジスト層328を一部硬化させる。

【0052】

フォトソルダーレジスト層328には、後述する、カルド型ポリマー含有樹脂膜が用いられる。

【0053】

つづいて、図10(b)に示すように、ガラスをマスクとして露光することでパターニングした後、フォトソルダーレジスト層328をマスクとして、たとえば、薬液による化学エッチング加工によって、ビアホール322に形成されたビア323を露出するように、たとえば、直径100nm程度のビアホール326を形成する。その後、露出されたビア323に金メッキを施す(不図示)。

【0054】

以下、本実施形態において、カルド型ポリマー含有樹脂膜を、フォトソルダーレジスト層328に用いることの効果について説明する。

【0055】

ここで、カルド型ポリマーとは、式(I)に示すように、環状の基がポリマー主鎖に直接結合した構造を有するポリマーの総称である。なお、式(I)において、R₁、R₂はアルキレン基や芳香環を含む2価の基などの2価の基を表す。

【0056】

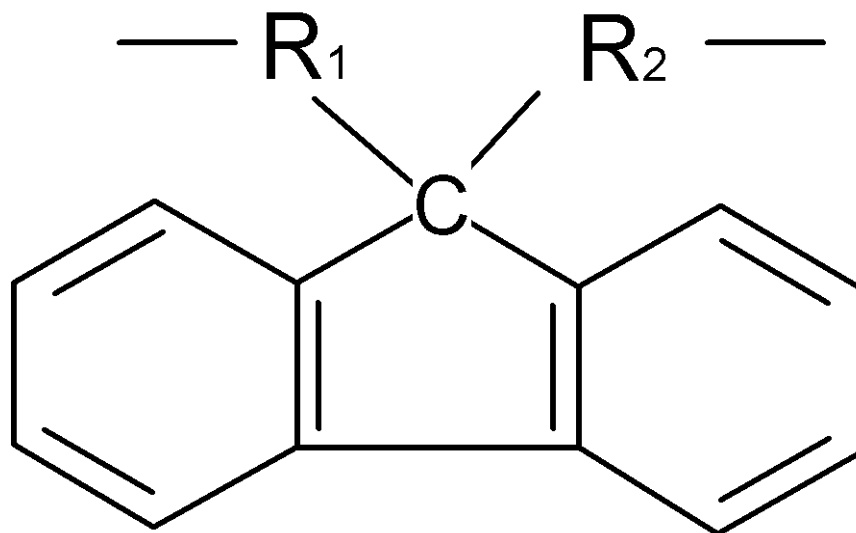
10

20

30

40

【化 1】



10

(式 I)

20

【0057】

すなわち、このカルド型ポリマーとは、四級炭素を有する嵩高い置換基が、主鎖に対して、ほぼ直角に存在する構造を有しているポリマーのことである。

【0058】

ここで、環状部は、飽和結合でも不飽和結合を含んでいてもよく、炭素の他、窒素原子、酸素原子、硫黄原子、リン原子等の原子を含んでいてもよい。また、環状部は多環であってもよく、縮合環であってもよい。また、環状部は、他の炭素鎖と結合していても、更には、架橋していてもよい。

【0059】

なお、嵩高い置換基としては、たとえば、式 (I) に示すように、五員環の両側に六員環が結合し、五員環の残り一つの炭素原子が主鎖と結合した構造を有する縮合環を有するフルオレニル基などの環状の基が挙げられる。

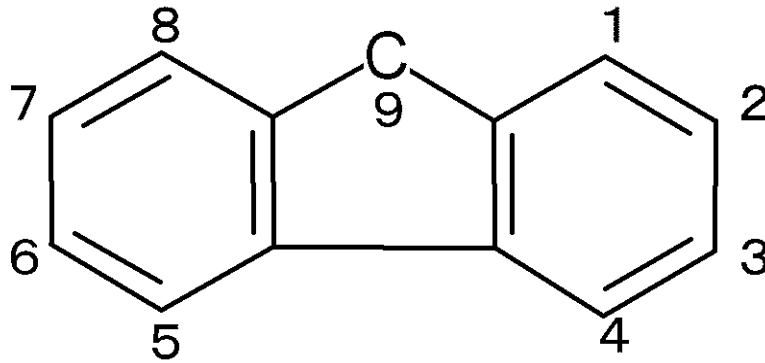
30

【0060】

フルオレニル基とは、式 (II) に示すように、フルオレンの 9 位の炭素原子が脱水素化された基であり、カルド型ポリマーにおいては、式 (I) に示すように、脱水素化された炭素原子の位置で、主鎖であるアルキル基の炭素原子と結合している。

【0061】

【化 2】



10

(式II)

【0062】

カルド型ポリマーは、上記構造を有するポリマーであるため、

- (1) ポリマー主鎖の回転拘束
 - (2) 主鎖及び側鎖のコンフォメーション規制
 - (3) 分子間パッキングの阻害
 - (4) 側鎖の芳香族置換基導入等による芳香族性の増加
- といった効果を奏する。

20

【0063】

したがって、カルド型ポリマーは、高い機械的強度、高耐熱性、溶剤溶解性、高透明性、高屈折率、低複屈折率、更には、より高い気体透過性といった特徴を有する。

【0064】

ここで、フォトソルダーレジスト層328に用いるカルド型ポリマー含有樹脂膜は、所定の添加剤を用いて、ボイドや凹凸などの発生が抑制された状態で薄膜に成形可能である。このため、フォトソルダーレジスト層328に、25 μm程度の厚さのフィルムを用いることができ、フォトソルダーレジスト層328に通常用いられている樹脂材料の厚さである35 μm程度と比較すると、約2/3の厚さとなる。したがって、フォトソルダーレジスト層328にカルド型ポリマー含有樹脂膜を用いることにより、本実施形態における素子搭載基板400を小型化することができる。また、上記カルド型ポリマー含有樹脂膜をフォトソルダーレジスト層328に用いることにより、フォトソルダーレジスト層328に25 μm程度の厚さのフィルムを用いることができるので、絶縁樹脂膜312の厚さである約40 μmよりも、フォトソルダーレジスト層328の厚さを薄くすることができる。

30

【0065】

また、カルド型ポリマー含有樹脂膜は後述するように優れた耐湿性と密着性を有する。このため、フォトソルダーレジスト層328に、カルド型ポリマー含有樹脂膜を用いることにより、素子搭載基板400の表面に搭載される素子や他の層との密着性を向上させることができる。

40

【0066】

また、カルド型ポリマー含有樹脂膜は後述するように、優れた解像度を有する。また、本実施形態において用いられるフィルムの厚さは、フォトソルダーレジスト層に通常用いられている厚さの約2/3であるから、カルド型ポリマー含有樹脂膜を用いたフォトソルダーレジスト層328は、より優れた解像度を有する。このため、ビアホール326を形成する際の寸法精度を向上させることができる。したがって、素子搭載基板400の信頼性を向上させることができる。

50

【0067】

また、カルド型ポリマー含有樹脂膜は後述するように、優れた誘電特性を有する。このため、フォトソルダーレジスト層328に、カルド型ポリマー含有樹脂膜を用いることにより、フォトソルダーレジスト層328内に埋設された配線間の寄生容量が低減される。したがって、素子搭載基板400の信頼性を向上させることができる。

【0068】

また、カルド型ポリマー含有樹脂膜は高い機械的強度を有することにより、フォトソルダーレジスト層328の厚さを従来の約2/3の厚さとしても、機械的強度を保つことができる。そのため、素子搭載基板400の基板全体の反りを抑制させることができる。したがって、素子搭載基板400上に搭載される素子のボンディングの精度を向上させることができる。 10

【0069】

また、フォトソルダーレジスト層の形成に通常用いられるスピンコート法においては、フォトソルダーレジスト層の外周部にボイドが生じやすいという点で改善の余地を有していた。また、ポッティング法では、接着前の状態が液体であり、塗布した後にボイドが生じやすいという点で改善の余地を有していた。これに対して、本実施形態におけるフォトソルダーレジスト層328は、フィルムを圧着する際に、ボイドや凹凸などの発生が抑制されるので、フィルムが圧着された素子搭載基板400のフォトソルダーレジスト層328にもボイドや凹凸は少ない。したがって、素子搭載基板400の信頼性および製造安定性を向上させることができる。 20

【0070】

なお、上記カルド型ポリマーは、カルボン酸基とアクリレート基とを同一分子鎖内に有するポリマーが架橋してなるポリマーであってもよい。従来の一般的な感光性ワニスとしては、現像性を持つカルボン酸基オリゴマーと多官能アクリルとのブレンドが用いられているが、解像度の面でさらなる改善の余地があった。一般的な感光ワニスの代わりに、カルボン酸基とアクリレート基とを同一分子鎖内に有するポリマーが架橋してなるカルド型ポリマーを用いると、現像性を持つカルボン酸と架橋基であるアクリレート基とを同一分子鎖中に有し、主鎖に嵩高い置換基を持ちラジカル拡散し難いため、カルド型ポリマー含有樹脂膜の解像度が向上する利点がある。

【0071】

また、カルド型ポリマー含有樹脂膜は、以下に示す諸物性値を満たすことが望ましい。なお、以下の諸物性値は、フィラーなどを含まない樹脂部分についての値であり、フィラーなどを添加することにより、適宜調整可能である。 30

【0072】

ここで、上記カルド型ポリマー含有樹脂膜のガラス転移温度(T_g)は、例えば180℃以上とすることができ、特に好ましくは190℃以上である。ガラス転移温度がこの範囲にあると、カルド型ポリマー含有樹脂膜の耐熱性が向上する。

【0073】

また、上記カルド型ポリマー含有樹脂膜のガラス転移温度(T_g)は、例えば220℃以下とすることができ、特に好ましくは210℃以下である。ガラス転移温度がこの範囲のカルド型ポリマー含有樹脂膜であれば、通常の製法により安定的に製造可能である。ガラス転移温度は、例えばバルク試料の動的粘弾性測定(DMA)により測定可能である。 40

【0074】

また、上記カルド型ポリマー含有樹脂膜のT_g以下の領域における線膨張係数(CTE)は、例えば80ppm/℃以下とすることができ、特に好ましくは75ppm/℃以下である。線膨張係数がこの範囲にあると、カルド型ポリマー含有樹脂膜と、他の部材などとの密着性が向上する。

【0075】

また、上記カルド型ポリマー含有樹脂膜のT_g以下の領域における線膨張係数(CTE)は、例えば50ppm/℃以上とすることができ、特に好ましくは55ppm/℃以上 50

である。また、上記カルド型ポリマー含有樹脂膜にフィラーを配合することにより、CTEを $20 \text{ ppm}/^{\circ}\text{C}$ 以下の樹脂組成物を得ることもできる。線膨張係数がこの範囲のカルド型ポリマー含有樹脂膜であれば、通常の製法により安定的に製造可能である。線膨張係数は、例えば熱機械分析装置 (TMA) による熱膨張測定により測定可能である。

【0076】

また、上記カルド型ポリマー含有樹脂膜の熱伝導率は、例えば $0.50 \text{ W}/\text{cm}^2 \cdot \text{s ec}$ 以下とすることができ、特に好ましくは $0.35 \text{ W}/\text{cm}^2 \cdot \text{s ec}$ 以下である。熱伝導率がこの範囲にあると、カルド型ポリマー含有樹脂膜の耐熱性が向上する。

【0077】

また、上記カルド型ポリマー含有樹脂膜の熱伝導率は、例えば $0.10 \text{ W}/\text{cm}^2 \cdot \text{s ec}$ 10
以上とすることができ、特に好ましくは $0.25 \text{ W}/\text{cm}^2 \cdot \text{s ec}$ 以上である。熱伝導率がこの範囲のカルド型ポリマー含有樹脂膜であれば、通常の製法により安定的に製造可能である。熱伝導率は、例えば円板熱流計法 (ASTM E1530) により測定可能である。

【0078】

また、上記カルド型ポリマー含有樹脂膜の $10 \sim 100 \mu\text{m}$ 直径のビアにおけるビアアスペクト比は、例えば0.5以上とすることができ、特に好ましくは1以上である。ビアアスペクト比がこの範囲にあると、カルド型ポリマー含有樹脂膜の解像度が向上する。

【0079】

また、上記カルド型ポリマー含有樹脂膜の $10 \sim 100 \mu\text{m}$ 直径のビアにおけるビアア 20
スペクト比は、例えば5以下とすることができ、特に好ましくは2以下である。ビアアスペクト比がこの範囲のカルド型ポリマー含有樹脂膜であれば、通常の製法により安定的に製造可能である。

【0080】

また、上記カルド型ポリマー含有樹脂膜の周波数 1 MHz の交流電界を印加した場合の誘電率は、例えば4以下とすることができ、特に好ましくは3以下である。誘電率がこの範囲にあると、カルド型ポリマー含有樹脂膜の高周波特性をはじめとする誘電特性が向上する。

【0081】

また、上記カルド型ポリマー含有樹脂膜の周波数 1 MHz の交流電界を印加した場合の 30
誘電率は、例えば0.1以上とすることができ、特に好ましくは2.7以上である。誘電率がこの範囲のカルド型ポリマー含有樹脂膜であれば、通常の製法により安定的に製造可能である。

【0082】

また、上記カルド型ポリマー含有樹脂膜の周波数 1 MHz の交流電界を印加した場合の誘電正接は、例えば0.04以下とすることができ、特に好ましくは0.029以下である。誘電正接がこの範囲にあると、カルド型ポリマー含有樹脂膜の高周波特性をはじめとする誘電特性が向上する。

【0083】

また、上記カルド型ポリマー含有樹脂膜の周波数 1 MHz の交流電界を印加した場合の 40
誘電正接は、例えば0.001以上とすることができ、特に好ましくは0.027以上である。誘電正接がこの範囲のカルド型ポリマー含有樹脂膜であれば、通常の製法により安定的に製造可能である。

【0084】

また、上記カルド型ポリマー含有樹脂膜の24時間吸水率 (wt%) は、例えば3wt% 以下とすることができ、特に好ましくは1.5wt%以下である。24時間吸水率 (wt%) がこの範囲にあると、カルド型ポリマー含有樹脂膜の耐湿性を向上することができる。

【0085】

また、上記カルド型ポリマー含有樹脂膜の24時間吸水率 (wt%) は、例えば0.5 50

w t %以上とすることができ、特に好ましくは1. 3 w t %以上である。24時間吸水率(w t %)がこの範囲のカルド型ポリマー含有樹脂膜であれば、通常の製法により安定的に製造可能である。

【0086】

これら上記の複数の特性をカルド型ポリマー含有樹脂膜が満たす場合には、カルド型ポリマー含有樹脂膜を用いるフォトソルダーレジスト層328に要求される、薄膜化、機械的強度、耐熱性、他の部材との密着性、解像度、誘電特性、耐湿性などの諸特性がバランス良く実現される。

【0087】

第二の実施形態

図11は、本実施の形態における4層ISB構造を備える素子搭載基板400への半導体素子の各種搭載方法を模式的に示した断面図である。

【0088】

本実施形態において、カルド型ポリマー含有樹脂膜とは、第一の実施形態で記載したカルド型ポリマー含有樹脂膜と同じである。

【0089】

第一の実施形態で説明した素子搭載基板400に半導体素子を搭載してなる半導体装置には、多くの形式がある。例えば、フリップチップ接続やワイヤーボンディングにより接続して搭載する形式がある。また、素子搭載基板400に半導体素子をフェイスアップ構造やフェイスダウン構造により搭載する形式がある。また、素子搭載基板400の片面や両面に半導体素子を搭載する形式がある。さらには、これらの各種形式を組み合わせる形式もある。

【0090】

具体的には、例えば図11(a)に示すように、第一の実施形態の素子搭載基板400の上部にLSIなどの半導体素子500をフリップチップ形式で搭載し得る。このとき、素子搭載基板400上面の電極パッド402a、402bと、半導体素子500の電極パッド502a、502bとがそれぞれ互いに直接接続する。

【0091】

また、図11(b)に示すように、素子搭載基板400の上部にLSIなどの半導体素子500をフェイスアップ構造で搭載し得る。このとき、素子搭載基板400上面の電極パッド402a、402bは、半導体素子500上面の電極パッド502a、502bと、それぞれ金線504a、504bによりワイヤーボンディング接続されている。

【0092】

また、図11(c)に示すように、素子搭載基板400の上部にLSIなどの半導体素子500をフリップチップ形式で搭載し、素子搭載基板400の下部にICなどの半導体素子600をフリップチップ形式で搭載し得る。このとき、素子搭載基板400上面の電極パッド402a、402bは、半導体素子500の電極パッド502a、502bとそれぞれ互いに直接接続する。また、素子搭載基板400下面の電極パッド404a、404bは、半導体素子600の電極パッド602a、602bとそれぞれ互いに直接接続する。

【0093】

また、図11(d)に示すように、素子搭載基板400の上部にLSIなどの半導体素子500をフェイスアップ構造で搭載し、素子搭載基板400を、プリント基板700の上部に搭載し得る。このとき、素子搭載基板400上面の電極パッド402a、402bは、半導体素子500上面の電極パッド502a、502bと、それぞれ金線504a、504bによりワイヤーボンディング接続される。また、素子搭載基板400下面の電極パッド404a、404bは、プリント基板700上面の電極パッド702a、702bとそれぞれ互いに直接接続する。

【0094】

上記いずれの構造からなる半導体装置においても、第一の実施形態で説明したように、

10

20

30

40

50

素子搭載基板 400 を構成するフォトソルダーレジスト層 328 に、カルド型ポリマー含有樹脂膜を用いた素子搭載基板 400 を用いている。ここで、カルド型ポリマー含有樹脂膜は、上述するように、耐湿性、密着性、誘電特性、解像度などの諸特性に優れている。そのため、素子搭載基板 400 上に搭載される素子や、フォトソルダーレジスト層 328 と接する絶縁樹脂膜 312 との密着性に優れ、フォトソルダーレジスト層 328 上にビアホールなどを形成する際の寸法精度を向上させることができ、かつ、寄生容量を低減させることができる。また、フォトソルダーレジスト層 328 に、薄膜化しても機械的強度の高いフィルムを用いている。そのため、素子搭載基板 400 における基板全体の反りを抑制することができる。したがって、素子搭載基板 400 上に素子を搭載する際の精度を向上させることができる。この結果、素子搭載基板 400 上に素子を搭載することで、信頼性が高く、小型化された半導体装置を提供することができる。

10

【0095】

以上、発明の好適な実施の形態を説明した。しかし、本発明は上述の実施の形態に限定されず、当業者が本発明の範囲内で上述の実施の形態を変形可能なことはもちろんである。

【0096】

たとえば、フォトソルダーレジスト層 328 に加えて、基材 302 または絶縁樹脂膜 312 に、カルド型ポリマー含有樹脂膜を用いてもよい。

【0097】

フォトソルダーレジスト層 328 に加えて、基材 302 に、カルド型ポリマー含有樹脂膜を用いることにより、以下の効果を得ることができる。

20

【0098】

基材 302 に用いるカルド型ポリマー含有樹脂膜は、所定の添加剤を用いて、ボイドや凹凸などの発生が抑制された状態で薄膜に成形可能である。このため、基材 302 に、40 μm 程度の厚さのフィルムを用いることができ、基材に通常用いられている樹脂材料の厚さである 60 μm 程度と比較すると、約 2/3 の厚さとなる。また、カルド型ポリマー含有樹脂膜は、上述するように優れた密着性および耐熱性を有する。したがって、カルド型ポリマー含有樹脂膜を、フォトソルダーレジスト層 328 に加えて、基材 302 にも用いることにより、本実施形態における素子搭載基板 400 の信頼性をより向上させつつ、一層小型化することができる。また、上記素子搭載基板 400 上に半導体素子を搭載することにより、信頼性がより向上され、一層小型化された半導体装置を提供することができる。

30

【0099】

フォトソルダーレジスト層 328 に加えて、絶縁樹脂膜 312 に、カルド型ポリマー含有樹脂膜を用いることにより、以下の効果を得ることができる。

【0100】

絶縁樹脂膜 312 に用いるカルド型ポリマー含有樹脂膜は、所定の添加剤を用いて、ボイドや凹凸などの発生が抑制された状態で薄膜に成形可能である。このため、絶縁樹脂膜 312 に、25 μm 程度の厚さのフィルムを用いることができ、絶縁樹脂膜に通常用いられている樹脂材料の厚さである 40 μm 程度と比較すると、約 2/3 の厚さとなる。したがって、カルド型ポリマー含有樹脂膜を、フォトソルダーレジスト層 328 に加えて、絶縁樹脂膜 312 にも用いることにより、素子搭載基板 400 を一層小型化することができる。また、カルド型ポリマー含有樹脂膜は、上述するように優れた密着性、耐熱性および誘電特性などを有するので、絶縁樹脂膜 312 の層間密着性が向上され、寄生容量が低減される。このため、素子搭載基板 400 の信頼性を向上させることができる。さらに、フィルムを圧着する際に、ボイドや凹凸の発生が抑制されるので、フィルムが圧着された素子搭載基板 400 の絶縁樹脂膜 312 にもボイドや凹凸は少ない。したがって、カルド型ポリマー含有樹脂膜を、フォトソルダーレジスト層 328 に加えて、絶縁樹脂膜 312 にも用いることにより、本実施形態における素子搭載基板 400 の信頼性をより向上させつつ、一層小型化することができる。また、上記素子搭載基板 400 上に半導体素子を搭載

40

50

することにより、信頼性と製造安定性が顕著に向上され、一層小型化された半導体装置を提供することができる。

【0101】

また、フォトソルダーレジスト層328に加えて、基材302および絶縁樹脂膜312に、カルド型ポリマー含有樹脂膜を用いてもよい。

【0102】

ここで、カルド型ポリマー含有樹脂膜は上述するように、耐熱性、機械的強度、密着性、耐湿性、誘電特性、解像度特性などの諸特性に優れ、かつ、薄膜に成形可能であるため、基材302、絶縁樹脂膜312およびフォトソルダーレジスト層328は、剛性、耐熱性、層間密着性、寄生容量、素子搭載時の寸法精度、平坦性などの諸特性に優れている。このため、フォトソルダーレジスト層328に加えて、基板302、絶縁樹脂膜312のすべてに、カルド型ポリマー含有樹脂膜を用いることにより、素子搭載基板400の信頼性と製造安定性をより顕著に向上させることができ、より一層の小型化を図ることができる。また、上記素子搭載基板400上に半導体素子を搭載することにより、信頼性と製造安定性がより顕著に向上され、より一層小型化された半導体装置を提供することができる。

10

【0103】

また、上記実施形態においては、4層ISB構造を備える素子搭載基板400を構成するフォトソルダーレジスト層328に、カルド型ポリマー含有樹脂膜を用いる構成としたが、たとえば、配線層を4層以上、たとえば6層の配線層を有するISB構造を備える素子搭載基板のフォトソルダーレジスト層にカルド型ポリマー含有樹脂膜を用いてもよいし、他の半導体パッケージのフォトソルダーレジスト層にカルド型ポリマー含有樹脂膜を用いてもよい。

20

【図面の簡単な説明】

【0104】

【図1】 ISB（登録商標）の構造を説明するための図である。

【図2】 BGAおよびISB（登録商標）の製造プロセスを説明するための図である。

【図3】 本発明の実施の形態における素子搭載基板の製造手順を示す工程断面図である。

【図4】 本発明の実施の形態における素子搭載基板の製造手順を示す工程断面図である。

【図5】 本発明の実施の形態における素子搭載基板の製造手順を示す工程断面図である。

30

【図6】 本発明の実施の形態における素子搭載基板の製造手順を示す工程断面図である。

【図7】 本発明の実施の形態における素子搭載基板の製造手順を示す工程断面図である。

【図8】 本発明の実施の形態における素子搭載基板の製造手順を示す工程断面図である。

【図9】 本発明の実施の形態における素子搭載基板の製造手順を示す工程断面図である。

【図10】 本発明の実施の形態における素子搭載基板の製造手順を示す工程断面図である。

。

【図11】 本発明の実施の形態における半導体装置の構造を説明するための断面図である

【図12】 従来の一般的なBGAの概略構成を示す図である。

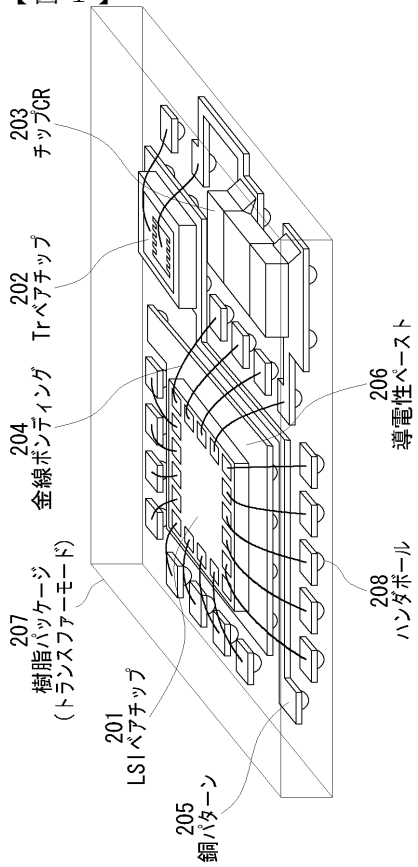
【符号の説明】

【0105】

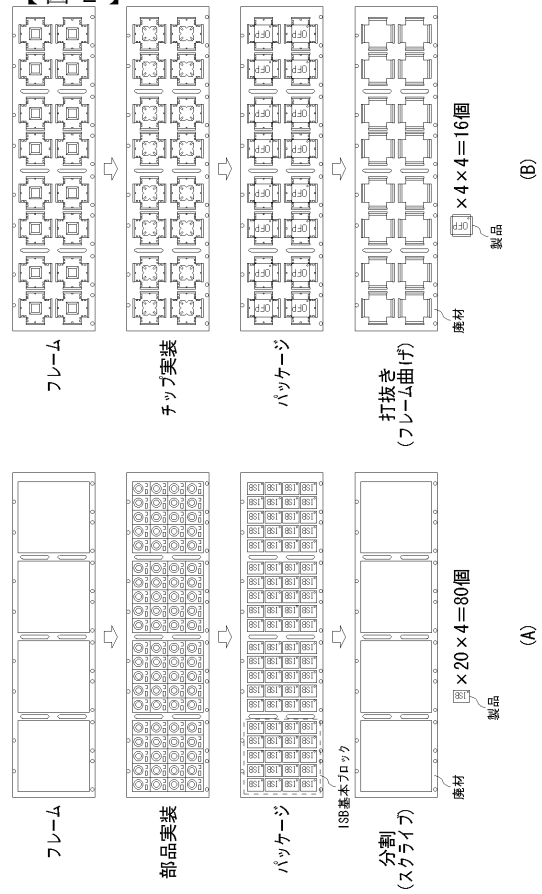
302 基材、304 銅箔、306 フォトエッチングレジスト層、307 ビアホール、308 銅膜、309 配線、310 フォトエッチングレジスト層、311 ビア、312 絶縁樹脂膜、314 銅箔、315 孔、316 フォトエッチングレジスト層、317 フォトエッチングレジスト層、319 配線、320 銅膜、322 ビアホール、323 ビア、324 配線、326 ビアホール、327 貫通孔、328 フォトソルダーレジスト層、400 素子搭載基板、402 電極パッド、404 電極パッド、500 半導体素子、502 電極パッド、504 金線、600 半導体素子、602 電極パッド、700 プリント基板、702 電極パッド。

40

【図 1】



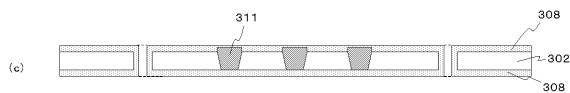
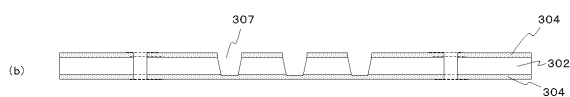
【図 2】



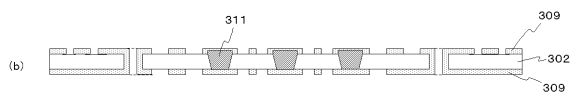
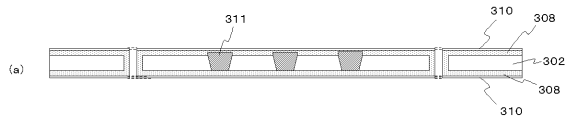
【図 3】



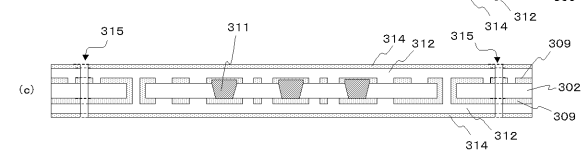
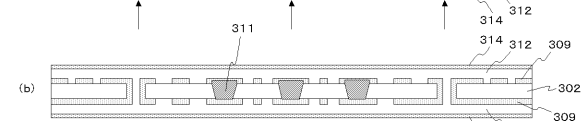
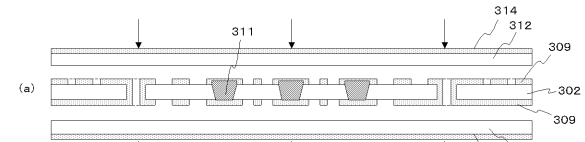
【図 4】



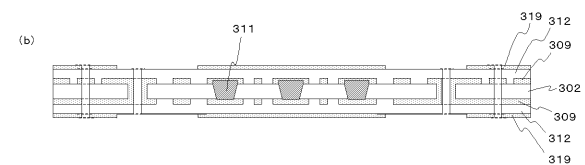
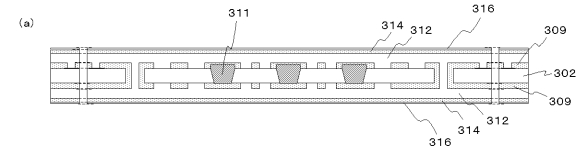
【図 5】



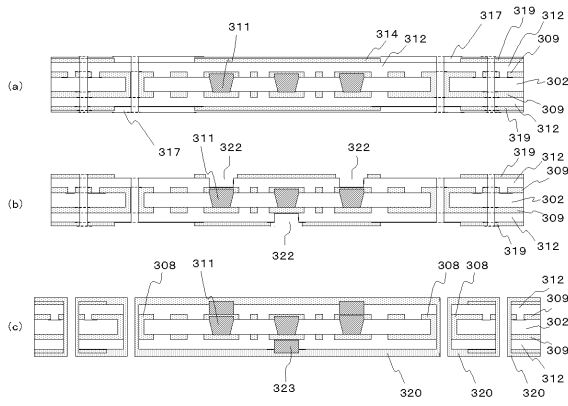
【図 6】



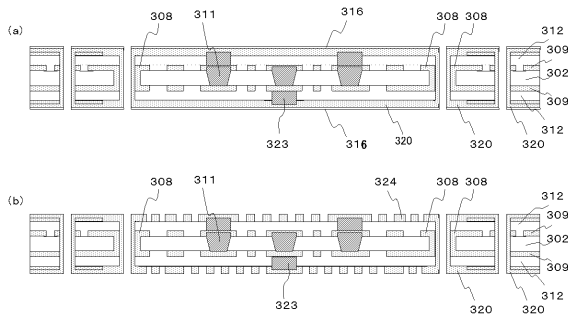
【図 7】



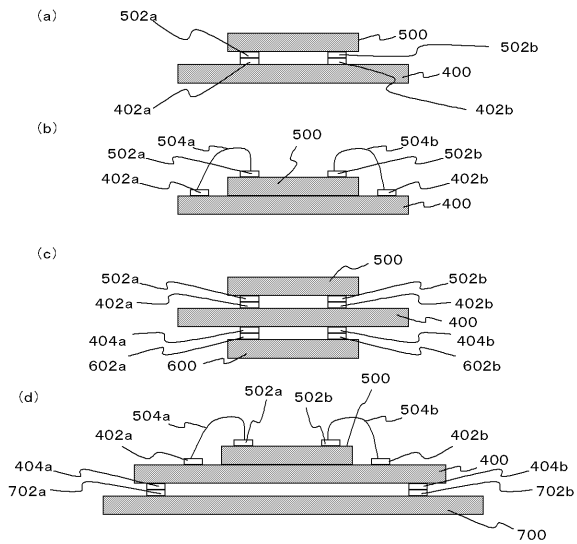
【図 8】



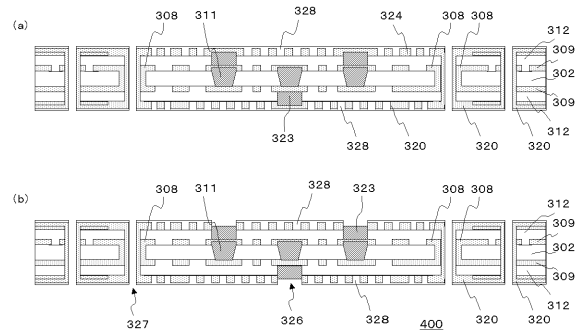
【図 9】



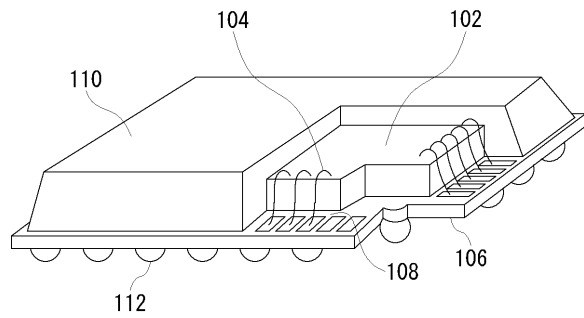
【図 11】



【図 10】



【図 12】



100