



(10) 授权公告号 CN 112421263 B

(45) 授权公告日 2022.10.25

(21) 申请号 202011324300.7

(22) 申请日 2015.11.17

(65) 同一申请的已公布的文献号
申请公布号 CN 112421263 A

(43) 申请公布日 2021.02.26

(30) 优先权数据
2014-232934 2014.11.17 JP

(62) 分案原申请数据
201580058276.8 2015.11.17

(73) 专利权人 迪睿合株式会社
地址 日本东京都

(72) 发明人 阿久津恭志

(74) 专利代理机构 北京挚诚信奉知识产权代理有限公司 11338

专利代理师 徐月 王永辉

(51) Int.Cl.
H01R 11/01 (2006.01)
H01R 43/00 (2006.01)
H01B 5/16 (2006.01)

审查员 陈巍

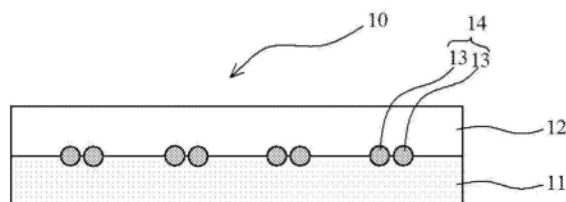
权利要求书2页 说明书14页 附图5页

(54) 发明名称

各向异性导电膜、连接结构体及其制造方法

(57) 摘要

本申请涉及各向异性导电膜、连接结构体及其制造方法。本发明提供一种各向异性导电膜，其是在绝缘性粘接基层的表面或表面附近配置有导电粒子的结构的各向异性导电膜，2个以上导电粒子聚集而构成导电粒子组，导电粒子组被配置于平面格子图案的格点区域，该格点区域的重心与平面格子图案的格点一致。本发明的各向异性导电膜是本应以规则图案排列的导电粒子没有“缺失”、“凝聚”的问题，短路、导通不良的发生被大大抑制的各向异性导电膜。



1. 一种各向异性导电膜,其是在绝缘性粘接基层的表面或表面附近配置有导电粒子的结构的各向异性导电膜,

3个以上导电粒子聚集而构成导电粒子组,

导电粒子组被配置于平面格子图案的格点区域,该格点区域的重心与平面格子图案的格点一致,

导电粒子组内的导电粒子构成的多边形形状的至少2边不平行于膜的长度方向和与长度方向正交的方向,

在导电粒子组内,导电粒子不接触时的相邻导电粒子间的最短距离为平均粒径的25%以上。

2. 根据权利要求1所述的各向异性导电膜,在所述绝缘性粘接基层上进一步层叠绝缘性粘接覆盖层。

3. 根据权利要求1或2所述的各向异性导电膜,该格点区域的形状是以格点为中心的圆。

4. 根据权利要求1或2所述的各向异性导电膜,平面格子图案的格点区域是以格点为中心的圆,其半径为导电粒子的平均粒径的2倍以上7倍以下。

5. 根据权利要求1或2所述的各向异性导电膜,格点区域是1边小于导电粒子的平均粒径的100倍的矩形状。

6. 根据权利要求1或2所述的各向异性导电膜,构成导电粒子组的导电粒子排成一列。

7. 根据权利要求1或2所述的各向异性导电膜,构成导电粒子组的导电粒子以两列交叉成X字状的方式排列。

8. 根据权利要求1或2所述的各向异性导电膜,相邻格点区域彼此的最短距离是导电粒子的平均粒径的2倍以上或格点区域的等倍以上的任一种。

9. 根据权利要求1或2所述的各向异性导电膜,相邻格点区域的中心间最短距离是导电粒子的平均粒径的2倍以上或格点区域的等倍以上。

10. 根据权利要求1或2所述的各向异性导电膜,格点区域内的多个导电粒子相互不接触。

11. 根据权利要求1或2所述的各向异性导电膜,格点区域内的多个导电粒子被规则排列。

12. 根据权利要求1或2所述的各向异性导电膜,导电粒子接近个数为1个以上14个以下。

13. 根据权利要求1或2所述的各向异性导电膜,平面格子图案的格点区域是1边为导电粒子的平均粒径的2倍以上且小于100倍的矩形状。

14. 根据权利要求1或2所述的各向异性导电膜,平面格子图案是菱形格子、六方格子、正方格子、矩形格子或平行四边形格子。

15. 根据权利要求1或2所述的各向异性导电膜,导电粒子组内的导电粒子数在每个导电粒子组中规则地变化。

16. 根据权利要求1或2所述的各向异性导电膜,导电粒子组内的导电粒子间距离在每个导电粒子组中规则地变化。

17. 根据权利要求16所述的各向异性导电膜,导电粒子组的导电粒子构成的多边形形状

相对于膜的长度方向的角度规则地变化。

18. 根据权利要求1或2所述的各向异性导电膜, 导电粒子是金属粒子或金属被覆树脂粒子。

19. 根据权利要求1或2所述的各向异性导电膜, 格点间距离大于导电粒子组的大小。

20. 根据权利要求1或2所述的各向异性导电膜, 导电粒子组排列为三角形状。

21. 根据权利要求20所述的各向异性导电膜, 导电粒子组排列为正三角形状。

22. 根据权利要求20所述的各向异性导电膜, 导电粒子组为非正三角形状的排列。

23. 根据权利要求1或2所述的各向异性导电膜, 导电粒子组排列为四边形状。

24. 根据权利要求23所述的各向异性导电膜, 所述四边形状是由相同形状的两个三角形构成的正方形、长方形或平行四边形。

25. 根据权利要求23所述的各向异性导电膜, 所述四边形状由不同形状的三角形的组合构成。

26. 根据权利要求1或2所述的各向异性导电膜, 导电粒子组的格点区域为五边形状。

27. 根据权利要求26所述的各向异性导电膜, 所述五边形状由三个三角形的组合或三角形与四边形的组合构成。

28. 根据权利要求1或2所述的各向异性导电膜, 绝缘性粘接基层含有绝缘性填料。

29. 根据权利要求2所述的各向异性导电膜, 在所述绝缘性粘接基层和所述绝缘性粘接覆盖层的界面附近配置有导电粒子。

30. 根据权利要求2所述的各向异性导电膜, 绝缘性粘接基层或绝缘性粘接覆盖层的至少一者含有绝缘性填料。

31. 一种连接结构体, 其是第一电子部件的端子和第二电子部件的端子通过权利要求1~30中任一项所述的各向异性导电膜进行各向异性导电连接而成的。

32. 一种连接结构体的制造方法, 通过权利要求1~30中任一项所述的各向异性导电膜将第一电子部件的端子和第二电子部件的端子进行各向异性导电连接。

各向异性导电膜、连接结构体及其制造方法

[0001] 本申请是原申请的申请日为2015年11月17日,申请号为201580058276.8,发明名称为《各向异性导电膜》的中国专利申请的分案申请。

技术领域

[0002] 本发明涉及一种各向异性导电膜。

背景技术

[0003] 已知绝缘性树脂粘合剂中分散有导电粒子而成的各向异性导电膜在将IC芯片等电子部件安装于配线基板等时被广泛使用,但这样的各向异性导电膜中,导电粒子彼此以连结或凝聚的状态存在。因此,将各向异性导电膜应用于伴随电子设备的轻量小型化而窄间距化的IC芯片的端子与配线基板的端子的连接的情况下,有时会因各向异性导电膜中以连结或凝聚状态存在的导电粒子而在相邻的端子间发生短路。

[0004] 以往,作为应对这样的窄间距化的各向异性导电膜,提案了膜中使导电粒子规则排列的各向异性导电膜。例如,提案了如下得到的各向异性导电膜:在可拉伸的膜上形成粘着层,在该粘着层表面以单层密集填充导电粒子后,将该膜进行2轴拉伸处理直至导电粒子间距离达到期望的距离,使导电粒子规则排列,之后,对导电粒子按压作为各向异性导电膜的构成要素的绝缘性粘接基层,使导电粒子转印于绝缘性粘接基层上(专利文献1)。此外,还提案了如下得到的各向异性导电膜:将导电粒子散布于表面具有凹部的转印模具的凹部形成面上,刮扫凹部形成面使导电粒子保持于凹部,在其上按压形成有转印用粘着层的粘着膜,使导电粒子一次转印于粘着层上,接着,对附着于粘着层的导电粒子按压作为各向异性导电膜的构成要素的绝缘性粘接基层,使导电粒子转印于绝缘性粘接基层(专利文献2)。关于这些各向异性导电膜,一般在导电粒子侧表面层叠绝缘性粘接覆盖层以便覆盖导电粒子。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:W02005/054388号

[0008] 专利文献2:日本特开2010-33793号公报

发明内容

[0009] 发明所要解决的课题

[0010] 然而,导电粒子因静电等而凝聚,易于发生二次粒子化,因此难以使导电粒子一直作为一次粒子单独存在。因此,专利文献1、专利文献2的技术会出现如下问题。即,专利文献1的情况下,存在如下问题:难以将导电粒子无缺陷地以单层密集填充于可拉伸的膜的整面,导电粒子以凝聚状态被填充于可拉伸膜上,成为短路的原因;或者出现未被填充的区域(所谓“缺失”),成为导通不良的原因。此外,专利文献2的情况下,存在如下问题:如果转印模具的凹部被粒径大的导电粒子覆盖,则会被之后的刮扫去除,出现没有保持导电粒子的

凹部,各向异性导电膜中产生导电粒子的“缺失”而成为导通不良的原因;或者相反,如果凹部中挤入多个小的导电粒子,则转印于绝缘性粘接基层时,会发生导电粒子的凝聚,此外,位于凹部的底部侧的导电粒子未与绝缘性粘接基层接触,因此在绝缘性粘接基层的表面分散,破坏规则排列,成为短路、导通不良的原因。

[0011] 本发明的目的是解决以上以往技术的问题,提供本应以规则图案排列的导电粒子没有“缺失”、“凝聚”的问题,短路、导通不良的发生被大大抑制的各向异性导电膜。

[0012] 用于解决课题的方法

[0013] 本发明人发现,将导电粒子配置于平面格子的格点时,通过将由多个导电粒子构成的导电粒子组配置于平面格子图案的格点区域,能够达成上述目的,从而完成了本发明。此外,发现就那样的各向异性导电膜而言,无需将导电粒子配置于转印体的凹部,通过使多个导电粒子附着于表面形成有凸部的转印体的该凸部的顶端而进行转印就能够制造,从而完成了本发明的制造方法。

[0014] 即,本发明提供一种各向异性导电膜,其是在绝缘性粘接基层的表面或表面附近配置有导电粒子的结构的各向异性导电膜,

[0015] 2个以上导电粒子聚集而构成导电粒子组,

[0016] 导电粒子组被配置于平面格子图案的格点区域。

[0017] 此外,本发明提供一种各向异性导电膜,其是绝缘性粘接基层和绝缘性粘接覆盖层被层叠、且在它们的界面附近配置有导电粒子的结构的各向异性导电膜,

[0018] 2个以上导电粒子聚集而构成导电粒子组,

[0019] 导电粒子组被配置于平面格子图案的格点区域。

[0020] 此外,本发明提供一种制造方法,其是上述在绝缘性粘接基层的表面或表面附近配置有导电粒子的结构的各向异性导电膜的制造方法,包括以下工序(I)~(IV):

[0021] <工序(I)>

[0022] 准备表面形成有相当于平面格子图案的格点区域的凸部的转印体的工序;

[0023] <工序(II)>

[0024] 在转印体的凸部的顶面形成至少2个以上微粘着部的工序;

[0025] <工序(III)>

[0026] 使导电粒子附着于该转印体的凸部的微粘着部的工序;及

[0027] <工序(IV)>

[0028] 通过将绝缘性粘接基层与该转印体的附着有导电粒子的一侧的表面重叠并按压,从而使导电粒子转附于绝缘性粘接基层的工序。另外,该工序(IV)中,可将转附的导电粒子进一步挤入绝缘性粘接基层11中。

[0029] 此外,本发明提供一种制造方法,其是上述绝缘性粘接基层和绝缘性粘接覆盖层被层叠、且在它们的界面附近配置有导电粒子的结构的各向异性导电膜的制造方法,其具有以下工序(I)~(V):

[0030] <工序(I)>

[0031] 准备表面形成有相当于平面格子图案的格点区域的凸部的转印体的工序;

[0032] <工序(II)>

[0033] 在转印体的凸部的顶面形成至少2个以上微粘着部的工序;

[0034] <工序(III)>

[0035] 使导电粒子附着于该转印体的凸部的微粘着部的工序;

[0036] <工序(IV)>

[0037] 通过将绝缘性粘接基层与该转印体的附着有导电粒子的一侧的表面重叠并按压,从而使导电粒子转附于绝缘性粘接基层的工序;及

[0038] <工序(V)>

[0039] 对于转附了导电粒子的绝缘性粘接基层,从导电粒子转附面侧层叠绝缘性粘接覆盖层的工序。

[0040] 进一步,本发明提供一种连接结构体,其是第一电子部件的端子与第二电子部件的端子通过本发明的各向异性导电膜进行各向异性导电连接而成。

[0041] 发明效果

[0042] 本发明的各向异性导电膜中,2个以上导电粒子聚集而构成导电粒子组,许多导电粒子组被配置于平面格子图案的格点区域。因此,将本发明的各向异性导电膜应用于各向异性导电连接的情况下,能够实现良好的初期导通性和老化后的良好的导通可靠性,也能够抑制短路的发生。

[0043] 此外,本发明的各向异性导电膜的制造方法中,使用表面形成有相当于平面格子图案的格点区域的凸部的转印体,在该凸部的顶面形成至少2个以上的微粘着部,使导电粒子附着于该微粘着部后,将该导电粒子转印于绝缘性粘接基层。因此,2个以上导电粒子聚集而构成的导电粒子组被配置于平面格子图案的格点区域。因而,如果使用通过本发明的制造方法得到的各向异性导电膜,则能够在大大抑制短路、导通不良的发生的同时将窄间距化的IC芯片与配线基板进行各向异性导电连接。

附图说明

[0044] 图1A是本发明的各向异性导电膜的截面图。

[0045] 图1B是本发明的各向异性导电膜的截面图。

[0046] 图2A是本发明的各向异性导电膜的平面透视图。

[0047] 图2B是本发明的各向异性导电膜的平面透视图。

[0048] 图2C是本发明的各向异性导电膜的平面透视图。

[0049] 图2D是本发明的各向异性导电膜的平面透视图。

[0050] 图2E是本发明的各向异性导电膜的平面透视图。

[0051] 图3A是本发明的制造方法的工序说明图。

[0052] 图3B是本发明的制造方法的工序说明图。

[0053] 图3C是本发明的制造方法的工序说明图。

[0054] 图3D是本发明的制造方法的工序说明图。

[0055] 图3E是本发明的制造方法的工序说明图。

[0056] 图3F是本发明的制造方法的工序说明图,同时也是本发明的各向异性导电膜的概略截面图。

[0057] 符号说明

[0058] 10、200 各向异性导电膜

- [0059] 11、104 绝缘性粘接基层
- [0060] 12、105 绝缘性粘接覆盖层
- [0061] 13、103 导电粒子
- [0062] 14、114 导电粒子组
- [0063] 15 平面格子图案的格点区域
- [0064] 100 转印体
- [0065] 101 凸部
- [0066] 102 微粘着部
- [0067] P 格点

具体实施方式

[0068] 以下,一边参照附图一边对本发明的各向异性导电膜详细说明。

[0069] <各向异性导电膜>

[0070] 将本发明的各向异性导电膜示于图1A(截面图)或图1B(截面图)和图2A(平面透视图)中。图1A的情况下,本发明的各向异性导电膜10具有在绝缘性粘接基层11的表面或表面附近配置有导电粒子13的单层结构。这里,“在绝缘性粘接基层11的表面配置有导电粒子13”是指,导电粒子13的一部分被挤入绝缘性粘接基层11而配置,在绝缘性粘接基层的表面附近配置有导电粒子是指,导电粒子13被完全挤入绝缘性粘接基层11而包埋配置。此外,图1B的情况下,本发明的各向异性导电膜10具有绝缘性粘接基层11和绝缘性粘接覆盖层12被层叠、且在它们的界面附近配置有导电粒子13的层叠结构。这里,“在绝缘性粘接基层11和绝缘性粘接覆盖层12的界面附近配置有导电粒子13”是指,导电粒子13位于两层的界面、或导电粒子13被完全挤入绝缘性粘接基层11或绝缘性粘接覆盖层12中的任一者而包埋配置。

[0071] 此外,本发明的各向异性导电膜10中,2个以上导电粒子13聚集而构成导电粒子组14,具有该导电粒子组14被配置于平面格子图案(图2的虚线)的格点区域15的结构。图1A、图1B及图2A中,平面格子图案被假定为沿着各向异性导电膜10的长度方向和与其正交的方向(宽度方向),但也可被假定为整体相对于长度方向和宽度方向倾斜。倾斜的情况下,可期待提高对于凸块的捕捉性的效果。

[0072] (平面格子图案)

[0073] 作为各向异性导电膜中所假定的平面格子图案,可举出菱形格子、六方格子、正方格子、矩形格子、平行四边形格子。其中,优选为可最密填充的六方格子。

[0074] (格点区域)

[0075] 作为平面格子图案的格点区域15的形状,可设为各种各样的形状,例如,可设为圆形、三角形、四边形、多边形、无定形。其中,从通过具有平面视图中的与导电粒子的相似性从而容易防止位于端部的导电粒子的脱落的方面考虑,格点区域的中心(重心)优选与平面格子图案的格点P一致,特别优选为以格点P为中心的圆形。

[0076] (相邻格点区域间最短距离)

[0077] 此外,平面格子图案中的相邻格点区域间最短距离、即相邻格点区域的中心(重心)间最短距离优选为导电粒子13的平均粒径的2倍以上或格点区域15的等倍以上。相邻格点区域间最短距离的上限根据凸块布局而适宜设定,在膜的长度方向上,可设置成小于导

电粒子的平均粒径的200倍、更优选为小于100倍、进一步更优选为小于34倍的间隔。这是因为, $L/S=1$ 且凸块宽度为200 μm 的情况下, 沿着凸块宽度方向格子线会必然存在。此外, 这也是因为, 为了充分捕捉导电粒子, 可以使格子线沿着凸块宽度方向存在2根以上或3根以上(另外, 该格子线可不与凸块宽度方向平行)。存在多根的情况下, 例如, 即使存在格点上所存在的导电粒子变为1个那样的缺失, 实用上也可没有问题地使用。这易于提高成品率, 因而制造成本上具有优势。如果导电粒子变为1个的那种格点在一个格子轴方向上3个以上连续, 则可通过在排列设计时通过带有余量地设计来进行应对, 实用上没有问题。另外, 如果如FOG(玻璃上膜, Film on Glass)等那样凸块长, 则会部分接触, 因而相邻格点区域间最短距离更优选为导电粒径的2倍以上且小于20倍。如果为该范围, 则将本发明的各向异性导电膜应用于各向异性导电连接的情况下, 能够实现更良好的初期导通性(初期导通电阻)和老化后的导通可靠性, 且能够进一步抑制短路的发生。

[0078] (格点区域径)

[0079] 格点区域为圆形的情况下, 其半径优选为导电粒子13的平均粒径的2倍以上7倍以下, 更优选为2倍以上5倍以下。该数值可根据凸块布局来适宜设定。如果为该范围, 则仅跨越一个凸块与一个凸块间的间隙, 不会跨越多个凸块, 可获得易于避免短路的发生这样的效果。此外, 凸块、凸块间的间隙相对于导电粒径充分大的情况下, 可为1边小于粒径的100倍、优选50倍以内、进一步优选33倍以内的矩形状。

[0080] 此外, 格点区域在膜的长度方向上的长度优选为凸块宽度的一半以下。可获得各向异性连接的稳定性和捕捉的可靠性的效果。

[0081] (导电粒子组)

[0082] 本发明中, 由2个以上的导电粒子13构成“导电粒子组”14的原因在于, 通过制成不跨越多个凸块的导电粒子的集合(换言之, 制成仅限于跨越一个凸块与一个凸块间的间隙的导电粒子的集合), 从而防止短路。构成导电粒子组的导电粒子的个数根据导电粒子的平均粒径、平面格子图案的格点间距等不同而不同, 但优选为2个以上200个以下。另外, 导电粒子仅存在于一个平面, 优选不重叠。

[0083] 另外, 如果以大体等同于导电粒子组的大小或大于导电粒子组的大小的距离设定格点间距离, 则能够容易地识别导电粒子组。

[0084] (相邻导电粒子间最短距离)

[0085] 此外, 构成格点区域15内的导电粒子组14的多个导电粒子13可被无规地配置, 也可被规则地配置, 但优选相互不过度接触。这是为了抑制短路。导电粒子相互不接触时的相邻导电粒子间最短距离为导电粒子的平均粒径的25%以上。

[0086] 另外, 在导电粒子组14内使导电粒子13规则排列的情况下, 导电粒子数优选为3个以上, 更优选为4个以上。该情况下, 可将包含导电粒子组14的格点区域设为内接导电粒子的圆形, 也可将由3个以上的导电粒子构成的多边形状设为格点区域。此外, 虽未图示, 但构成导电粒子组的导电粒子可保持预定的距离(优选为导电粒径的0.5倍以上)而排成一行, 也可以两列交叉成X字状的方式排列(也可以多列与一行交叉的方式排列)。全部导电粒子组中一行的排列的方向对齐的情况下, 会看到由位于格点的导电粒子构成的线和没有格点的区域中不存在导电粒子而在平面图中宏观地观察时由导电粒子构成的线以虚线状存在。排列方向可为各向异性导电膜的长度方向, 也可为宽度方向。还可为与它们交叉的方向。进

一步,该“一系列的排列”的排列方向可规则地变化。

[0087] 由3个导电粒子构成的导电粒子组的格点区域为三角形形状的情况下,优选3边中的至少2边均既不平行于各向异性导电膜的长度方向,也不平行于与长度方向正交的宽度方向,更优选3边均满足上述条件。如果不平行于长度方向,则能够期待抑制短路的发生,如果不平行于宽度方向,则在凸块的端部导电粒子不会被配置在直线上,因此能够期待抑制导电粒子捕捉数在各凸块上的偏差。

[0088] 此外,由3个导电粒子构成的导电粒子组所构成的格点区域的三角形形状可为正三角形,也可不为正三角形。由于以下理由,因此优选为向各向异性导电膜的长度方向侧或宽度方向突出的形式的三角形(从容易掌握排列形状考虑,可为等腰三角形)。如果为向长度方向侧突出的那样的三角形,则凸块间的间隙的距离相对变大,因此能够避免短路发生风险。此外,如果为向宽度方向突出的那样的三角形,则三角形的边与凸块端部交叉成锐角,因此尤其在微间距的情况下能够期待容易捕捉的效果。该情况下,构成该边的导电粒子的膜长度方向侧的外切线优选以穿过各导电粒子的方式存在。

[0089] 由4个导电粒子构成的导电粒子组的格点区域为四边形状的情况下,由于形成两个三角形的组合,因而可与三角形形状的情况同样地考虑。另外,四边形状可为由相同形状的两个三角形构成的正方形、长方形、平行四边形,但四边形状也可为由不同形状的三角形的组合构成的梯形等四边形状,所有的边、长度和角度也可均不同。另外,由4个导电粒子构成的导电粒子组的格点区域为平行四边形状的情况下,可为使两个正三角形组合而成的形状,也可不为正三角形。该情况下,由于与三角形的情况同样的理由,因此优选至少2边均既不平行于各向异性导电膜的长度方向,也不平行于与长度方向正交的宽度方向。

[0090] 由5个导电粒子构成的导电粒子组的格点区域为五边形状的情况下,可为三个三角形的组合或三角形与四边形的组合,因而可与三角形形状的情况同样地考虑。由6个以上导电粒子构成的导电粒子组的格点区域为所对应的多边形形状的情况下,可为三角形彼此的组合、三角形与四边形或五边形的组合,因而对于这些多边形,也可以同样地考虑。此外,也可将格点区域看做圆形(包括椭圆)。导电粒子可存在于圆形的中心。这是因为,将三角形组合而成的多边形形状被看做圆形。

[0091] 另外,关于构成导电粒子组的导电粒子的规则排列,可以如图2B(正方格子状的四边形状的方式)所示那样在导电粒子组中全部相同,也可以如图2C(导电粒子数在一定范围内反复一个一个减少或增加的方式)所示那样规则地变化。此外,也可以如图2D(等腰三角形的底边长度以一定的长度变长的方式)所示那样以相同个数使形状规则地变化。也可以如图2E(使正方格子状的四边形状旋转的方式)所示那样以相同个数、相同形状使相对于膜的长度方向的角度规则地变化。另外,关于构成导电粒子组的导电粒子的规则排列,并不限定于这些附图的方式,从导电粒子的个数、导电粒子组的形状等观点考虑,也可以组合各种各样的规则的变化方式。这是因为,不仅与凸块布局对应,还要与各向异性导电膜的绝缘性粘合剂的配合、各向异性连接的压接条件等各种变更对应。

[0092] 规则排列为规则的变化变化的情况下,可存在如下的边,即,由该变化的位于一部分格点的构成导电粒子组的导电粒子的规则排列形成的边可作为平行于各向异性导电膜的长度方向及与长度方向正交的宽度方向的边而存在。由于导电粒子组被格子排列,因此,例如如果凸块的长度方向充分大于导电粒子组,则在凸块的长边上可存在多个格点。这样的情

况下,存在于凸块的端部的导电粒子可被格点的任一导电粒子捕捉,因此不易产生导电粒子的捕捉数减少而导通电阻变得不稳定这样的担忧。因此,获得可容易掌握各向异性导电膜的制造时、连接后的状态的那样的导电粒子的配置状态,这容易提高分析要素的精度等而有助于总成本的降低。例如将图2D、图2E以某一方向(作为膜的卷取方向及卷开方向的长度方向、连续进行各向异性连接时的生产线的方向)连续移动的情况下,由于变化的方式是规则的,因此容易发现不良。例如,如果通过使图2E显示于显示器且上下滚动来模拟实际生产线中的各向异性导电膜的移动,则可理解在导电粒子的规则排列进行连续变化的状态下,容易判断变化为非连续的异常状态或没有变化的状态。如以上说明那样,本发明中,构成导电粒子组的导电粒子的规则排列可采取各种各样的方式。这有助于设计各向异性导电膜中的导电粒子的排列的方法,是本发明的一部分。

[0093] (导电粒子接近个数)

[0094] 此外,作为评价导电粒子组的指标,可采用在任意的导电粒子的周围所接近配置的导电粒子的个数。这里,导电粒子的周围是指,当将导电粒子假定为球且将其平均粒径设为 r 时,在膜的平面上画出的半径 $2.5r$ 的同心圆。此外,接近的意思是,与该同心圆接触或至少一部分重叠的状态。导电粒子接近个数可通过平面图的结果来测定。其个数优选为1个以上14个以下,更优选为1个以上10个以下。优选这样的个数的理由是,设为微间距时的凸块间的最短距离例如小于导电粒径的4倍。换言之,这是为了实现以下这两者的兼顾:抑制发生由导电粒子过度密集导致的短路与、避免发生由导电粒子过疏导致的各向异性连接的不良。

[0095] (导电粒子)

[0096] 作为导电粒子13,可适当选择公知的各向异性导电膜中所使用的导电粒子来使用。例如,可举出镍、铜、银、金、钯等金属粒子,镍等金属被覆聚酰胺、聚苯并胍胺等树脂粒子的表面而成的金属被覆树脂粒子等。此外,该平均粒径可为 $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下,从制造时的操作性的观点考虑,优选为 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下,更优选为 $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下。平均粒径如上所述,可利用图像型或激光式粒度分布仪来测定。

[0097] 各向异性导电膜中的导电粒子的存在量依赖于平面格子图案的格点间距以及导电粒子的平均粒径等,通常为 $300\text{个}/\text{mm}^2$ 以上 $40000\text{个}/\text{mm}^2$ 以下。

[0098] (绝缘性粘接基层)

[0099] 作为绝缘性粘接基层11,可适宜选择使用在公知的各向异性导电膜中用作绝缘性粘接基层的物质。例如,可使用包含丙烯酸酯化合物和光自由基聚合引发剂的光自由基聚合性树脂层、包含丙烯酸酯化合物和热自由基聚合引发剂的热自由基聚合性树脂层、包含环氧化合物和热阳离子聚合引发剂的热阳离子聚合性树脂层、包含环氧化合物和热阴离子聚合引发剂的热阴离子聚合性树脂层等、或它们的固化树脂层。此外,这些树脂层中视需要可适宜选择含有硅烷偶联剂、颜料、抗氧化剂、紫外线吸收剂等。

[0100] 另外,绝缘性粘接基层11可通过将包含上述那样的树脂的涂层组合物利用涂布法成膜、干燥、进一步固化而形成,或者预先通过公知的方法膜化而形成。

[0101] 这样的绝缘性粘接基层11的厚度可为 $1\mu\text{m}$ 以上 $60\mu\text{m}$ 以下,优选为 $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下,更优选为 $2\mu\text{m}$ 以上 $15\mu\text{m}$ 以下。

[0102] (绝缘性粘接覆盖层)

[0103] 作为绝缘性粘接覆盖层12,可适宜选择使用在公知的各向异性导电膜中用作绝缘性粘接覆盖层的物质。此外,也可使用由与先前说明的绝缘性粘接基层11相同材料形成的物质。

[0104] 另外,绝缘性粘接覆盖层12可通过将包含上述那样的树脂的涂层组合物利用涂布法成膜、干燥、进一步固化而形成,或者预先通过公知的方法膜化而形成。

[0105] 这样的绝缘性粘接覆盖层12的厚度优选为1 μ m以上30 μ m以下,更优选为2 μ m以上15 μ m以下。

[0106] 进一步,绝缘性粘接基层11、绝缘性粘接覆盖层12中,视需要可添加二氧化硅微粒、氧化铝、氢氧化铝等绝缘性填料。相对于构成那些层的树脂100质量份,绝缘性填料的配合量优选设为3质量份以上40质量份以下。由此,各向异性导电连接时即使各向异性导电膜10熔融,也能够抑制导电粒子13因熔融的树脂而发生不必要的移动。

[0107] (绝缘性粘接基层与绝缘性粘接覆盖层的层叠)

[0108] 另外,夹着导电粒子13而将绝缘性粘接基层11和绝缘性覆盖层12层叠的情况下,可利用公知的方法来进行。该情况下,导电粒子13存在于这些层的界面附近。这里,“存在于界面附近”表示,导电粒子的一部分嵌入至一方的层中,剩余部分嵌入另一方的层中。

[0109] <各向异性导电膜的制造>

[0110] 接下来,对本发明的各向异性导电膜的制造方法进行说明,本发明的各向异性导电膜即为在绝缘性粘接基层的表面或表面附近配置有导电粒子的结构的各向异性导电膜(图1A)、或绝缘性粘接基层和绝缘性粘接覆盖层被层叠且在它们的界面附近配置有导电粒子的结构的各向异性导电膜,是2个以上导电粒子聚集而构成导电粒子组、该导电粒子组被配置于平面格子图案的格点区域的各向异性导电膜(图1B)。在绝缘性粘接基层的表面或表面附近配置有导电粒子的结构的各向异性导电膜的制造方法具有以下工序(I)~(IV),绝缘性粘接基层和绝缘性粘接覆盖层被层叠且在它们的界面附近配置有导电粒子的结构的各向异性导电膜的制造方法具有以下工序(I)~(V)。一边参照附图一边详细说明各个工序。予以说明的是,本发明并不特别限定于该制造方法。

[0111] (工序(I))

[0112] 首先,如图3A所示,准备表面形成有相当于平面格子图案的格点区域的凸部101的转印体100。凸部101的形状可采取大体柱状、大体半球状、棒状等各种各样的形状。之所以称为“大体”,是因为不仅可以是凸部在高度方向上总是相同宽度的情况,也可能是宽度朝向上方变窄的情况等。这里,大体柱状是指,大体圆柱状或大体棱柱状(三棱柱、四棱柱、六棱柱等)。优选为大体圆柱状。

[0113] 凸部101的高度可根据应当各向异性导电连接的端子间距、端子宽度、间隙宽度、导电粒子的平均粒径等来决定,但优选为所使用的导电粒子的平均粒径的1.2倍以上且小于4倍。此外,凸部101的半值宽度(一半高度处的宽度)优选为导电粒子的平均粒径的2倍以上7倍以下,更优选为2倍以上5倍以下。如果该高度和宽度处于这些范围,则可获得避免连续发生脱落和缺失这样的效果。

[0114] 进一步,凸部101优选具有可使导电粒子稳定地附着的那种程度的平坦的顶面。

[0115] *转印体的具体例

[0116] 该工序(I)中应当准备的转印体可利用公知的方法来制作,例如,可通过将金属板

加工而制成原盘,对其涂布固化性树脂组合物且固化从而制成。具体而言,将平坦的金属板切削加工,制作形成有与凸部对应的凹部的转印体原盘,在该原盘的凹部形成面涂布构成转印体的树脂组合物,固化后,与原盘分离,从而获得转印体。俯视该凸部时被可识别的轮廓包围的区域相当于平面格子图案的格点区域。

[0117] (工序(II))

[0118] 接下来,如图3B所示,在表面上以平面格子图案形成有多个凸部101的转印体100的凸部101的顶面形成至少2个微粘着部102。微粘着部102彼此的最短距离优选设定为所应用的导电粒子的平均粒径的0.25倍以上,更优选设定为0.5倍以上。

[0119] * 转印体的微粘着部

[0120] 微粘着部102是显示出直至导电粒子被转附至构成各向异性导电膜的绝缘性粘接基层为止可暂时保持导电粒子的粘着力部分,形成于凸部101的至少顶面。因此,凸部101整体均可具有微粘着性,但为了避免发生导电粒子的非有意的凝聚,本发明中,设置相互分开的2个以上的微粘着部102。此外,微粘着部102的厚度可根据微粘着部102的材质、导电粒子的粒径等适宜决定。此外,“微粘着”的意思是,将导电粒子转附于绝缘性粘接基层时,比绝缘性粘接基层的粘着力弱。

[0121] 这样的微粘着部102可应用公知的各向异性导电膜中所使用的微粘着部。例如,可通过将有机硅系粘着剂组合物涂布于凸部101的顶面来形成。

[0122] 另外,制造图2B~图2E所示那样的规则排列有导电粒子的各向异性导电膜的情况下,可在转印体原盘的凹部形成高低差以便与导电粒子的规则排列图案对应的微粘着层形成于转印体的凸部、或者可在转印体的凸部的顶面利用丝网印刷法、光刻法等公知的方法形成微粘着层。

[0123] (工序(III))

[0124] 接下来,如图3C所示,使导电粒子103附着于转印体100的凸部101的微粘着部102。具体而言,从转印体100的凸部101的上方散布导电粒子103,并将未附着于微粘着部102的导电粒子103使用吹风机吹走即可。这里,多个导电粒子103附着于一个突部101,该多个导电粒子103构成导电粒子组114。

[0125] 另外,也可使图3C中的面的方向倒转,使突起的顶面附着于整面铺满导电粒子的面。这是为了不对导电粒子施加不必要的应力。通过如此地仅使配置时所必需的导电粒子附着于突起顶面,从而容易将导电粒子回收再利用,与将导电粒子填充于开口部并取出的方法相比,经济性也更优异。另外,将导电粒子填充于开口部并取出的方法的情况下,担忧未被填充的导电粒子容易受到不必要的应力。

[0126] (工序(IV))

[0127] 接着,如图3D所示,将转印体100的附着有导电粒子组114的一侧的表面与应当构成各向异性导电膜的绝缘性粘接基层104重叠并按压,从而使导电粒子组114转附于绝缘性粘接基层104的单面(图3E)。该情况下,优选将转印体100以其凸部101向下的方式与绝缘性粘接基层104重叠并按压。这是因为,通过设为向下并吹风,容易使未贴附于凸部的顶面的导电粒子去除。另外,该工序中,可将转附后的导电粒子进一步挤入绝缘性粘接基层104。例如,可利用转印体进行进一步按压,或者也可将绝缘性粘接基层的导电粒子转附面利用通常的加热按压平板进行按压。由此,可获得在绝缘性粘接基层的表面或表面附近配置有导

电粒子的结构的图1A的各向异性导电膜。

[0128] (工序(V))

[0129] 进一步,如图3F所示,对于转附有导电粒子103的绝缘性粘接基层104,从导电粒子转附面侧层叠绝缘性粘接覆盖层105。由此,可获得本发明的各向异性导电膜200(图1B)。

[0130] <连接结构体>

[0131] 关于本发明的各向异性导电膜,通过配置于第一电子部件(例如,IC芯片)的端子(例如凸块)和第二电子部件(例如配线基板)的端子(例如凸块、垫片)之间,并从第一或第二电子部件侧进行热压接,使其完全固化而进行各向异性导电连接,从而能够获得短路、导通不良被抑制的所谓COG(玻璃覆晶,chip on glass)、FOG(玻璃上膜,film on glass)等连接结构体。

[0132] 实施例

[0133] 以下,对本发明具体地说明。

[0134] 实施例1

[0135] 准备厚度2mm的镍板,以四方格子图案形成圆柱状的凹部(内径 $8\mu\text{m}$,最大深度 $8\mu\text{m}$),进一步在底部无规则地形成深度 $1\mu\text{m}$ 、宽度 $1\mu\text{m}$ 的直线状的沟(沟的总面积为底部总面积的70%以内),制成转印体原盘。相邻凹部间距离为 $12\mu\text{m}$ 。因此,凹部的密度为 $2500\text{个}/\text{mm}^2$ 。该凹部的内径和相邻凹部间距离对应于转印体的凸部径和相邻凸部间最短距离。

[0136] 对于所得的转印体原盘,将含有苯氧树脂(YP-50、新日铁住金化学(株))60质量份、丙烯酸酯树脂(M208,东亚合成(株))29质量份、光聚合引发剂(IRGACUR184,巴斯夫日本(株))2质量份的光聚合性树脂组合物以干燥厚度为 $30\mu\text{m}$ 的方式涂布于PET(聚对苯二甲酸乙二醇酯)膜上,于 80°C 干燥5分钟后,利用高压水银灯以 1000mJ 进行光照射,从而制成转印体。

[0137] 将转印体从原盘剥下,以凸部为外侧的方式卷绕于直径20cm的不锈钢制的辊上,一边使该辊旋转一边与使含有环氧树脂(jER828,三菱化学(株))70质量份和苯氧树脂(YP-50,新日铁住金化学(株))30质量份的微粘着剂组合物含浸于无纺布而成的粘着片接触,使微粘着剂组合物附着于凸部的顶面,形成厚度 $1\mu\text{m}$ 的微粘着层而获得转印体。

[0138] 微粘着层因设于转印体原盘的底部的沟而形成成为点状。

[0139] 将平均粒径 $4\mu\text{m}$ 的导电粒子(镀镍树脂粒子(AUL704,积水化学工业(株)))散布于该转印体的表面后,通过吹风而去除未附着于微粘着层的导电粒子。

[0140] 对于附着了导电粒子的转印体,从其导电粒子附着面对作为绝缘性粘接基层的厚度 $5\mu\text{m}$ 的片状的热固型绝缘性粘接膜(由包含苯氧树脂(YP-50,新日铁住金化学(株))40质量份、环氧树脂(jER828,三菱化学(株))40质量份和阳离子系固化剂(SI-60L,三新化学工业(株))2质量份、二氧化硅微粒填料(AerosilRY200,日本Aerosil(株))20质量份的绝缘性树脂组合物形成的膜)以温度 50°C 、压力 0.5MPa 进行按压,从而使导电粒子转印于绝缘性粘接基层。

[0141] 将透明的作为绝缘性粘接覆盖层的厚度 $15\mu\text{m}$ 的片状的另一绝缘性粘接膜(由含有苯氧树脂(YP-50,新日铁住金化学(株))60质量份、环氧树脂(jER828,三菱化学(株))40质量份和阳离子系固化剂(SI-60L,三新化学工业(株))2质量份的热固性树脂组合物形成的膜)与所得的绝缘性粘接基层的导电粒子转附面重叠,以温度 60°C 、压力 2MPa 层叠。由此获

得各向异性导电膜。

[0142] 实施例2

[0143] 制作转印体原盘时,将相邻凹部间距离变更为 $8\mu\text{m}$,除此以外,重复实施例1而获得各向异性导电膜。另外,转印体原盘的凹部的密度为 $3900\text{个}/\text{mm}^2$ 。

[0144] 实施例3

[0145] 制作转印体原盘时,将凹部内径设为 $12\mu\text{m}$ 且将相邻凹部间距离变更为 $8\mu\text{m}$,除此以外,重复实施例1而获得各向异性导电膜。另外,转印体原盘的凹部的密度为 $2500\text{个}/\text{mm}^2$ 。

[0146] 实施例4

[0147] 制作转印体原盘时,将凹部内径设为 $20\mu\text{m}$ 且将相邻凹部间距离变更为 $20\mu\text{m}$,除此以外,重复实施例1而获得各向异性导电膜。另外,转印体原盘的凹部的密度为 $625\text{个}/\text{mm}^2$ 。

[0148] 比较例1

[0149] 制作转印体原盘时,将凹部内径设为 $12\mu\text{m}$ 且将相邻凹部间距离变更为 $4\mu\text{m}$,除此以外,重复实施例1而获得各向异性导电膜。另外,转印体原盘的凹部的密度为 $3900\text{个}/\text{mm}^2$ 。

[0150] 比较例2

[0151] 实施例2中,将导电粒子的散布、吹风处理进行2次,除此以外,重复实施例2而获得各向异性导电膜。

[0152] 比较例3

[0153] 制作转印体原盘时,将凹部内径设为 $8\mu\text{m}$ 且将相邻凹部间距离变更为 $80\mu\text{m}$,除此以外,重复实施例1而获得各向异性导电膜。凹部的密度为 $130\text{个}/\text{mm}^2$ 。

[0154] <评价>

[0155] (关于格点区域的评价)

[0156] 使用光学显微镜(MX50,奥林巴斯(株))测定实施例及比较例的各向异性导电膜的格点区域(圆形)中的相邻导电粒子间最短距离、相邻格点区域最短距离、格点区域径。将所得的结果示于表1中。

[0157] (导电粒子接近个数)

[0158] 选择实施例及比较例的各向异性导电膜的100个任意的导电粒子,使用光学显微镜(MX50、奥林巴斯(株))测定将各个导电粒子假定为球状且将其平均粒径设为 r 时,与水平方向上的半径 $2.5r$ 的同心圆至少部分重叠的导电粒子的个数。将所得的结果(最小个数(MIN)和最大个数(MAX))示于表1中。实用上优选为10个以下。

[0159] 另外,通过该测定中的观察可知,由于比较例2中将散布、吹风处理重复2次,因此导电粒子为密集的状态。这也可从导电粒子接近个数多得到理解。

[0160] (初期导通性(初期导通电阻))

[0161] 使用实施例及比较例的各向异性导电膜,将具有凸块间的间隙为 $12\mu\text{m}$ 、高度 $15\mu\text{m}$ 、直径 $30\times 50\mu\text{m}$ 的金凸块的IC芯片和设有 $12\mu\text{m}$ 间隙的配线的玻璃基板以 180°C 、 60MPa 、5秒这样的条件进行各向异性导电连接,获得连接结构体。关于所得的连接结构体,使用电阻测定器(数字万用表,横河电机(株))测定初期导通电阻值。将所得的结果示于表1中。期望为 1Ω 以下。

[0162] (导通可靠性)

[0163] 将初期导通电阻值的测定中所使用的连接结构体投入至设定为温度 85°C 、湿度

85%的老化试验器中,与初期导通电阻同样地测定放置500小时后的导通电阻值。将所得的结果示于表1中。期望为5Ω以下。

[0164] (短路发生率)

[0165] 制作与初期导通电阻中所使用的连接结构体相同的连接结构体,调查相邻配线间的短路发生与否。将所得的结果示于表1中。期望短路发生率为50ppm以下。

[0166] [表1]

		实施例				比较例		
		1	2	3	4	1	2	3
导电粒子的平均粒径	[μm]	4	4	4	4	4	4	4
相邻导电粒子间最短距离	[μm]	2	1	2	2	2	0	1
格点区域径	[μm]	8	8	12	20	12	8	8
相邻格点区域最短距离	[μm]	12	8	8	20	4	8	80
导电粒子接近个数	MIN	1	1	2	2	5	7	0
	MAX	4	6	8	10	12	15	4
初期导通电阻	[Ω]	0.2	0.2	0.2	0.2	0.2	0.2	1
导通可靠性	[Ω]	4	4	4	4	4	4	15
短路发生率	[ppm]	<50	<50	<50	<50	200	500	<50

[0168] 从表1的结果可知,使用了实施例1~4的各向异性导电膜的连接结构体在初期导通性(初期导通电阻)、导通可靠性、短路发生率各评价项目中显示出良好的结果。

[0169] 另一方面,比较例1、2的各向异性导电膜的情况下,由于俯视下的导电粒子接近个数变得过多,因此与实施例相比,短路的发生率非常高,是不优选的各向异性导电膜。比较例3的各向异性导电膜的情况下,由于导电粒子个数变得过于稀疏,因此导通可靠性不充分,初期导通性也比实施例差。

[0170] 实施例5

[0171] 不使用绝缘性粘接覆盖层,将实施例1中的苯氧树脂(YP-50,新日铁住金化学(株))从40质量份变更为50质量份,将二氧化硅微粒填料(AerosilRY200,日本Aerosil(株))从20质量份变更为10质量份,将厚度从5μm变更为20μm,除此以外,与实施例1同样地制作绝缘性粘接基层,使导电粒子转印并按压,从而获得如图1A所示的那样的在绝缘性粘接基层中配置有导电粒子的各向异性导电膜。使用了该各向异性导电膜的连接结构体与实施例1的情况同样,在初期导通性(初期导通电阻)、导通可靠性、短路发生率各评价项目中显示出良好的结果。

[0172] 实施例6

[0173] 为了制造导电粒子进行如图2B所示的规则排列的各向异性导电膜,使用凹部尺寸14μm×14μm(在凹部的各角设有高低差以便仅在转印体的对应各角设置微粘着层)、凹部密度125个/mm²、相邻凹部间距离75μm的转印体原盘,以导电粒子组的导电粒子数为4个、导电粒子组中的导电粒子间距离为4μm方式在转印体的凸部的顶面的角上设置微粘着层,将实施例1的绝缘性粘接基层的苯氧树脂(YP-50,新日铁住金化学(株))从40质量份变更为50质量份,将二氧化硅微粒填料(AerosilRY200,日本Aerosil(株))从20质量份变更为10质量份,除此以外,与实施例1同样地获得各向异性导电膜。导电粒子的个数密度为500个/mm²。

[0174] 此外,将所得的各向异性导电膜夹持在玻璃基板(ITO固态电极)和柔性配线基板(凸块宽:200 μm ,L(线距)/S(间隙)=1,配线高度10 μm)之间,以连接凸块长度为1mm的方式以180 $^{\circ}\text{C}$ 、5MPa、5秒这样的条件进行各向异性导电连接,获得评价用连接结构体。关于所得的连接结构体的“初期导通电阻值”和投入至温度85 $^{\circ}\text{C}$ 且湿度85%RH的恒温槽中500小时后的“导通可靠性”,使用数字万用表(34401A,安捷伦株式会社制)以电流1A且利用4端子法测定导通电阻,“初期导通性”的情况下,将测定值为2 Ω 以下的情况评价为良好,将超过2 Ω 的情况评价为不良,“导通可靠性”的情况下,将测定值为5 Ω 以下的情况评价为良好,将5 Ω 以上的情况评价为不良。其结果,本实施例的连接结构体均被评价为“良好”。此外,与实施例1同样地测定“短路发生率”,结果与实施例1同样地获得良好的结果。

[0175] 实施例7

[0176] 使用凹部密度500个/ mm^2 、相邻凹部间距离31 μm 的转印体原盘以使导电粒子的个数密度变为2000个/ mm^2 ,除此以外,与实施例6同样地获得各向异性导电膜。

[0177] 此外,将所得的各向异性导电膜与实施例6同样地夹持在玻璃基板和柔性配线基板之间进行各向异性导电连接,从而获得评价用连接结构体。关于所得的连接结构体,与实施例6同样地评价“初期导通性”、“导通可靠性”和“短路发生率”,结果均获得良好的结果。

[0178] 实施例8

[0179] 为了制造导电粒子进行图2C所示的规则排列的各向异性导电膜,使用凹部尺寸20 $\mu\text{m}\times 20\mu\text{m}$ (凹部设有高低差以便仅在转印体的预定部位设置微粘着层)、凹部密度125个/ mm^2 、相邻凹部间距离69 μm 的转印体原盘,设置成导电粒子组的导电粒子数以6个、5个、4个、3个连续地变化,并且导电粒子组中的导电粒子间最短距离在任一形状中均为3 μm 以上。另外,任一形状都设定为其外形大体等同。此外,关于形状,适宜调节正六边形、正五边形、正方形、正三角形的任一边的长度,成为与它们近似的形状。除了设置转印体的凸部的顶面的微粘着层以外,与实施例6同样地获得各向异性导电膜。导电粒子的个数密度为500个/ mm^2 。

[0180] 此外,将所得的各向异性导电膜与实施例6同样地夹持在玻璃基板和柔性配线基板之间进行各向异性导电连接,从而获得评价用连接结构体。关于所得的连接结构体,与实施例6同样地评价“初期导通性”、“导通可靠性”、“短路发生率”,结果均获得良好的结果。

[0181] 实施例9

[0182] 使用凹部密度500个/ mm^2 、相邻凹部间距离25 μm 的转印体原盘以使导电粒子的个数密度为2000个/ mm^2 ,除此以外,与实施例8同样地获得各向异性导电膜。

[0183] 此外,将所得的各向异性导电膜与实施例6同样地夹持在玻璃基板和柔性配线基板之间进行各向异性导电连接,从而获得评价用连接结构体。关于所得的连接结构体,与实施例5同样地评价“初期导通性”、“导通可靠性”、“短路发生率”,结果均获得良好的结果。

[0184] 实施例10

[0185] 为了制造导电粒子进行如图2D所示的规则排列的各向异性导电膜,使用凹部尺寸20 $\mu\text{m}\times 20\mu\text{m}$ (凹部设有高低差以便仅在转印体的预定部位设置微粘着层)、凹部密度167个/ mm^2 、相邻凹部间距离57 μm 的转印体原盘,以导电粒子组的导电粒子数为3个、导电粒子组的形状为等腰三角形形状且导电粒子间距离为(4 μm 、12 μm 及12 μm)、或(8 μm 、13 μm 及13 μm)的方式设置转印体的凸部的顶面的微粘着层,除此以外,与实施例6同样地获得各向异性导电膜。导电粒子的个数密度为500个/ mm^2 。

[0186] 此外,将所得的各向异性导电膜与实施例6同样地夹持在玻璃基板和柔性配线基板之间进行各向异性导电连接,从而获得评价用连接结构体。关于所得的连接结构体,与实施例6同样地评价“初期导通性”、“导通可靠性”、“短路发生率”,结果均获得良好的结果。

[0187] 实施例11

[0188] 使用凹部密度667个/mm²、相邻凹部间距离19μm的转印体原盘以使导电粒子的个数密度为2000个/mm²,除此以外,与实施例10同样地获得各向异性导电膜。

[0189] 此外,将所得的各向异性导电膜与实施例6同样地夹持在玻璃基板和柔性配线基板之间进行各向异性导电连接,从而获得评价用连接结构体。关于所得的连接结构体,与实施例6同样地评价“初期导通性”、“导通可靠性”、“短路发生率”,结果均获得良好的结果。

[0190] 实施例12

[0191] 为了制造导电粒子进行如图2E所示的规则排列的各向异性导电膜,使用各个矩形的导电粒子组的倾斜朝向膜的长度方向以及宽度方向以15度递增的转印体原盘,除此以外,与实施例6同样地获得各向异性导电膜。导电粒子的个数密度为500个/mm²。

[0192] 此外,将所得的各向异性导电膜与实施例6同样地夹持在玻璃基板和柔性配线基板之间进行各向异性导电连接,从而获得评价用连接结构体。关于所得的连接结构体,与实施例6同样地评价“初期导通性”、“导通可靠性”、“短路发生率”,结果均获得良好的结果。

[0193] 实施例13

[0194] 使用凹部密度500个/mm²、相邻凹部间距离31μm的转印体原盘以使导电粒子的个数密度为2000个/mm²,除此以外,与实施例12同样地获得各向异性导电膜。

[0195] 此外,将所得的各向异性导电膜与实施例6同样地夹持在玻璃基板和柔性配线基板之间进行各向异性导电连接,从而获得评价用连接结构体。关于所得的连接结构体,与实施例5同样地评价“初期导通性”、“导通可靠性”、“短路发生率”,结果均获得良好的结果。

[0196] 另外,实施例6~13中,采用将导电粒子直接填充于具有凹口的转印模具中,使导电粒子转附于绝缘性粘接基层的方法,除此以外,分别重复相应实施例,从而制作各向异性导电膜,并进行评价。其结果,可获得与实施例6~13大致相同的结果。

[0197] 产业上的可利用性

[0198] 本发明的各向异性导电膜中,使用表面形成有相当于平面格子图案的格点区域的凸部的转印体,在该凸部的顶面形成至少2个以上微粘着部,使导电粒子附着于该微粘着部后,将导电粒子转印于绝缘性粘接基层。因此,2个以上导电粒子聚集而构成的导电粒子组被配置于平面格子图案的格点区域。由此,如果使用由本发明的制造方法得到的各向异性导电膜,则能够在大大抑制短路、导通不良的发生的同时将窄间距化的IC芯片和配线基板进行各向异性导电连接。

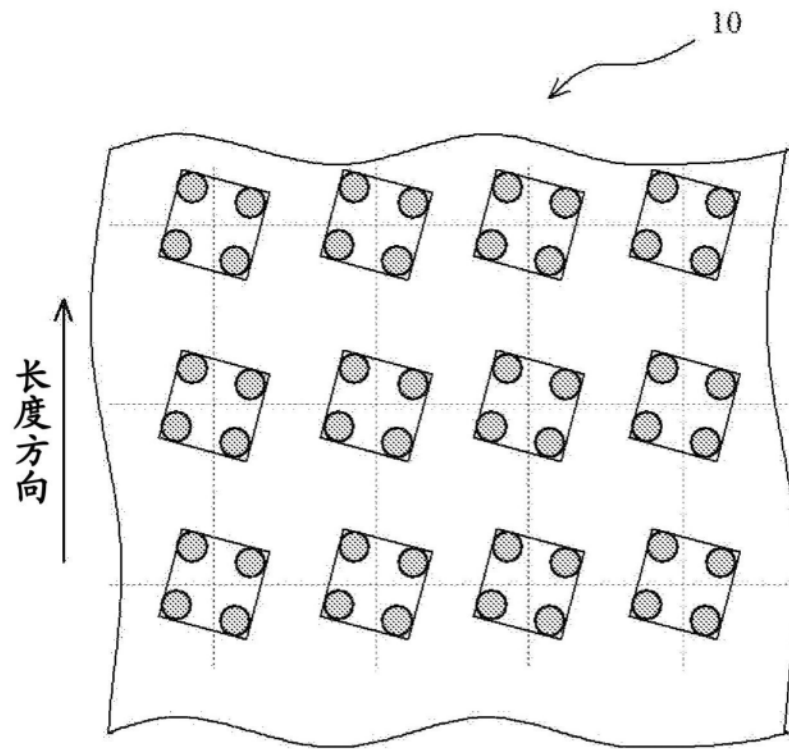


图2B

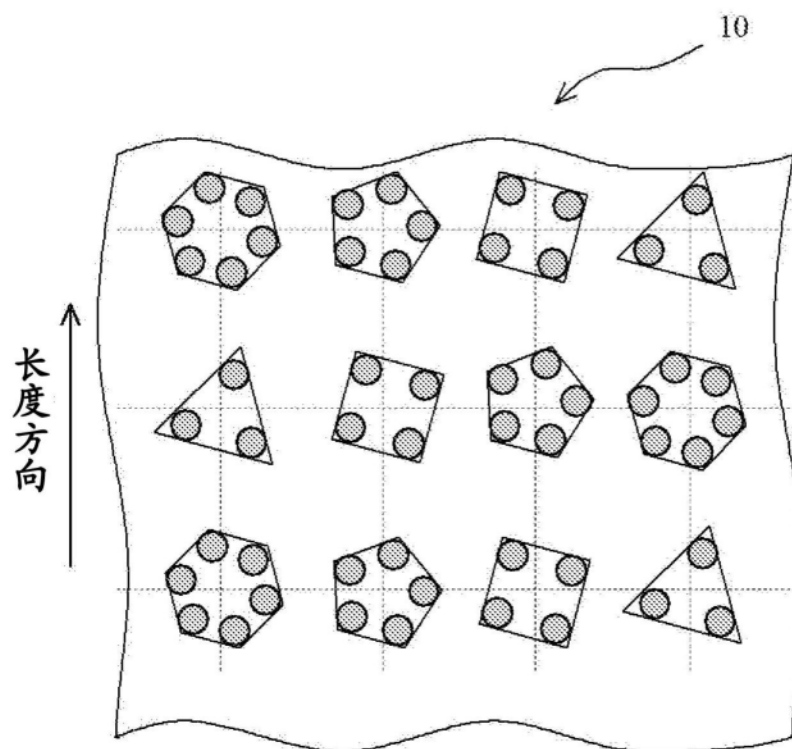


图2C

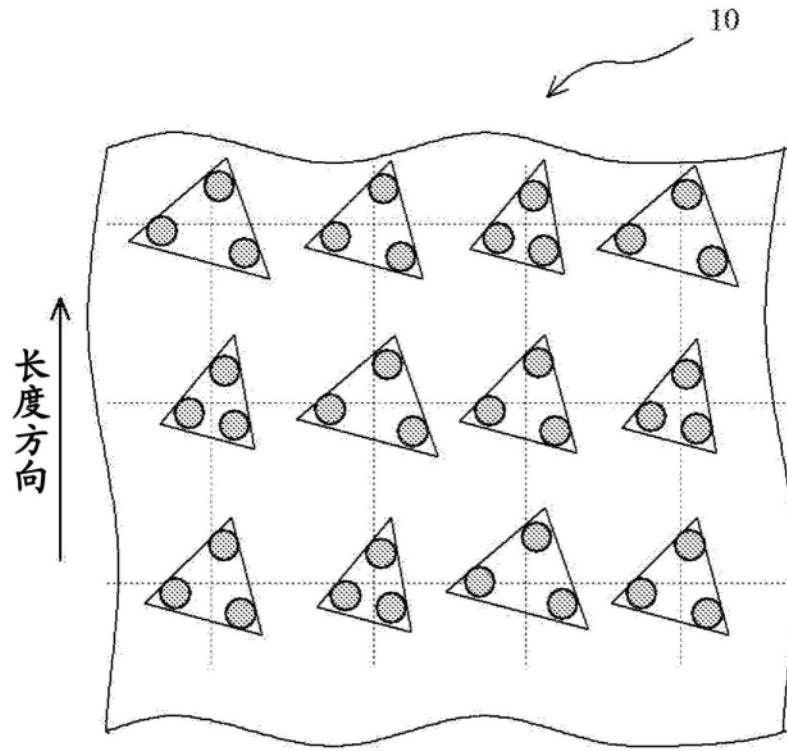


图2D

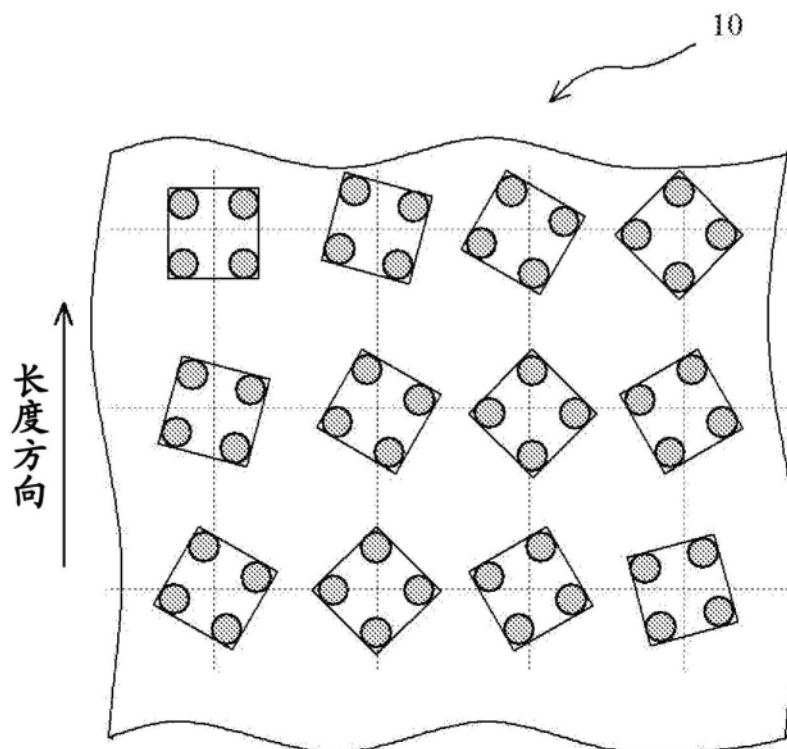


图2E

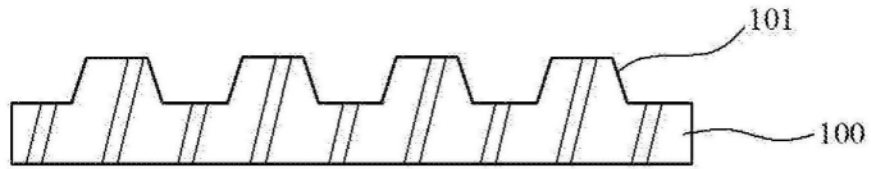


图3A

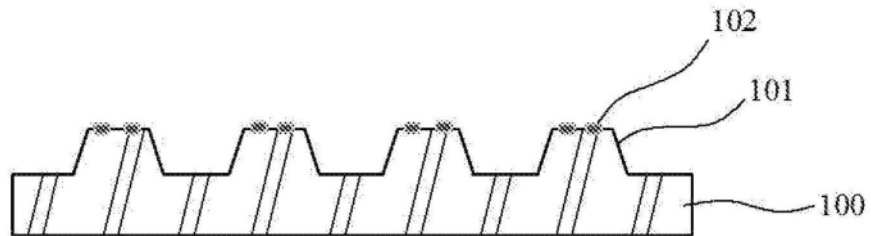


图3B

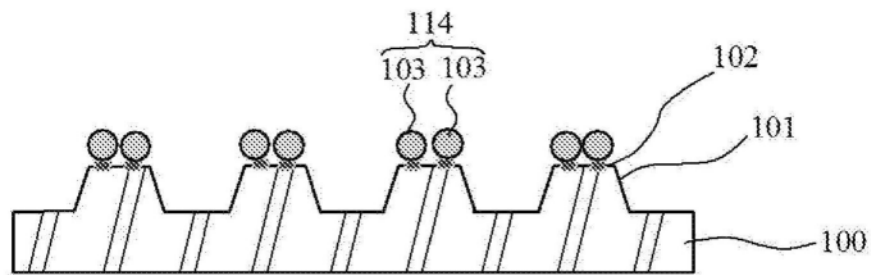


图3C

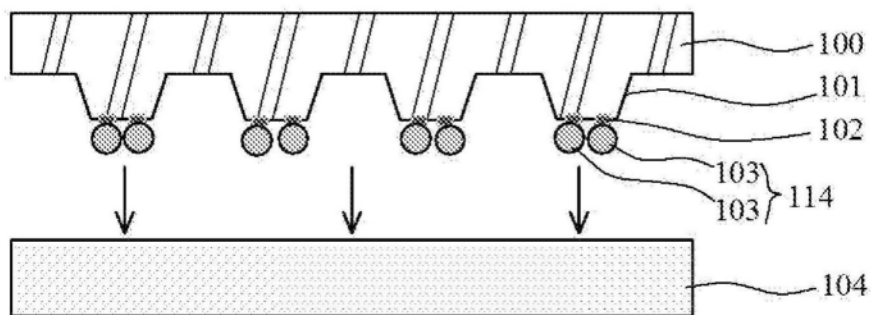


图3D

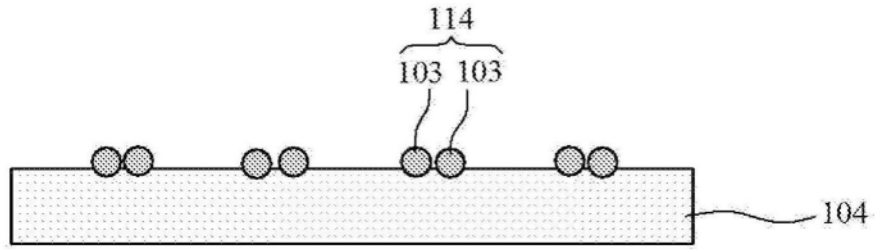


图3E

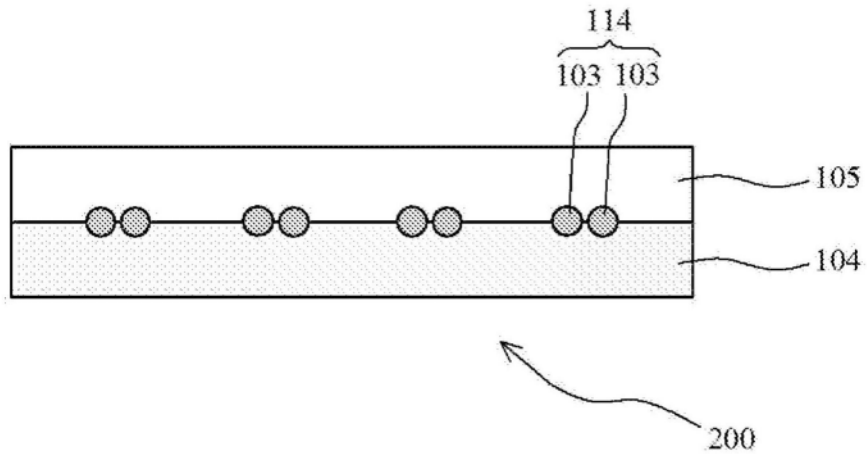


图3F