



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I661535 B

(45)公告日：中華民國 108 (2019) 年 06 月 01 日

(21)申請案號：103144866

(22)申請日：中華民國 103 (2014) 年 12 月 22 日

(51)Int. Cl. : **H01L27/105 (2006.01)****H01L45/00 (2006.01)****G11C13/00 (2006.01)**

(30)優先權：2014/01/17 日本

2014-007265

(71)申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS
CORPORATION (JP)

日本

(72)發明人：大場和博 OHBA, KAZUHIRO (JP)；清宏彰 SEI, HIROAKI (JP)

(74)代理人：陳長文

(56)參考文獻：

CN 102376354A

US 2006/0097240A1

US 2013/0256624A1

審查人員：机亮燁

申請專利範圍項數：項 圖式數： 共頁

(54)名稱

切換裝置及儲存單元

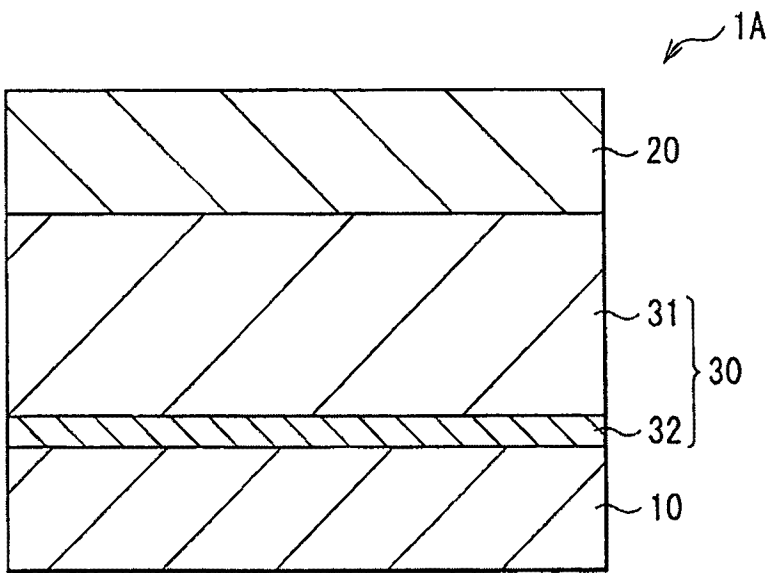
SWITCH DEVICE AND STORAGE UNIT

(57)摘要

本發明揭示一種切換裝置，其包含：一第一電極；一第二電極，其經配置以面向該第一電極；及一切換層，其經設置於該第一電極與該第二電極之間。該切換層包含：一第一層，其含有一硫族元素；及一第二層，其含有一高電阻材料。

A switch device includes: a first electrode; a second electrode arranged to face the first electrode; and a switch layer provided between the first electrode and the second electrode. The switch layer includes a first layer containing a chalcogen element, and a second layer containing a high resistance material.

指定代表圖：



符號簡單說明：

1A . . . 切換裝置

10 . . . 底部電極

20 . . . 頂部電極

30 . . . 切換層

31 . . . 雙向臨限開關(OTS)層

32 . . . 高電阻層

圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

切換裝置及儲存單元

SWITCH DEVICE AND STORAGE UNIT

【相關申請案之交叉參考】

本申請案主張2014年1月17日申請之日本優先專利申請案JP 2014-007265之權利，該案之全文以引用方式併入本文中。

【先前技術】

本發明係關於：一種切換裝置，其在電極之間包含一硫族化物層；及一種儲存單元，其包含該切換裝置。

近年來，吾人需要增加用於資料儲存之一非揮發性記憶體之容量，該非揮發性記憶體之典型代表係一電阻變動型記憶體，諸如一ReRAM (電阻式隨機存取記憶體)及一PRAM (相變隨機存取記憶體)。然而，在使用一當前可用之存取電晶體之一電阻變動型記憶體中，每單位記憶體胞之佔據面積較大。為此，例如，當與一快閃記憶體(諸如一反及型記憶體)比較時，已難以基於相同設計規則而增加容量，即使記憶體被小型化。相比而言，當採用一所謂的交叉點陣列結構(其中記憶體裝置配置於相交佈線之相交點(交叉點)處)時，每單位記憶體胞之佔據面積被減小，此可達成容量增加。

在一交叉點型記憶體胞中，設置用於記憶體胞選擇之一切換裝置而非記憶體裝置。該切換裝置之實例可包含由金屬氧化物組態之一切換裝置(例如，參閱Jiun-Jia Huang等人之2011 IEEE IEDM11 (第733頁至第736頁)及 Wootae Lee等人之2012 IEEE VLSI Technology symposium(第37頁至第38頁))。然而，此一切換裝置之一切換臨限電

壓之量值係不夠的，且易於在高電壓施加之後引起介電崩潰。除此之外，該切換裝置之實例可包含一切換裝置，其中在某一切換臨限電壓處執行切換且藉此使一電流急劇增大(驟回(Snap Back))(例如，參閱 Myungwoo Son 等人之 IEEE ELECTRON DEVICE LETTERS (2011年11月，第11期，第32卷)及 Seonghyun Kim 等人之 2012 VLSI (第155頁至第156頁))。在此一切換裝置中，藉由設定選擇及非選擇之電壓值(其中切換臨限值介於其等之間)而比由一非線性電阻材料(諸如金屬氧化物)製成之一切換裝置更容易地增大一選擇電流值。應注意，可期望上述切換裝置之切換臨限電壓係高於待組合使用之一記憶體裝置之一寫入臨限電壓的一電壓。然而，上述切換裝置之切換臨限電壓還不夠高。另外，當切換裝置與具有一高寫入臨限電壓之一儲存裝置一起使用時，期望在切換裝置中確保一選定(接通)狀態與一半選定(切斷)狀態之間之一足夠大選擇比(接通切斷比)，該選擇比尚不足夠。

除上述切換裝置之外，例如，可提及使用一硫族化物材料、一 PN 二極體等等之一切換裝置(一雙向臨限開關(OTS)，例如，參閱日本未審查專利申請公開案第2006-86526號及第2010-157316號)。

【發明內容】

當在一交叉點型記憶體胞中使用一OTS裝置時，需要一較大接通切斷比。作為達成一較大接通切斷比之一方法，一選項可為增加由硫族化物組態之一層(一硫族化物層)之一厚度(例如，自約100奈米至約數千奈米)。然而，厚度之增加難以使記憶體胞小型化，其可在記憶體胞之容量增加時成為一問題。此外，一切換臨限電壓不夠高，其不足以容許一電阻變動型記憶體裝置操作，該操作需要一相對較高之寫入臨限電壓。

另一方面，藉由自一矽基板磊晶地生長矽而製造之一PN二極體具有一較大接通切斷比，且亦具有容許由設計增大之一臨限電壓。然

而，難以使該PN二極體具有多個層來增加容量。另外，該PN二極體基本上為一單向二極體。為此，尚無法容許由一雙向電壓驅動之一記憶體胞操作，諸如 ReRAM、MRAM 及 STTRAM（自旋轉移力矩 RAM）。

一些裝置(諸如一崩瀉二極體)能夠執行一雙向操作。然而，就一切斷狀態中之一洩漏電流與一接通切斷比之間之平衡而言，此一裝置尚不具有足夠特性作為應用於一可重寫記憶體裝置之一切換裝置。

可期望提供一切換裝置及一儲存單元，其等具有一較大接通切斷比及一較高切換臨限電壓。

根據本發明之一實施例，提供一種切換裝置，其包含：一第一電極；一第二電極，其經配置以面向該第一電極；及一切換層，其設置於該第一電極與該第二電極之間。該切換層包含：一第一層，其含有一硫族元素；及一第二層，其含有一高電阻材料。

根據本發明之一實施例，提供一種儲存單元，其包含複數個記憶體胞，該複數個記憶體胞各包含一儲存裝置及經組態以連接至該儲存裝置之一切換裝置。該切換裝置包含：一第一電極；一第二電極，其經配置以面向該第一電極；及一切換層，其設置於該第一電極與該第二電極之間。該切換層包含：一第一層，其含有一硫族元素；及一第二層，其含有一高電阻材料。

在根據本發明之實施例之切換裝置及儲存單元中，設置於該第一電極與該第二電極之間之該切換層由含有該硫族元素之該第一層及含有該高電阻材料之該第二層之一層疊結構組態。據此，可控制該切換層之一操作區域。

根據如本發明之實施例之切換裝置及儲存單元，該切換層由含有該硫族元素之該第一層及含有該高電阻材料之該第二層之該層疊結構組態，且因此控制該切換層之該操作區域。此可增大一接通切斷比

及一切換臨限電壓。據此，可提供具有高密度及大容量之一儲存單元。應注意，本發明之效應未必受限於上文所描述之效應，而是可為本文中所描述之效應之任何者。

應瞭解，以上一般描述及以下詳細描述兩者具例示性，且意欲提供本發明之進一步解釋。

【圖式簡單說明】

所包含之附圖提供本發明之一進一步理解，且將附圖併入本說明書中以構成本說明書之一部分。圖式繪示實施例且與本說明書一起用來解釋本發明之原理。

圖1係繪示根據本發明之一實施例之一切換裝置之一組態之一實例的一橫截面圖。

圖2係作為本發明之實施例之一比較實例之一切換裝置之一橫截面圖。

圖3係繪示圖1中所繪示之切換裝置之IV特性的一圖式。

圖4A係圖3中所繪示之一IV曲線中之一區域中之切換裝置之一橫截面示意圖。

圖4B亦係圖3中所繪示之IV曲線中之一區域中之切換裝置之一橫截面示意圖。

圖4C亦係圖3中所繪示之IV曲線中之一區域中之切換裝置之一橫截面示意圖。

圖4D亦係圖3中所繪示之IV曲線中之一區域中之切換裝置之一橫截面示意圖。

圖4E亦係圖3中所繪示之IV曲線中之一區域中之切換裝置之一橫截面示意圖。

圖5係繪示各自形成條件(A)至(D)下之IV特性的一圖式。

圖6A係形成條件(A)下之切換裝置之一橫截面示意圖。

圖6B係形成條件(B)下之切換裝置之一橫截面示意圖。

圖6C係形成條件(C)下之切換裝置之一橫截面示意圖。

圖6D係形成條件(D)下之切換裝置之一橫截面示意圖。

圖7A係繪示根據本發明之實施例之切換裝置之組態之另一實例的一橫截面圖。

圖7B係繪示根據本發明之實施例之切換裝置之組態之另一實例的一橫截面圖。

圖8係包含圖1中所繪示之切換裝置的一記憶體胞陣列之一透視圖。

圖9A係繪示圖8中所繪示之一記憶體胞之一組態之一實例的一橫截面圖。

圖9B係繪示圖8中所繪示之記憶體胞之組態之另一實例的一橫截面圖。

圖9C係繪示圖8中所繪示之記憶體胞之組態之另一實例的一橫截面圖。

圖10A係繪示圖8中所繪示之記憶體胞之組態之另一實例的一橫截面圖。

圖10B係繪示圖8中所繪示之記憶體胞之組態之另一實例的一橫截面圖。

圖10C係繪示圖8中所繪示之記憶體胞之組態之另一實例的一橫截面圖。

圖11A係繪示圖8中所繪示之記憶體胞之一寫入操作及一抹除操作之後之IV特性的一圖式。

圖11B係繪示圖8中所繪示之記憶體胞(一儲存裝置)之IV特性的一圖式。

圖11C係繪示圖8中所繪示之記憶體胞之IV特性的一圖式。

圖11D係繪示圖8中所繪示之記憶體胞之IV特性的一圖式。

圖12係本發明之一實施例之實驗1之一IV特性圖。

圖13A係本發明之一實施例之實驗2 (樣本3)之一IV特性圖。

圖13B係本發明之一實施例之實驗2 (樣本4)之一IV特性圖。

圖13C係本發明之一實施例之實驗2 (樣本5)之一IV特性圖。

圖14係一起繪示樣本3至5之IV曲線的一特性圖。

圖15係本發明之一實施例之實驗3之一IV特性圖。

圖16A係繪示實驗3中之最大電流與一洩漏電流之間之一關係的一特性圖。

圖16B係繪示實驗3中之最大電流與一切換臨限電壓之間之一關係的一特性圖。

【實施方式】

參考附圖，下文依下列順序描述本發明之一實施例。

1. 實施例(其中一切換層具有一OTS層及一高電阻層之一層疊結構的一實例)

1-1. 切換裝置

1-2. 儲存單元

2. 實例

[1. 實施例]

[1-1. 切換裝置]

圖1繪示根據本發明之一實施例之一切換裝置1A之一橫截面組態。切換裝置1A可(例如)用於選擇性地引起設置於一記憶體胞陣列2中之複數個儲存裝置中之一任意儲存裝置(圖8中所繪示之一儲存裝置3Y)操作，記憶體胞陣列2具有圖8中所繪示之一所謂的交叉點陣列結構。切換裝置1A (圖8中所繪示之一切換裝置3X)串聯連接至儲存裝置3Y (具體言之，一儲存層40)。切換裝置1A依序包含一底部電極10

(「第一電極」之一特定但非限制性實例)、一切換層30及一頂部電極20(「第二電極」之一特定但非限制性實例)。

底部電極10可由用於一半導體程序之一佈線材料製成。此一佈線材料之實例可包含鎢(W)、氮化鎢(WN)、氮化鈦(TiN)、銅(Cu)、鋁(Al)、鉬(Mo)、鉭(Ta)、氮化鉭(TaN)及矽化物。當底部電極10由可在一電場下引起離子導電之一材料(諸如Cu)製成時，由該材料(諸如Cu)製成之底部電極10之一表面可覆蓋有不太可能引起離子導電、熱擴散等等之一材料，諸如W、WN、氮化鈦(TiN)及TaN。

切換層30可具有(例如)一組態，其中自底部電極10側依序層疊一高電阻層32(「第二層」之一特定但非限制性實例)及一OTS層31(「第一層」之一特定但非限制性實例)。

OTS層31至少包含週期表中之16族元素。該16族元素之特定實例可包含硫族元素，諸如氧(O)、硫(S)、硒(Se)及碲(Te)。OTS層31設置成與頂部電極20接觸。除上述硫族元素之外，OTS層31可較佳地含有諸如鍺(Ge)、銻(Sb)、矽(Si)及砷(As)之元素。具體言之，OTS層31可(例如)由諸如GeTe、GeSbTe、SiAsTe、GeSe、GeSbSe、SiAsSe、GeS、GeSbS或SiAsS之硫族化物製成。替代地，可將氧(O)、氮(N)等等添加至OTS層31。

OTS層31可含有一金屬元素(諸如Al、鎂(Mg)、硼(B)、釔(Y)及稀土元素)作為除上述元素之外之一添加元素。應注意，OTS層31可含有一範圍內之除上述元素之外之一元素，其不會引起本發明之實施例之效應降級。

在本實施例中，高電阻層32設置成與OTS層31接觸。在本實施例中，高電阻層32包含位於其內之一導電路徑，且藉由使用該導電路徑而控制切換裝置1A之操作區域，此在後文中加以詳述。高電阻層32可由(例如)一金屬元素之氧化物、該金屬元素之氮化物、一非金屬元

素之氧化物、該非金屬元素之氮化物、其等之一混合物等等製成。高電阻層32可由(例如) Al、鎵(Ga)、Mg、Si、鈐(Hf)、一稀土元素等等之氧化物、氮化物或氮氧化物製成。藉此，在一初始寫入操作時(即，在一形成程序時)於高電阻層32內產生一缺失，且形成具有約數奈米之一大小之一導電路徑P(例如，參閱圖4B)。

應注意，未必使高電阻層32中之全部元素處於氧化物之一狀態中，且該等元素之部分可處於一氧化狀態中。此外，高電阻層32可包含N來取代O。高電阻層32中之N依類似於O之方式之一方式起作用。可期望高電阻層32具有一電阻值，該電阻值具有高於OTS層31之絕緣特性的絕緣特性。高電阻層32之一厚度不受特別限制。然而，高電阻層32可較佳地具有(例如)自約2奈米(含2奈米)至約30奈米(含30奈米)之一厚度以減小切換層30之一厚度且將一非選擇(切斷)狀態中之一洩漏電流抑制為儘可能小。

頂部電極20可由一公眾已知之半導體佈線材料製成，如同底部電極10。然而，頂部電極20可較佳地由即使經受一後退火程序亦不與OTS層31反應之一穩定材料製成。

在本實施例中，回應於施加等於或高於切換臨限電壓之一電壓而減小切換裝置1A之電阻，但當將該施加電壓減小至低於切換臨限電壓之一電壓時，切換裝置1A恢復至一高電阻狀態。具體言之，切換裝置1A不引起切換層30(特定言之，OTS層31)之相位變動(一非晶相與一結晶相之間之變動)，該相位變動由自一未繪示之電源電路(一脈衝施加區段)經由底部電極10及頂部電極20而施加一電壓脈衝或一電流脈衝引起。另外，切換裝置1A未執行一記憶體操作，例如，亦在取消施加電壓之後維持由於回應於電壓施加之離子移動而形成之導電路徑。下文相較於一典型切換裝置100(圖2)而提供一操作方法及操作之一機構之描述。

如上文所描述，藉由採用一交叉點陣列類型(其中包含記憶體裝置及切換裝置之層疊的記憶體胞係配置於相交佈線的交叉點附近，如圖8中所繪示)來達成一記憶體(一記憶體胞陣列)之容量增加。在此一交叉點型記憶體胞陣列中，可使用一電阻變動型記憶體裝置(例如後文所描述之儲存裝置3Y)作為記憶體裝置。該電阻變動型記憶體裝置可由各種材料形成。一般而言，具有一較高寫入臨限電壓之一記憶體裝置具有較高記錄保持可靠性。另外，該記憶體裝置之寫入臨限電壓在裝置之間變動。為此，需要在一大型記憶體胞陣列中提供寫入臨限電壓之一額外裕度。舉例而言，即使在具有1伏特之一寫入臨限電壓之一記憶體裝置中，可期望一切換裝置具有等於或高於1伏特之一切換臨限電壓。例如，當記憶體胞陣列中之寫入臨限電壓的變動係 ± 0.3 伏特時，可期望切換裝置具有1.3伏特或更高的切換臨限電壓。據此，可期望切換裝置中之一進一步更高的切換臨限電壓，以驅動具有一高寫入臨限電壓(例如1.5伏特或更高)及高保持可靠性的記憶體裝置且，不引起寫入操作中的任何失效。

切換裝置100係一典型切換裝置，其中由硫族化物組態之一切換層130係設置於一頂部電極120與一底部電極110之間，如圖2中所繪示。

當(例如)一電阻變動型儲存裝置(儲存裝置3Y)用作為交叉點陣列型記憶體胞陣列2中的儲存裝置(如圖8中所繪示)時，可期望切換裝置在一接通狀態中具有足夠電流密度，且在一切斷狀態中抑制一洩漏電流之發生。相較而言，切換裝置100之切換臨限電壓並不這麼高，其通常可能是(例如)自約1伏特至約1.5伏特。切換臨限電壓之此一值已不足以用於驅動一記憶體裝置，諸如儲存裝置3Y。據此，存在一問題為：當組合地使用切換裝置100及儲存裝置3Y時，切換裝置先於記憶體裝置執行一切換操作，且無法確保一選定(接通)狀態與一半選定

(切斷)狀態之間之一足夠選擇比(一接通切斷比)。

此之一原因係因為組態切換裝置100之底部電極110及頂部電極120的電極區域事實上充當一操作區域。此等切換裝置之諸多者在一非選定(切斷)狀態中具有一高洩漏電流，且更易於引起故障(諸如寫入操作及抹除操作中之錯誤)。另外，此等切換裝置之部分可在低洩漏電流方面占優勢；然而，其之一切換臨限電壓低至1伏特或更低。據此，為容許切換裝置100滿足上述條件，需要增加切換層130的厚度(例如，至約180奈米)。然而，在此一情況中，已存在其之小型化受阻的問題。

再者，洩漏電流之問題隨著記憶體胞陣列之大小增大而成比例地變得嚴重，且因此期望一進一步較大之接通切斷比。據此，在其中組合地使用一記憶體裝置(其具有一高寫入臨限電壓)及上述切換裝置100之一記憶體胞中，因為一寫讀裕度較小，已難以引起具有一大容量之記憶體胞陣列正常操作。

相比而言，在本實施例之切換裝置1A中，切換層30具有一層疊結構，其包含由硫族化物組態之OTS層31 (其對應於上述切換層130)及高電阻層32。在切換裝置1A中，微小導電路徑P在最初接通操作時形成於高電阻層32中。形成於高電阻層32內之導電路徑P之一形成區域(例如，在一平面方向上自豪約數奈米)充當切換裝置1A之操作區域。

具體言之，一旦導電路徑P形成於高電阻層32中，則施加至切換裝置1A之大部分電壓施加至OTS層31，且藉此一電場施加至OTS層31(例如，參閱圖3及圖4)。當該電場之強度變為某一值或更高時，歸因於由硫族元素之一電子狀態所致之電離碰撞而產生之電荷載子(載子)增加，其導致電流急劇增大。此引起電阻減小。具體言之，引起所謂的雙向臨限切換現象且切換裝置1A因此變為一接通狀態。應注意，

當停止至切換裝置1A之施加電壓時，由電離碰撞引起之載子經重組以消失，且OTS層31恢復至一高電阻狀態。因此，切換裝置1A達成一接大接通切斷比。

因此，可確保一接通狀態中之足夠電流密度且抑制一切斷狀態中之至一非選定裝置及一半選定裝置之一洩漏電流，且無需如同上文所描述之切換裝置100般增加切換層130 (在此實例中，OTS層31)之厚度。換言之，可增大一接大接通切斷比。

再者，容許藉由選擇高電阻層32之厚度、材料等等而調整切換裝置1A之臨限電壓。據此，容許在具有一儲存裝置(其中需要一高施加電壓，如同儲存裝置3Y)之一儲存單元中執行一操作。

藉由下列方法而調整切換裝置1A。

圖3繪示施加電壓與通過切換裝置1A中之電極之一電流之一值的一關係(IV特性)。圖4A至圖4E示意性地繪示圖3中所繪示之一IV曲線之各自區段(A、A'、A''、B及B')中之切換層30之內部側。首先，在藉由光微影、乾式蝕刻等等而形成之切換裝置1A中，導電路徑P在初始接通操作時形成於高電阻層32內且判定切換裝置1A之操作區域，如上文所描述。

切換裝置1A之IV曲線在此時變動，如圖3中所繪示。具體言之，通過切換裝置1A之電流隨著電壓增大成比例地逐漸增大(A)，且接著在一預定電壓(切換臨限電壓)處急劇增大(A')，且隨後達到上限(A'')。在IV曲線之各自區段A、A'及A''中，切換裝置1A (特定言之，切換層30)之內部如圖4A至4C中所繪示般變動。例如，在切換裝置1A中，未見切換層30 (OTS層31及高電阻層32)有變動，如圖4A中所繪示，直至施加電壓變為切換臨限電壓。然而，如圖4B中所繪示，當施加電壓達到切換臨限電壓時，導電路徑P形成於高電阻層32中，且一電離碰撞區域S產生於OTS層31內，此引起電阻減小。藉此，使電

流急劇增大。其後，將一電壓施加至切換裝置1A，直至達成所設定之上限電流密度。此時，考慮增大導電路徑P及電離碰撞區域S之大小，如圖4C中所繪示。因此，對切換裝置1A執行形成程序。

隨後，當減小施加電壓時，切換裝置1A之IV特性在圖3中所繪示之路徑B-B'之後變動。具體言之，在切換裝置1A中之切換層30中，逐漸減小OTS層31中所產生之電離碰撞區域S，如圖4D中所繪示，同時維持電流已達到上限電流時所形成之導電路徑P（圖4C）。據此，減小通過切換裝置1A之電流(B)。當電壓達到某一臨限電壓時，發生載子之重組，電離碰撞區域S消失，如圖4E中所繪示，且使OTS層31之電阻值急劇增大。如圖3中所繪示，藉此使電流急劇減小，且其後，亦使電流隨著施加電壓減小而一起逐漸減小(B')。

應注意，第二次或更後之接通操作時之切換裝置1A之IV特性類似於路徑B-B'般變動。

圖5繪示各自形成條件(條件A至D)下之第二次或更後之接通操作時之IV特性。圖6A至圖6D示意性地繪示各自條件下之切換裝置1A之一橫截面組態。應注意，就形成條件而言，使一形成電流自條件A逐漸減小至條件D。如自圖6A至圖6D可見，當增大初始接通電流時，形成於高電阻層32內之導電路徑P之形成區域被增大，此容許通過一較高接通電流。具體言之，容許藉由變動初始接通操作時(在形成程序時)之電流值、或施加電壓之最大值而控制切換裝置1A之特性。然而，需要進行調整，此係因為：當使導電路徑過大時，可增大切斷狀態時之洩漏電流。

如上文所描述，可藉由執行上述操作而達成具有一所要特性之切換裝置1A，具體言之，達成在一選定狀態(一接通狀態)中經變動以處於一低電阻狀態中且在一非選定狀態(一切斷狀態)中經變動以處於一高電阻狀態中之切換裝置1A。另外，可藉由通過初始寫入操作之

形成操作而控制第二次及更後之寫入操作之操作特性。

如上文所描述，在本實施例中，將高電阻層32層疊於OTS層31上以組態切換層30，且因此限制切換層30之操作區域。此可減少非選擇或半選擇(一切斷狀態)時之洩漏電流之發生。另外，增大切換臨限電壓及接通切斷比。據此，可提供具有高密度及大容量之一儲存單元。

應注意，只要OTS層31與高電阻層32接觸，則本實施例中之切換裝置1A之層疊結構不受限於圖1中所繪示之層疊結構。例如，如圖7A中所繪示，高電阻層32可形成於頂部電極20側上。替代地，如圖7B中所繪示，高電阻層32A及32B可經形成以將OTS層31夾在中間，具體言之，高電阻層32A及32B可形成於頂部電極20側及底部電極10側兩者上。再者，可採用一多層結構，其中層疊OTS層31及高電阻層32之複數個組。

[1-2. 儲存單元]

可容許藉由將後文所描述之諸多儲存裝置3Y配置成(例如)一行或一矩陣而組態一儲存單元(一記憶體)。在此情況中，根據本發明之實施例之切換裝置1A作為切換裝置3X串聯連接至儲存裝置3Y，且藉此組態記憶體胞3。記憶體胞3經由佈線而連接至一感測放大器、一位址解碼器、一寫入電路、一抹除電路、一讀取電路等等。

圖8繪示一所謂的交叉點陣列型儲存單元(記憶體胞陣列2)之一實例，其中記憶體胞3配置於相交佈線之相交點(交叉點)處。在記憶體胞陣列2中，連接至底部電極10側上之記憶體胞3之各者的一佈線(例如一位元線BL (一列線))及連接至頂部電極20側上之記憶體胞3之各者的一佈線(例如一字線WL (一垂直線))經設置以彼此相交，且例如，記憶體胞3之各者配置於此等佈線之相交點附近。因此，可藉由採用交叉點陣列結構而減少每單位記憶體胞之佔據面積且達成容量增加。

組態記憶體胞3之儲存裝置3Y依序可包含(例如)一底部電極、一

儲存層40及一頂部電極。儲存層40可(例如)由一層疊結構(其中自底部電極側層疊一電阻變動層42及一離子源層41)組態或由電阻變動層42之一單層結構組態。應注意，在此實例中，一中間電極50設置於切換層30與儲存層40之間，且中間電極50充當切換裝置3X之頂部電極及儲存裝置3Y之底部電極兩者。具體言之，例如，如圖9A中所繪示，記憶體胞3具有一組態，其中切換層30、中間電極50、電阻變動層42及離子源層41依序層疊於底部電極10與頂部電極20之間。

儲存裝置可由任何裝置組態，該裝置係一所謂的電阻變動型儲存裝置(記憶體裝置)，其中儲存層40可具有(例如)離子源層41及電阻變動層42之一層疊結構，如上文所描述。例如，可使用一裝置，諸如一電阻變動記憶體(其由一過渡金屬氧化物製成)、一PCM (相變記憶體)及一MRAM (磁阻隨機存取記憶體)。

離子源層41含有一可移動元素，其回應於施加一電場而在電阻變動層42內形成一導電路徑。該可移動元素之實例可包含過渡金屬元素(週期表中之4至6族元素)及硫族元素。離子源層41可含有該等過渡金屬元素之一或多者及該等硫族元素之一或多者。此外，離子源層41可含有除上述元素之外之氧(O)、氮(N)或諸如Al、Cu、錳(Mn)、鈷(Co)、鐵(Fe)、鎳(Ni)、鉑(Pt)及Si之元素。

電阻變動層42可(例如)由一金屬元素之氧化物、該金屬元素之氮化物、一非金屬元素之氧化物或該非金屬元素之氮化物組態。在電阻變動層42中，當在底部電極10與頂部電極20之間施加一預定電壓時，變動電阻變動層42之一電阻值。具體言之，當在底部電極10與頂部電極20之間施加一電壓時，含於離子源層41中之過渡金屬元素移動至電阻變動層42中且藉此形成一導電路徑，此引起電阻變動層42具有一低電阻。替代地，可在電阻變動層42內引起一結構缺失(諸如缺氧或缺氮)，且可藉此形成該導電路徑，此引起電阻變動層42具有一低電

阻。此外，藉由在一相反方向上施加一電壓而使該導電路徑斷接或使導電性變動。因此，引起電阻變動層42之電阻具有一高電阻。

應注意，含於電阻變動層42中之金屬元素及非金屬元素未必全部處於氧化物狀態中，且其部分可處於氧化狀態中。電阻變動層42之初始電阻值足以達成(例如)自約數兆歐姆至約數百吉歐姆之一裝置電阻。電阻變動層42之初始電阻值之一最佳值根據裝置之大小、離子源層41之電阻值等等而變動。然而，電阻變動層42可較佳地具有(例如)自約1奈米至約10奈米之一厚度。

中間電極50可由任何材料製成，只要中間電極50由(例如)一惰性材料製成，該惰性材料不太可能回應於施加一電場而引起離子移動及至含有硫族化物之OTS層31及離子源層41中之離子之氧化還原反應，諸如分解及沈澱。

儲存裝置3Y係一電阻變動型儲存裝置，其中當將一電壓脈衝或一電流脈衝經由底部電極10及頂部電極20而自一未繪示之電源電路(一脈衝施加區段)施加至儲存層40時，變動儲存層40之電特性(一電阻值)。因此，執行資訊之一寫入操作、一抹除操作以及一讀取操作。

具體言之，在儲存裝置3Y中，當將「正向」上之一電壓或一電流脈衝(例如第一電極側上之一負電位及第二電極側上之一正電位)施加至處於初始狀態中(處於一高電阻狀態中)之裝置時，含於離子源層中之金屬元素(例如一過渡金屬元素)經離子化以擴散至儲存層中(例如，擴散至電阻變動層中)，或氧離子移動以在電阻變動層內引起缺氧。因此，具有一低氧化狀態之一低電阻部分(一導電路徑)形成於儲存層內，且減小電阻變動層之電阻(一記錄狀態)。當將「負向」上之一電壓脈衝(例如第一電極側上之一正電位及第二電極側上之一負電位)施加至處於低電阻狀態中之裝置時，電阻變動層內之金屬離子移動至離子源層中或氧離子自離子源層移動，且減少導電路徑部分中之

缺氧。藉此，含有金屬元素之導電路徑消失，且電阻變動層之電阻變為一高狀態(一初始狀態或一抹除狀態)。應注意，在其中儲存層40由電阻變動層42之一單層組態之情況中，當施加正向上之一電壓(或一電流脈衝)時，藉由施加至電阻變動層42之電場而產生一缺失；且當施加負向上之一電壓脈衝時，藉由氧離子、氮離子等等在電阻變動層內移動而恢復該缺失。

應注意，記憶體胞3中之切換裝置3X及儲存裝置3Y之層疊結構不受限於圖9A中所繪示之一記憶體胞3A之層疊順序。例如，如同圖9B中所繪示之一記憶體胞3B，切換層30可設置於頂部電極20側上且儲存層40可設置於底部電極10側上，其中中間電極50介於切換層30與儲存層40之間。替代地，如同圖9C中所繪示之一記憶體胞3C，OTS層31及離子源層41可經配置以面向彼此，其中中間電極50介於OTS層31與離子源層41之間，且高電阻層32及電阻變動層42可分別配置於底部電極10側上及頂部電極20側上。

再者，記憶體胞3可具有其中省略中間電極50之一組態。在此情況中，如同圖10A中所繪示之一記憶體胞3D，可採用一組態，其中僅層疊：切換層30，其包含自底部電極10側依序設置之高電阻層32及OTS層31；及儲存層40，其包含自頂部電極20側依序設置之電阻變動層42及離子源層41。應注意，切換層30及儲存層40之層疊順序可為相反的。再者，因為上文所描述之高電阻層32中之導電路徑之產生及消失係類似於儲存裝置3Y中之電阻變動層42之操作的操作，所以高電阻層32可充當電阻變動層42。據此，可採用(例如)一組態，其中OTS層31及離子源層41經配置以使高電阻層32介於其等之間，使得切換層30之高電阻層32充當儲存層40之電阻變動層42，如同圖10B中所繪示之記憶體胞3E。再者，例如，如同圖10C中所繪示之一記憶體胞3F，電阻變動層42可由設置於離子源層41之底部電極10側及頂部電極20側

兩者上之兩個層(電阻變動層42A及42B)組態，離子源層41可層疊於切換層30上。

應注意，本實施例中之儲存單元亦可類似於其中將一所謂之PCM或MRAM之一組態應用於儲存層40之一情況。

圖11A至圖11D各繪示在本實施例之切換裝置1A (1B、1C或3X)、儲存裝置3Y，或記憶體胞3 (其包含切換裝置1A (1B、1C或3X)及儲存裝置3Y之組合)中之一寫入操作(例如一正向偏壓)時及一抹除操作(例如一反向偏壓)時之一施加電壓與通過電極之一電流之一值之間之一關係。一實線展示電壓施加之後的IV特性，且一虛線展示在一減小方向上掃掠施加電壓時的IV特性。

圖11A繪示切換裝置3X之IV特性。當施加一正向偏壓(在此實例中，一寫入電壓)時，在切換裝置3X中，一電流隨著施加電壓增大而增大，如上文所描述。然而，當電壓超過某一臨限電壓(切換臨限電壓)時，電流因雙向臨限切換而急劇增大或電阻減小，此引起一接通狀態。隨後，當施加電壓減小時，通過切換裝置3X中之電極之電流的值逐漸減小。在第二次或更後之操作中，在施加電壓之增大及減小之後引起類似電阻變動。具體言之，使電阻在等於增大之後之電壓之一電壓處急劇增大，此引起一切斷狀態(B1)。具體言之，切換裝置3X之電阻值回應於寫入電壓之施加而變為一低電阻狀態，但當將施加電壓減小至臨限值或更低且不維持電壓施加時之電阻值時，切換裝置3X之電阻值恢復至一高電阻狀態。

圖11B繪示儲存裝置3Y之IV特性。如自圖11B可見，在儲存裝置3Y中，電流值隨著施加電壓增大而增大。然而，在某一臨限電壓處執行歸因於儲存層40中之電阻變動層42中之導電路徑形成之一寫入操作，此引起儲存裝置3Y之電阻值變動至一低電阻狀態。換言之，儲存裝置3Y之電阻值回應於寫入電壓之施加而變為一低電阻狀態，且

在停止施加電壓之後亦維持該電阻狀態(B1)。

圖11C繪示記憶體胞3之IV特性。開始及停止將寫入電壓施加至記憶體胞3 (其中組合地使用上述儲存裝置3Y及上述切換裝置3X)時之電流值的切換行為係藉由組合記憶體裝置3Y之切換行為(A1)及切換裝置3X之切換行為(B1)而獲得的切換行為(C1)。例如，在一 $V/2$ 偏壓方案之一交叉點陣列之一情況中，將大於一臨限值(其引起記憶體胞3之C1中之IV曲線上之急劇電阻變動)之一電壓設定為一讀取電壓(V_{read})，且將 $V_{read}/2$ 設定為小於引起電阻變動之該臨限值之一電壓。據此，即使是在可能達成由一偏壓(接通)與一 $V_{read}/2$ 偏壓(切斷)之一電流比界定之一大選擇比時。另外，如上文所描述，記憶體胞3之IV曲線C1係切換裝置3X之IV曲線B1及儲存裝置3Y之IV曲線之一合成曲線。因此，達成一較大選擇比，此係因為在切換裝置3X中之雙向臨限切換之前及在切換裝置3X中之雙向臨限切換之後的電阻變動(或電流變動)較大。據此，在本實施例中之切換裝置3X中，可較佳地達成一大接通切斷比，此導致選擇比增大。此外，因為讀取裕度隨著選擇比變大而增大，所以可增大交叉點陣列大小且不會引起一讀取操作錯誤。此可進一步增加記憶體胞陣列之容量。

此不僅可應用於讀取操作，且可類似地應用於寫入操作。圖11D繪示記憶體胞3之IV特性，如同圖11C。如上文所描述，在交叉點陣列中，諸多位元連接至相同於目標記憶體胞之位元線BL或字線WL之位元線BL或字線WL。為此，如圖11D中所繪示，當非選擇時之一洩漏電流(其偏壓至 $V_{write}/2$ 且展示為IV曲線C1之虛線之一設定狀態中之 $V_{write}/2$ 及IV迴路之一相交點)較大時，可在一非選定記憶體胞中引起一寫入錯誤。據此，在寫入操作中，需要將寫入電壓 V_{write} 設定為達成對儲存裝置3Y執行一寫入操作時所需之一電流的一電壓，此外，需要將洩漏電流抑制至不會引起偏壓至 $V_{write}/2$ 之非選定記憶體

胞中之一寫入錯誤的一程度。由於偏壓至 $V_{write}/2$ 之非選擇時之洩漏電流較小，所以可容許一大型交叉點陣列操作且不會引起一寫入錯誤。據此，亦在寫入操作時，切換裝置 3X 之選擇比之增大導致記憶體胞陣列之容量增加。

另一方面，當施加一反向偏壓(在此實例中，一抹除電壓)時，切換裝置 3X 中之抹除電壓施加時之電流值之變動展示類似於寫入電壓施加至其之一位置之行為的一行為(B2)。相比而言，儲存裝置 3Y 中之抹除電壓施加時之電流值之變動回應於施加高於一抹除臨限電壓之一電壓而自一低電阻狀態變動至一高電阻狀態(A2)。如圖 11A 至圖 11C 中所繪示，當合成 A2 及 B2 之 IV 特性時，獲得抹除偏壓之後之記憶體胞之 IV 特性 C2。在一 $V/2$ 偏壓方案之交叉點陣列中，因為在寫入側上設定一常規讀取偏壓，所以 $V_{reset}/2$ 處之一干擾電流會成為一問題。然而，亦就此點而言，如同正向偏壓之情況，切換裝置 3X 之一較大接通切斷比(即，一較大選擇比)及一切斷狀態中之一較小洩漏電流有利於交叉點陣列之規模擴大。

本實施例之儲存單元可應用於除使用電阻變動型儲存裝置 3Y 之記憶體單元之外之各種記憶體單元。例如，本實施例之儲存單元可應用於一 PROM (其中僅容許寫入一次)、一 EEPROM (其中容許用電執行抹除)及一所謂的 RAM (其中容許高速地執行寫入、抹除及複製)之任何者之一記憶體形式。

另外，在本實施例之儲存單元中，藉由在一平面中(依二維方式)配置複數個記憶體胞 3 而形成組態。然而，例如，記憶體胞 3 可層疊於多個層中以達成三維組態。此可提供具有較高密度及較大容量之一儲存單元(一記憶體)。

[2. 實例]

下文描述本發明之實施例之特定實例。

[實驗1]

首先，藉由反向濺渡而清洗由TiN製成之底部電極10。其後，使一SiO₂膜形成於TiN上以具有2奈米之一厚度以形成高電阻層32。隨後，一GeTe膜經形成以具有40奈米之一厚度作為OTS層31，且接著，W經形成以具有30奈米之一厚度以形成頂部電極20。隨後，藉由公眾已知之技術(諸如光微影及乾式蝕刻)而執行小型化程序以引起裝置大小為直徑100奈米。因此，製造切換裝置1A (樣本1)。另外，作為一比較實例，製造其中未形成高電阻層32之切換裝置100 (樣本2)。針對樣本1及2之各者，量測一施加電壓與通過各電極之一電流之一值之間之一關係，且圖12中繪示樣本1及2之IV特性。

如自圖12可見，本實施例之樣本1中之臨限電壓大於樣本2中之臨限電壓。接通切斷比亦大於樣本2中之接通切斷比。換言之，可看見，切換裝置1A達成臨限電壓之增大及電阻變動比之增大兩者。

可認為：此係因為高電阻層32形成為與OTS層31接觸。具體言之，回應於施加高於某一電壓之一電壓，導電路徑形成於高電阻層32內。此引起一低電阻狀態，且限制切換層30之操作區域。其後，應用電壓達到臨限電壓，且藉此使一高電流通過切換裝置1A。

[實驗2]

接著，使具有40奈米之一厚度之一MeTeBO膜形成為OTS層31，且使具有2奈米之一厚度之一SiO₂膜形成為高電阻層32。藉此，製造切換裝置1A (樣本3)。依一類似方式，製造切換裝置1A (樣本4)，其中使具有40奈米之一厚度之一MgTeBO膜形成為OTS層31且使具有5奈米之一厚度之一SiN膜形成為高電阻層32。除此之外，製造切換裝置100 (樣本5)用於比較，其中由一MgTeBO膜組態之OTS層31僅形成於電極之間(未形成高電阻層32)。圖13A (樣本3)、圖13B (樣本4)及圖13C (樣本5)中繪示樣本3至5之IV特性。

如自圖13A至圖13C可見，在切換裝置1A（樣本3及4）及切換裝置100（樣本5）中，看見雙向臨限切換，其中不論是否存在高電阻層32，在達到某一臨限電壓之後使電阻急劇減小且使電流增大。圖14一起繪示圖13A至圖13C中所繪示之樣本3至5中之正向偏壓施加電壓之一增大方向上之IV曲線。比較樣本3及4與其中未設置高電阻層32之樣本5，在一切斷狀態（一電壓為0）中減小洩漏電流（幾乎為0），此外在樣本3及4兩者中增大臨限電壓。換言之，可看見，本發明之實施例之切換裝置1A具有可與具有一高寫入臨限電壓之一儲存裝置（例如儲存裝置3Y）之特性相當之有利特性。應注意，當比較樣本3與樣本4時，其中使用SiN之樣本4中之臨限電壓高於其中使用SiO₂之樣本3中之臨限電壓，且其中使用SiN之樣本4中之洩漏電流小於其中使用SiO₂之樣本3中之洩漏電流。此可藉由設定SiO₂及SiN之厚度、形成條件等等而適當地控制。

如上文所描述，用於高電阻層32之材料可為氧化物或可為氮化物。應注意，儘管本實例中未描述，但除Si之氧化物及氮化物之外，當使用Al、Ga、Mg、Hf、稀土元素或其類似者之氧化物、氮化物或氮氧化物作為高電阻層32之材料時，達成類似效應。

[實例3]

接著，使用樣本3，將一最大施加電壓恆定地設定為6伏特，且串聯連接至切換裝置1A之電阻之一值經變動（5千歐姆、12.5千歐姆、50千歐姆）以變動一最大電流值。圖15繪示各自電阻值之正向偏壓之IV曲線。可看見，洩漏電流及臨限電壓回應於通過切換裝置1A之最大電流之一值之變動而變動。接著，圖16A及圖16B中繪示基於此等量測而判定之待通過樣本3之最大電流與洩漏電流之間之一關係以及最大電流與臨限電壓之間之一關係。應注意，將洩漏電流之定義設定為0.5伏特之一正向偏壓電流。

自圖16A及圖16B中可見，在本實施例之切換裝置1A中，容許根據待通過之最大電流之量值而控制切斷狀態中之洩漏電流及臨限電壓。換言之，可藉由在初始電壓施加時在預定條件下執行一形成程序而控制切換裝置之特性。

據此，可看見，本實施例之切換裝置1A能夠藉由將高電阻層32(其中電阻在某一電壓處變動)層疊於由硫族化物組態之OTS層31上而增大臨限電壓，且不會減小電阻變動比。

應注意，本發明之效應未必受限於上文實施例及實例中所描述之效應，而是可為本文中所描述之效應之任何者。

可自本發明之上述實例性實施例及修改方案至少達成下列組態。

(1) 一種切換裝置，其包含：

一第一電極；

一第二電極，其經配置以面向該第一電極；及

一切換層，其設置於該第一電極與該第二電極之間，

該切換層包含

一第一層，其含有一硫族元素，及

一第二層，其含有一高電阻材料。

(2) 如(2)之切換裝置，其中該第二層經設置以與該第一層之一或兩個表面接觸。

(3) 如(1)或(2)之切換裝置，其中該第一層含有氧(O)、硫(S)、硒(Se)及碲(Te)之一或多者。

(4) 如(3)之切換裝置，其中該第一層進一步含有鍺(Ge)、銻(Sb)、矽(Si)及砷(As)之一或多者。

(5) 如(1)至(4)中任一項之切換裝置，其中該第二層含有一金屬元素之氧化物、該金屬元素之氮化物、一非金屬元素之氧化物及該非

金屬元素之氮化物之一者。

(6) 如(5)之切換裝置，其中該金屬元素係鋁(Al)、鎵(Ga)、鎂(Mg)、矽(Si)、鈦(Hf)及稀土元素之一或多者。

(7) 如(1)至(6)中任一項之切換裝置，其中該第一層回應於將一施加電壓設定為一預定臨限電壓或更高而變動以處於一低電阻狀態中，且該第一層回應於將該施加電壓減小至低於該預定臨限電壓之一電壓而變動以處於一高電阻狀態中。

(8) 如(1)至(7)中任一項之切換裝置，其中該第二層包含位於其內之一導電路徑。

(9) 如(1)至(8)中任一項之切換裝置，其中該第二層具有高於該第一層之一電阻值之一電阻值。

(10) 一種儲存單元，其包含

複數個記憶體胞，其等各包含一儲存裝置及經組態以連接至該儲存裝置之一切換裝置，

該切換裝置包含

一第一電極，

一第二電極，其經配置以面向該第一電極，及

一切換層，其設置於該第一電極與該第二電極之間，

該切換層包含

一第一層，其含有一硫族元素，及

一第二層，其含有一高電阻材料。

(11) 如(10)之儲存單元，其中該儲存裝置包含位於該切換裝置之該第一電極與該第二電極之間之一儲存層。

(12) 如(11)之儲存單元，其中該儲存層包含一離子源層及一電阻變動層，該離子源層含有選自碲(Te)、硫(S)及硒(Se)之一或多個硫族元素。

(13) 如(11)或(12)之儲存單元，其中該儲存層及該切換層層疊於該第一電極與該第二電極之間，且其中一第三電極介於該儲存層與該切換層之間。

(14) 如(12)或(13)之儲存單元，其中該儲存層及該切換層層疊以使該第二層介於其等之間。

(15) 如(12)至(14)中任一項之儲存單元，其中該儲存層及該切換層層疊以使該電阻變動層介於其等之間。

(16) 如(12)至(15)中任一項之儲存單元，其中該切換層之該第二層充當該儲存層之該電阻變動層。

(17) 如(10)至(16)中任一項之儲存單元，其進一步包含：

複數個列線；及

複數個行線，其中

該複數個記憶體胞設置於該複數個列線及該複數個行線之各自相交區域附近。

(18) 如(11)至(17)中任一項之儲存單元，其中該儲存層係一電阻變動層、一相變記憶體層及一磁阻隨機存取記憶體層之一者，該電阻變動層由一過渡金屬氧化物製成。

(19) 如(10)至(18)中任一項之儲存單元，其中該切換裝置係一雙向臨限切換裝置。

(20) 如(10)至(19)中任一項之儲存單元，其中該儲存裝置具有1.5伏特或更高之一寫入臨限電壓。

熟悉此項技術者應瞭解，可取決於設計要求及其他因數而進行各種修改、組合、子組合及變更，只要其等係在隨附專利申請範圍或其等效物之範疇內。

【符號說明】

1A 切換裝置

1B	切換裝置
1C	切換裝置
2	記憶體胞陣列
3	記憶體胞
3A	記憶體胞
3B	記憶體胞
3C	記憶體胞
3D	記憶體胞
3E	記憶體胞
3F	記憶體胞
3X	切換裝置
3Y	儲存裝置
10	底部電極
20	頂部電極
30	切換層
31	雙向臨限開關(OTS)層
32	高電阻層
32A	高電阻層
32B	高電阻層
40	儲存層
41	離子源層
42	電阻變動層
42A	電阻變動層
42B	電阻變動層
50	中間電極
100	切換裝置

110	底部電極
120	頂部電極
130	切換層
BL	位元線
P	導電路徑
S	電離碰撞區域
WL	字線

I661535

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：G11C13/00

【發明名稱】

切換裝置及儲存單元

SWITCH DEVICE AND STORAGE UNIT

【中文】

本發明揭示一種切換裝置，其包含：一第一電極；一第二電極，其經配置以面向該第一電極；及一切換層，其經設置於該第一電極與該第二電極之間。該切換層包含：一第一層，其含有一硫族元素；及一第二層，其含有一高電阻材料。

【英文】

A switch device includes: a first electrode; a second electrode arranged to face the first electrode; and a switch layer provided between the first electrode and the second electrode. The switch layer includes a first layer containing a chalcogen element, and a second layer containing a high resistance material.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- | | |
|----|--------------|
| 1A | 切換裝置 |
| 10 | 底部電極 |
| 20 | 頂部電極 |
| 30 | 切換層 |
| 31 | 雙向臨限開關(OTS)層 |
| 32 | 高電阻層 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

圖式

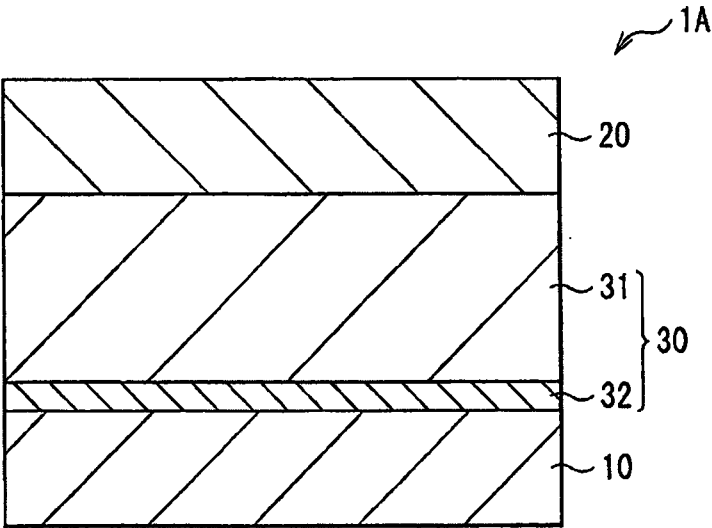


圖 1

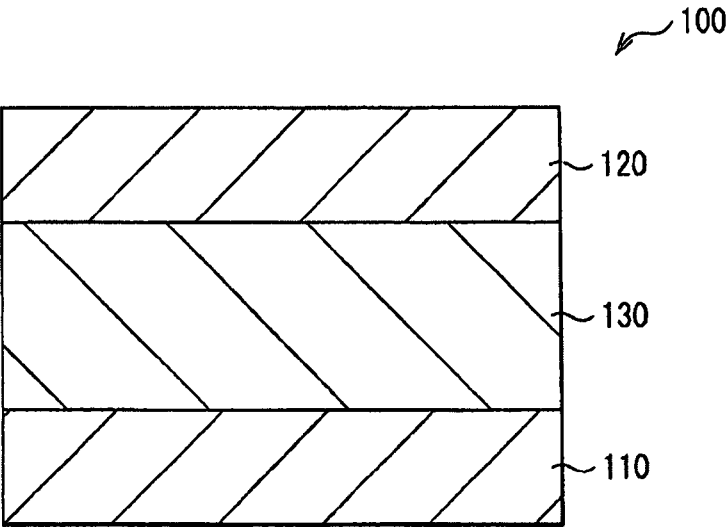


圖 2

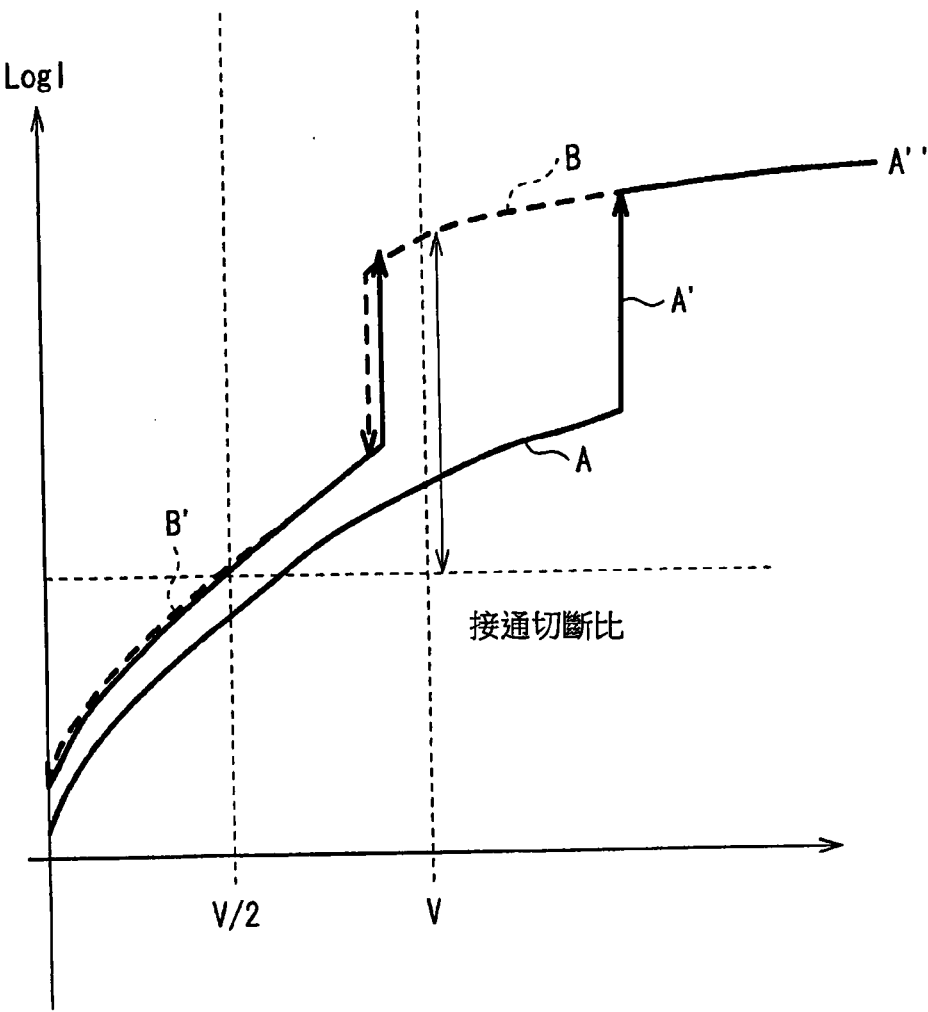


圖 3

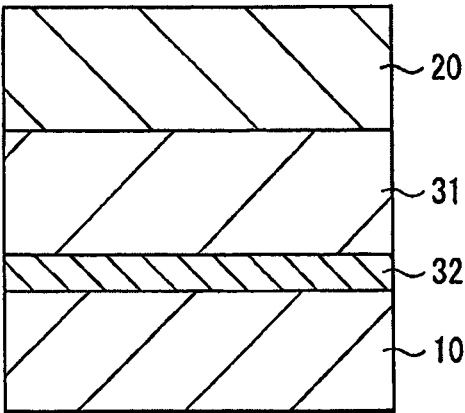


圖 4A

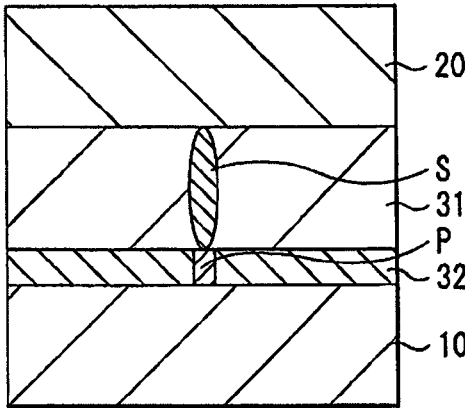


圖 4B

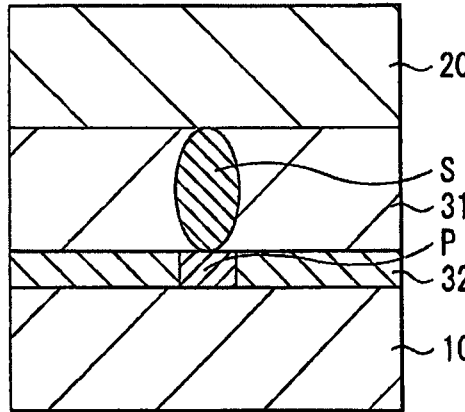


圖 4C

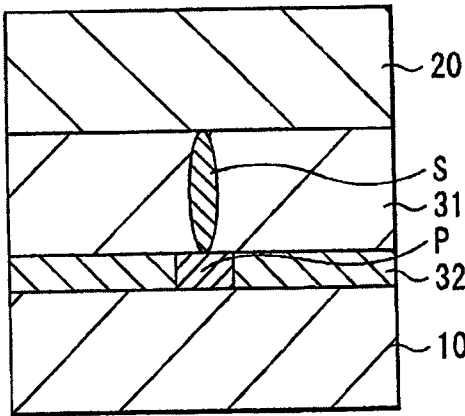


圖 4D

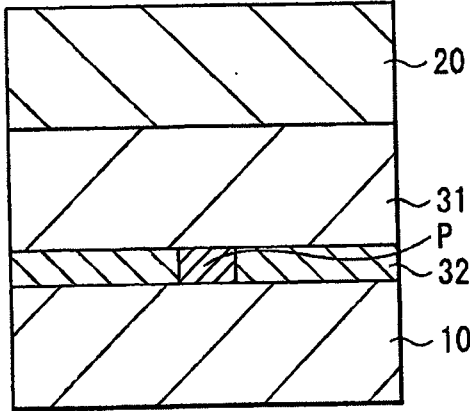


圖 4E

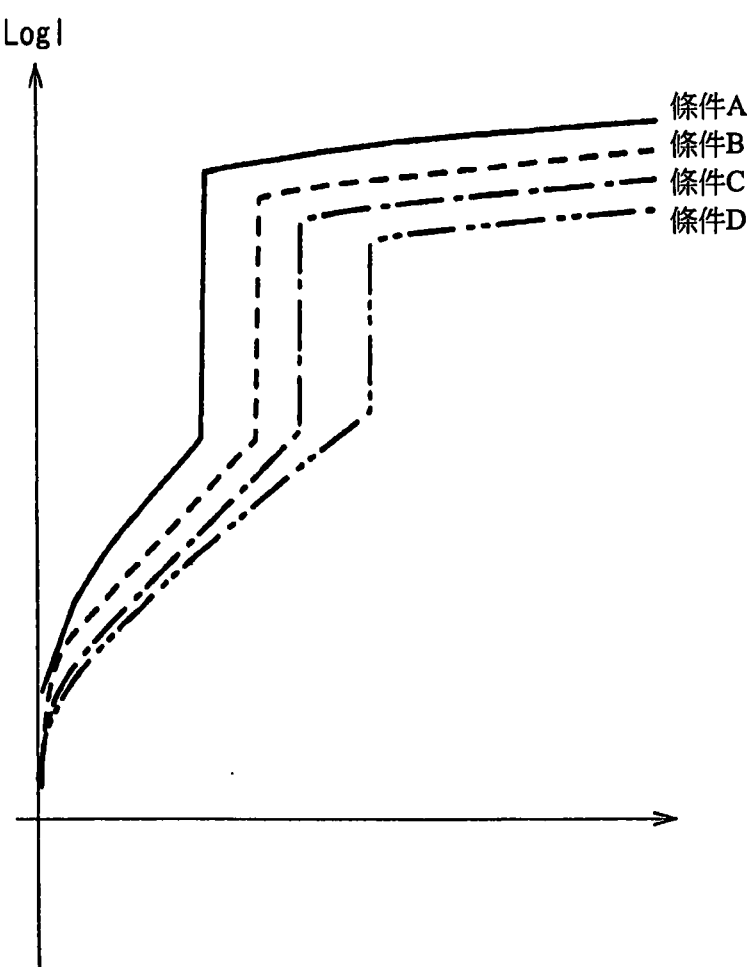


圖 5

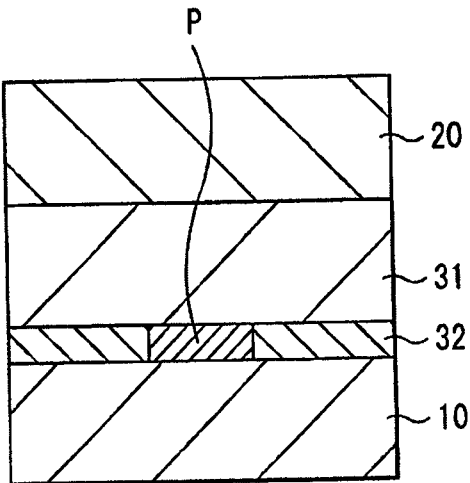


圖 6A

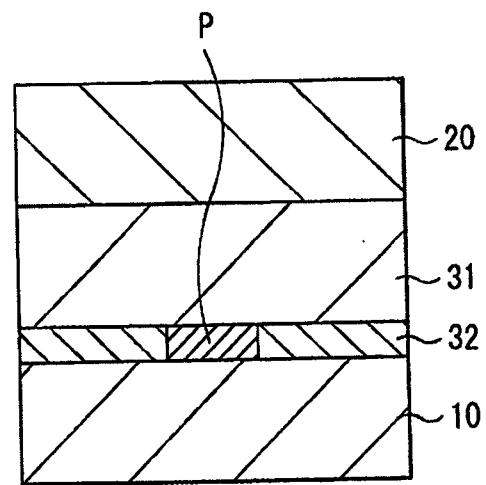


圖 6B

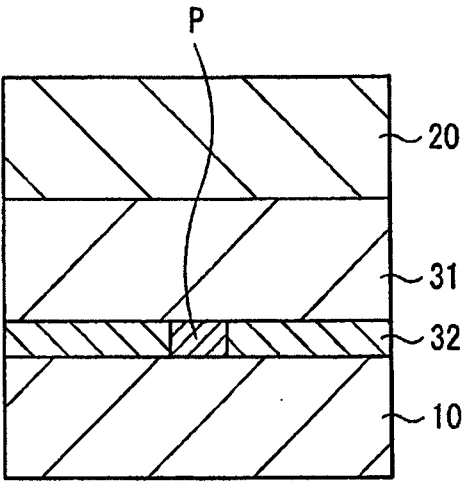


圖 6C

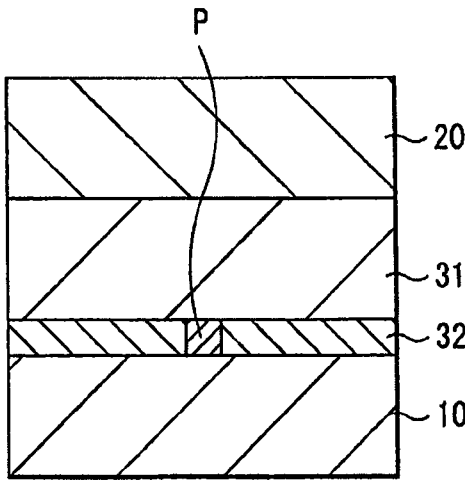


圖 6D

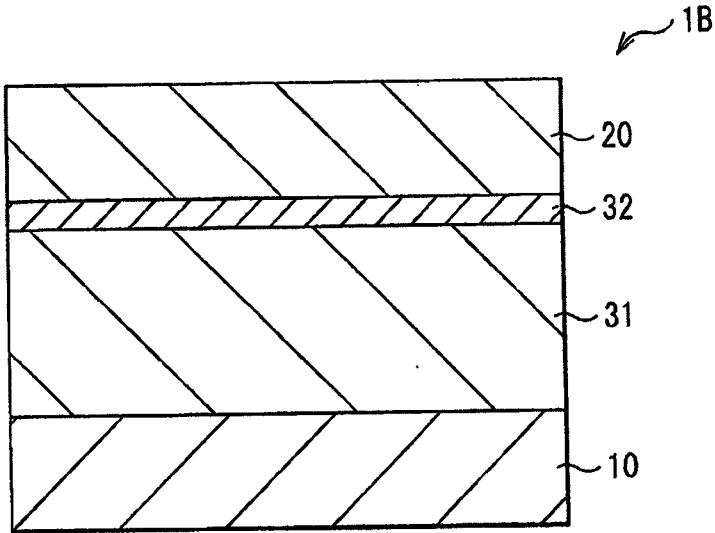


圖 7A

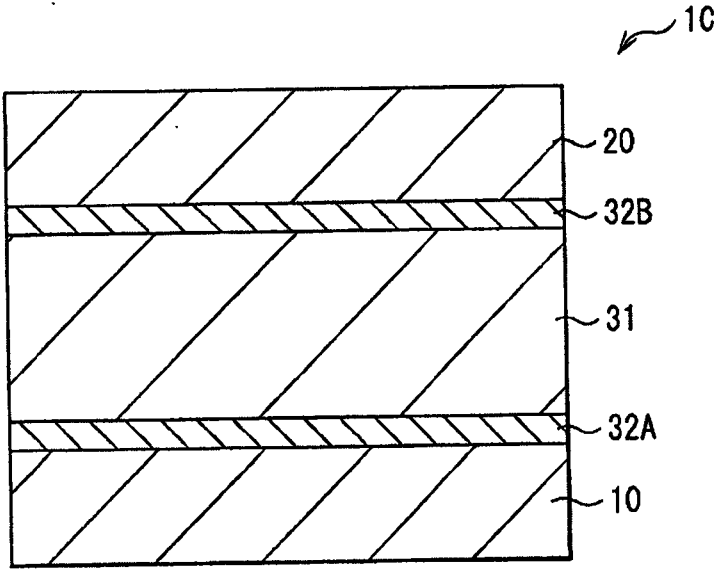


圖 7B

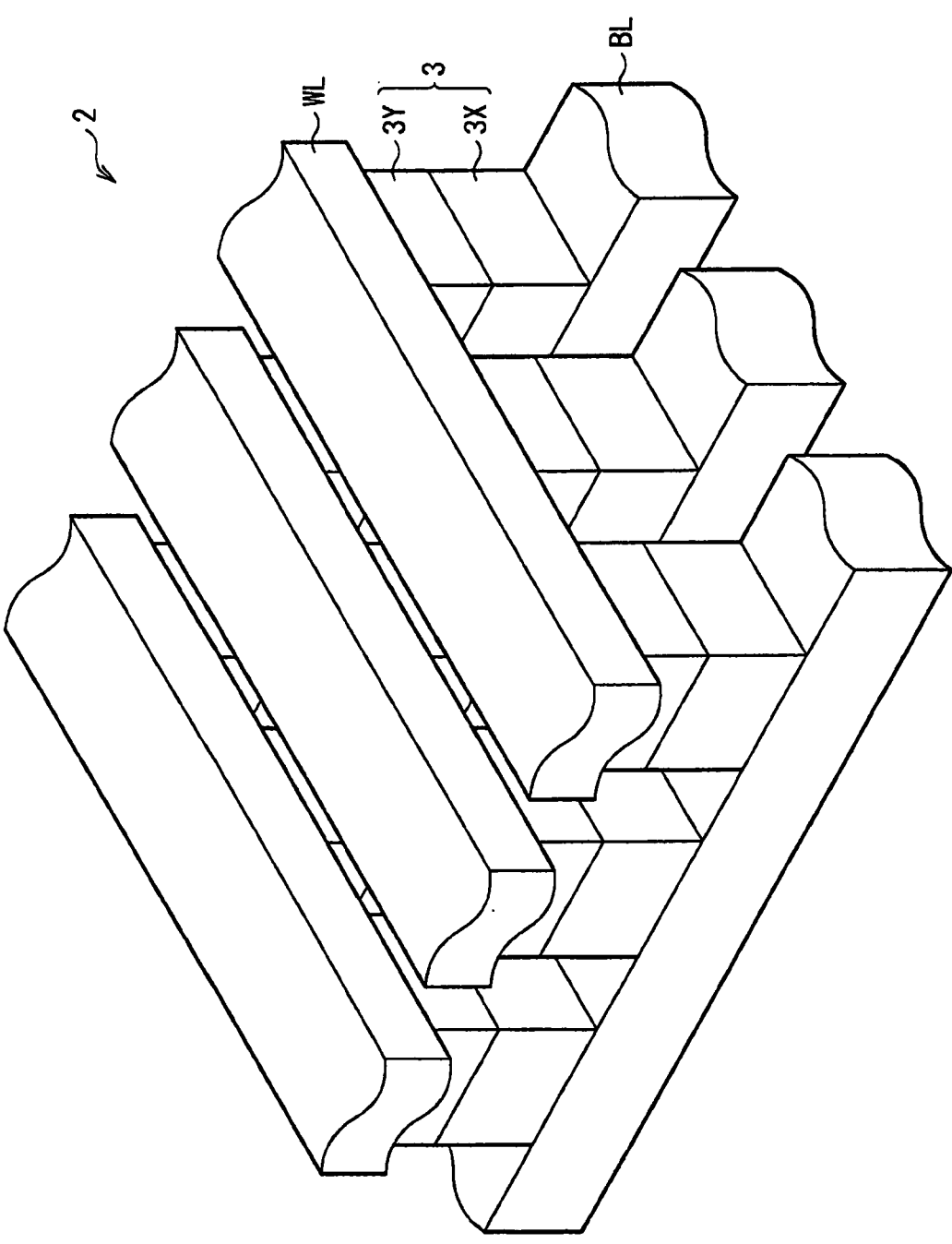


圖 8

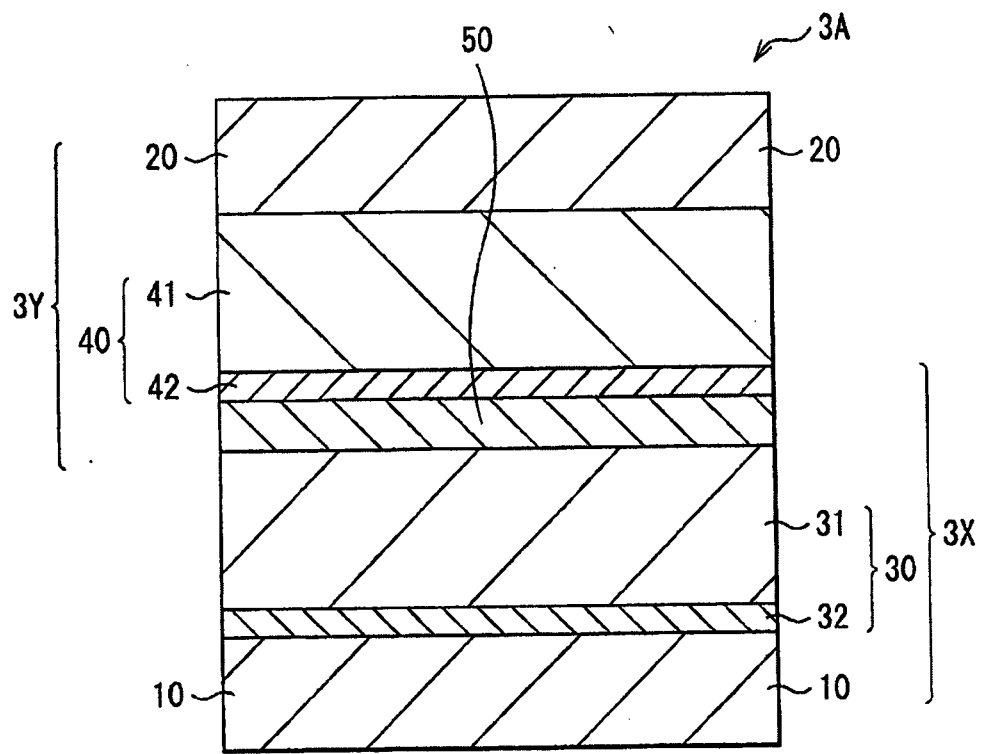


圖 9A

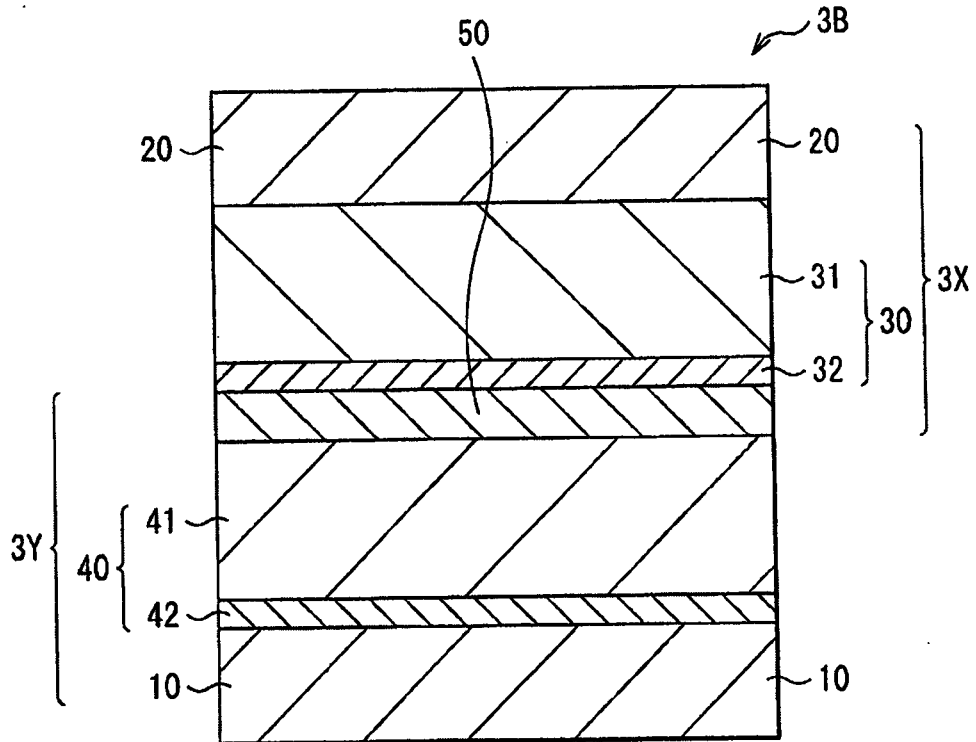


圖 9B

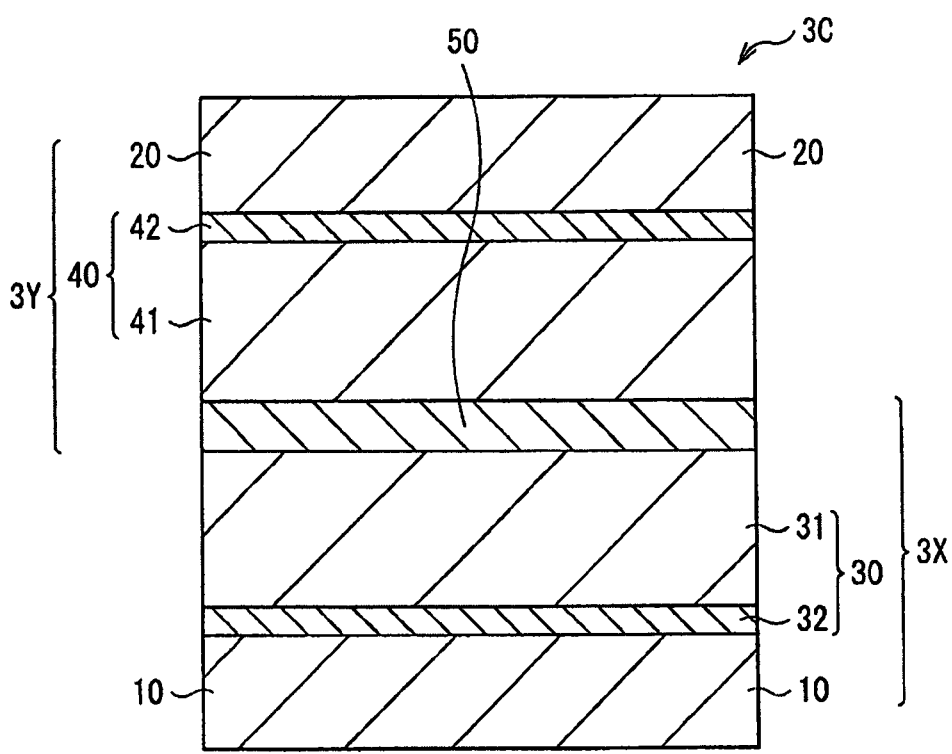


圖 9C

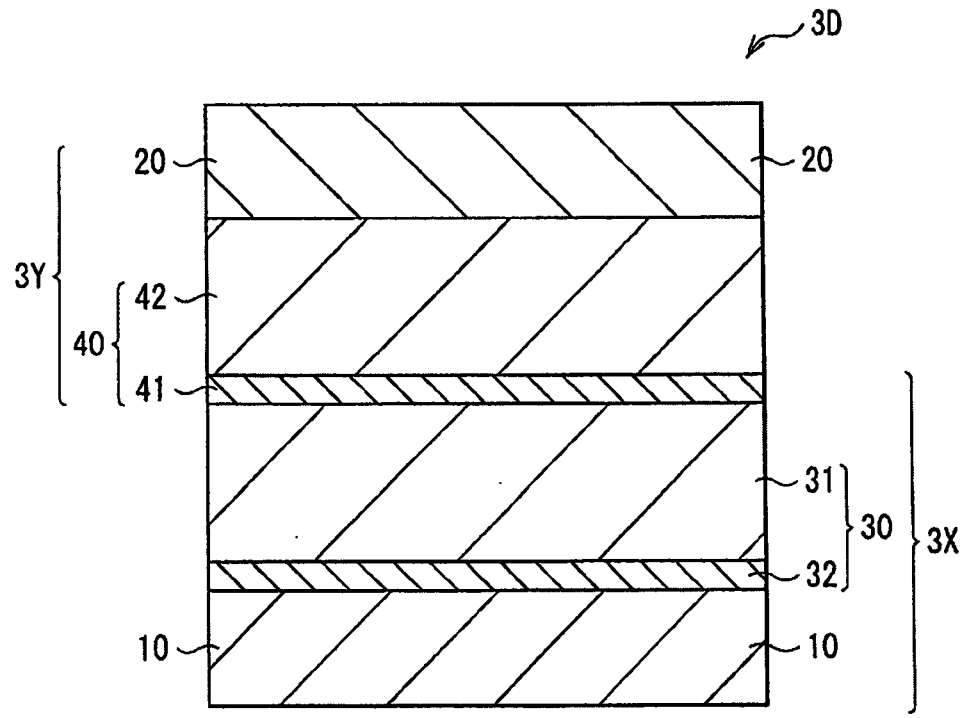


圖 10A

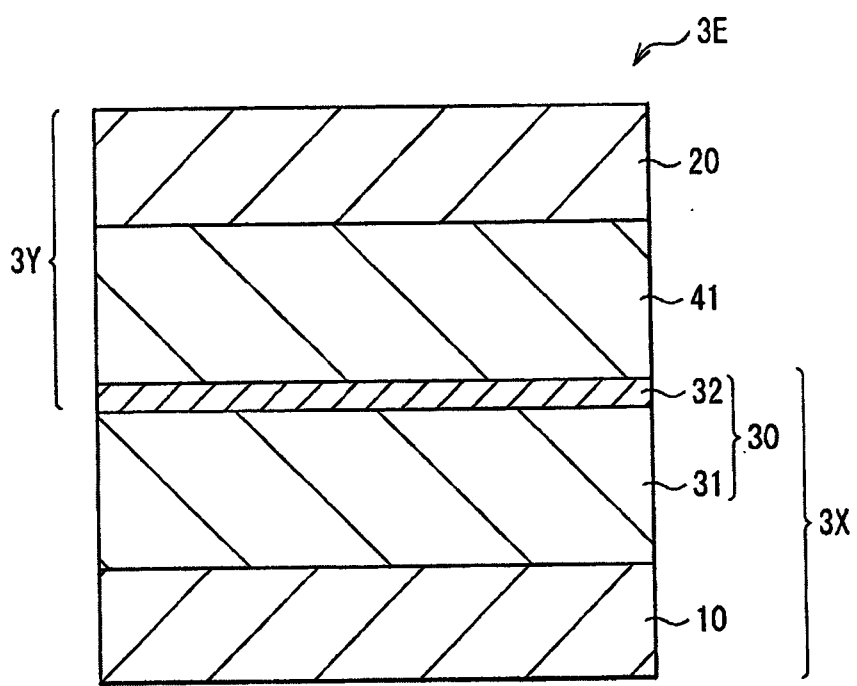


圖 10B

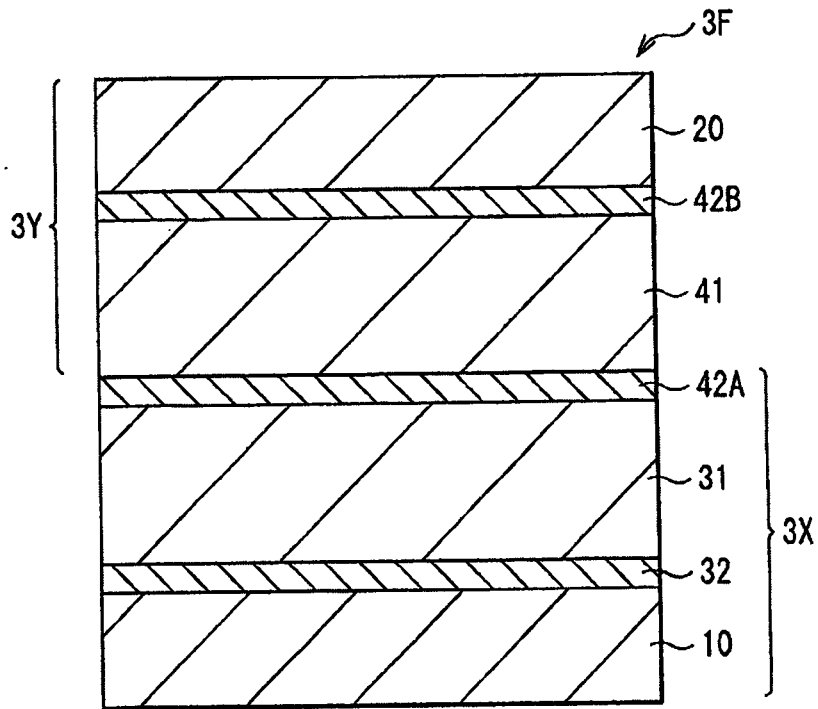


圖 10C

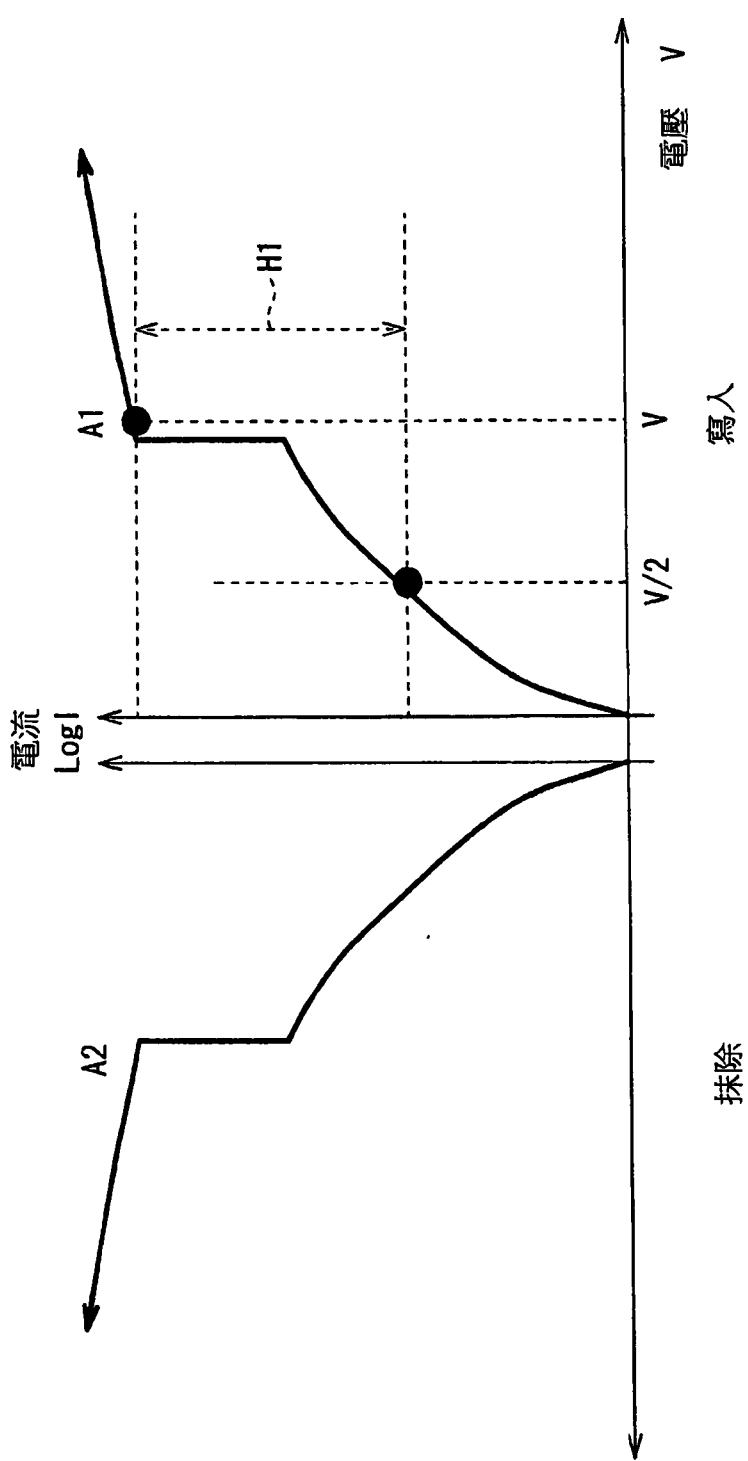


圖 11A

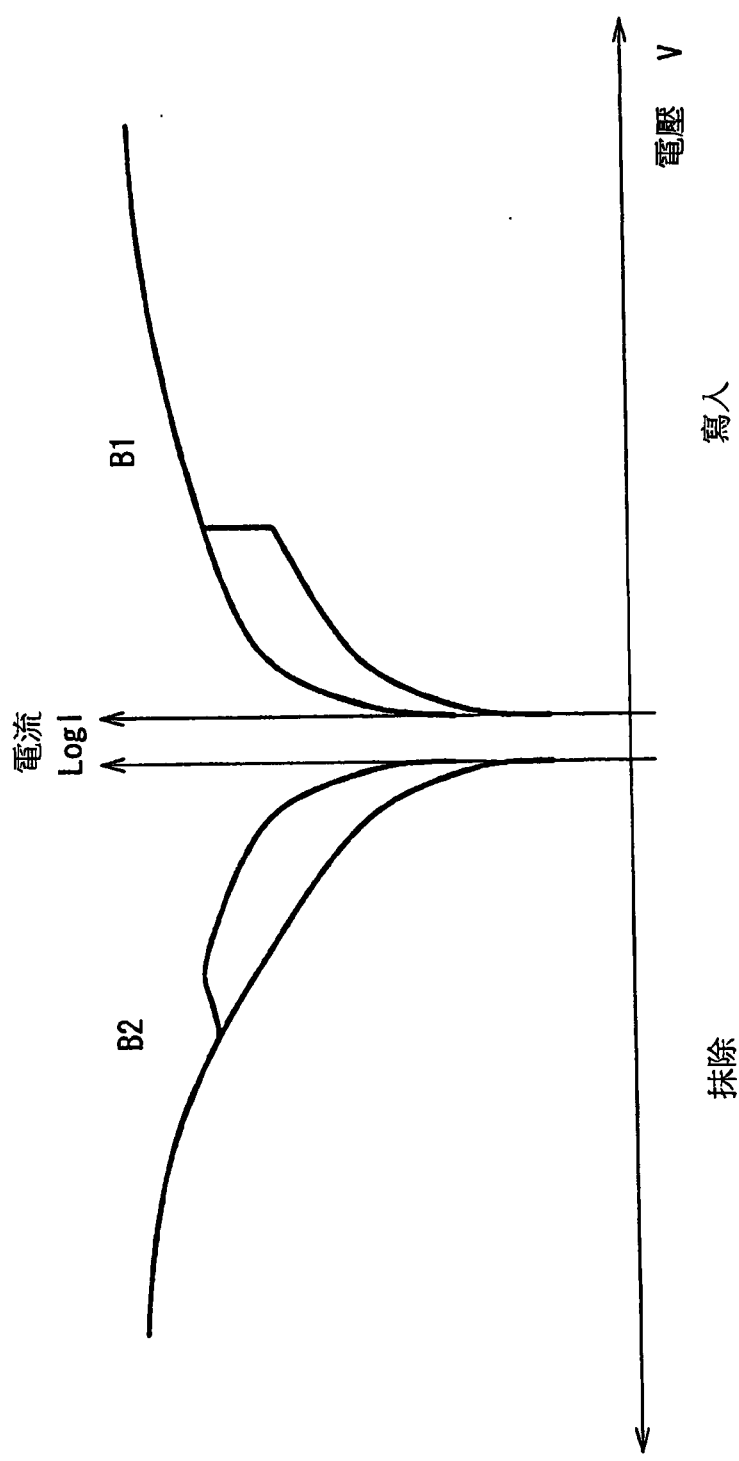


圖 11B

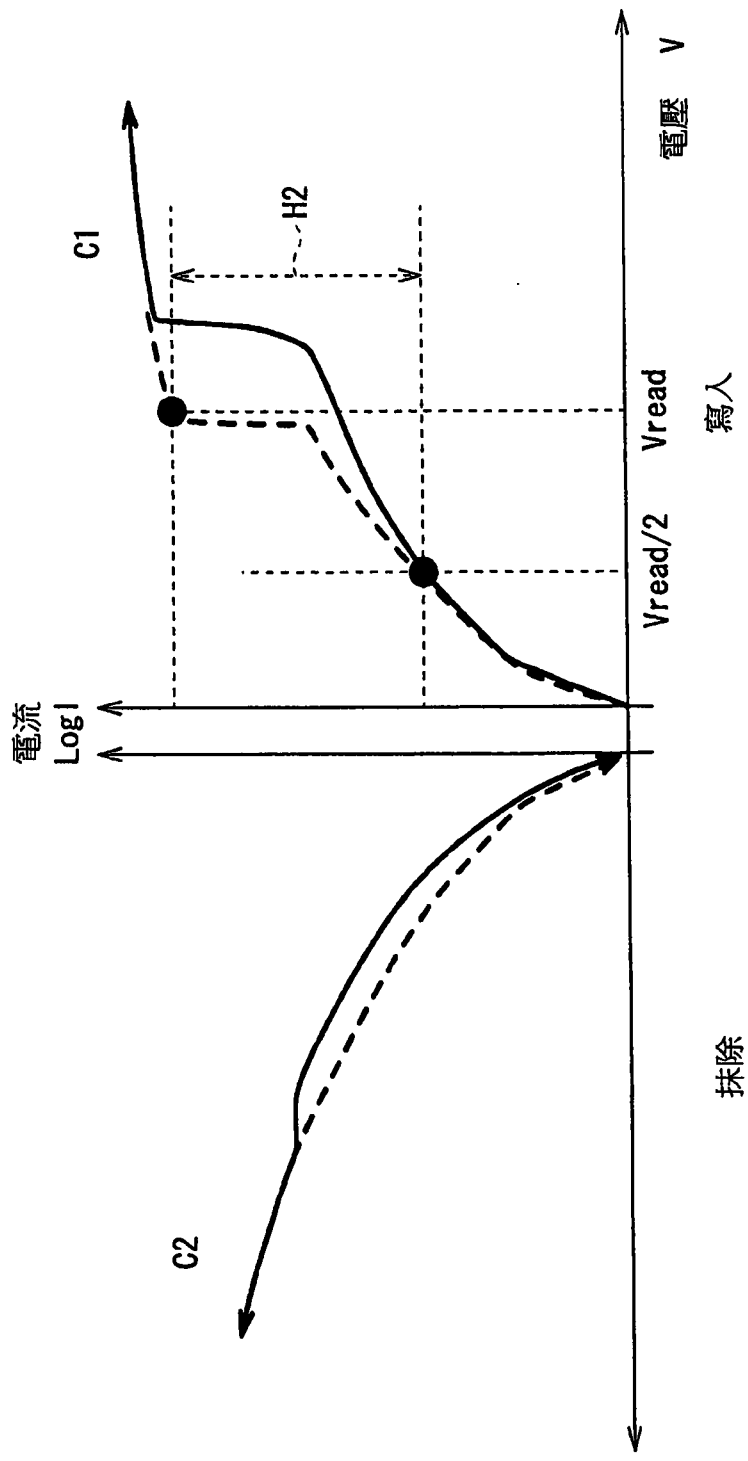


圖 11C

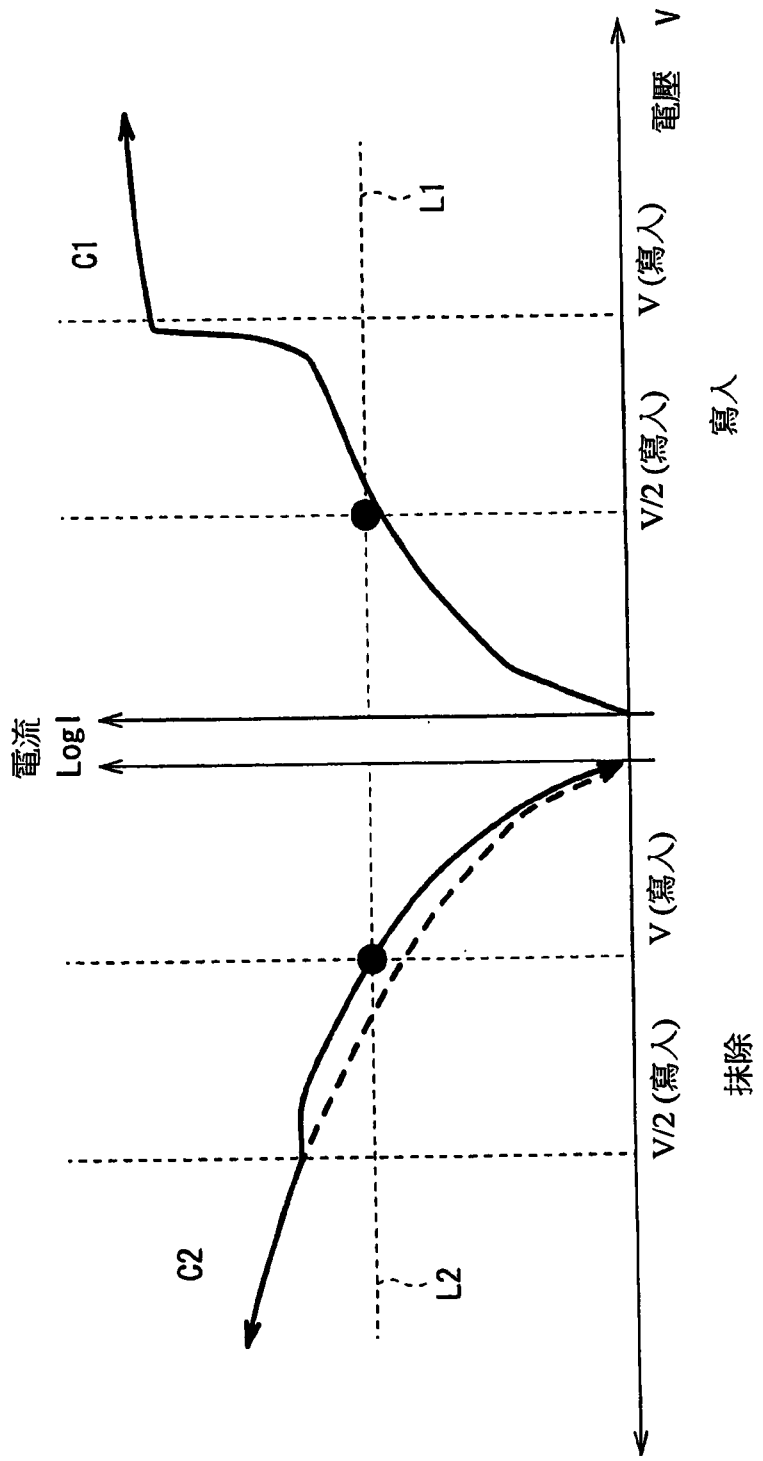


圖 11D

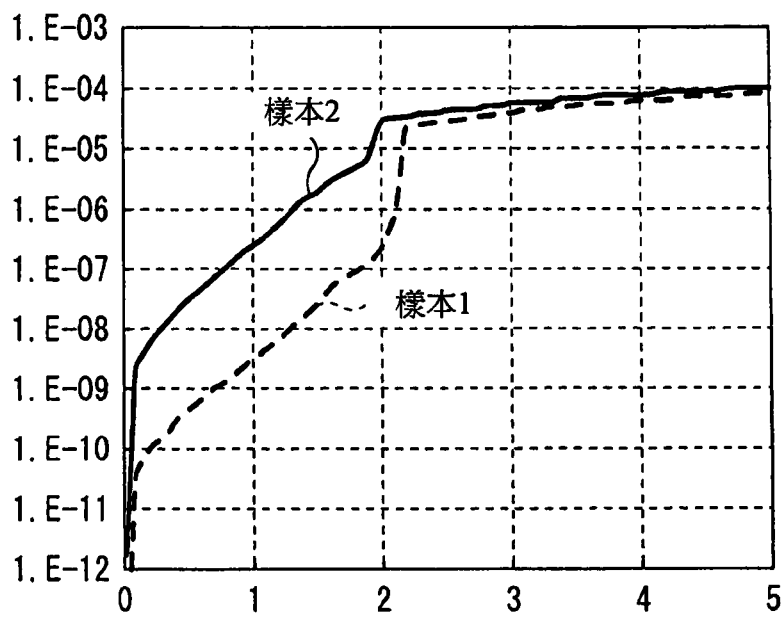


圖 12

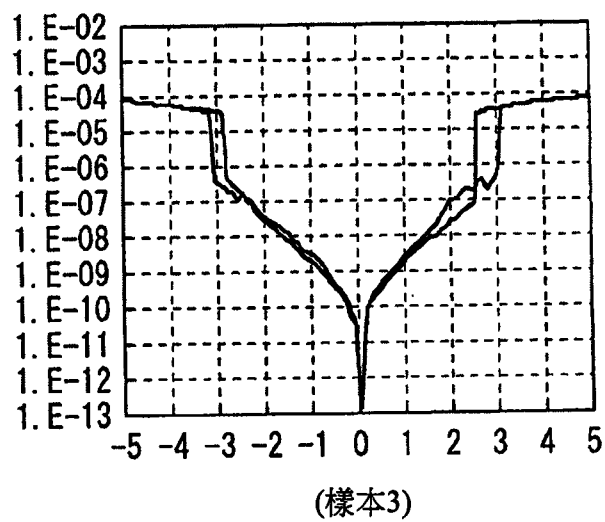


圖 13A

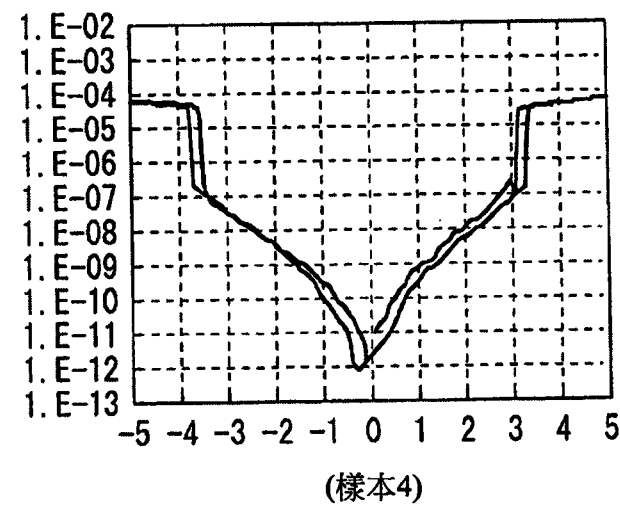


圖 13B

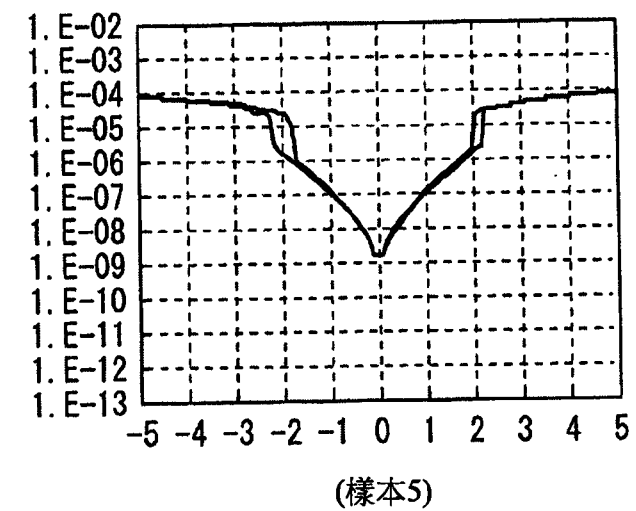


圖 13C

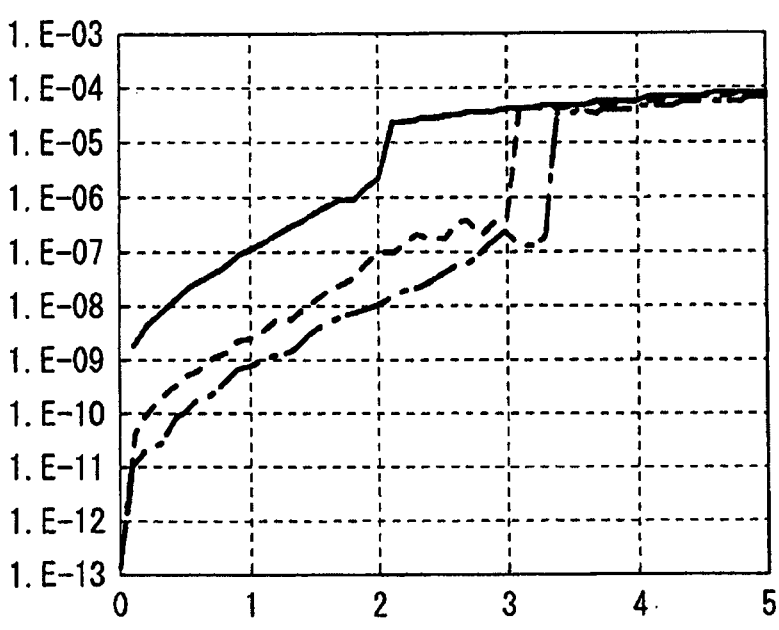


圖 14

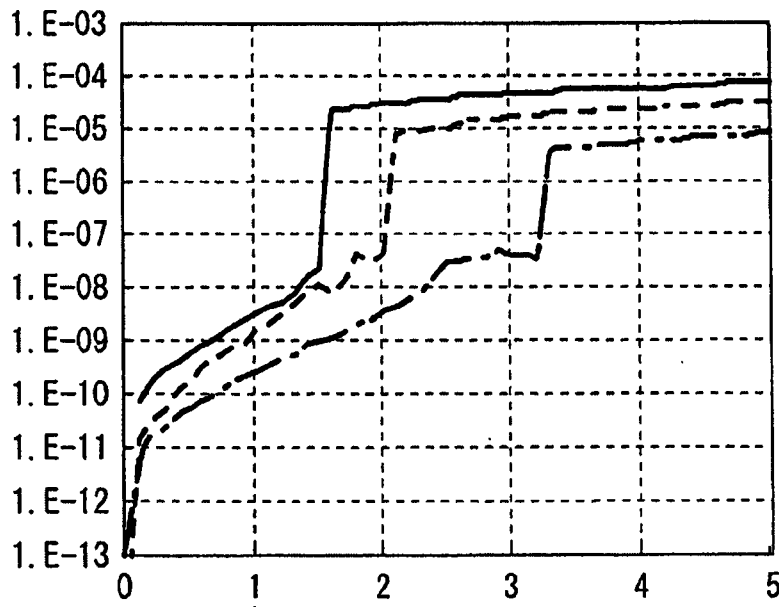


圖 15

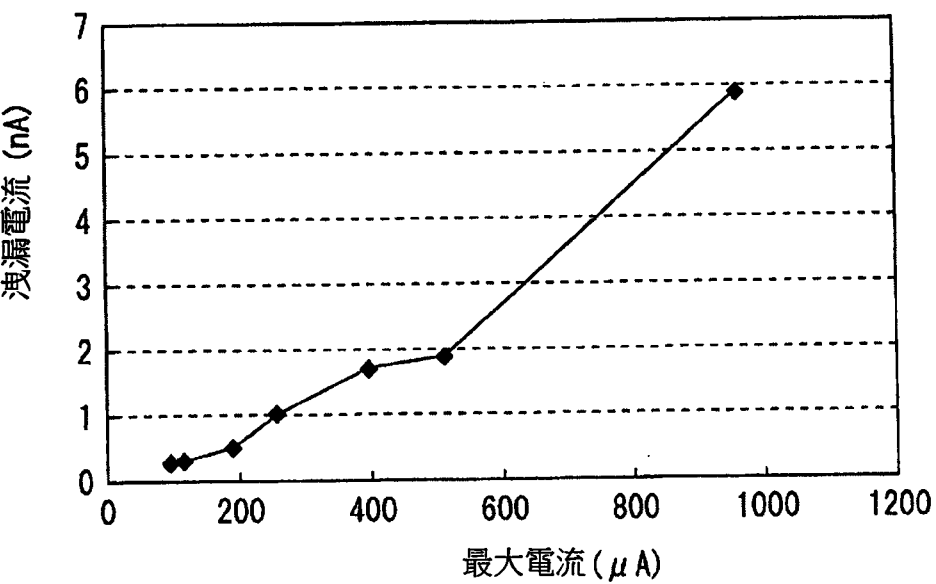


圖 16A

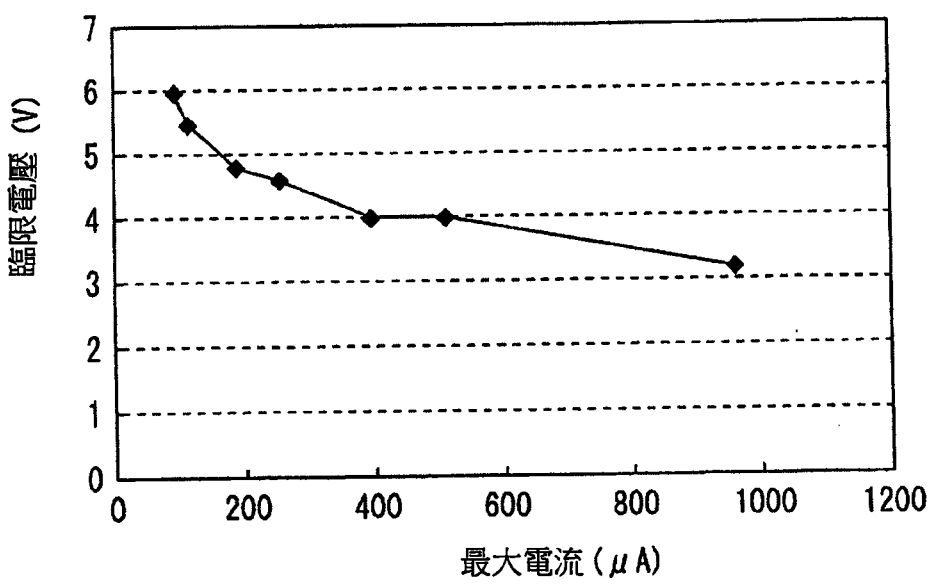


圖 16B

申請專利範圍

1. 一種切換裝置，其經連接至一儲存裝置，該切換裝置包括：
一第一電極；
一第二電極，其經配置以面向該第一電極；及
一切換層，其係設置於該第一電極與該第二電極之間，
該切換層包含
一第一層，其含有一硫族元素，及
一第二層，其含有一高電阻材料，
其中該儲存裝置包含位於該切換裝置之該第一電極與該第二電極之間之一儲存層，
其中該儲存層包含一離子源層及一電阻變動層，該離子源層含有選自碲(Te)、硫(S)及硒(Se)中之一或多個硫族元素，且
其中該儲存層及該切換層經層疊以使該電阻變動層介於其等之間。
2. 如請求項1之切換裝置，其中該第二層經設置以與該第一層之一或兩個表面接觸。
3. 如請求項1之切換裝置，其中該第一層含有氧(O)、硫(S)、硒(Se)及碲(Te)中之一或多者。
4. 如請求項3之切換裝置，其中該第一層進一步含有鍺(Ge)、銻(Sb)、矽(Si)及砷(As)中之一或多者。
5. 如請求項1之切換裝置，其中該第二層含有一金屬元素之氧化物、該金屬元素之氮化物、一非金屬元素之氧化物及該非金屬元素之氮化物中之一者。
6. 如請求項5之切換裝置，其中該金屬元素係鋁(Al)、鎵(Ga)、鎂

(Mg)、矽(Si)、鈐(Hf)及稀土元素中之一或多者。

7. 如請求項1之切換裝置，其中該第一層回應於將一施加電壓設定為一預定臨限電壓或更高而變動以處於一低電阻狀態中，且該第一層回應於將該施加電壓減小至低於該預定臨限電壓之一電壓而變動以處於一高電阻狀態中。
8. 如請求項1之切換裝置，其中該第二層包含位於其內之一導電路徑。
9. 如請求項1之切換裝置，其中該第二層具有高於該第一層之一電阻值之一電阻值。
10. 一種儲存單元，其包括

複數個記憶體胞，其等各包含一儲存裝置及經組態以連接至該儲存裝置之一切換裝置，

該切換裝置包含

一第一電極，

一第二電極，其經配置以面向該第一電極，及

一切換層，其係設置於該第一電極與該第二電極之間，

該切換層包含

一第一層，其含有一硫族元素，及

一第二層，其含有一高電阻材料，

其中該儲存裝置包含位於該切換裝置之該第一電極與該第二電極之間之一儲存層，

其中該儲存層包含一離子源層及一電阻變動層，該離子源層含有選自碲(Te)、硫(S)及硒(Se)中之一或多個硫族元素，且

其中該儲存層及該切換層經層疊以使該電阻變動層介於其等之間。

11. 如請求項10之儲存單元，其中該儲存層及該切換層經層疊於該第一電極與該第二電極之間，且其中一第三電極介於該儲存層與該切換層之間。
12. 如請求項10之儲存單元，其中該儲存層及該切換層經層疊以使該第二層介於其等之間。
13. 如請求項10之儲存單元，其中該切換層之該第二層充當該儲存層之該電阻變動層。
14. 如請求項10之儲存單元，進一步包括：
 複數個列線；及
 複數個行線，其中
 該複數個記憶體胞係設置於該複數個列線及該複數個行線之各自相交區域附近。
15. 如請求項10之儲存單元，其中該儲存層係一電阻變動層、一相變記憶體層及一磁阻隨機存取記憶體層中之一者，該電阻變動層係由一過渡金屬氧化物製成。
16. 如請求項10之儲存單元，其中該切換裝置係一雙向臨限切換裝置。
17. 如請求項10之儲存單元，其中該儲存裝置具有1.5伏特或更高之一寫入臨限電壓。