

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月3日(03.12.2020)



(10) 国際公開番号

WO 2020/240329 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) *H01L 51/50* (2006.01)
H01L 27/32 (2006.01) *H05B 33/14* (2006.01)
G02F 1/1368 (2006.01)

(21) 国際出願番号: PCT/IB2020/054663

(22) 国際出願日: 2020年5月18日(18.05.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-101319 2019年5月30日(30.05.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

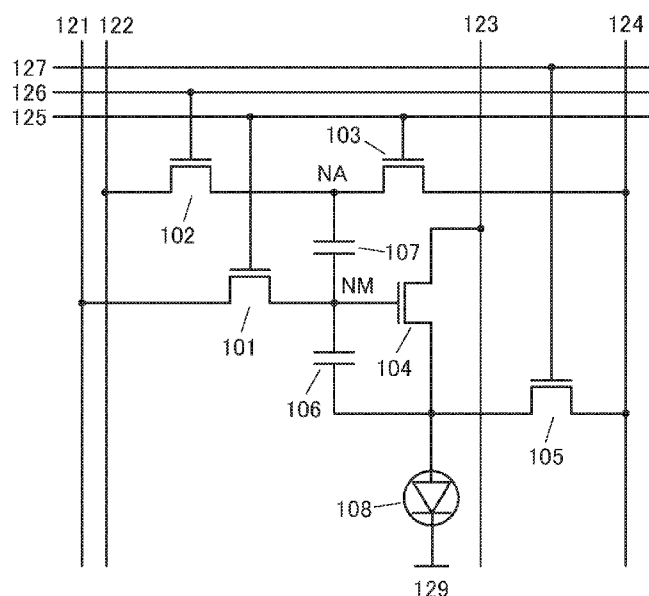
(72) 発明者: 川島進 (KAWASHIMA, Susumu); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
楠本直人 (KUSUMOTO, Naoto); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: DISPLAY DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 表示装置および電子機器

図1



(57) Abstract: Provided is a display device that has an excellent boosting function. This display device is provided with pixels that have the function of adding data (boosting function). The pixels are each provided with a boosting capacitor, perform addition on data by capacitance coupling, and supply the resultant data to a display device. The capacitance value of the boosting capacitor can be increased by stacking the boosting capacitor and a data retention capacitor on one another. With this configuration, it becomes possible to impart a superb boosting function to a pixel without greatly diminishing

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

the aperture ratio or the high-definition level.

(57) 要約：優れた昇圧機能を有する表示装置を提供する。データを加算する機能（昇圧機能）を有する画素が設けられた表示装置である。画素には昇圧用のキャパシタが設けられ、容量結合でデータを加算して表示デバイスに供給する。昇圧用のキャパシタおよびデータ保持用のキャパシタを重ねて配置することで、昇圧用のキャパシタの容量値を拡大させることができる。したがって、開口率または精細度を大きく損なうことなく、優れた昇圧機能を画素に付与することができる。

明細書

発明の名称

表示装置および電子機器

技術分野

[0001]

本発明の一態様は、表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

基板上に形成された金属酸化物を用いてトランジスタを構成する技術が注目されている。例えば、酸化亜鉛または $In-Ga-Zn$ 系酸化物を用いたトランジスタを表示装置の画素のスイッチング素子などに用いる技術が特許文献1および特許文献2に開示されている。

[0005]

また、オフ電流が極めて低いトランジスタをメモリセルに用いる構成の記憶装置が特許文献3に開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2007-123861号公報

[特許文献2] 特開2007-96055号公報

[特許文献3] 特開2011-119674号公報

発明の概要

発明が解決しようとする課題

[0007]

分散型液晶デバイスおよびタンデム型の発光デバイスなどの駆動には、一般的な表示デバイスの駆動電圧よりも高い電圧を要する。

[0008]

このような場合には、高出力のソースドライバを用いる。または、画素回路に昇圧機能を設け、ソースドライバの出力以上の電圧を生成して表示デバイスに供給してもよい。前者の場合は、一般的な画素回路で対応できるが、ソースドライバのコストおよび消費電力が高くなる問題がある。

[0009]

後者の場合は、汎用のソースドライバを用いることができる。また、一般的な表示デバイスの駆動に昇圧機能を適用すれば、ソースドライバの出力電圧を低減することもできる。ただし、画素に昇圧機能を設ける場合には、トランジスタ、キャパシタ、配線などの要素を追加しなければならない。したがって、昇圧能力と、画素の開口率または精細度とは、トレードオフの関係になる。

[0010]

本発明の一態様では、優れた昇圧機能を有する表示装置を提供することを目的の一つとする。または、優れた昇圧機能と、高開口率または高精細度とを併せ持つ表示装置を提供することを目的の一つとする。または、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる表示装置を提供することを目的の一つとする。または、表示画像の輝度を高めることができる表示装置を提供することを目的の一つとする。

[0011]

または、低消費電力の表示装置を提供することを目的の一つとする。または、信頼性の高い表示装置を提供することを目的の一つとする。または、新規な表示装置などを提供することを目的の一つとする。または、上記表示装置の駆動方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、優れた昇圧機能を有する表示装置に関する。

[0014]

本発明の一態様は、第1のキャパシタと、第2のキャパシタと、表示素子と、を画素に有し、第1のキャパシタおよび第2のキャパシタは、表示素子と電気的に接続され、第1のキャパシタは、第1の導電層、第1の誘電体層、第2の導電層が当該順序で積層された構成を有し、第2のキャパシタは、第2の導電層、第2の誘電体層、第3の導電層が当該順序で積層された構成を有し、第1のキャパシタおよび第2のキャパシタは、互いに重なる領域を有する表示装置である。

[0015]

第2のキャパシタは、第1のキャパシタよりも容量値が大きいことが好ましい。

[0016]

画素は、さらに第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、第1のトランジスタのソースまたはドレインの一方は、第2の導電層と電気的に接続され、第2のトランジスタのソースまたはドレインの一方および第3のトランジスタのソースまたはドレインの一方は、第3の導電層と電気的に接続することができる。

[0017]

画素は、表示素子として発光素子を有し、画素は、さらに第4のトランジスタと、第5のトランジスタと、を有し、第4のトランジスタのゲートは、第2の導電層と電気的に接続され、第4のトラ

ンジスタのソースまたはドレインの一方、第5のトランジスタのソースまたはドレインの一方、および発光素子の一方の電極は、第3の導電層と電氣的に接続することができる。

[0018]

または、画素は、表示素子として液晶素子を有し、液晶素子の一方の電極は、第2の導電層と電氣的に接続することができる。

[0019]

第1のトランジスタ乃至第3のトランジスタは、チャネル形成領域に金属酸化物を有することが好ましい。また、第2の導電層は、金属酸化物を有することができる。金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有することが好ましい。

発明の効果

[0020]

本発明の一態様を用いることで、優れた昇圧機能を有する表示装置を提供することができる。または、優れた昇圧機能と、高開口率または高精細度とを併せ持つ表示装置を提供することができる。または、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる表示装置を提供することができる。または、表示画像の輝度を高めることができる表示装置を提供することができる。

[0021]

または、低消費電力の表示装置を提供することができる。または、信頼性の高い表示装置を提供することができる。または、新規な表示装置などを提供することができる。または、上記表示装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

図面の簡単な説明

[0022]

図1は、画素回路を説明する図である。

図2A、図2Bは、キャパシタの構成を説明する図である。

図3A、図3Bは、キャパシタの構成を説明する図である。

図4A乃至図4Cは、画素回路を説明する図である。

図5は、画素回路を説明する図である。

図6は、画素回路の動作を説明するタイミングチャートである。

図7Aは、画素回路を説明する図である。図7Bは、キャパシタの構成を説明する図である。

図8A、図8Bは、画素回路を説明する図である。

図9は、画素回路を説明する図である。

図10は、画素回路を説明する図である。

図11は、画素回路を説明する図である。

図12A、図12Bは、画素レイアウトを説明する図である。

図13A、図13Bは、画素レイアウトを説明する図である。

図14A、図14Bは、画素レイアウトを説明する図である。

図15A乃至図15Cは、画素レイアウトを説明する図である。

図16A、図16Bは、画素レイアウトを説明する図である。

図17A、図17Bは、画素レイアウトを説明する図である。

図18A、図18Bは、画素レイアウトを説明する図である。

図19は、表示装置を説明する図である。

図20A乃至図20Cは、表示装置を説明する図である。

図21A、図21Bは、タッチパネルを説明する図である。

図22A、図22Bは、表示装置を説明する図である。

図23は、表示装置を説明する図である。

図24A、図24Bは、表示装置を説明する図である。

図25A、図25Bは、表示装置を説明する図である。

図26A乃至図26Eは、表示装置を説明する図である。

図27A乃至図27Cは、トランジスタを説明する図である。

図28A乃至図28Cは、トランジスタを説明する図である。

図29A、図29Bは、トランジスタを説明する図である。

図30A乃至図30Fは、電子機器を説明する図である。

発明を実施するための形態

[0023]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

[0024]

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数の直列または並列に接続されてもよい場合がある。また、キャパシタを分割して複数の位置に配置する場合もある。

[0025]

また、一つの導電体が、配線、電極および端子などの複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が一つまたは複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

[0026]

(実施の形態1)

本実施の形態では、本発明の一態様である表示装置について、図面を参照して説明する。

[0027]

本発明の一態様は、データを加算する機能（昇圧機能）を有する画素が設けられた表示装置である。当該画素は、ソースドライバから供給される第1のデータおよび第2のデータを加算して第3のデータを生成し、第3のデータを表示デバイス（表示素子ともいう）に供給する機能を有する。した

がって、ソースドライバから出力される電圧以上の電圧を表示デバイスに供給することができ、動作電圧の比較的高い表示デバイスを汎用のソースドライバで動作させることができる。または、ソースドライバの出力電圧を低減することができ、表示デバイスを省電力で動作させることができる。

[0028]

昇圧機能を高めるには、容量値が比較的大きいキャパシタを用いることが好ましい。しかしながら、キャパシタの面積と、画素の開口率または画素アレイの精細度とはトレードオフの関係にある。本発明の一態様では、昇圧用のキャパシタおよびデータ保持用のキャパシタを重ねて配置することで、昇圧用のキャパシタの占有面積および容量値を拡大させる。したがって、開口率または精細度を大きく損なうことなく、優れた昇圧機能を画素に付与することができる。

[0029]

図1は、本発明の一態様の表示装置が有する画素の回路図である。当該画素は、トランジスタ101と、トランジスタ102と、トランジスタ103と、トランジスタ104と、トランジスタ105と、キャパシタ106と、キャパシタ107と、発光デバイス108を有する。なお、発光デバイスは、発光素子ともいう。

[0030]

トランジスタ101のソースまたはドレインの一方は、キャパシタ107の一方の電極、トランジスタ104のゲートおよびキャパシタ106の一方の電極と電気的に接続される。キャパシタ107の他方の電極は、トランジスタ102のソースまたはドレインの一方およびトランジスタ103のソースまたはドレインの一方と電気的に接続される。トランジスタ104のソースまたはドレインの一方は、トランジスタ105のソースまたはドレインの一方、発光デバイス108の一方の電極およびキャパシタ106の他方の電極と電気的に接続される。

[0031]

キャパシタ107は、容量結合によってデータを加算する機能を有する。すなわち、当該画素は昇圧機能を有する。キャパシタ106は、データを保持する機能を有する。

[0032]

図1および上記説明より、キャパシタ106およびキャパシタ107は、電気的に直列に接続しているといえる。したがって、キャパシタ106の一方の電極およびキャパシタ107の一方の電極には、共通の導電層を用いることができる。

[0033]

図2A、図2Bはレイアウトの従来例であり、図1に示す画素回路におけるキャパシタ106およびキャパシタ107の簡易的なレイアウトを示している。図2Aは上面図であり、他の要素との電気的な接続も簡易的に示している。図2Bは、図2Aに示す一点鎖線A1-A2における断面図である。

[0034]

キャパシタ107は、導電層51、誘電体層61および導電層52を積層した構成である。キャパシタ106は、導電層53、誘電体層61および導電層52を積層した構成である。導電層51および導電層53は、同一の工程で成膜される導電体膜から形成することができる。また、導電層52を共通電極とすることができる。

[0035]

このように、キャパシタ106およびキャパシタ107の形成工程および構成はシンプルであるが、

限られた面積内に両者を並べて形成するため、それぞれの容量値は互いにトレードオフの関係になってしまう。

[0036]

図3A、図3Bは、本発明一態様におけるキャパシタ106およびキャパシタ107の簡易的なレイアウトを示す図である。図3Aは上面図であり、他の要素との電氣的な接続も簡易的に示している。図3Bは、図3Aに示す一点鎖線B1-B2における断面図である。

[0037]

キャパシタ107は、導電層51、誘電体層61および導電層52を積層した構成とすることができる。キャパシタ106は、導電層52、誘電体層62および導電層54を積層した構成とすることができる。

[0038]

つまり、キャパシタ106およびキャパシタ107は、導電層52を共通電極とし、互いに重なる領域を有することができる。したがって、キャパシタ106およびキャパシタ107は、面積の制約を受けにくく、設計の自由度を向上させることができる。

[0039]

キャパシタ107は、従来例におけるキャパシタ106を配置する領域にも配置することができ、容量値を高めることができる。キャパシタ107の面積（容量値）を大きくできることは、昇圧機能の向上に有効である。また、誘電体層62および導電層54には、トランジスタ等を形成する要素を用いるため、工程が増えることはない。昇圧機能および具体的なレイアウトの詳細については後述する。

[0040]

図1に示す画素が有する要素と各種配線との接続を説明する。トランジスタ101のゲートは、配線125と電氣的に接続される。トランジスタ102のゲートは、配線126と電氣的に接続される。トランジスタ103のゲートは、配線125と電氣的に接続される。トランジスタ105のゲートは、配線127と電氣的に接続される。

[0041]

トランジスタ101のソースまたはドレインの他方は、配線121と電氣的に接続される。トランジスタ102のソースまたはドレインの他方は、配線122と電氣的に接続される。トランジスタ103のソースまたはドレインの他方は、配線124と電氣的に接続される。トランジスタ104のソースまたはドレインの他方は、配線123と電氣的に接続される。トランジスタ105のソースまたはドレインの他方は、配線124と電氣的に接続される。発光デバイス108の他方の電極は、配線129と電氣的に接続される。

[0042]

配線125、126、127は、ゲート線としての機能を有し、ゲートドライバと電氣的に接続することができる。配線121、122はソース線としての機能を有し、ソースドライバと電氣的に接続することができる。

[0043]

配線123、129は、電源線としての機能を有することができる。例えば、配線123には高電位を供給し、配線129には低電位を供給することで、発光デバイス108を順バイアス動作（発光）させることができる。

[0044]

配線124は、基準電位 (V_{ref}) を供給する機能を有することができる。例えば、“ V_{ref} ”としては、0V、GND電位などを用いることができる。または、特定の電位を“ V_{ref} ”としてもよい。

[0045]

ここで、トランジスタ101のソースまたはドレインの一方と、キャパシタ106の一方の電極と、キャパシタ107の一方の電極と、トランジスタ104のゲートを接続する配線をノードNMとする。トランジスタ102のソースまたはドレインの一方と、キャパシタ107の他方の電極と、トランジスタ103のソースまたはドレインの一方を接続する配線をノードNAとする。

[0046]

トランジスタ101は、ノードNMに配線121の電位を書き込む機能を有することができる。トランジスタ102は、ノードNAに配線122の電位を書き込む機能を有することができる。トランジスタ103は、ノードNAに基準電位 (V_{ref}) を供給する機能を有することができる。トランジスタ104は、ノードNMの電位に従って発光デバイス108に流す電流を制御する機能を有することができる。トランジスタ105は、ノードNMへのデータ書き込み時にトランジスタ104のソース電位を固定する機能、および発光デバイス108の動作のタイミングを制御する機能を有することができる。

[0047]

ノードNMは、キャパシタ107を介してノードNAと接続されている。したがって、ノードNMをフローティング状態としたとき、ノードNAの電位変化分を容量結合で加算することができる。以下にノードNMにおける電位の加算について説明する。

[0048]

まず、ノードNMに第1のデータ（重み：“W”）を書き込む。このとき、ノードNAには基準電位 “ V_{ref} ” を供給し、キャパシタ107には “ $W - V_{ref}$ ” を保持させる。次に、ノードNAをフローティングとし、ノードNAに第2のデータ（データ：“D”）を供給する。

[0049]

このとき、キャパシタ107の容量値を C_{107} 、ノードNMの容量値を C_{NM} とすると、ノードNMの電位は、“ $W + (C_{107} / (C_{107} + C_{NM})) \times (D - V_{ref})$ ” となる。ここで、 C_{107} の値を大きくし、 C_{NM} の値を無視できれば、“ $C_{107} / (C_{107} + C_{NM})$ ” は1に近づき、ノードNMの電位は “ $W + D - V_{ref}$ ” とみなせる。

[0050]

したがって、“W” = “D”、“ V_{ref} ” = 0Vであって、 C_{107} が C_{NM} に比べて十分に大きければノードNMの電位は “2D” に近づく。つまり、ソースドライバの出力の約2倍の電位となる第3のデータ (“2D”) をノードNMで生成できることになる。

[0051]

なお、“ V_{ref} ” が “-W” または “-D” であれば、ノードNMの電位を “3D” に近づけることもできる。

[0052]

画素が有する昇圧機能により、ソースドライバの出力電圧が小さくても発光デバイス108の動作に必要な電圧を生成することができ、発光デバイス108を適切に動作させることができる。

[0053]

上述したように、キャパシタ107の容量値は、ノードNM（キャパシタ106を含む）の容量値よりも十分に大きいことが好ましい。本発明の一態様では、キャパシタ106とキャパシタ107が重なる領域を有するように形成するため、画素内におけるキャパシタ107の占有面積を大きくすることが容易である。すなわち、キャパシタ107の容量値を大きくすることが容易であり、上述した電位の加算機能（昇圧機能）を高めることができる。

[0054]

ノードNM、ノードNAは、保持ノードとして作用する。各ノードに接続するトランジスタを導通させることで、データを各ノードに書き込むことができる。また、当該トランジスタを非導通とすることで、当該データを各ノードに保持することができる。当該トランジスタに極めてオフ電流の低いトランジスタを用いることでリーク電流を抑えることができ、各ノードの電位を長時間保持することが可能となる。当該トランジスタには、例えば、金属酸化物をチャネル形成領域に用いたトランジスタ（以下、OSトランジスタ）を用いることが好ましい。

[0055]

具体的には、トランジスタ101、102、103のいずれかにOSトランジスタを適用することが好ましい。または、画素が有するトランジスタの全てにOSトランジスタを適用してもよい。また、リーク電流量が許容できる範囲で動作を行う場合は、Siをチャネル形成領域に有するトランジスタ（以下、Siトランジスタ）を適用してもよい。または、OSトランジスタおよびSiトランジスタを併用してもよい。なお、上記Siトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン（微結晶シリコン、低温ポリシリコン、単結晶シリコン）を有するトランジスタなどが挙げられる。

[0056]

OSトランジスタに用いる半導体材料としては、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するCAAC-OSまたはCAC-OSなどを用いることができる。CAAC-OSは結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、CAC-OSは、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。

[0057]

OSトランジスタは半導体層のエネルギーギャップが大きいと、数 $\mu\text{A}/\mu\text{m}$ （チャネル幅1 μm あたりの電流値）という極めて低いオフ電流特性を示すことができる。また、OSトランジスタは、インパクトイオン化、アバランシェ降伏、および短チャネル効果などが生じないなどSiトランジスタとは異なる特徴を有し、信頼性の高い回路を形成することができる。また、Siトランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきもOSトランジスタでは生じにくい。

[0058]

OSトランジスタが有する半導体層は、例えばインジウム、亜鉛およびM（Mはアルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属の一つまたは複数）を含むIn-M-Zn系酸化物で表記される膜とすることができる。In-M-Zn系酸化物は代表的には、スパッタリング法で形成することが

できる。または、ALD (Atomic layer deposition) 法を用いて形成してもよい。

[0059]

In-M-Zn系酸化物をスパッタリング法で形成するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In \geq M$ 、 $Zn \geq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1$ 、2、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:3$ 、 $In:M:Zn=4:2:4$ 、1、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=5:1:7$ 、 $In:M:Zn=5:1:8$ 等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

[0060]

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は、欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

[0061]

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0062]

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0063]

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

[0064]

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下にすることが好ましい。

[0065]

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャンネル

形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0066]

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0067]

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0068]

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、c軸に配向した結晶を有するCAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

[0069]

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

[0070]

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

[0071]

以下では、非単結晶の半導体層の一態様であるCAC (Cloud-Aligned Composite)-OSの構成について説明する。

[0072]

CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍の

サイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0073]

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0074]

例えば、 In-Ga-Zn 酸化物における CAC-OS (CAC-OS の中でも In-Ga-Zn 酸化物を、特に CAC-IGZO と呼称してもよい。) とは、インジウム酸化物 (以下、 InO_{x1} ($x1$ は 0 よりも大きい実数) とする。)、またはインジウム亜鉛酸化物 (以下、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 、および $z2$ は 0 よりも大きい実数) とする。)) と、ガリウム酸化物 (以下、 GaO_{x3} ($x3$ は 0 よりも大きい実数) とする。)、またはガリウム亜鉛酸化物 (以下、 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ ($x4$ 、 $y4$ 、および $z4$ は 0 よりも大きい実数) とする。)) などと、に材料が分離することでモザイク状となり、モザイク状の InO_{x1} 、または $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ が、膜中に均一に分布した構成 (以下、クラウド状ともいう。) である。

[0075]

つまり、 CAC-OS は、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第 1 の領域の元素 M に対する In の原子数比が、第 2 の領域の元素 M に対する In の原子数比よりも大きいことを、第 1 の領域は、第 2 の領域と比較して、 In の濃度が高いとする。

[0076]

なお、 IGZO は通称であり、 In 、 Ga 、 Zn 、および O による 1 つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ は自然数)、または $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数) で表される結晶性の化合物が挙げられる。

[0077]

上記結晶性の化合物は、単結晶構造、多結晶構造、または CAAC 構造を有する。なお、 CAAC 構造とは、複数の IGZO のナノ結晶が c 軸配向を有し、かつ $a-b$ 面においては配向せずに連結した結晶構造である。

[0078]

一方、 CAC-OS は、酸化物半導体の材料構成に関する。 CAC-OS とは、 In 、 Ga 、 Zn 、および O を含む材料構成において、一部に Ga を主成分とするナノ粒子状に観察される領域と、一部に In を主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、 CAC-OS において、結晶構造は副次的な要素である。

[0079]

なお、 CAC-OS は、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、 In を主成分とする膜と、 Ga を主成分とする膜との 2 層からなる構造は、含まない。

[0080]

なお、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域

とは、明確な境界が観察できない場合がある。

[0081]

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-OSは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

[0082]

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

[0083]

CAC-OSは、X線回折（XRD：X-ray diffraction）測定法のひとつであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折測定から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

[0084]

また、CAC-OSは、プローブ径が1nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域（リング領域）と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc（nano-crystal）構造を有することがわかる。

[0085]

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX：Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、GaO_{x3}が主成分である領域と、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

[0086]

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、GaO_{x3}などが主成分である領域と、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

[0087]

ここで、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域は、GaO_{x3}などが主成分である領域と比較して、導電性が高い領域である。つまり、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。した

がって、 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 、または InO_{x_1} が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度 (μ) が実現できる。

[0088]

一方、 GaO_{x_3} などが主成分である領域は、 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 、または InO_{x_1} が主成分である領域と比較して、絶縁性が高い領域である。つまり、 GaO_{x_3} などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

[0089]

したがって、CAC-OSを半導体デバイスに用いた場合、 GaO_{x_3} などに起因する絶縁性と、 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 、または InO_{x_1} に起因する導電性とが、相補的に作用することにより、高いオン電流 (I_{on})、および高い電界効果移動度 (μ) を実現することができる。

[0090]

また、CAC-OSを用いた半導体デバイスは、信頼性が高い。したがって、CAC-OSは、様々な半導体装置の構成材料として適している。

[0091]

なお、図1に示す画素の回路構成は一例であり、例えば、図4Aに示すように、発光デバイス108の一方の電極を配線123と電氣的に接続し、発光デバイス108の他方の電極をトランジスタ104のソースまたはドレインの他方と電氣的に接続してもよい。

[0092]

または、図4Bに示すように、トランジスタ104のソースまたはドレインの一方と発光デバイス108の一方の電極との間にトランジスタ109との間にトランジスタ109を設けてもよい。トランジスタ109を設けることで、発光のタイミングを任意に制御することができる。また、図4A、図4Bに示す構成を組み合わせてもよい。

[0093]

また、図4Cに示すように、トランジスタ105と接続される配線124には回路40を電氣的に接続することができる。回路40は、基準電位 (V_{ref}) の供給源、トランジスタ104の電気特性を取得する機能、および補正データを生成する機能の一つ以上を有することができる。

[0094]

また、図5に示すように、垂直方向（ソース線（配線121、122）が延在する方向）に隣り合う2画素でゲート線（配線125）を共通とする構成としてもよい。図5は、 n 行 m 列目（ n 、 m は1以上の自然数）に配置される画素10[n, m]、および $n+1$ 行 m 列目に配置される画素10[n+1, m]を説明する図である。画素10の基本構成は、図1に示す画素回路と同等であるが、配線125が配線126の機能を兼ねるため、配線126は省略される。

[0095]

画素10[n, m]のトランジスタ102のゲートは、配線125[n+1]と電氣的に接続される。配線125[n+1]には、画素10[n+1, m]のトランジスタ101のゲートおよびトランジスタ103のゲートが電氣的に接続される。

[0096]

画素10[n+1, m]のトランジスタ102のゲートは、配線125[n+2]と電氣的に接続される。図示はしていないが、配線125[n+2]には、画素10[n+2, m]のトランジスタ101のゲートおよびトランジスタ103のゲートが電氣的に接続される。

[0097]

本発明の一態様の画素10では、第1のデータ（重み）の書き込みおよび第2のデータ（データ）の書き込みの2回の書き込み動作がある。重みおよびデータは異なるソース線から供給されるため、一方の画素にデータを書き込むタイミングと、他方の画素に重みを書き込むタイミングを重ねることができる。したがって、それらの動作を行うトランジスタのゲートが接続されるゲート線を共通とすることができる。

[0098]

2画素間でゲート線を共通とすることで、1画素につきゲート線を3本から実質2本に減らすことができ、画素の開口率を上げることができる。また、ゲートドライバの動作の簡略化および充放電が必要なゲート配線が減るため、消費電力も削減することができる。

[0099]

次に、図5に示す2画素の動作を図6に示すタイミングチャートを用いて説明する。以下に行う説明は、画素10の動作によりソースドライバの出力するデータ電位の約2倍のデータ電位を表示デバイスに供給する動作の例である。

[0100]

当該動作説明においては、高電位を“H”、低電位を“L”で表す。また、画素10[n, m]に供給する重みを“W1”、画像データを“D1”、画素10[n+1, m]に供給する重みを“W2”、画像データを“D2”とする。” V_{ref} ”としては、例えば0V、GND電位または特定の電位を用いることができる。

[0101]

また、配線123には高電位が常時供給され、配線129には低電位が常時供給され、配線124には基準電位（ V_{ref} ）が常時供給されていることとする。なお、動作に支障がなければ、これらの電位が供給されていない期間があってもよい。

[0102]

なお、ここでは電位の分配、結合または損失において、回路の構成や動作タイミングなどに起因する詳細な変化は勘案しない。また、キャパシタを用いた容量結合による電位の変化は、当該キャパシタと、接続される要素との容量比に依存するが、説明を明瞭にするため、当該要素の容量値は十分に小さい値に仮定する。

[0103]

期間T1において、配線121には“W1”が供給される。

[0104]

期間T1に配線125[n]の電位を“H”、配線127[n]の電位を“H”とすると、画素10[n, m]において、トランジスタ102が導通し、ノードNA[n, m]の電位は“ V_{ref} ”となる。当該動作は、後の加算動作（容量結合動作）を行うためのリセット動作である。

[0105]

また、トランジスタ101が導通し、ノードNM[n, m]に配線121[m]の電位が書き込まれる。また、トランジスタ105が導通し、トランジスタ104のソース電位が“ V_{ref} ”となる。当該動作は、画素10[n, m]における重みの書き込み動作であり、トランジスタ104のソース電位が安定した状態で、ノードNM[n, m]に電位“W1”が書き込まれる。

[0106]

期間T2において、配線121には“W2”が供給され、配線122には“D1”が供給される。

[0107]

期間T2に配線125[n]の電位を“L”、配線127[n]の電位を“H”、配線125[n+1]の電位を“H”、配線127[n+1]の電位を“H”とすると、トランジスタ101が非導通となる。このとき、ノードNM[n, m]に“W1”が保持される。また、キャパシタ107には、“ $W1 - V_{ref}$ ”が保持される。

[0108]

また、トランジスタ103が非導通、トランジスタ102が導通となり、ノードNA[n, m]の電位は配線122[m]の電位“D1”となる。このとき、ノードNAの変化分“ $D1 - V_{ref}$ ”がキャパシタ107とノードNM[n, m]の容量比に応じてノードNM[n, m]に付加される。当該動作は画素10[n, m]における加算動作であり、ノードNM[n, m]の電位は“ $W1 + (D1 - V_{ref})'$ ”となる。このとき、“ $V_{ref} = 0$ ”であれば、ノードNM[n, m]の電位は“ $W1 + D1'$ ”となる。

[0109]

また、画素10[n+1, m]において、トランジスタ102が導通し、ノードNA[n+1, m]の電位は“ V_{ref} ”となる。当該動作は、後の加算動作（容量結合動作）を行うためのリセット動作である。

[0110]

また、トランジスタ101が導通し、ノードNM[n+1, m]に配線121[m]の電位が書き込まれる。また、トランジスタ105が導通し、トランジスタ104のソース電位が“ V_{ref} ”となる。当該動作は、画素10[n+1, m]における重みの書き込み動作であり、トランジスタ104のソース電位が安定した状態で、ノードNM[n+1, m]に電位“W2”が書き込まれる。

[0111]

期間T3において、配線122には“D2”が供給される。

[0112]

期間T3に配線127[n]の電位を“L”、配線125[n+1]の電位を“L”、配線127[n+1]の電位を“H”、配線125[n+2]の電位を“H”とすると、画素10[n, m]において、トランジスタ105が非導通となり、ノードNM[n, m]の電位に応じてトランジスタ104に電流が流れ、発光デバイス108が発光する。

[0113]

また、画素10[n+1, m]において、トランジスタ103が非導通、トランジスタ102が導通となり、ノードNA[n+1, m]の電位は配線122[m]の電位“D2”となる。このとき、ノードNAの変化分“ $D2 - V_{ref}$ ”がキャパシタ107とノードNM[n+1, m]の容量比に応じてノードNM[n+1, m]に付加される。当該動作は画素10[n+1, m]における加算動作であり、ノードNM[n+1, m]の電位は“ $W2 + (D2 - V_{ref})'$ ”となる。このとき、“ $V_{ref} = 0$ ”であれば、ノードNM[n+1, m]の電位は“ $W2 + D2'$ ”となる。

[0114]

そして、配線127[n+1]の電位を“L”、配線125[n+2]の電位を“L”とすると、画素10[n+1, m]において、トランジスタ105が非導通となり、ノードNM[n+1, m]の電位に応じてトランジスタ104に電流が流れ、発光デバイス108が発光する。

[0115]

上記動作において、 $W1 = D1$ または $W2 = D2$ であって、ノードNMの容量がキャパシタ107の容量よりも十分に小さい場合は、“ $W1 + D1'$ ”は“ $2D1$ ”に近い値、“ $W2 + D2'$ ”は“ $2D2$ ”に近い値となる。したがって、ソースドライバの出力するデータ電位の約2倍のデータ電位を表示デバイスに供給することができる。

[0116]

ここまで、表示デバイスに発光デバイスを用いる例を説明したが、液晶デバイス（液晶素子ともいう）を用いてもよい。図7Aは、表示デバイスに液晶デバイスを用いた画素の回路図である。液晶デバイス110の一方の電極はノードNMと電氣的に接続され、液晶デバイス110の他方の電極は配線130と電氣的に接続される。また、キャパシタ106の他方の電極は、配線131と電氣的に接続される。なお、図1に示す画素と共通の要素には同一の符号を付し、説明は省略する。

[0117]

図7Bは、キャパシタ106およびキャパシタ107の簡易的なレイアウトを示す上面図である。キャパシタ106およびキャパシタ107は、図3A、図3Bに示す構成と同等することができる。

[0118]

配線130および配線131は、電氣的に接続されていてもよい。配線130、131は電源を供給する機能を有する。例えば、配線130、131は、GNDや0Vなどの基準電位や任意の電位を供給することができる。

[0119]

トランジスタ103のソースまたはドレインの他方は配線123と電氣的に接続されるが、図8Aに示すように配線131と電氣的に接続してもよい。または、配線130と電氣的に接続してもよい。または、キャパシタ106の他方の電極と配線123を電氣的に接続してもよい。

[0120]

また、図8Bに示すようにキャパシタ106を省いた構成としてもよい。前述したように、ノードNMと接続するトランジスタにOSトランジスタを用いることができる。OSトランジスタはリーク電流が極めて小さいため、保持容量として機能するキャパシタ106を省いても表示を比較的長時間維持することができる。また、トランジスタの構成に限らず、フィールドシーケンシャル駆動のように、高速動作で表示期間を短くできる場合にもキャパシタ106を省くことは有効である。キャパシタ106を省くことで開口率を向上させることができる。または、画素の透過率を向上させることができる。

[0121]

また、液晶デバイスを用いた場合でも、垂直方向に並ぶ2画素でゲート線を共通とすることができる。図9に示すように、液晶デバイスを用いた場合は、2画素間でゲート線を共通とすることで、1画素につきゲート線を2本から実質1本に減らすことができる。ノードNMで電位を加算する動作の説明は、発光デバイスを用いた場合の動作を参照することができる。

[0122]

また、本発明の一態様の画素においては、図10に示すように、トランジスタにバックゲートを設けた構成としてもよい。図10では、バックゲートがフロントゲートと電氣的に接続された構成を示しており、オン電流を高める効果を有する。または、バックゲートが定電位を供給できる配線と電氣的に接続された構成であってもよい。当該構成では、トランジスタのしきい値電圧を制御する

ことができる。

[0123]

また、本発明の一態様の画素においては、図11に示すように、ソース線を1本とする構成としてもよい。画素では、重みとデータを異なるタイミングで書き込むため、それらを供給するソース線を共通とすることができる。ただし、当該構成と、図5または図9に示す2画素間でゲート線を共通とする構成とを組み合わせることはできない。

[0124]

次に、図1に示す発光デバイスを有する画素のレイアウトの一例について、図12A、図12B、図13A、図13B、図14A、図14B、および図15A乃至図15Cを用いて詳細を説明する。なお、キャパシタの構成を主として説明するため、画素が有する発光デバイスおよび一部構成要素については、図12A、図12B、図13A、図13B、図14A、図14B、および図15A乃至図15Cに図示せず、説明を省略する。なお、図12A、図12B、図13A、図13B、図14A、図14B、および図15A乃至図15Cでは、図1、図3A、図3Bと共通の符号を用いている。

[0125]

図12A、図12Bは、キャパシタ107を構成する導電層51、誘電体層61、および導電層52aの積層状態を示す図である。図12Aは、上面図である。図12Bは、図12Aに示す一点鎖線C1-C2における断面図である。

[0126]

導電層51は、配線125、配線126、配線127、およびトランジスタ104のバックゲート電極と共通の工程で形成することができる。配線125は、トランジスタ101のバックゲート電極としても機能する。配線126は、トランジスタ102およびトランジスタ103のバックゲート電極としても機能する。配線127は、トランジスタ105のバックゲート電極としても機能する。導電層51には、例えば低抵抗の金属層などを用いることができる。

[0127]

誘電体層61は、トランジスタ101乃至105のバックゲート絶縁膜と共通の工程で形成することができる。誘電体層61には、酸化シリコン膜などの無機絶縁層を用いることができる。

[0128]

導電層52aは、低抵抗の半導体層であり、半導体層を形成したのち、不純物などを導入して低抵抗化して形成する。当該半導体層は、トランジスタ101乃至105の半導体層と共通の工程を用いて形成することができる。

[0129]

トランジスタにおいては、ゲート電極をマスクとすることで不純物の導入領域を制御することができる。ゲート電極と重なる領域は高抵抗領域、その他の領域は低抵抗領域となる。高抵抗領域はチャネル形成領域として作用し、低抵抗領域はソース領域またはドレイン領域として作用する。低抵抗領域は、例えば、IGZOなどの酸化物半導体を低抵抗化した酸化物導電層とすることができる。導電層52aは、当該低抵抗領域と同様に形成することができる。

[0130]

以上により、キャパシタ107を形成することができる。

[0131]

次に、図 1 3 A、図 1 3 Bを用いて、キャパシタ 1 0 6 の電極として機能する導電層 5 2 bについて説明する。図 1 3 Aは、上面図である。図 1 3 Bは、図 1 3 Aに示す一点鎖線 C 1－C 2における断面図である。

[0 1 3 2]

導電層 5 2 bは、導電層 5 2 aと重なる領域を有する。また、導電層 5 2 bは、導電層 5 2 aと電氣的に直接接続しているため、両者は同電位となる。したがって、導電層 5 2 bおよび導電層 5 2 aは、図 3 Bに示す導電層 5 2と同一とみなすことができる。

[0 1 3 3]

各トランジスタおよび導電層 5 2 a上には保護層 6 3が設けられる。保護層 6 3には、例えば、酸化シリコン膜などの無機絶縁層を用いることができる。

[0 1 3 4]

導電層 5 2 aは、トランジスタ 1 0 1のソースまたはドレインの一方が延在した領域である。トランジスタ 1 0 1のソースまたはドレインの一方と重なる保護層 6 3には、開口部 1 6 0が設けられる。導電層 5 2 bは、保護層 6 3を介して導電層 5 2 aと重なる領域を有するように形成される。また、導電層 5 2 bの一部は開口部 1 6 0にも設けられ、導電層 5 2 aと電氣的に直接接続される。

[0 1 3 5]

導電層 5 2 bは、配線 1 2 4、および各トランジスタのソース電極またはドレイン電極に相当する接続配線などと共通の工程で形成することができる。導電層 5 2 bには、例えば低抵抗の金属層などを用いることができる。

[0 1 3 6]

次に、図 1 4 A、図 1 4 Bを用いて、キャパシタ 1 0 6 の構成について説明する。図 1 4 Aは、上面図である。図 1 4 Bは、図 1 4 Aに示す一点鎖線 C 1－C 2における断面図である。キャパシタ 1 0 6は、導電層 5 2 b、誘電体層 6 2 aおよび誘電体層 6 2 b、ならびに導電層 5 4が積層された構成を有する。

[0 1 3 7]

誘電体層 6 2 aは、各トランジスタおよび導電層 5 2 b上に設けられる。誘電体層 6 2 aには、例えば、酸化シリコン膜または窒化シリコン膜などの無機絶縁層を用いることができる。誘電体層 6 2 aは、トランジスタの保護膜としても機能する。

[0 1 3 8]

誘電体層 6 2 bは、誘電体層 6 2 a上に設けられる。誘電体層 6 2 bには、例えば、アクリルまたはポリイミドなどの有機絶縁層を用いることができる。誘電体層 6 2 bは、平坦化膜としても機能する。誘電体層 6 2 aおよび誘電体層 6 2 bは、ともにキャパシタ 1 0 6の誘電体層として機能する。すなわち、誘電体層 6 2 aおよび誘電体層 6 2 bは、図 3 Bに示す誘電体層 6 2と同一とみなすことができる。

[0 1 3 9]

導電層 5 4は、導電層 5 2 bと重なる領域を有するように、誘電体層 6 2 b上に設けられる。導電層 5 4は、配線 1 2 2および配線 1 2 3と共通の工程で形成することができる。導電層 5 4には、例えば低抵抗の金属層などを用いることができる。

[0 1 4 0]

以上により、キャパシタ 1 0 7と、キャパシタ 1 0 6とが導電層 5 2を共通電極として互いに重な

る領域を有する構成とすることができる。

[0141]

なお、半導体層を低抵抗化した導電層52aは、金属層よりも抵抗が高い。そのため、図15Aに示すように、保護層63に複数の開口部165を設けて導電層52aと導電層52bが接触する面積を増やし、抵抗の影響を緩和してもよい。当該構成は、開口部160を複数設けた構成ともいえる。

[0142]

また、図14A、図14Bに示すキャパシタ106の構成は、誘電体層に比較的厚く形成される有機絶縁層を含むため、容量値を高めにくい場合がある。そのため、図15Bに示すように、導電層54を誘電体層62aと接するように設けてもよい。当該構成において、有機絶縁層（誘電体層62b）は、誘電体層62a上および導電層54上に設ければよい。

[0143]

または、図15Cに示すように、有機絶縁層（誘電体層62b）の導電層52bと重なる領域に開口部を設け、当該開口部に導電層54を設けてもよい。図15B、図15Cに示す構成では、誘電体層を無機絶縁層（誘電体層62a）の1層で形成できるため、容量値を高めやすくなる。

[0144]

なお、これまでは、異なる2つのキャパシタが重なる領域を有する例を説明したが、キャパシタを3つ有し、一つのキャパシタが他の2つのキャパシタと重なる領域を有する構成としてもよい。画素回路が有するキャパシタが2つの場合は、当該一つのキャパシタを他の一つのキャパシタと並列接続することができる。

[0145]

上記構成について、図16A、図16B、図17A、図17B、図18A、図18Bを用いて説明する。ここでは、画素内にキャパシタ107、キャパシタ106a、キャパシタ106bが設けられ、キャパシタ106aとキャパシタ106bを並列接続してキャパシタ106として用いる例を説明する。なお、同様にキャパシタ107を並列接続で構成してもよい。なお、図12A、図12B、図13A、図13B、図14A、図14B、および図15A乃至図15Cと共通の要素については、詳細な説明を省略する。

[0146]

図16A、図16Bは、キャパシタ107を構成する導電層51a、誘電体層61、および導電層52aの積層状態、キャパシタ106aを構成する導電層51b、誘電体層61、および導電層52aの積層状態を示す図である。図16Aは、上面図である。図16Bは、図16Aに示す一点鎖線D1-D2における断面図である。

[0147]

導電層51aおよび導電層51bは、配線125、配線126、配線127、およびトランジスタ104のバックゲート電極と共通の工程で形成することができる。導電層51aおよび導電層51bは、同一面上に分離して設けられる。

[0148]

誘電体層61は、トランジスタ101乃至105のバックゲート絶縁膜と共通の工程で形成することができる。

[0149]

導電層 5 2 a は、トランジスタ 1 0 1 乃至 1 0 5 の半導体層と共通の工程および当該半導体層を低抵抗化する工程を用いて形成することができる。導電層 5 2 a には、例えば、IGZO などの酸化物半導体を低抵抗化した酸化物導電層を用いることができる。

[0150]

以上により、導電層 5 2 a を共通電極としたキャパシタ 1 0 7 およびキャパシタ 1 0 6 a を形成することができる。

[0151]

次に、図 1 7 A、図 1 7 B を用いて、キャパシタ 1 0 6 b の電極として機能する導電層 5 2 b について説明する。図 1 7 A は、上面図である。図 1 7 B は、図 1 7 A に示す一点鎖線 D 1 - D 2 における断面図である。

[0152]

導電層 5 2 b は、導電層 5 2 a と重なる領域を有する。また、導電層 5 2 b は、導電層 5 2 a と開口部 1 6 0 において電氣的に直接接続しているため（図 1 7 A 参照）、両者は同電位となる。

[0153]

また、導電層 5 1 b は、誘電体層 6 1 および保護層 6 3 に設けられた開口部 1 6 1 で導電層 5 2 b と共通の工程で形成された接続配線 5 5 と電氣的に接続される（図 1 7 A 参照）。なお、接続配線 5 5 は、トランジスタ 1 0 4 およびトランジスタ 1 0 5 とともに電氣的に接続される。

[0154]

次に、図 1 8 A、図 1 8 B を用いて、キャパシタ 1 0 6 b について説明する。図 1 8 A は、上面図である。図 1 8 B は、図 1 8 A に示す一点鎖線 D 1 - D 2 における断面図である。キャパシタ 1 0 6 b は、導電層 5 2 b、誘電体層 6 2 a および誘電体層 6 2 b、ならびに導電層 5 4 が積層された構成を有する。

[0155]

誘電体層 6 2 a は、各トランジスタおよび導電層 5 2 b 上に設けられる。誘電体層 6 2 b は、誘電体層 6 2 a 上に設けられる。誘電体層 6 2 a および誘電体層 6 2 b は、ともにキャパシタ 1 0 6 b の誘電体層として機能する。

[0156]

導電層 5 4 は、導電層 5 2 b と重なる領域を有するように、誘電体層 6 2 b 上に設けられる。

[0157]

以上により、導電層 5 2 を共通電極としたキャパシタ 1 0 7、キャパシタ 1 0 6 a、およびキャパシタ 1 0 6 b が形成される。なお、導電層 5 4 は、誘電体層 6 2 a および誘電体層 6 2 b に設けられた開口部 1 6 2 で接続配線 5 5 と電氣的に直接接続される（図 1 8 A 参照）。したがって、導電層 5 4 は、導電層 5 1 b は同電位となる。すなわち、キャパシタ 1 0 6 a とキャパシタ 1 0 6 b とは並列接続であり、キャパシタ 1 0 6 として機能させることができる。

[0158]

なお、図 1 8 A、図 1 8 B に示す構成にも、図 1 5 A 乃至図 1 5 C に示した構成を適用することができる。

[0159]

図 1 9 は、本発明の一態様の表示装置を説明する図である。表示装置は、画素アレイ 1 1 と、ソースドライバ 2 0 と、ゲートドライバ 3 0 を有する。画素アレイ 1 1 は、列方向および行方向に配置

された画素12を有する。画素12には、本実施の形態で説明したキャパシタの積層構成を備え、昇圧機能を有する画素を用いることができる。なお、配線は簡易的に図示しており、前述した本発明の一態様の画素が有する要素と接続する配線が設けられる。

[0160]

ソースドライバ20およびゲートドライバ30には、シフトレジスタなどの順序回路を用いることができる。

[0161]

なお、ソースドライバ20およびゲートドライバ30は、COF (chip on film) 法、COG (chip on glass) 法、TCP (tape carrier package) 法などによりICチップを外付けする方法を用いることができる。または、画素アレイ11と共通の工程を利用して作製されるトランジスタを用いて、画素アレイ11と同一基板上に作り込まれていてもよい。

[0162]

ゲートドライバ30は、画素アレイ11の片側に配置した例を示しているが、画素アレイ11を介して対向するように二つ配置し、駆動行を分割してもよい。

[0163]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

[0164]

(実施の形態2)

本実施の形態では、液晶デバイスを用いた表示装置の構成例と、発光デバイスを用いた表示装置の構成例について説明する。なお、本実施の形態においては、実施の形態1で説明した表示装置の要素、動作および機能の説明は省略する。

[0165]

本実施の形態で説明する表示装置には、実施の形態1で説明した画素を用いることができる。なお、以下に説明する走査線駆動回路はゲートドライバ、信号線駆動回路はソースドライバに相当する。

[0166]

図20A乃至図20Cは、本発明の一態様を用いることのできる表示装置の構成を示す図である。

[0167]

図20Aにおいて、第1の基板4001上に設けられた表示部215を囲むようにして、シール材4005が設けられ、表示部215がシール材4005および第2の基板4006によって封止されている。

[0168]

図20Aでは、走査線駆動回路221a、信号線駆動回路231a、信号線駆動回路232a、および共通線駆動回路241aは、それぞれがプリント基板4041上に設けられた集積回路4042を複数有する。集積回路4042は、単結晶半導体または多結晶半導体で形成されている。共通線駆動回路241aは、実施の形態1に示した配線123、124、129、130、131などに規定の電位を供給する機能を有する。

[0169]

走査線駆動回路221a、共通線駆動回路241a、信号線駆動回路231a、および信号線駆動回路232aに与えられる各種信号および電位は、FPC (Flexible printed

c i r c u i t) 4 0 1 8 を介して供給される。

[0170]

走査線駆動回路221aおよび共通線駆動回路241aが有する集積回路4042は、表示部215に選択信号を供給する機能を有する。信号線駆動回路231aおよび信号線駆動回路232aが有する集積回路4042は、表示部215に画像データを供給する機能を有する。集積回路4042は、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に実装されている。

[0171]

なお、集積回路4042の接続方法は、特に限定されるものではなく、ワイヤボンディング法、COF (Chip On Film) 法、COG (Chip On Glass) 法、TCP (Tape Carrier Package) 法などを用いることができる。

[0172]

図20Bは、信号線駆動回路231aおよび信号線駆動回路232aに含まれる集積回路4042をCOG法により実装する例を示している。また、駆動回路の一部または全体を表示部215と同じ基板上に一体形成して、システムオンパネルを形成することができる。

[0173]

図20Bでは、走査線駆動回路221aおよび共通線駆動回路241aを、表示部215と同じ基板上に形成する例を示している。駆動回路を表示部215内の画素回路と同時に形成することで、部品点数を削減することができる。よって、生産性を高めることができる。

[0174]

また、図20Bでは、第1の基板4001上に設けられた表示部215と、走査線駆動回路221aおよび共通線駆動回路241aと、を囲むようにして、シール材4005が設けられている。また表示部215、走査線駆動回路221a、および共通線駆動回路241aの上に第2の基板4006が設けられている。よって、表示部215、走査線駆動回路221a、および共通線駆動回路241aは、第1の基板4001とシール材4005と第2の基板4006とによって、表示デバイスと共に封止されている。

[0175]

また、図20Bでは、信号線駆動回路231aおよび信号線駆動回路232aを別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部を別途形成して実装しても良い。また、図20Cに示すように、信号線駆動回路231aおよび信号線駆動回路232aを表示部215と同じ基板上に形成してもよい。

[0176]

また、表示装置は、表示デバイスが封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む場合がある。

[0177]

また、第1の基板上に設けられた表示部および走査線駆動回路は、トランジスタを複数有している。当該トランジスタとして、実施の形態1で示したSiトランジスタまたはOSトランジスタを適用することができる。

[0178]

周辺駆動回路が有するトランジスタと、表示部の画素回路が有するトランジスタの構造は同じであってもよく、異なってもよい。周辺駆動回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、2種類以上の構造のトランジスタを有していてもよい。同様に、画素回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、2種類以上の構造のトランジスタを有していてもよい。

[0179]

また、第2の基板4006上には入力装置4200を設けることができる。図20A乃至図20Cに示す表示装置に入力装置4200を設けた構成はタッチパネルとして機能させることができる。

[0180]

本発明の一態様のタッチパネルが有する検知デバイス（センサ素子ともいう）に限定は無い。指やスタイラスなどの被検知体の近接または接触を検知することのできる様々なセンサを、検知デバイスとして適用することができる。

[0181]

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。

[0182]

本実施の形態では、静電容量方式の検知デバイスを有するタッチパネルを例に挙げて説明する。

[0183]

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また、投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検知が可能となるため好ましい。

[0184]

本発明の一態様のタッチパネルは、別々に作製された表示装置と検知デバイスとを貼り合わせる構成、表示デバイスを支持する基板および対向基板の一方または双方に検知デバイスを構成する電極等を設ける構成等、様々な構成を適用することができる。

[0185]

図21A、図21Bに、タッチパネルの一例を示す。図21Aは、タッチパネル4210の斜視図である。図21Bは、入力装置4200の斜視概略図である。なお、明瞭化のため、代表的な構成要素のみを示している。

[0186]

タッチパネル4210は、別々に作製された表示装置と検知デバイスとを貼り合わせた構成である。

[0187]

タッチパネル4210は、入力装置4200と、表示装置とを有し、これらが重ねて設けられている。

[0188]

入力装置4200は、基板4263、電極4227、電極4228、複数の配線4237、複数の配線4238および複数の配線4239を有する。例えば、電極4227は配線4237または配線4239と電氣的に接続することができる。また、電極4228は配線4239と電氣的に接続することができる。FPC4272bは、複数の配線4237および複数の配線4238の各々と電氣的に接続する。FPC4272bにはIC4273bを設けることができる。

[0189]

または、表示装置の第1の基板4001と第2の基板4006との間にタッチセンサを設けてもよい。第1の基板4001と第2の基板4006との間にタッチセンサを設ける場合は、静電容量方式のタッチセンサのほか、光電変換素子を用いた光学式のタッチセンサを適用してもよい。

[0190]

図22A、図22Bは、図20B中でN1-N2の鎖線で示した部位の断面図である。図22A、図22Bに示す表示装置は電極4015を有しており、電極4015はFPC4018が有する端子と異方性導電層4019を介して、電氣的に接続されている。また、図22A、図22Bでは、電極4015は、絶縁層4112、絶縁層4111、および絶縁層4110に形成された開口において配線4014と電氣的に接続されている。

[0191]

電極4015は、第1の電極層4030と同じ導電層から形成され、配線4014は、トランジスタ4010、およびトランジスタ4011のソース電極およびドレイン電極と同じ導電層で形成されている。

[0192]

また、第1の基板4001上に設けられた表示部215と走査線駆動回路221aは、トランジスタを複数有しており、図22A、図22Bでは、表示部215に含まれるトランジスタ4010、および走査線駆動回路221aに含まれるトランジスタ4011を例示している。なお、図22A、図22Bでは、トランジスタ4010およびトランジスタ4011としてボトムゲート型のトランジスタを例示しているが、トップゲート型のトランジスタであってもよい。

[0193]

図22A、図22Bでは、トランジスタ4010およびトランジスタ4011上に絶縁層4112が設けられている。また、図22Bでは、絶縁層4112上に隔壁4510が形成されている。

[0194]

また、トランジスタ4010およびトランジスタ4011は、絶縁層4102上に設けられている。また、トランジスタ4010およびトランジスタ4011は、絶縁層4111上に形成された電極4017を有する。電極4017はバックゲート電極として機能することができる。

[0195]

また、図22A、図22Bに示す表示装置は、キャパシタ4020を有する。キャパシタ4020は、トランジスタ4010のゲート電極と同じ工程で形成された電極4021と、絶縁層4103と、ソース電極およびドレイン電極と同じ工程で形成された電極と、を有する例を示している。キャパシタ4020の構成はこれに限定されず、その他の導電層および絶縁層で形成されていてもよい。

[0196]

表示部215に設けられたトランジスタ4010は表示デバイスと電氣的に接続する。図22Aは、表示デバイスとして液晶デバイスを用いた液晶表示装置の一例である。図22Aにおいて、表示デバイスである液晶デバイス4013は、第1の電極層4030、第2の電極層4031、および液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁層4032、絶縁層4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、第1の電極層4030と第2の電極層4031は液晶層4008を介して重畳する。

[0197]

液晶デバイス4013として、様々なモードが適用された液晶デバイスを用いることができる。例えば、VA (Vertical Alignment) モード、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Bend) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、VA-IPSモード、ゲストホストモード等が適用された液晶デバイスを用いることができる。

[0198]

また、本実施の形態に示す液晶表示装置にノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。

[0199]

なお、液晶デバイスは、液晶の光学変調作用によって光の透過または非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界または斜め方向の電界を含む）によって制御される。液晶デバイスに用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

[0200]

図22Aでは、縦電界方式の液晶デバイスを有する液晶表示装置の例を示したが、本発明の一態様には、横電界方式の液晶デバイスを有する液晶表示装置を適用することができる。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良または破損を軽減することができる。

[0201]

また、スペーサ4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第1の電極層4030と第2の電極層4031との間隔（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。

[0202]

また、必要に応じて、ブラックマトリクス（遮光層）、着色層（カラーフィルタ）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。また、上記バックライトおよびサイドライトとして、マイクロLEDなどを用いてもよい。

[0203]

図22Aに示す表示装置では、第2の基板4006と第2の電極層4031の間に、遮光層4132、着色層4131、絶縁層4133が設けられている。

[0204]

遮光層として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層に、着色層の材料を含む膜の積層膜を用いることもできる。例えば、ある色の光を透過する着色層に用いる材料を含む膜と、他の色の光を透過する着色層に用いる材料を含む膜との積層構造を用いることができる。着色層と遮光層の材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。

[0205]

着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層は、例えば、インクジェット法などを用いて形成することができる。

[0206]

また、図22A、図22Bに示す表示装置は、絶縁層4111と絶縁層4104を有する。絶縁層4111と絶縁層4104として、不純物元素を透過しにくい絶縁層を用いる。絶縁層4111と絶縁層4104でトランジスタの半導体層を挟むことで、外部からの不純物の浸入を防ぐことができる。

[0207]

また、表示装置に含まれる表示デバイスとして発光デバイスを用いることができる。発光デバイスとしては、例えば、エレクトロルミネッセンスを利用するELデバイスを適用することができる。ELデバイスは、一対の電極の間に発光性の化合物を含む層（「EL層」ともいう。）を有する。一対の電極間に、ELデバイスのしきい値電圧よりも大きい電位差を生じさせると、EL層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はEL層において再結合し、EL層に含まれる発光性の化合物が発光する。

[0208]

ELデバイスとしては、例えば、有機ELデバイスまたは無機ELデバイスを用いることができる。なお、発光材料として化合物半導体を用いるLED（マイクロLEDを含む）もEL素子の一つであり、LEDを用いることもできる。

[0209]

なお、EL層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、またはバイポーラ性の物質（電子輸

送性および正孔輸送性が高い物質)などを有していてもよい。

[0210]

EL層は、蒸着法(真空蒸着法を含む)、転写法、印刷法、インクジェット法、塗布法などの方法で形成することができる。

[0211]

無機ELデバイスは、その素子構成により、分散型無機ELデバイスと薄膜型無機ELデバイスとに分類される。分散型無機ELデバイスは、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機ELデバイスは、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光デバイスとして有機ELデバイスを用いて説明する。

[0212]

発光デバイスは発光を取り出すために少なくとも一対の電極の一方が透明であればよい。そして、基板上にトランジスタおよび発光デバイスを形成し、当該基板とは逆側の面から発光を取り出す上面射出(トップエミッション)構造や、基板側の面から発光を取り出す下面射出(ボトムエミッション)構造や、両面から発光を取り出す両面射出(デュアルエミッション)構造の発光デバイスがあり、どの射出構造の発光デバイスも適用することができる。

[0213]

図22Bは、表示デバイスとして発光デバイスを用いた発光表示装置(「EL表示装置」ともいう。)の一例である。表示デバイスである発光デバイス4513は、表示部215に設けられたトランジスタ4010と電氣的に接続している。なお発光デバイス4513の構成は、第1の電極層4030、発光層4511、第2の電極層4031の積層構造であるが、この構成に限定されない。発光デバイス4513から取り出す光の方向などに合わせて、発光デバイス4513の構成は適宜変えることができる。

[0214]

隔壁4510は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

[0215]

発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

[0216]

発光デバイス4513の発光色は、発光層4511を構成する材料によって、白、赤、緑、青、シアン、マゼンタ、または黄などとすることができる。

[0217]

カラー表示を実現する方法としては、発光色が白色の発光デバイス4513と着色層を組み合わせで行う方法と、画素毎に発光色の異なる発光デバイス4513を設ける方法がある。前者の方法は後者の方法よりも生産性が高い。一方、後者の方法では画素毎に発光層4511を作り分ける必要があるため、前者の方法よりも生産性が劣る。ただし、後者の方法では、前者の方法よりも色純度の高い発光色を得ることができる。後者の方法に加えて、発光デバイス4513にマイクロキャビ

ディ構造を付与することにより色純度をさらに高めることができる。

[0218]

なお、発光層4511は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

[0219]

発光デバイス4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031および隔壁4510上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC (Diamond Like Carbon) などを形成することができる。また、第1の基板4001、第2の基板4006、およびシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

[0220]

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル系樹脂、ポリイミド、エポキシ系樹脂、シリコーン系樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）などを用いることができる。また、充填材4514に乾燥剤が含まれていてもよい。

[0221]

シール材4005には、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。また、シール材4005に乾燥剤が含まれていてもよい。

[0222]

また、必要であれば、発光デバイスの射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

[0223]

また、発光デバイスをマイクロキャビティ構造とすることで、色純度の高い光を取り出すことができる。また、マイクロキャビティ構造とカラーフィルタを組み合わせることで、映り込みが低減し、表示画像の視認性を高めることができる。

[0224]

表示デバイスに電圧を印加する第1の電極層および第2の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、および電極層のパターン構造によって透光性、反射性を選択すればよい。

[0225]

第1の電極層4030、第2の電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

[0226]

また、第1の電極層4030、第2の電極層4031はタングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)、アルミニウム(Al)、銅(Cu)、銀(Ag)などの金属、またはその合金、もしくはその金属窒化物から一種以上を用いて形成することができる。

[0227]

また、第1の電極層4030、第2の電極層4031として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などがあげられる。

[0228]

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

[0229]

なお、図23に示すように、トランジスタやキャパシタが高さ方向に重なる領域を有するようなスタック構造としてもよい。例えば、駆動回路を構成するトランジスタ4011およびトランジスタ4022を重ねて配置すれば、狭額縁の表示装置とすることができる。また、画素回路を構成するトランジスタ4010、トランジスタ4023、キャパシタ4020などが一部でも重なる領域を有するように配置すれば開口率や解像度を向上させることができる。なお、図23では図22Aに示す液晶表示装置にスタック構造を応用した例を示しているが、図22Bに示すEL表示装置に適用してもよい。

[0230]

また、画素回路において、電極や配線に可視光に対して透光性の高い透光性導電膜を用いることで、画素内の光の透過率を高めることができ、実質的に開口率を向上させることができる。なお、OSトランジスタを用いる場合は半導体層も透光性を有するため、さらに開口率を高めることができる。これらは、トランジスタ等をスタック構造としない場合においても有効である。

[0231]

また、液晶表示装置と発光装置を組み合わせて表示装置を構成としてもよい。

[0232]

発光装置は表示面の逆側、または表示面の端部に配置される。発光装置は表示デバイスに光を供給する機能を有する。発光装置は、バックライトとも呼ぶことができる。

[0233]

ここで、発光装置は、板状またはシート状の導光部(導光板ともいう)と、異なる色の光を呈する複数の発光デバイスを有することができる。当該発光デバイスを導光部の側面近傍に配置すると、導光部側面から内部へ光を発することができる。導光部は光路を変更する機構(光取り出し機構ともいう)を有しており、これにより、発光装置は表示パネルの画素部に光を均一に照射することができる。または、導光部を設けず、画素の直下に発光装置を配置する構成としてもよい。

[0234]

発光装置は、赤色（R）、緑色（G）、青色（B）の3色の発光デバイスを有することが好ましい。さらに白色（W）の発光デバイスを有していてもよい。これら発光デバイスとして発光ダイオード（LED：Light Emitting Diode）を用いることが好ましい。

[0235]

さらに、発光デバイスは、その発光スペクトルの半値全幅（FWHM：Full Width at Half Maximum）が、50nm以下、好ましくは40nm以下、より好ましくは30nm以下、さらに好ましくは20nm以下である、極めて色純度の高い発光デバイスであることが好ましい。なお、発光スペクトルの半値全幅は、小さければ小さいほどよいが、例えば1nm以上とすることができる。これにより、カラー表示を行う際に、色再現性が高い鮮やかな表示を行うことができる。

[0236]

また、赤色の発光デバイスは、発光スペクトルのピーク波長が、625nm以上650nm以下の範囲内に位置する素子を用いることが好ましい。また、緑色の発光デバイスは、発光スペクトルのピーク波長が、515nm以上540nm以下の範囲内に位置する素子を用いることが好ましい。青色の発光デバイスは、発光スペクトルのピーク波長が、445nm以上470nm以下の範囲内に位置する素子を用いることが好ましい。

[0237]

表示装置は、3色の発光デバイスを順次点滅させるとともに、これと同期させて画素を駆動し、継時加法混色法に基づいてカラー表示を行うことができる。当該駆動方法は、フィールドシーケンシャル駆動とも呼ぶことができる。

[0238]

フィールドシーケンシャル駆動では、鮮やかなカラー画像を表示することができる。また、滑らかな動画を表示することができる。また上記駆動方法を用いることで、1つの画素を複数の異なる色の副画素で構成する必要がなく、1つの画素の有効反射面積（有効表示面積、開口率ともいう）を大きくできるため、明るい表示を行うことができる。さらに、画素にカラーフィルタを設ける必要がないため、画素の透過率も向上させることもでき、さらに明るい表示を行うことができる。また、作製工程を簡略化でき、作製コストを低減することができる。

[0239]

図24A、図24Bは、フィールドシーケンシャル駆動が可能な表示装置の断面概略図の一例である。当該表示装置の第1の基板4001側にはRGB各色の発光が可能なバックライトユニットが設けられる。なお、フィールドシーケンシャル駆動では、RGB各色の時分割発光で色を表現するため、カラーフィルタは不要となる。

[0240]

図24Aに示すバックライトユニット4340aは、画素の直下に拡散板4352を介して発光デバイス4342が複数設けられた構成である。拡散板4352は、発光デバイス4342から第1の基板4001側に射出された光を拡散し、表示部面内の輝度を均一化する機能を有する。発光デバイス4342と拡散板4352との間には、必要に応じて偏光板を設けてもよい。また、拡散板4352は不要であれば設けなくてもよい。また、遮光層4132を省いた構成としてもよい。

[0241]

バックライトユニット4340aは、発光デバイス4342を多く搭載することができるため、明

るい表示が可能となる。また、導光板は不要であり、発光デバイス4342の光の効率を損ないにくい利点がある。なお、必要に応じて発光デバイス4342に光拡散用のレンズ4344を設けてもよい。

[0242]

図24Bに示すバックライトユニット4340bは、画素の直下に拡散板4352を介して導光板4341が設けられた構成である。導光板4341の端部には発光デバイス4342が複数設けられる。導光板4341は、拡散板4352とは逆側に凹凸形状を有し、導波した光を当該凹凸形状で散乱して拡散板4352の方向に射出することができる。

[0243]

発光デバイス4342は、プリント基板4347に固定することができる。なお、図24Bでは、RGB各色の発光デバイス4342が重なるように図示しているが、奥行方向にRGB各色の発光デバイス4342が並ぶように配置することもできる。また、導光板4341において、発光デバイス4342とは反対側の側面には、可視光を反射する反射層4348を設けてもよい。

[0244]

バックライトユニット4340bは、発光デバイス4342を少なくすることができるため、低コストかつ薄型とすることができる。

[0245]

また、液晶デバイスには、光散乱型液晶デバイスを用いてもよい。光散乱型液晶デバイスとしては、液晶と高分子の複合材料を有する素子を用いることが好ましい。例えば、高分子分散型液晶デバイスを用いることができる。または、高分子ネットワーク型液晶(PNLC(Polymer Network Liquid Crystal))素子を用いてもよい。

[0246]

光散乱型液晶デバイスは、一対の電極で挟まれる樹脂部の3次元ネットワーク構造中に液晶部が設けられた構成である。液晶部に用いる材料としては、例えばネマティック液晶を用いることができる。また、樹脂部としては光硬化樹脂を用いることができる。光硬化樹脂は、例えば、アクリレート、メタクリレートなどの単官能モノマー、ジアクリレート、トリアクリレート、ジメタクリレート、トリメタクリレートなどの多官能モノマー、または、これらを混合させた重合性化合物を用いることができる。

[0247]

光散乱型液晶デバイスは液晶材料の屈折率の異方性を利用し、光を透過または散乱させることにより表示を行う。また、樹脂部も屈折率の異方性を有していてもよい。光散乱型液晶デバイスに印加される電圧に従って液晶分子が一定方向に配列するとき、液晶部と樹脂部の屈折率の差が小さくなる方向が発生し、当該方向に沿って入射する光は液晶部で散乱されることなく透過する。したがって、光散乱型液晶デバイスは当該方向からは透明な状態に視認される。一方で、印加される電圧に従って液晶分子の配列がランダムとなると、液晶部と樹脂部の屈折率の差に大きな変化が生じなため、入射する光は液晶部で散乱される。したがって、光散乱型液晶デバイスは視認の方向を問わず不透明の状態となる。

[0248]

図25Aは、図24Aの表示装置の液晶デバイス4013を光散乱型液晶デバイス4016に置き換えた構成である。光散乱型液晶デバイス4016は、液晶部および樹脂部を有する複合層400

9、ならびに第1の電極層4030、第2の電極層4031を有する。フィールドシーケンシャル駆動に関する要素は、図24Aと同じであるが、光散乱型液晶デバイス4016を用いる場合は、配向膜および偏光板が不要となる。なお、スペーサ4035は球状の形態で図示しているが、柱状であってもよい。

[0249]

図25Bは、図24Bの表示装置の液晶デバイス4013を光散乱型液晶デバイス4016に置き換えた構成である。図24Bの構成では、光散乱型液晶デバイス4016に電圧を印加しないときに光を透過し、電圧を印加したときに光を散乱させるモードで動作する構成とすることが好ましい。当該構成とすることで、ノーマル状態（表示をさせない状態）で透明な表示装置とすることができる。この場合は、光を散乱させる動作を行ったときにカラー表示を行うことができる。

[0250]

図25Bに示す表示装置の変形例を図26A乃至図26Eに示す。なお、図26A乃至図26Eにおいては、明瞭化のため、図25Bの一部要素を用い、他の要素を省いて図示している。

[0251]

図26Aは、第1の基板4001が導光板としての機能を有する構成である。第1の基板4001の外側の面には、凹凸形状を設けてもよい。当該構成では、導光板を別途設ける必要がなくなるため、製造コストを低減することができる。また、当該導光板による光の減衰もなくなるため、発光デバイス4342が射出する光を効率良く利用することができる。

[0252]

図26Bは、複合層4009の端部近傍から光を入射する構成である。複合層4009と第2の基板4006との界面、および複合層4009と第1の基板4001との界面での全反射を利用し、光散乱型液晶デバイスから外部に光を射出することができる。複合層4009の樹脂部には、第1の基板4001および第2の基板4006よりも屈折率の大きい材料を用いる。

[0253]

なお、発光デバイス4342は表示装置の一辺に設けるだけでなく、図26Cに示すように対向する二辺に設けてもよい。さらに、三辺または四辺に設けてもよい。発光デバイス4342を複数の辺に設けることで、光の減衰を補うことができ、大面積の表示デバイスにも対応することができる。

[0254]

図26Dは、発光デバイス4342から射出される光がミラー4345を介して表示装置に導光される構成である。当該構成により表示装置に一定の角度からの導光を行いやすくなるため、効率良く全反射光を得ることができる。

[0255]

図26Eは、複合層4009上に層4003および層4004の積層を有する構成である。層4003および層4004の一方はガラス基板などの支持体であり、他方は無機膜、有機樹脂のコーティング膜またはフィルムなどで形成することができる。複合層4009の樹脂部には、層4004よりも屈折率の大きい材料を用いる。また、層4004には層4003よりも屈折率の大きい材料を用いる。

[0256]

複合層4009と層4004との間には一つ目の界面が形成され、層4004と層4003との間には二つ目の界面が形成される。当該構成により、一つ目の界面で全反射されず通り抜けた光を二

つ目の界面で全反射させ、複合層 4009 に戻すことができる。したがって、発光デバイス 4342 が射出する光を効率良く利用することができる。

[0257]

なお、図 25B および図 26A 乃至図 26E における構成は、互いに組み合わせることができる。

[0258]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせ実施することが可能である。

[0259]

(実施の形態 3)

本実施の形態では、上記実施の形態に示した各トランジスタに置き換えて用いることのできるトランジスタの一例について、図面を用いて説明する。

[0260]

本発明の一態様の表示装置は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

[0261]

[ボトムゲート型トランジスタ]

図 27A は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ 810 のチャネル長方向の断面図である。図 27A において、トランジスタ 810 は基板 771 上に形成されている。また、トランジスタ 810 は、基板 771 上に絶縁層 772 を介して電極 746 を有する。また、電極 746 上に絶縁層 726 を介して半導体層 742 を有する。電極 746 はゲート電極として機能できる。絶縁層 726 はゲート絶縁層として機能できる。

[0262]

また、半導体層 742 のチャネル形成領域上に絶縁層 741 を有する。また、半導体層 742 の一部と接して、絶縁層 726 上に電極 744a および電極 744b を有する。電極 744a は、ソース電極またはドレイン電極の一方として機能できる。電極 744b は、ソース電極またはドレイン電極の他方として機能できる。電極 744a の一部、および電極 744b の一部は、絶縁層 741 上に形成される。

[0263]

絶縁層 741 は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層 741 を設けることで、電極 744a および電極 744b の形成時に生じる半導体層 742 の露出を防ぐことができる。よって、電極 744a および電極 744b の形成時に、半導体層 742 のチャネル形成領域がエッチングされることを防ぐことができる。

[0264]

また、トランジスタ 810 は、電極 744a、電極 744b および絶縁層 741 上に絶縁層 728 を有し、絶縁層 728 の上に絶縁層 729 を有する。

[0265]

半導体層 742 に酸化物半導体を用いる場合、電極 744a および電極 744b の、少なくとも半導体層 742 と接する部分に、半導体層 742 の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層 742 中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域は n 型化し、n 型領域 (n⁺層) となる。したがって、当該領域はソース領域

またはドレイン領域として機能することができる。半導体層 7 4 2 に酸化物半導体を用いる場合、半導体層 7 4 2 から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

[0 2 6 6]

半導体層 7 4 2 にソース領域およびドレイン領域が形成されることにより、電極 7 4 4 a および電極 7 4 4 b と半導体層 7 4 2 の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

[0 2 6 7]

半導体層 7 4 2 にシリコンなどの半導体を用いる場合は、半導体層 7 4 2 と電極 7 4 4 a の間、および半導体層 7 4 2 と電極 7 4 4 b の間に、n 型半導体または p 型半導体として機能する層を設けることが好ましい。n 型半導体または p 型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

[0 2 6 8]

絶縁層 7 2 9 は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層 7 2 9 を省略することもできる。

[0 2 6 9]

絶縁層 7 2 9 上には、バックゲート電極として機能できる電極 7 2 3 が設けられる。電極 7 2 3 は、電極 7 4 6 と同様の材料および方法で形成することができる。なお、電極 7 2 3 を設けない構成としてもよい。

[0 2 7 0]

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位（GND 電位）や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0 2 7 1]

電極 7 4 6 および電極 7 2 3 は、どちらもゲート電極として機能することができる。よって、絶縁層 7 2 6、絶縁層 7 2 8、および絶縁層 7 2 9 は、それぞれがゲート絶縁層として機能することができる。なお、電極 7 2 3 は、絶縁層 7 2 8 と絶縁層 7 2 9 の間に設けてもよい。

[0 2 7 2]

なお、電極 7 4 6 または電極 7 2 3 の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ 8 1 0 において、電極 7 2 3 を「ゲート電極」と言う場合、電極 7 4 6 を「バックゲート電極」と言う。また、電極 7 2 3 を「ゲート電極」として用いる場合は、トランジスタ 8 1 0 をトップゲート型のトランジスタの一種と考えることができる。また、電極 7 4 6 および電極 7 2 3 のどちらか一方を、「第 1 のゲート電極」といい、他方を「第 2 のゲート電極」という場合がある。

[0 2 7 3]

半導体層 7 4 2 を挟んで電極 7 4 6 および電極 7 2 3 を設けることで、更には、電極 7 4 6 および電極 7 2 3 を同電位とすることで、半導体層 7 4 2 においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ 8 1 0 のオン電

流が大きくなると共に、電界効果移動度が高くなる。

[0274]

したがって、トランジスタ810は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ810の占有面積を小さくすることができる。

[0275]

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

[0276]

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

[0277]

図27Bは、図27Aとは異なる構成のチャンネル保護型のトランジスタ820のチャンネル長方向の断面図である。トランジスタ820は、トランジスタ810とほぼ同様の構造を有しているが、絶縁層741が半導体層742の端部を覆っている点異なる。また、半導体層742と重なる絶縁層741の一部を選択的に除去して形成した開口部において、半導体層742と電極744aが電氣的に接続している。また、半導体層742と重なる絶縁層741の一部を選択的に除去して形成した他の開口部において、半導体層742と電極744bが電氣的に接続している。絶縁層741の、チャンネル形成領域と重なる領域は、チャンネル保護層として機能できる。

[0278]

絶縁層741を設けることで、電極744aおよび電極744bの形成時に生じる半導体層742の露出を防ぐことができる。よって、電極744aおよび電極744bの形成時に半導体層742の薄膜化を防ぐことができる。

[0279]

また、トランジスタ820は、トランジスタ810よりも、電極744aと電極746の間の距離と、電極744bと電極746の間の距離が長くなる。よって、電極744aと電極746の間に生じる寄生容量を小さくすることができる。また、電極744bと電極746の間に生じる寄生容量を小さくすることができる。

[0280]

図27Cは、ボトムゲート型のトランジスタの1つであるチャンネルエッチング型のトランジスタ825のチャンネル長方向の断面図である。トランジスタ825は、絶縁層741を用いずに電極744aおよび電極744bを形成する。このため、電極744aおよび電極744bの形成時に露出する半導体層742の一部がエッチングされる場合がある。一方、絶縁層741を設けないため、トランジスタの生産性を高めることができる。

[0281]

[トップゲート型トランジスタ]

図28Aに例示するトランジスタ842は、トップゲート型のトランジスタの1つである。電極7

44aおよび電極744bは、絶縁層728および絶縁層729に形成した開口部において半導体層742と電氣的に接続する。

[0282]

また、電極746と重ならない絶縁層726の一部を除去し、電極746と残りの絶縁層726をマスクとして用いて不純物を半導体層742に導入することで、半導体層742中に自己整合（セルフアライメント）的に不純物領域を形成することができる。トランジスタ842は、絶縁層726が電極746の端部を越えて延伸する領域を有する。半導体層742の絶縁層726を介して不純物が導入された領域の不純物濃度は、絶縁層726を介さずに不純物が導入された領域よりも小さくなる。よって、半導体層742は、絶縁層726と重なる領域であって、電極746と重ならない領域にLDD（Lightly Doped Drain）領域が形成される。

[0283]

また、トランジスタ842は、基板771の上に形成された電極723を有する。電極723は、絶縁層772を介して半導体層742と重なる領域を有する。電極723は、バックゲート電極として機能することができる。なお、電極723を設けない構成としてもよい。

[0284]

また、図28Bに示すトランジスタ844のように、電極746と重ならない領域の絶縁層726を全て除去してもよい。また、図28Cに示すトランジスタ846のように、絶縁層726を残してもよい。

[0285]

図29Aにトランジスタ810のチャネル幅方向の断面図、図29Bにトランジスタ842のチャネル幅方向の断面図を示す。

[0286]

図29A、図29Bに示す構造では、ゲート電極とバックゲート電極とが接続され、ゲート電極とバックゲート電極との電位が同電位となる。また、半導体層742は、ゲート電極とバックゲート電極と挟まれている。

[0287]

ゲート電極およびバックゲート電極のそれぞれのチャネル幅方向の長さは、半導体層742のチャネル幅方向の長さよりも長く、半導体層742のチャネル幅方向全体は、各絶縁層を間に挟んでゲート電極またはバックゲート電極に覆われた構成である。

[0288]

当該構成とすることで、トランジスタに含まれる半導体層742を、ゲート電極およびバックゲート電極の電界によって電氣的に取り囲むことができる。

[0289]

このように、ゲート電極およびバックゲート電極の電界によって、チャネル形成領域が形成される半導体層742を電氣的に取り囲むトランジスタのデバイス構造をSurrounded channel（S-channel）構造と呼ぶことができる。

[0290]

S-channel構造とすることで、ゲート電極およびバックゲート電極の一方または双方によってチャネルを誘起させるための電界を効果的に半導体層742に印加することができるため、トランジスタの電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流

を高くすることが可能であるため、トランジスタを微細化することが可能となる。また、S-c h a n n e l 構造とすることで、トランジスタの機械的強度を高めることができる。

[0291]

なお、ゲート電極とバックゲート電極が接続されず、それぞれに異なる電位が供給される構成としてもよい。例えば、バックゲート電極に定電位を供給することで、トランジスタのしきい値電圧を制御することができる。

[0292]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

[0293]

(実施の形態4)

本発明の一態様に係る表示装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図30A乃至図30Fに示す。

[0294]

図30Aはデジタルカメラであり、筐体961、シャッターボタン962、マイク963、スピーカ967、表示部965、操作キー966、ズームレバー968、レンズ969等を有する。表示部965に本発明の一態様の表示装置を用いることができる。

[0295]

図30Bは携帯データ端末であり、筐体911、表示部912、スピーカ913、操作ボタン914、カメラ919等を有する。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。表示部912に本発明の一態様の表示装置を用いることができる。

[0296]

図30Cは携帯電話機であり、筐体951、表示部952、操作ボタン953、外部接続ポート954、スピーカ955、マイク956、カメラ957等を有する。当該携帯電話機は、表示部952にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部952に触れることで行うことができる。また、筐体951および表示部952は可撓性を有し、図示するように折り曲げて使用することができる。表示部952に本発明の一態様の表示装置を用いることができる。

[0297]

図30Dはビデオカメラであり、第1筐体901、第2筐体902、表示部903、操作キー904、レンズ905、接続部906、スピーカ907等を有する。操作キー904およびレンズ905は第1筐体901に設けられており、表示部903は第2筐体902に設けられている。表示部903に本発明の一態様の表示装置を用いることができる。

[0298]

図30Eはテレビであり、筐体971、表示部973、操作ボタン974、スピーカ975、通信用接続端子976、光センサ977等を有する。表示部973にはタッチセンサが設けられ、入力

操作を行うこともできる。表示部 973 に本発明の一態様の表示装置を用いることができる。

[0299]

図 30F はデジタルサイネージであり、大型の表示部 922 を有する。デジタルサイネージは、例えば、柱 921 の側面に大型の表示部 922 が取り付けられる。表示部 922 に本発明の一態様の表示装置を用いることができる。

[0300]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

[符号の説明]

[0301]

10 : 画素、11 : 画素アレイ、12 : 画素、20 : ソースドライバ、30 : ゲートドライバ、40 : 回路、51 : 導電層、51a : 導電層、51b : 導電層、52 : 導電層、52a : 導電層、52b : 導電層、53 : 導電層、54 : 導電層、55 : 接続配線、61 : 誘電体層、62 : 誘電体層、62a : 誘電体層、62b : 誘電体層、63 : 保護層、101 : トランジスタ、102 : トランジスタ、103 : トランジスタ、104 : トランジスタ、105 : トランジスタ、106 : キャパシタ、106a : キャパシタ、106b : キャパシタ、107 : キャパシタ、108 : 発光デバイス、109 : トランジスタ、110 : 液晶デバイス、121 : 配線、122 : 配線、123 : 配線、124 : 配線、125 : 配線、126 : 配線、127 : 配線、129 : 配線、130 : 配線、131 : 配線、160 : 開口部、161 : 開口部、162 : 開口部、165 : 開口部、215 : 表示部、221a : 走査線駆動回路、231a : 信号線駆動回路、232a : 信号線駆動回路、241a : 共通線駆動回路、723 : 電極、726 : 絶縁層、728 : 絶縁層、729 : 絶縁層、741 : 絶縁層、742 : 半導体層、744a : 電極、744b : 電極、746 : 電極、771 : 基板、772 : 絶縁層、810 : トランジスタ、820 : トランジスタ、825 : トランジスタ、842 : トランジスタ、844 : トランジスタ、846 : トランジスタ、901 : 筐体、902 : 筐体、903 : 表示部、904 : 操作キー、905 : レンズ、906 : 接続部、907 : スピーカ、911 : 筐体、912 : 表示部、913 : スピーカ、914 : 操作ボタン、919 : カメラ、921 : 柱、922 : 表示部、951 : 筐体、952 : 表示部、953 : 操作ボタン、954 : 外部接続ポート、955 : スピーカ、956 : マイク、957 : カメラ、961 : 筐体、962 : シャッターボタン、963 : マイク、965 : 表示部、966 : 操作キー、967 : スピーカ、968 : ズームレバー、969 : レンズ、971 : 筐体、973 : 表示部、974 : 操作ボタン、975 : スピーカ、976 : 通信用接続端子、977 : 光センサ、4001 : 基板、4003 : 層、4004 : 層、4005 : シール材、4006 : 基板、4008 : 液晶層、4009 : 複合層、4010 : トランジスタ、4011 : トランジスタ、4013 : 液晶デバイス、4014 : 配線、4015 : 電極、4016 : 光散乱型液晶デバイス、4017 : 電極、4018 : FPC、4019 : 異方性導電層、4020 : キャパシタ、4021 : 電極、4022 : トランジスタ、4023 : トランジスタ、4030 : 電極層、4031 : 電極層、4032 : 絶縁層、4033 : 絶縁層、4035 : スペース、4041 : プリント基板、4042 : 集積回路、4102 : 絶縁層、4103 : 絶縁層、4104 : 絶縁層、4110 : 絶縁層、4111 : 絶縁層、4112 : 絶縁層、4131 : 着色層、4132 : 遮光層、4133 : 絶縁層、4200 : 入力装置、4210 : タッチパネル、4227 : 電極、4228 : 電極、4237 : 配線、4238 : 配線、4239 : 配線、4263 : 基板、4272b : FPC、4273b : IC、4340a : バックライトユニット、4340b : バックライト

ユニット、４３４１：導光板、４３４２：発光デバイス、４３４４：レンズ、４３４５：ミラー、
４３４７：プリント基板、４３４８：反射層、４３５２：拡散板、４５１０：隔壁、４５１１：発
光層、４５１３：発光デバイス、４５１４：充填材

請求の範囲

〔請求項 1〕

第 1 のキャパシタと、第 2 のキャパシタと、表示素子と、を画素に有し、
前記第 1 のキャパシタおよび前記第 2 のキャパシタは、前記表示素子と電氣的に接続され、
前記第 1 のキャパシタは、第 1 の導電層、第 1 の誘電体層、第 2 の導電層が当該順序で積層された構成を有し、
前記第 2 のキャパシタは、前記第 2 の導電層、第 2 の誘電体層、第 3 の導電層が当該順序で積層された構成を有し、
前記第 1 のキャパシタと、前記第 2 のキャパシタは、互いに重なる領域を有する表示装置。

〔請求項 2〕

請求項 1 において、
前記第 2 のキャパシタは、前記第 1 のキャパシタよりも容量値が大きい表示装置。

〔請求項 3〕

請求項 1 または 2 において、
前記画素は、さらに第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、を有し、
前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 の導電層と電氣的に接続され、
前記第 2 のトランジスタのソースまたはドレインの一方および前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 3 の導電層と電氣的に接続される表示装置。

〔請求項 4〕

請求項 3 において、
前記画素は、前記表示素子として発光素子を有し、
前記画素は、さらに第 4 のトランジスタと、第 5 のトランジスタと、を有し
前記第 4 のトランジスタのゲートは、前記第 2 の導電層と電氣的に接続され、
前記第 4 のトランジスタのソースまたはドレインの一方、前記第 5 のトランジスタのソースまたはドレインの一方、および前記発光素子の一方の電極は、前記第 1 の導電層と電氣的に接続される表示装置。

〔請求項 5〕

請求項 3 において、
前記画素は、前記表示素子として液晶素子を有し、
前記液晶素子の一方の電極は、前記第 2 の導電層と電氣的に接続される表示装置。

〔請求項 6〕

請求項 3 乃至 5 のいずれか一項において、
前記第 1 のトランジスタ乃至前記第 3 のトランジスタは、チャネル形成領域に金属酸化物を有する表示装置。

〔請求項 7〕

請求項 1 乃至 6 のいずれか一項において、
前記第 2 の導電層は、金属酸化物を有する表示装置。

〔請求項 8〕

請求項 6 または 7 において、

前記金属酸化物は、I nと、Z nと、M（MはA l、T i、G a、G e、S n、Y、Z r、L a、C e、N dまたはH f）と、を有する表示装置。

〔請求項 9〕

請求項 1 乃至 8 のいずれか一項に記載の表示装置と、カメラと、を有し、
前記カメラで撮像した画像を前記表示装置で表示する電子機器。

图 1

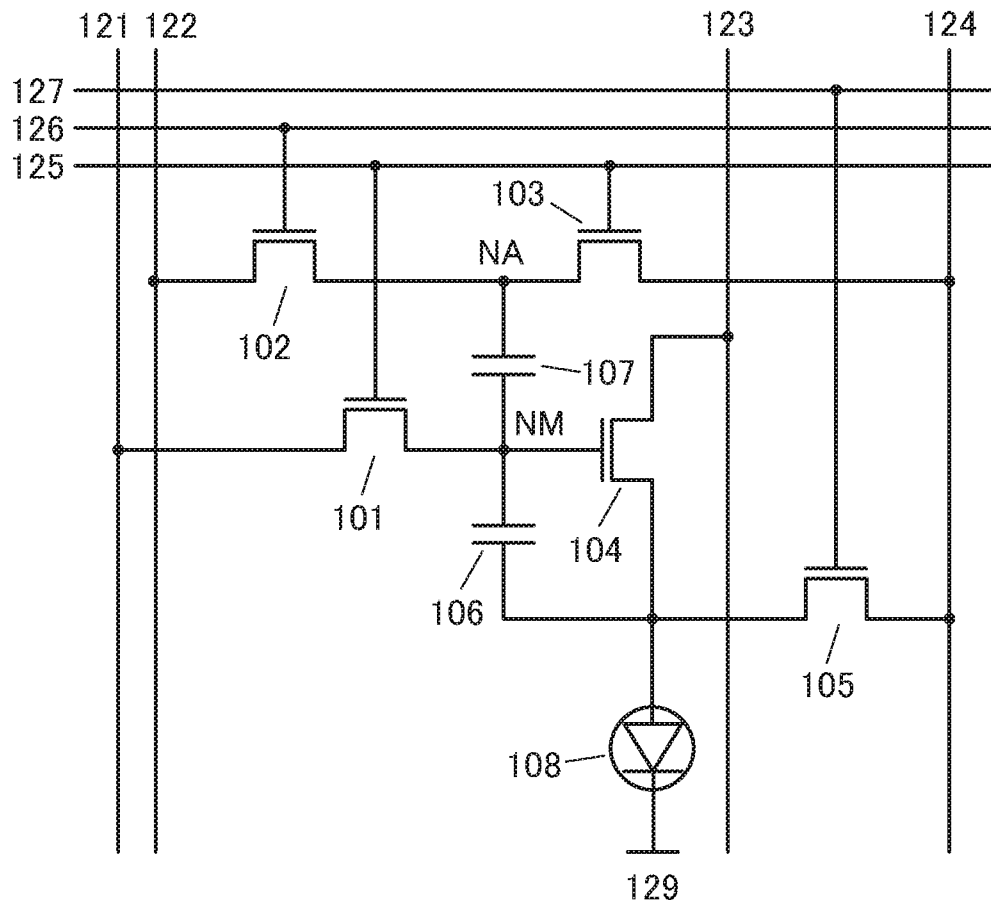


図2A

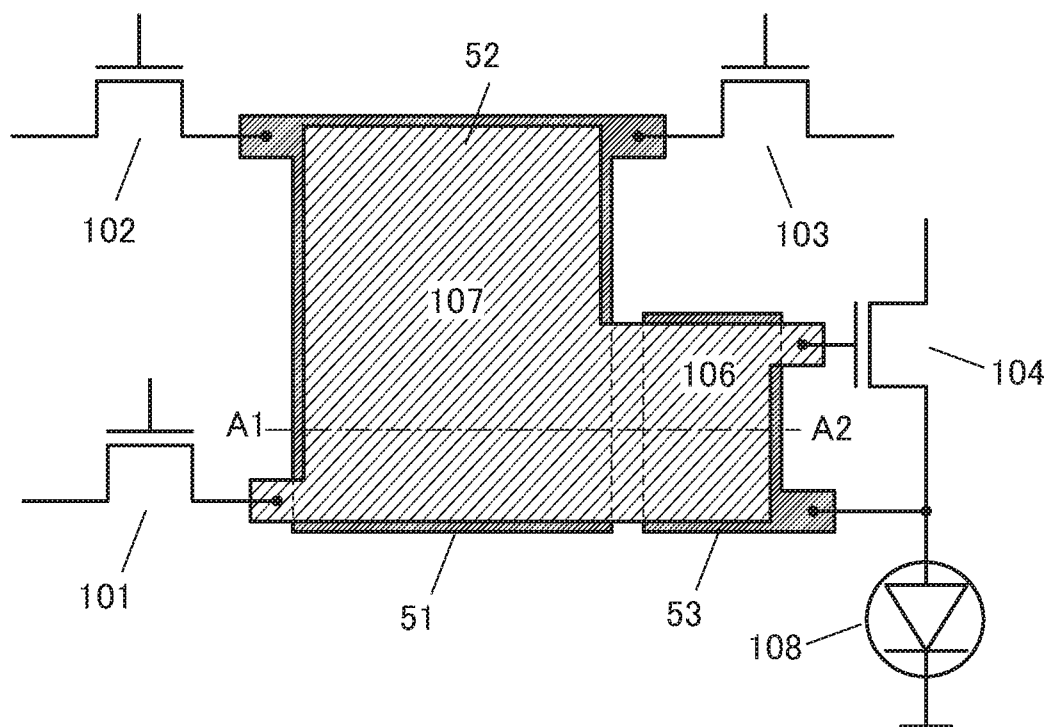
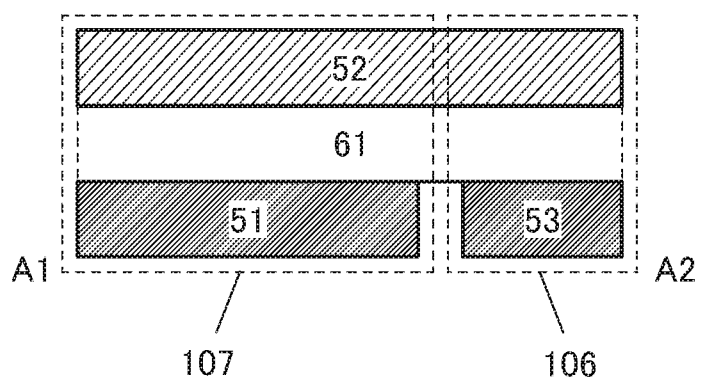
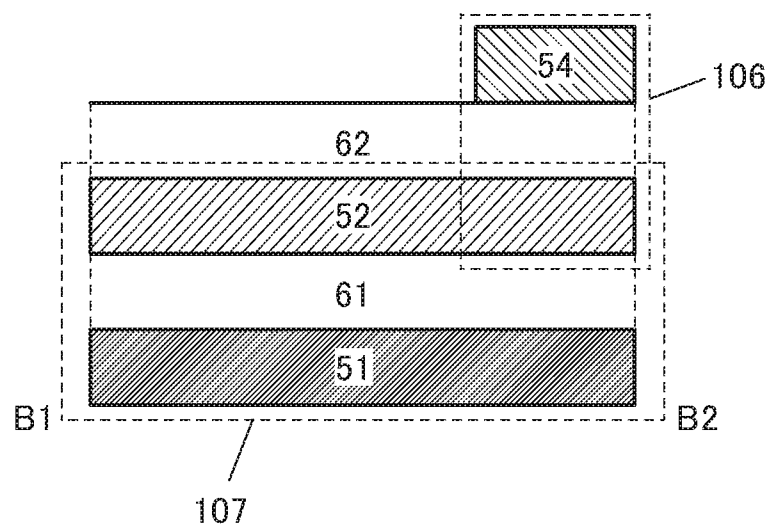
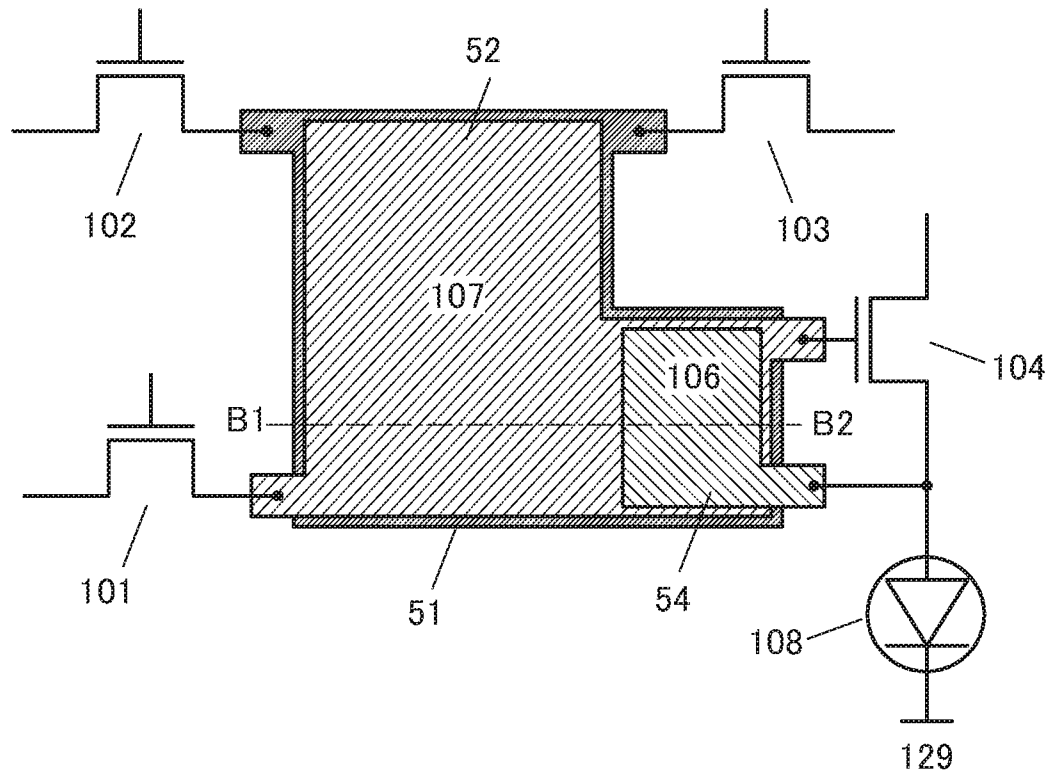
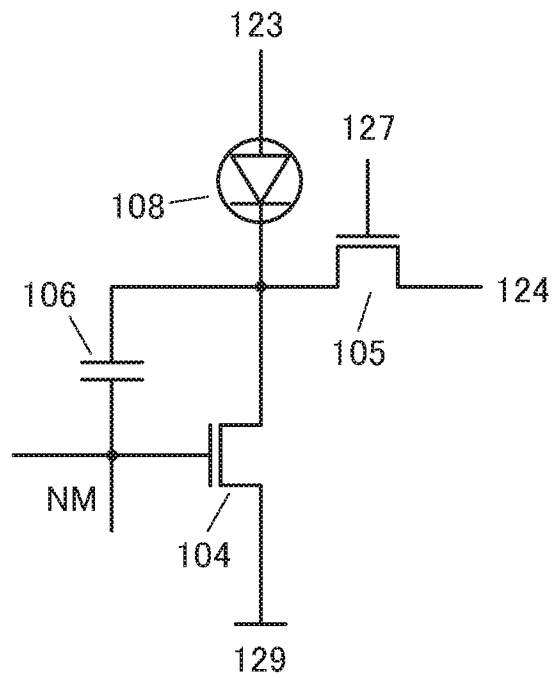


図2B





4A



MEXT

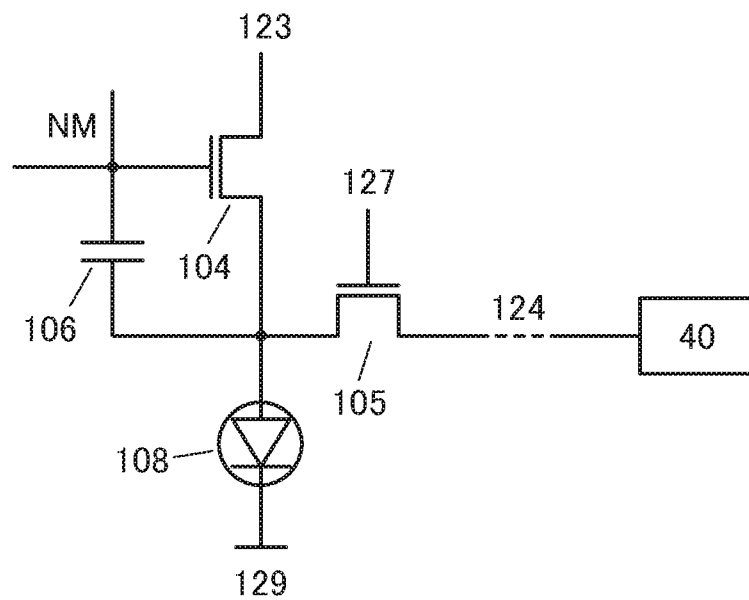
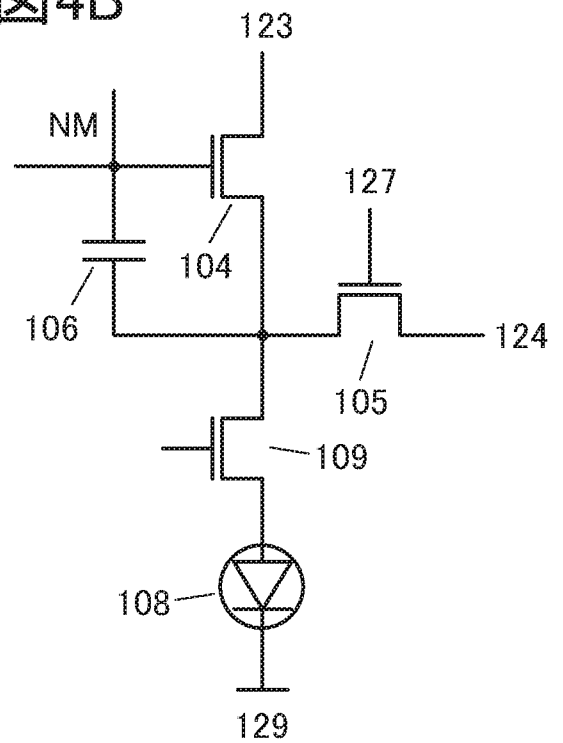


図5

5/30

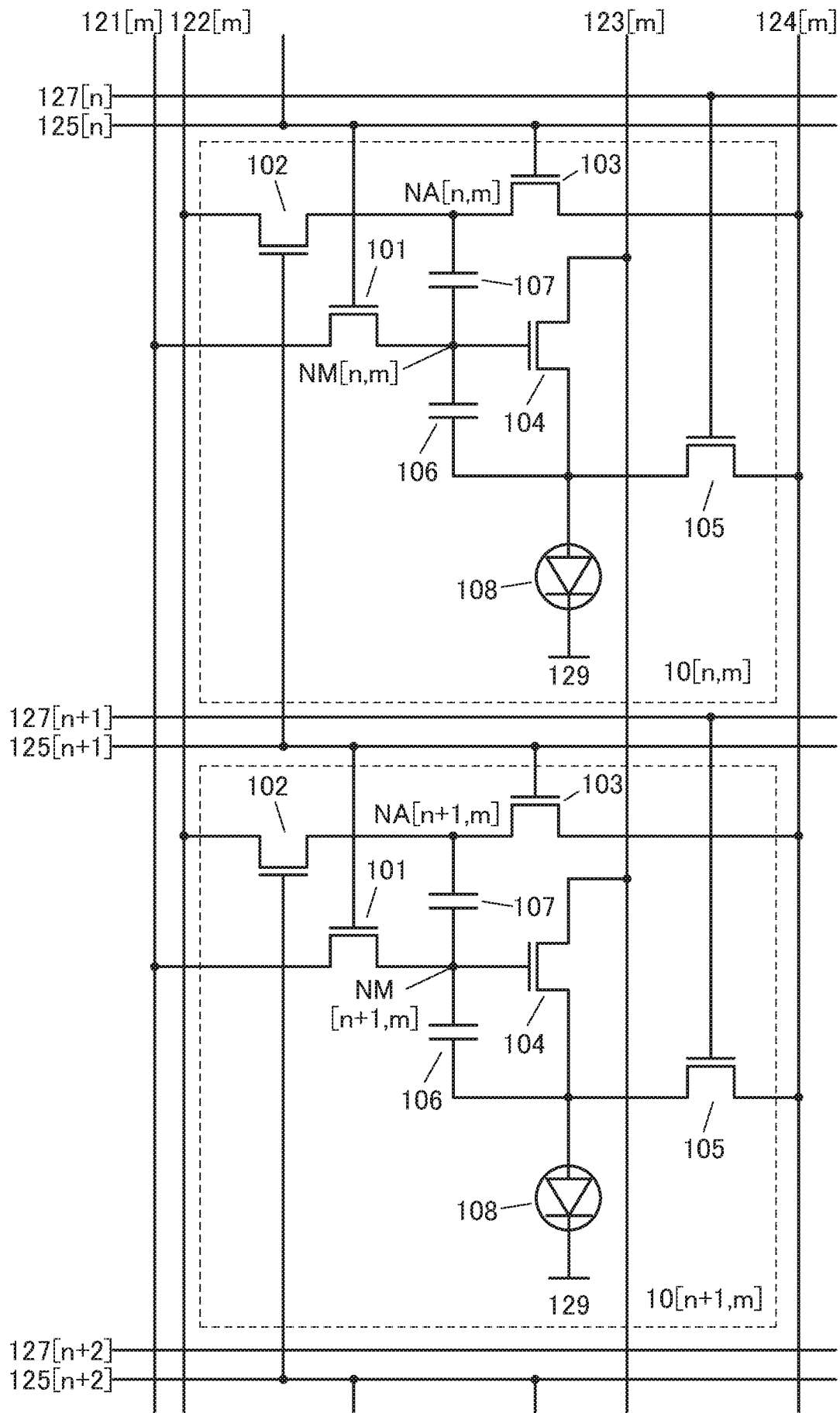


図6

6/30

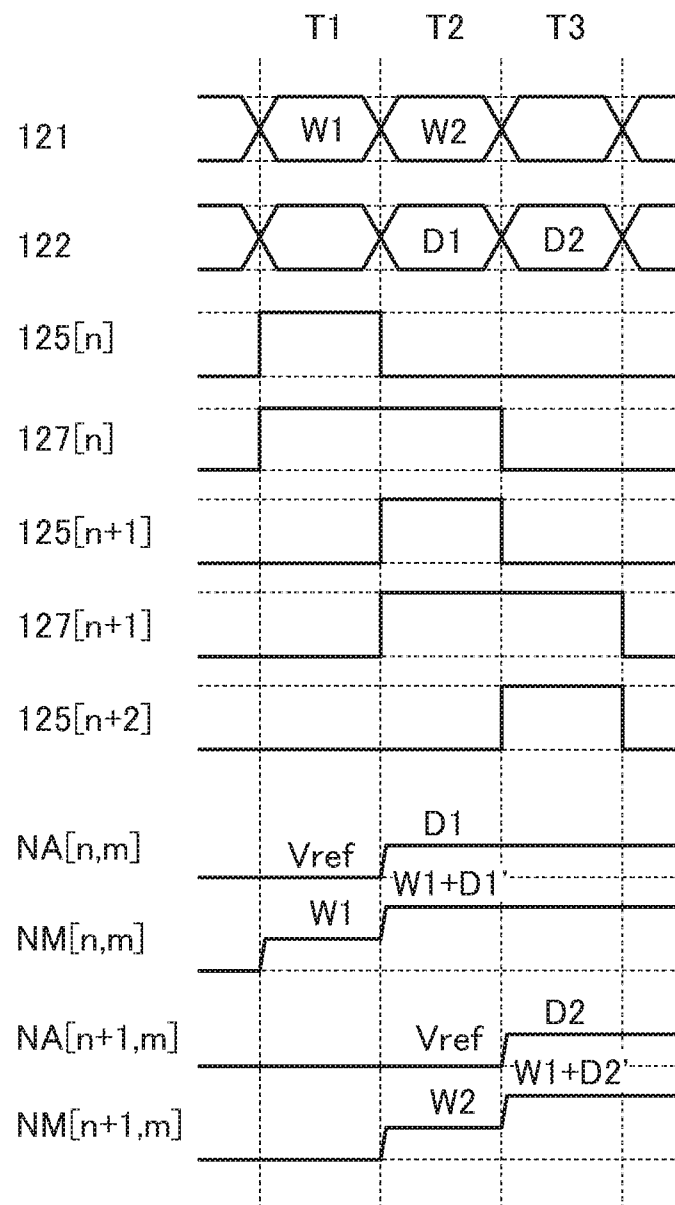


図7A

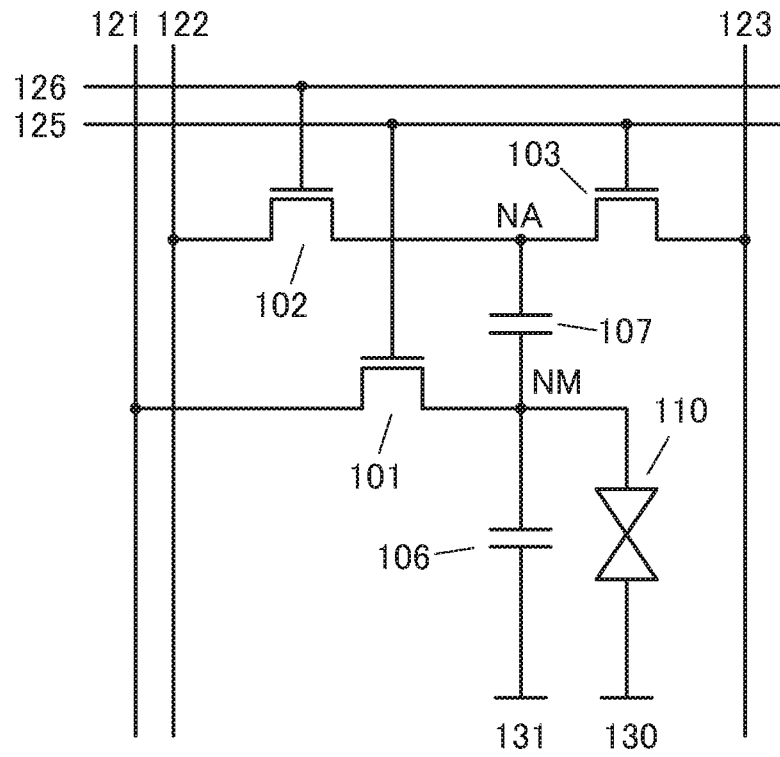


図7B

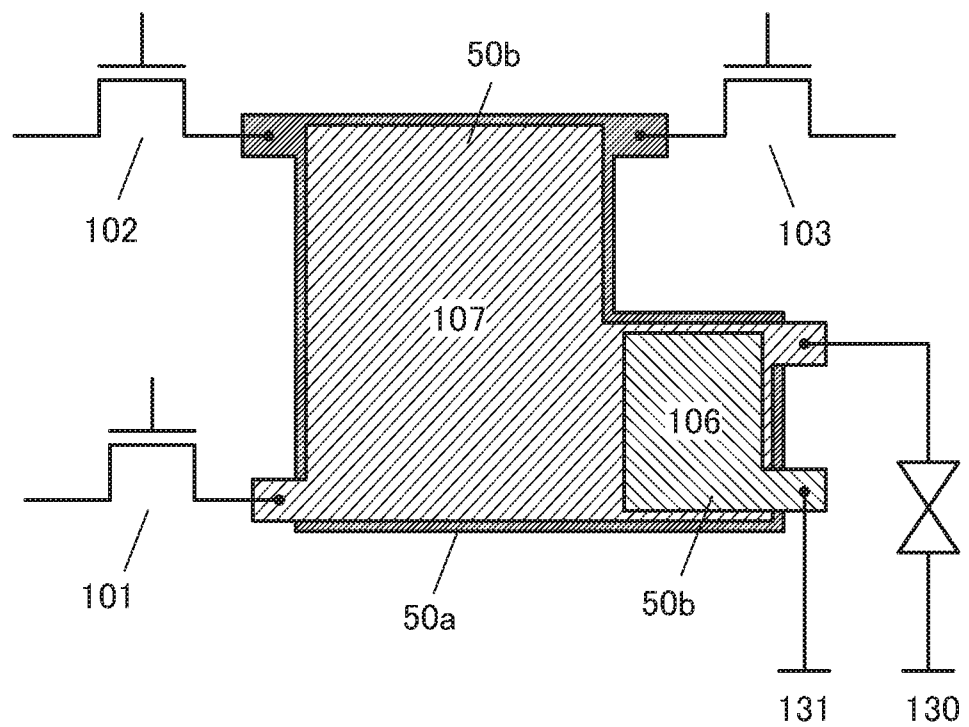


図8A

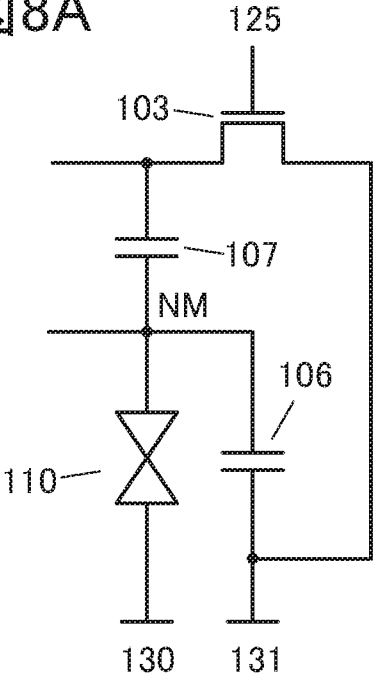


図8B

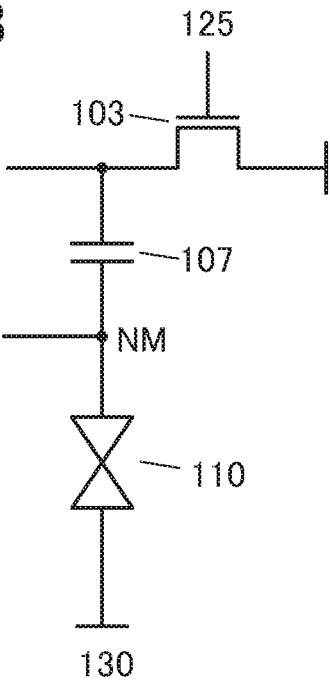


図9

9/30

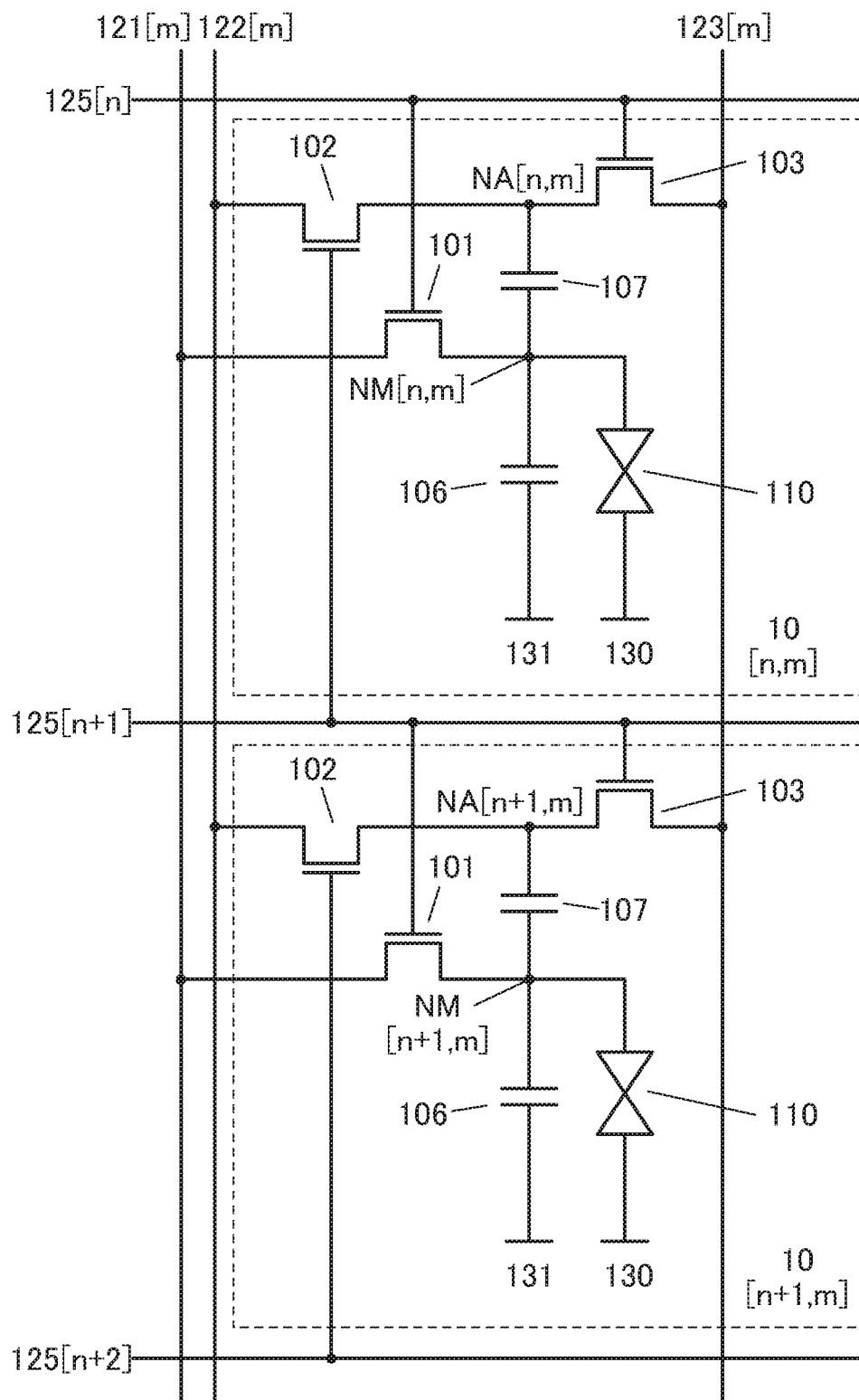


図 10

10/30

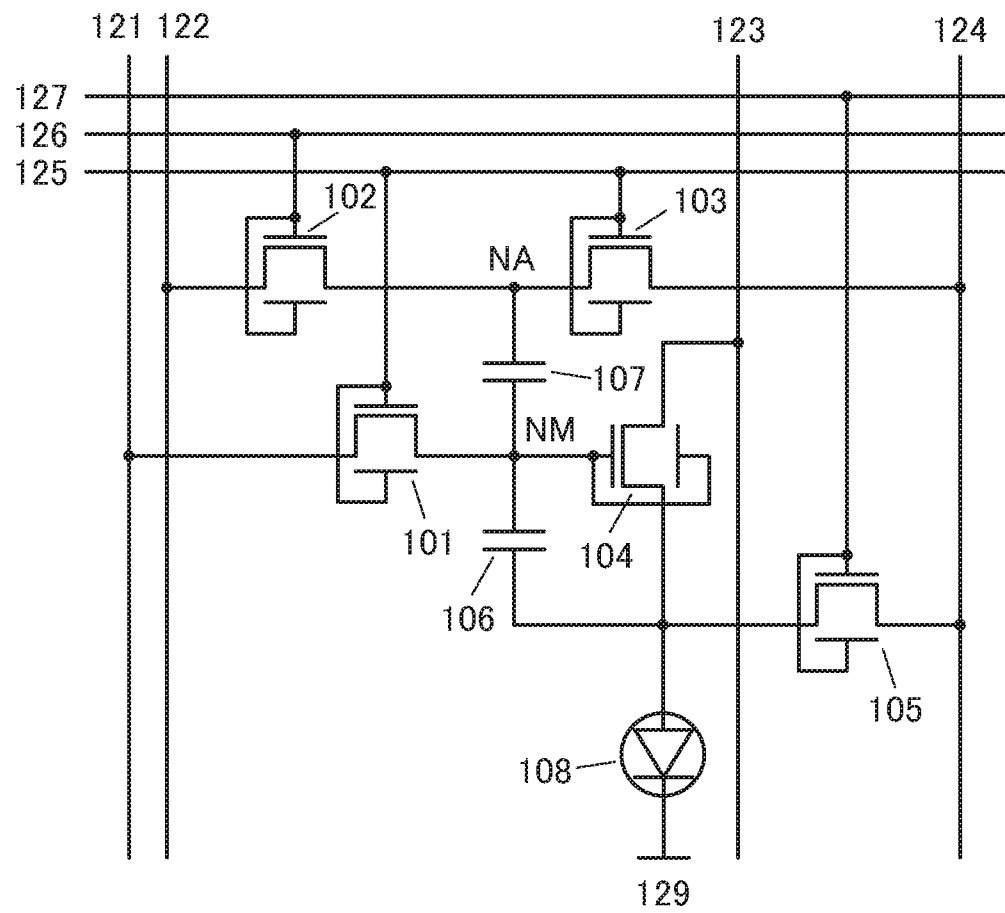


図 11

11/30

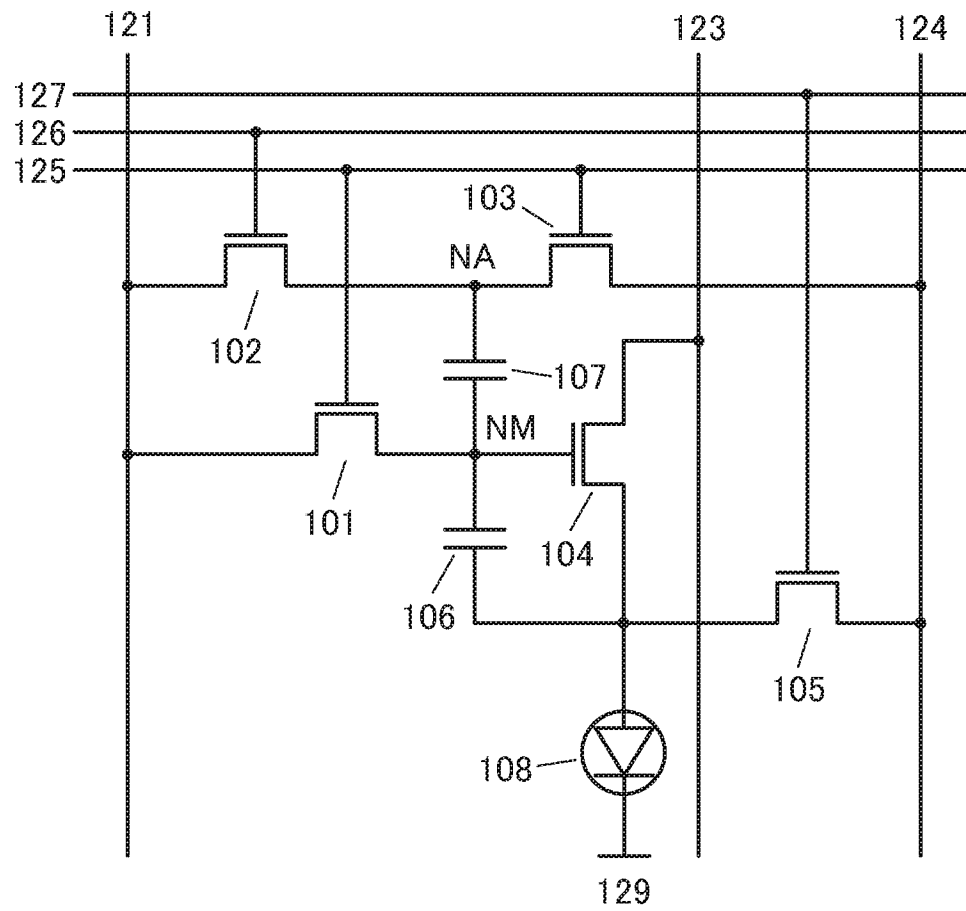


図12A

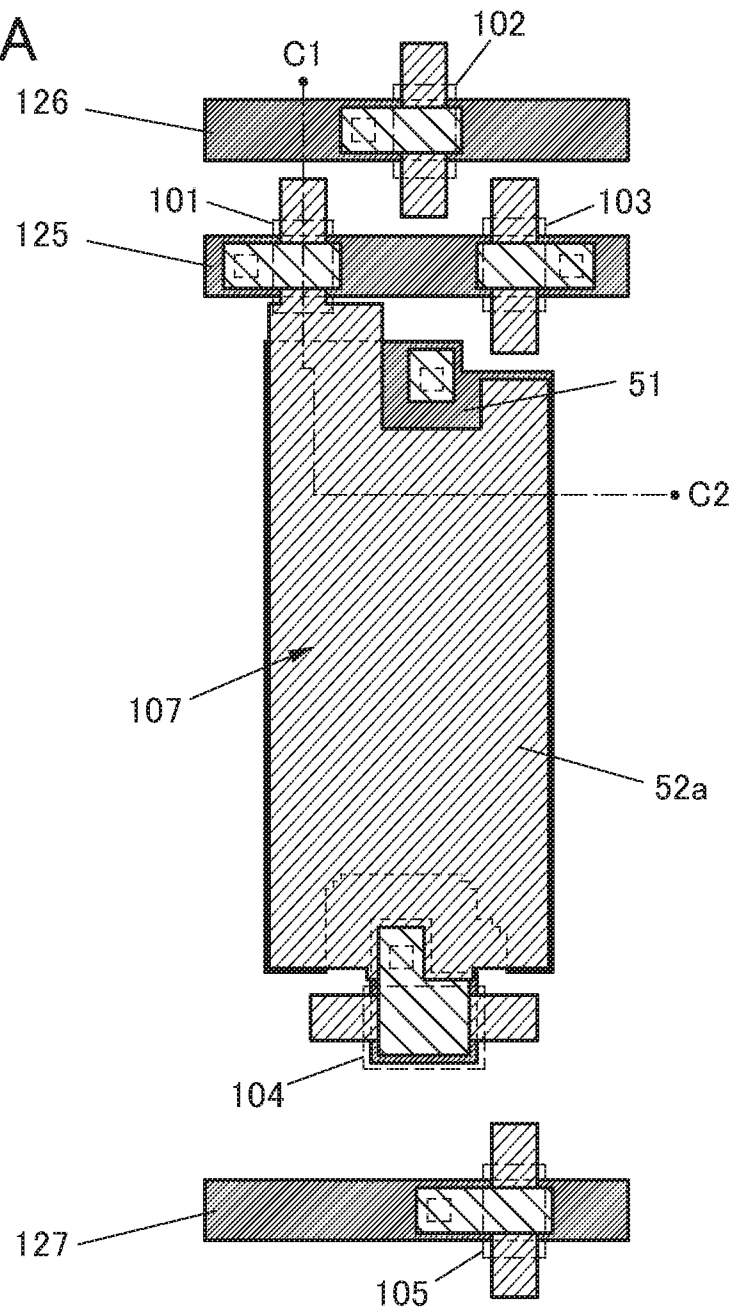


図12B

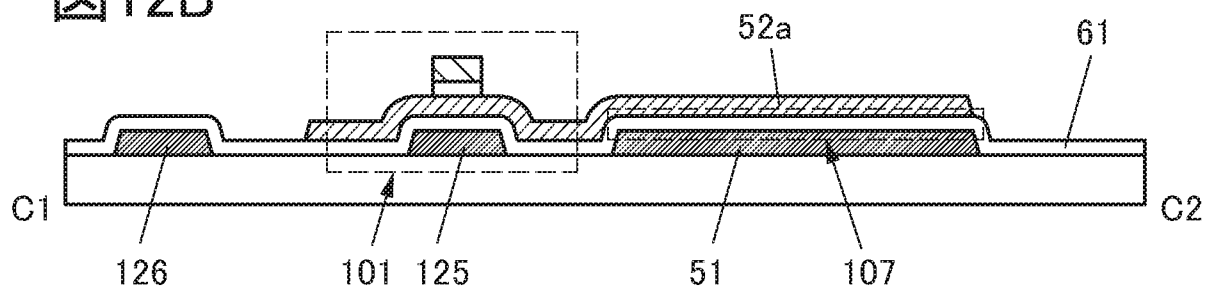


図13A

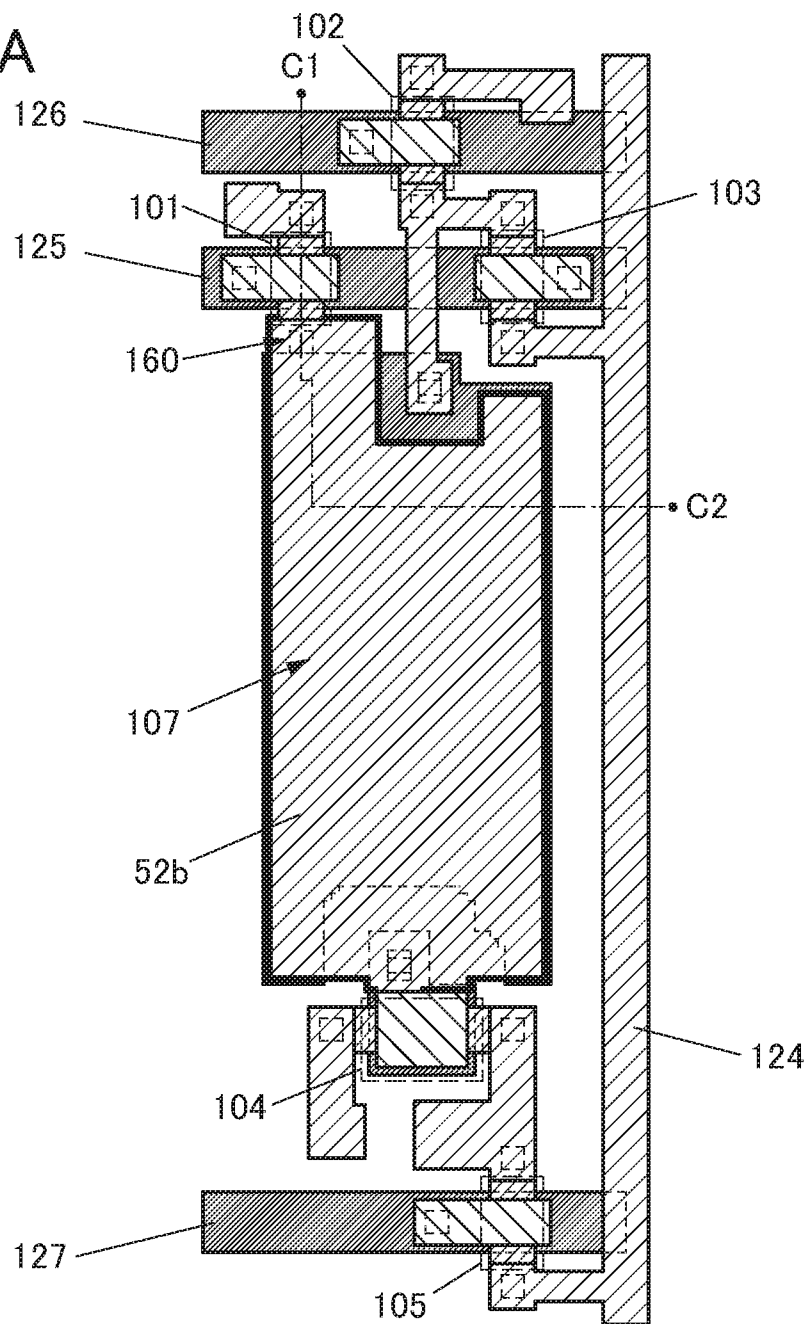


図13B

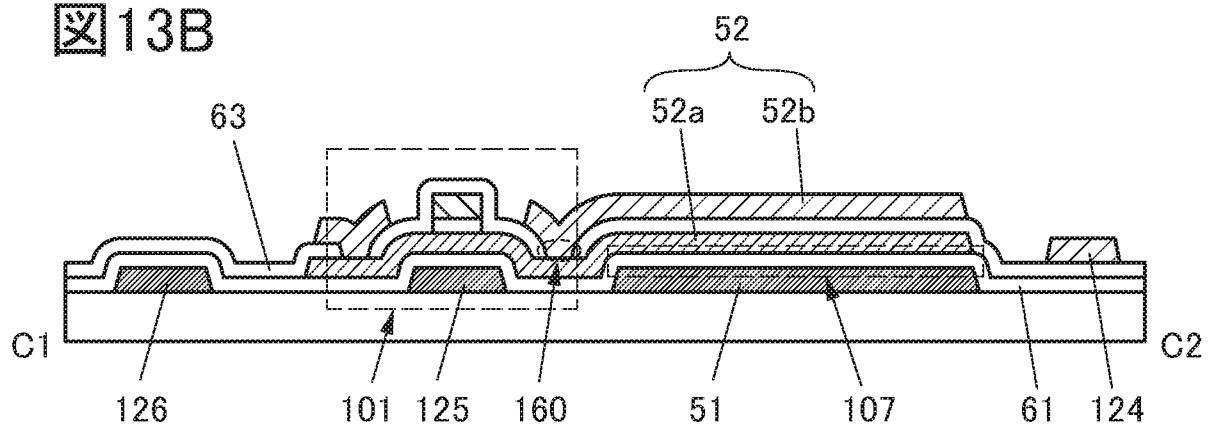


図14A

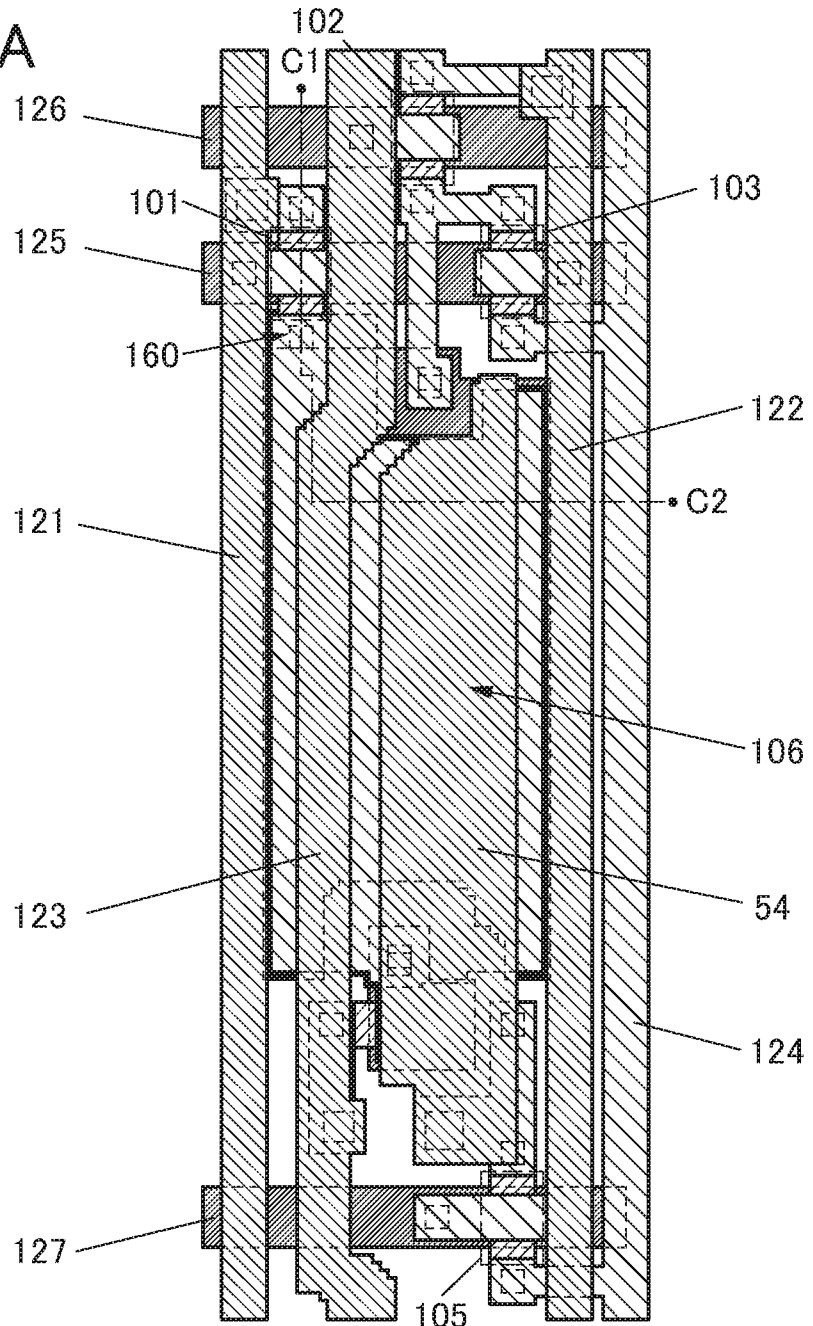


図14B

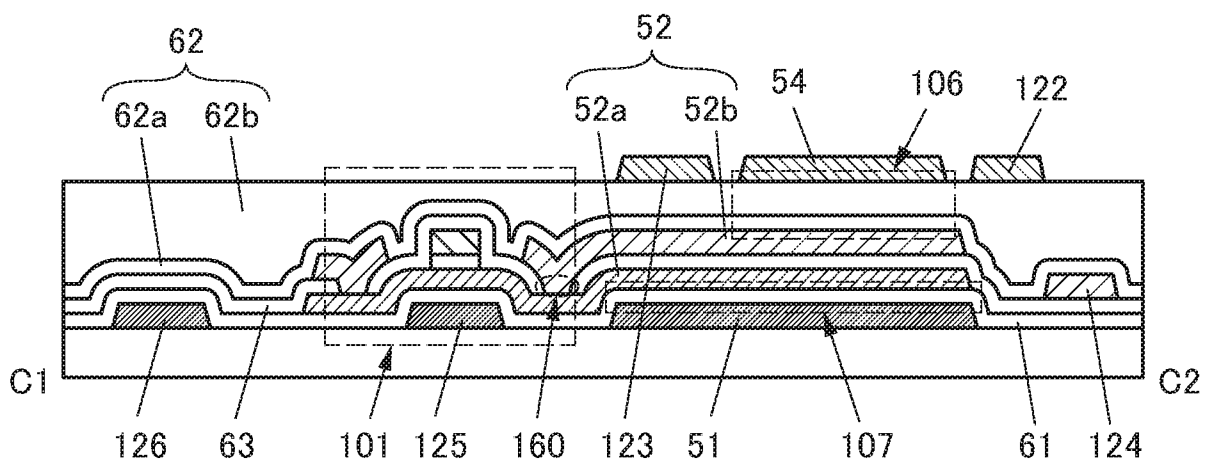


図15A

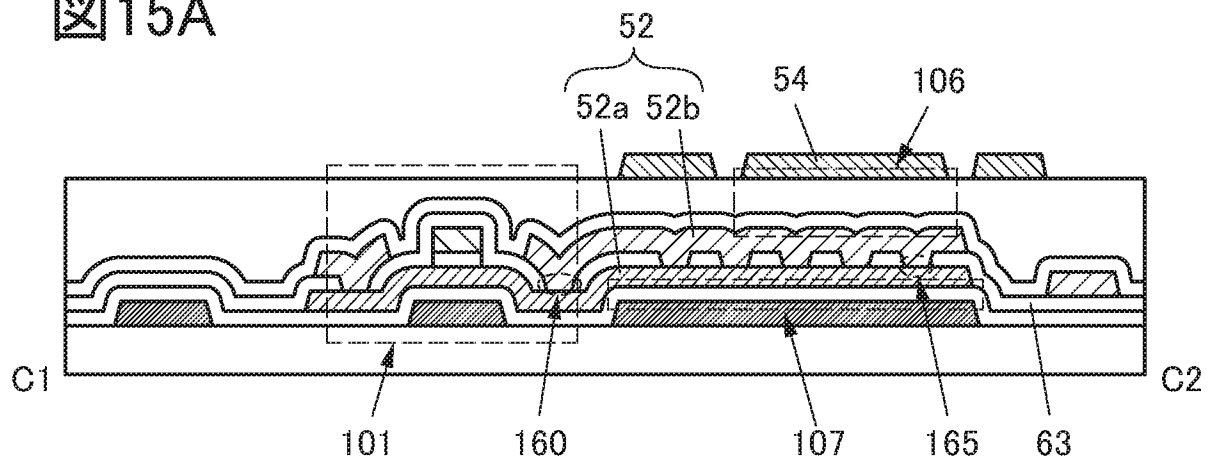


図15B

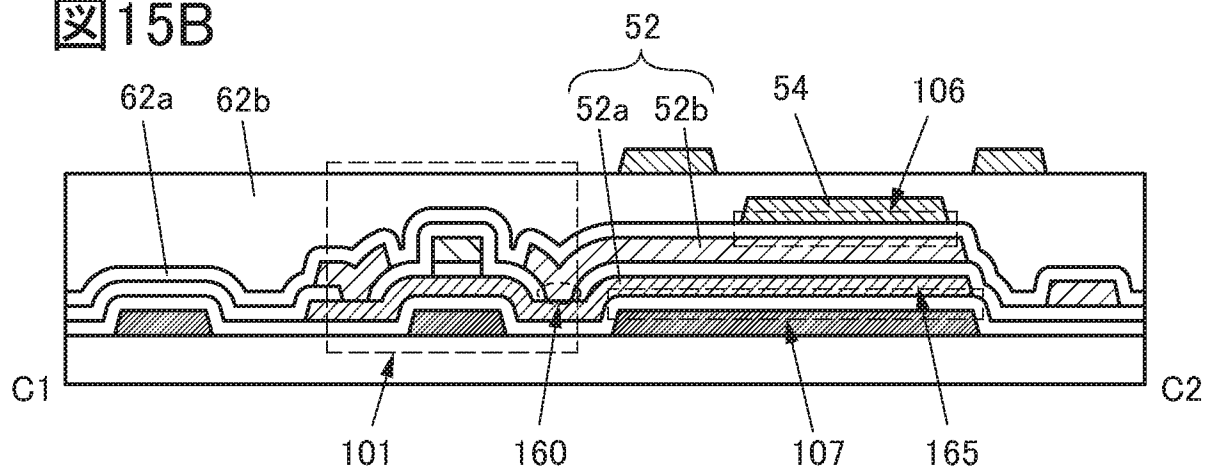
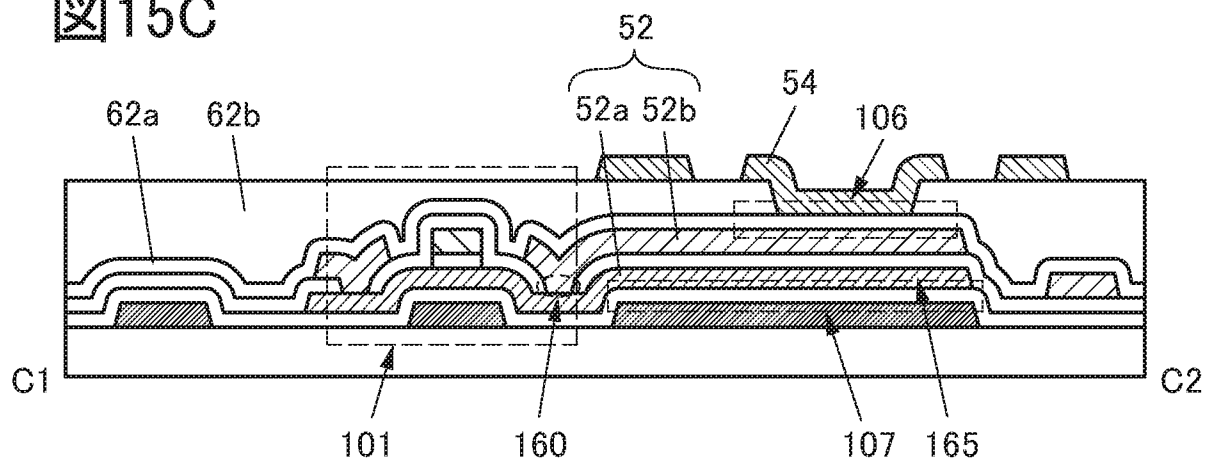


図15C



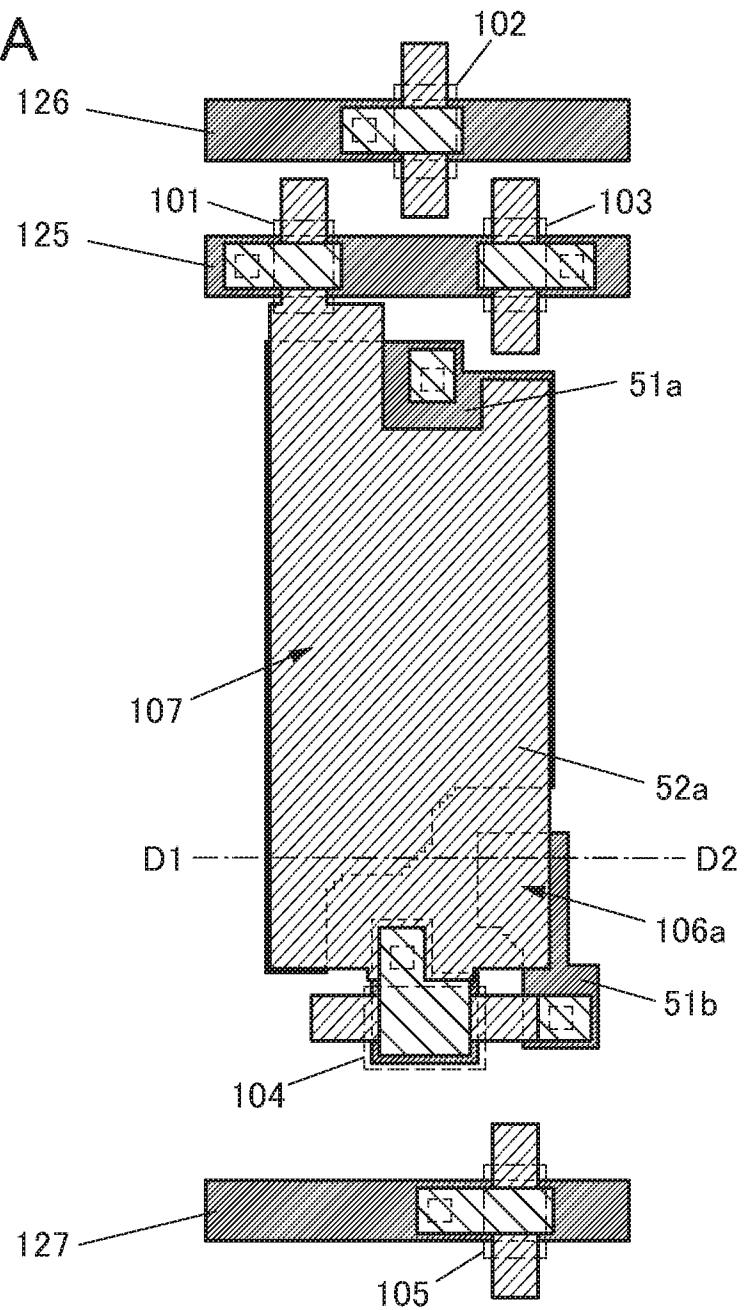


Figure 16B is a schematic diagram of a cross-section of a substrate with a patterned layer. The substrate is labeled '16B' and has a cross-hatched pattern. A layer labeled '16B' is deposited on top of the substrate, with a cross-hatched pattern. The layer is divided into two regions: a central region labeled '16B' and two side regions labeled '16B'.

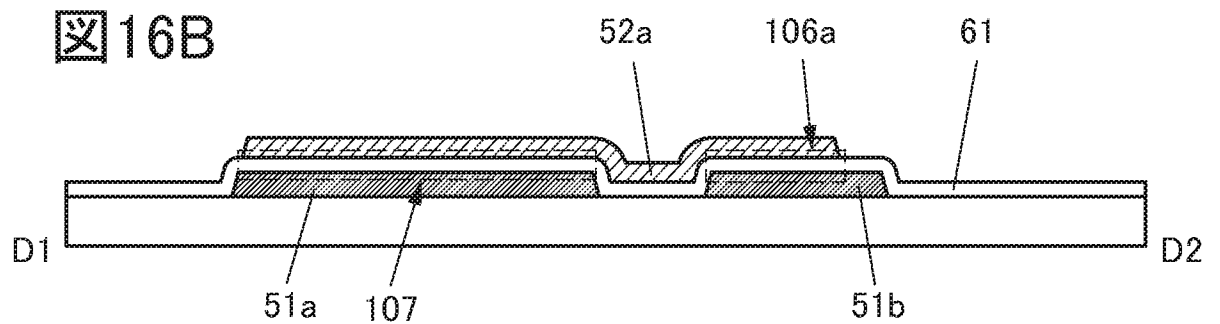


図17A

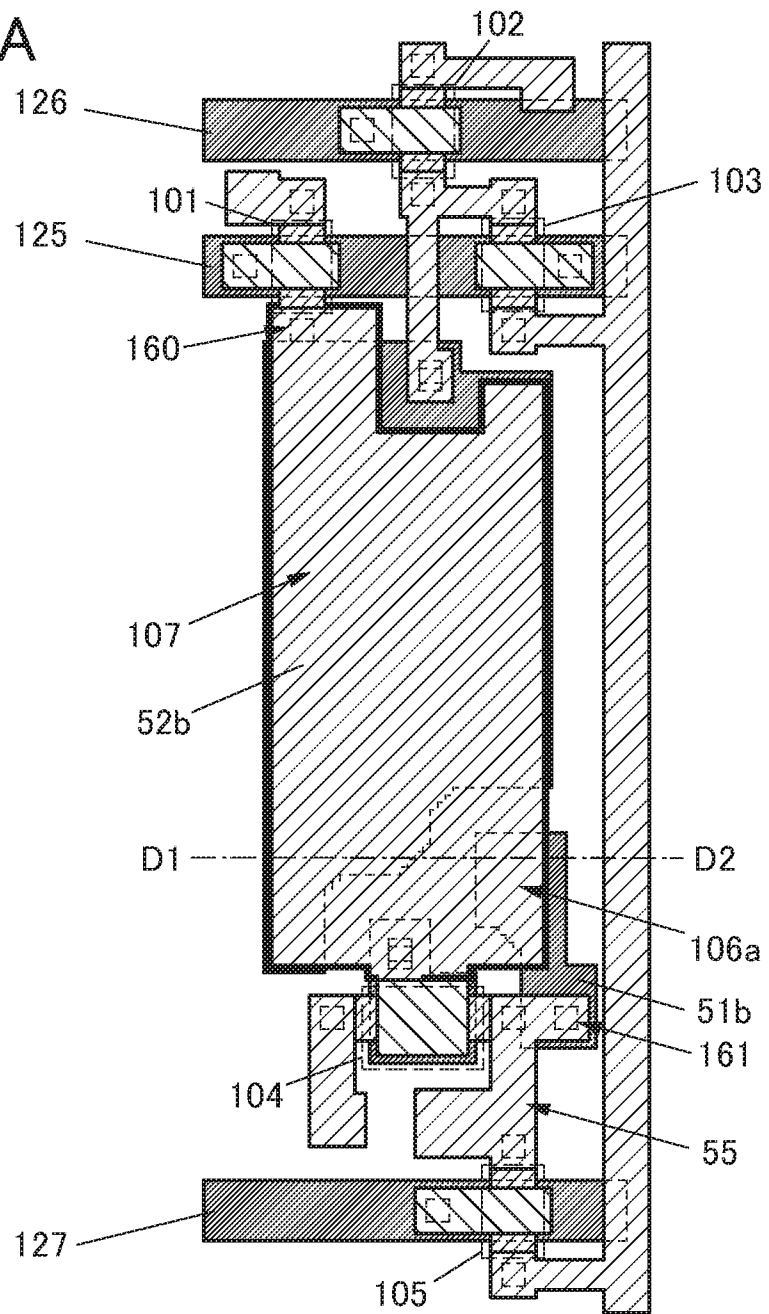


図17B

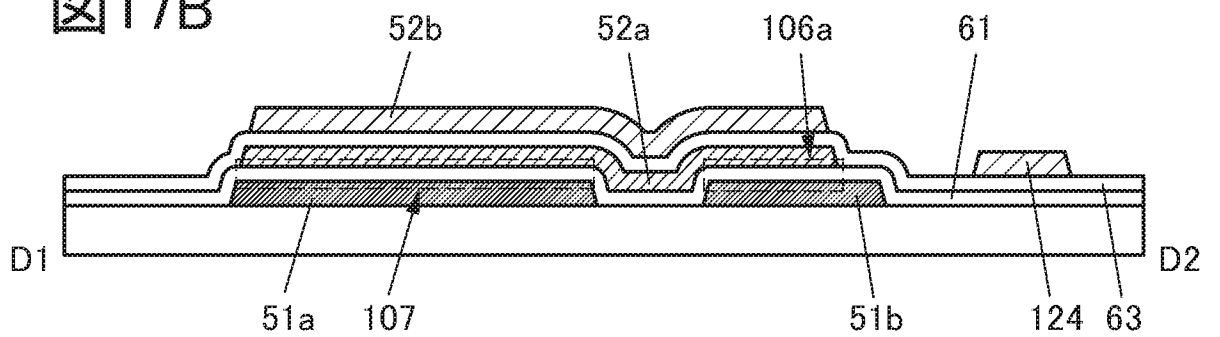


図18A

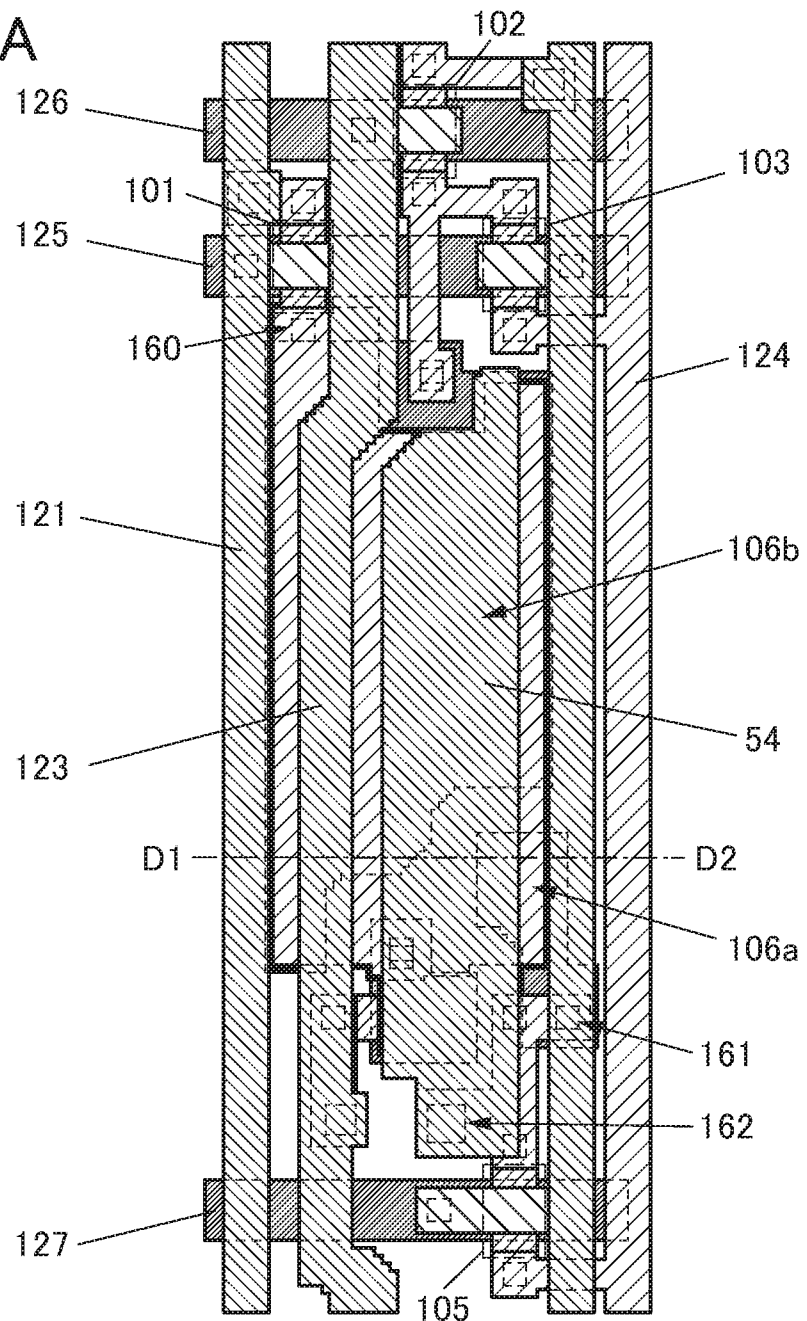
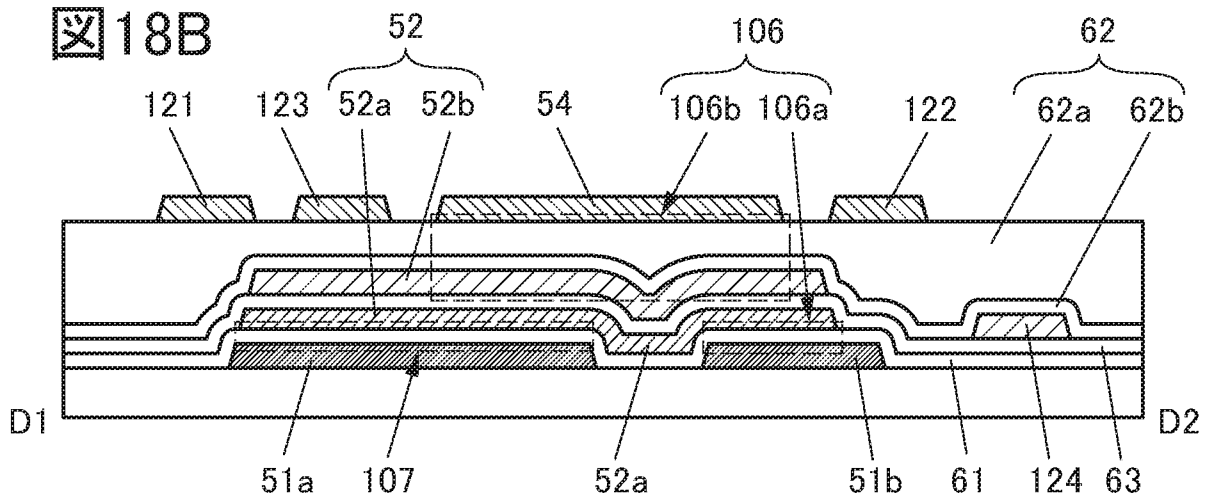


図18B



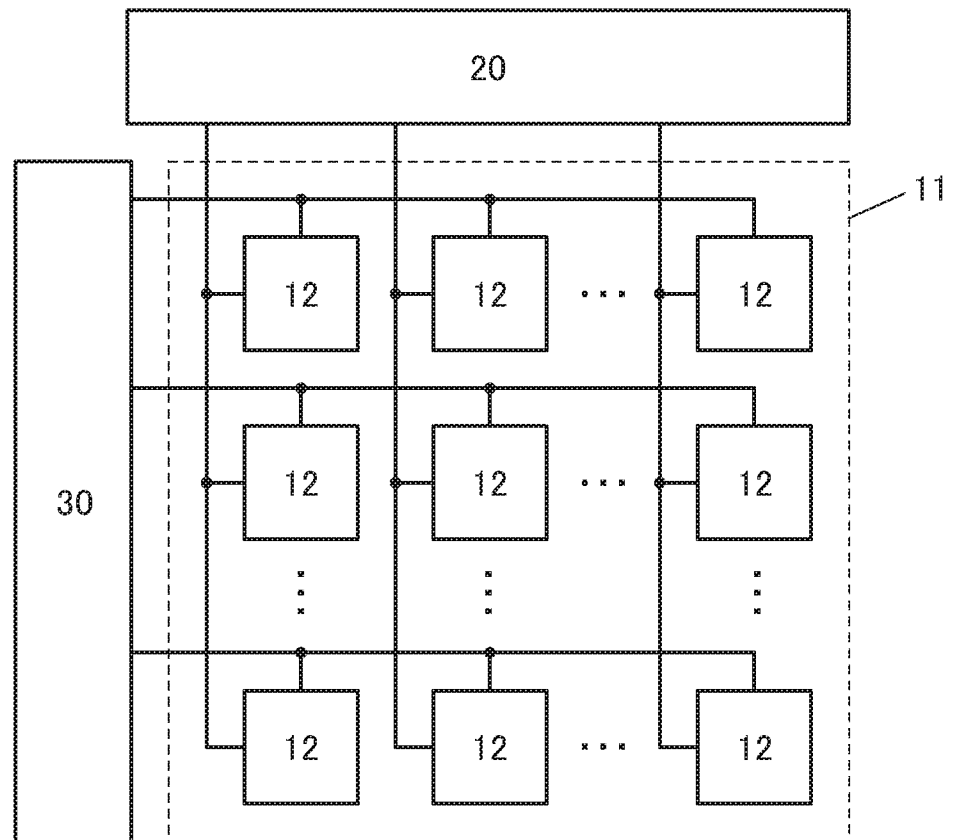


図20A

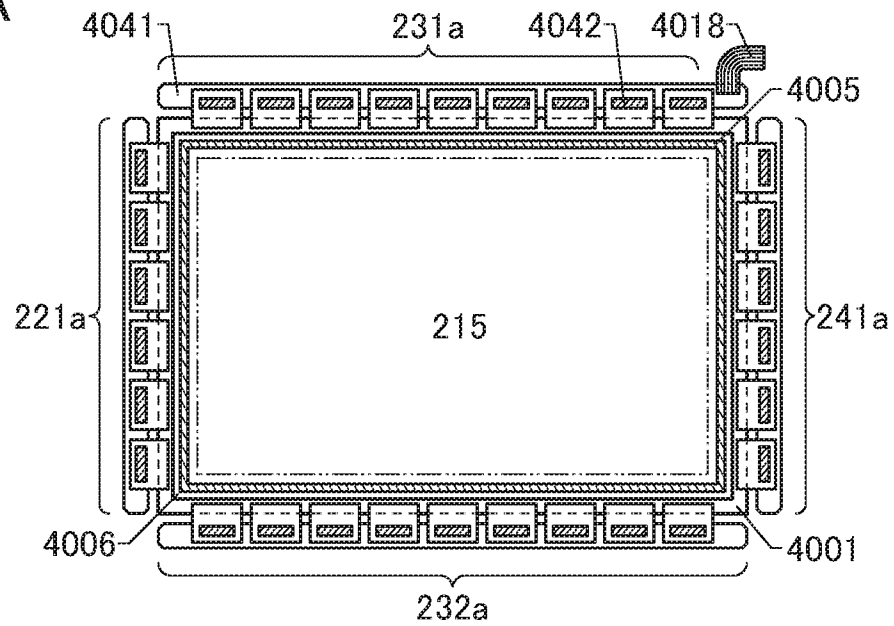


図20B

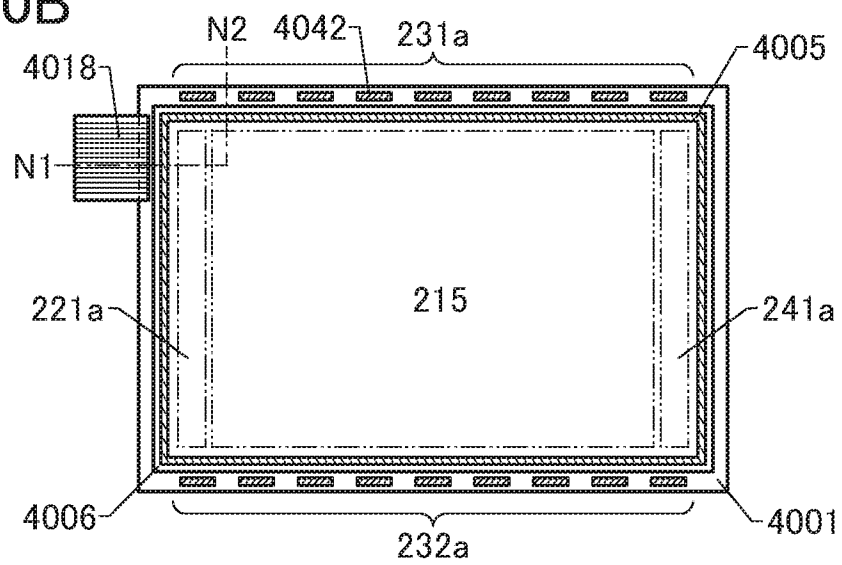


図20C

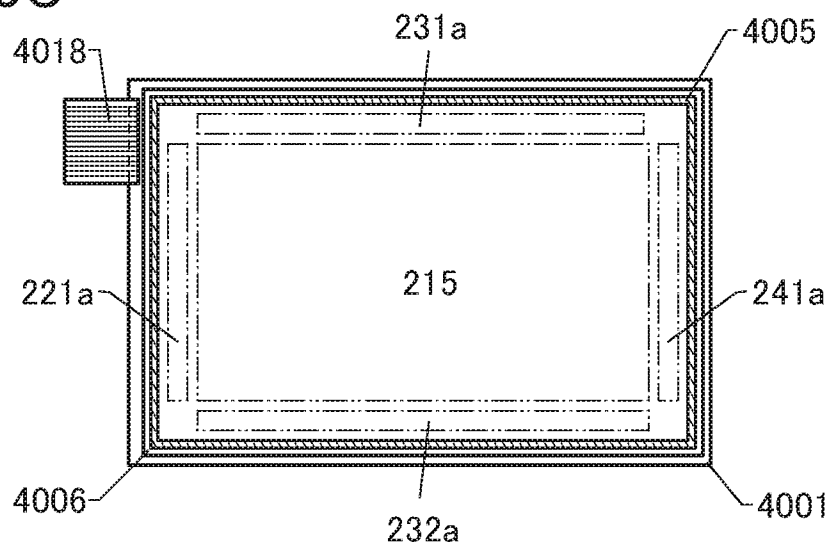


図21A

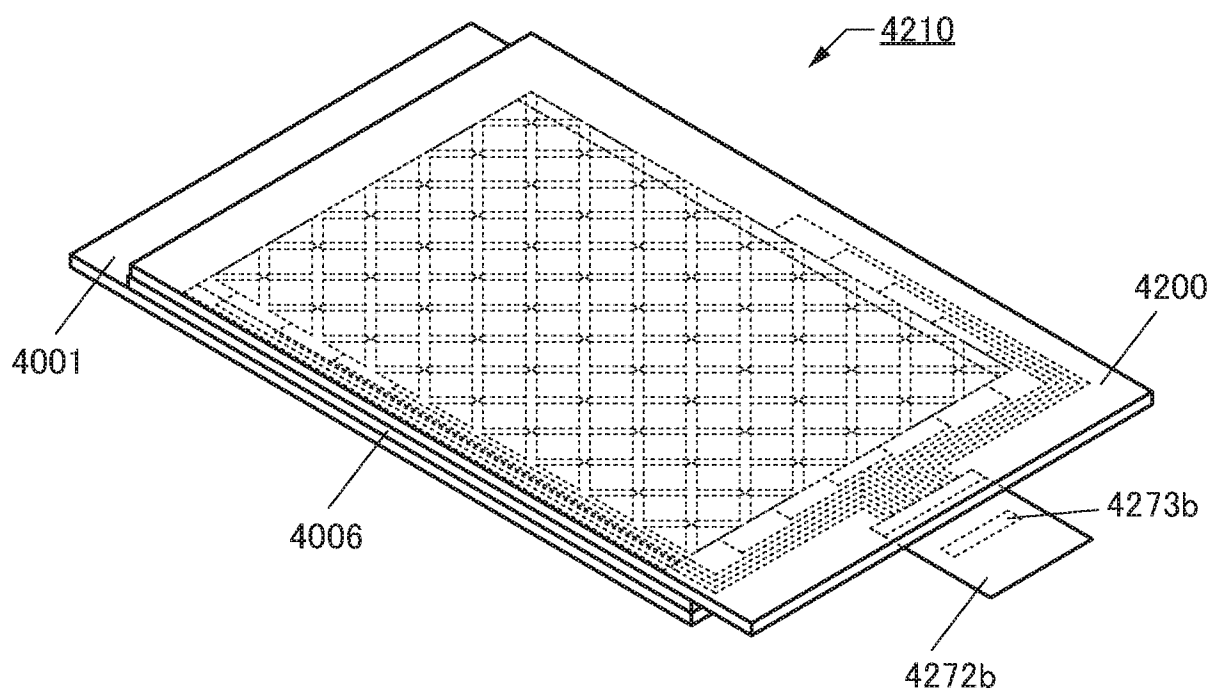
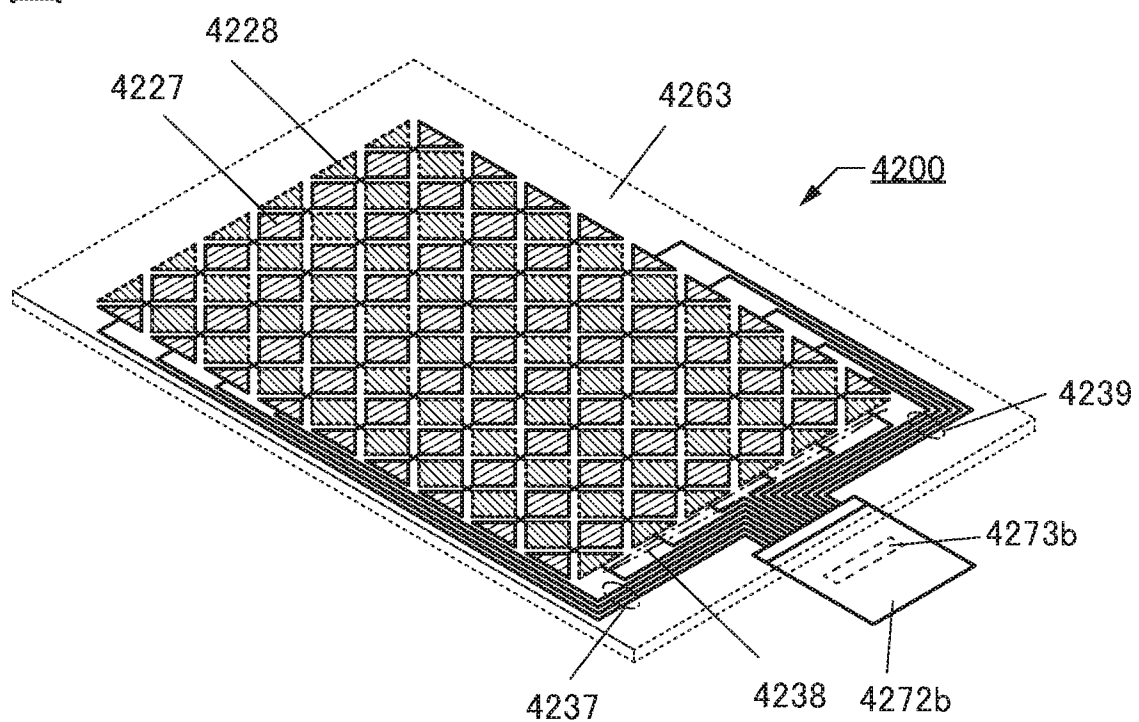
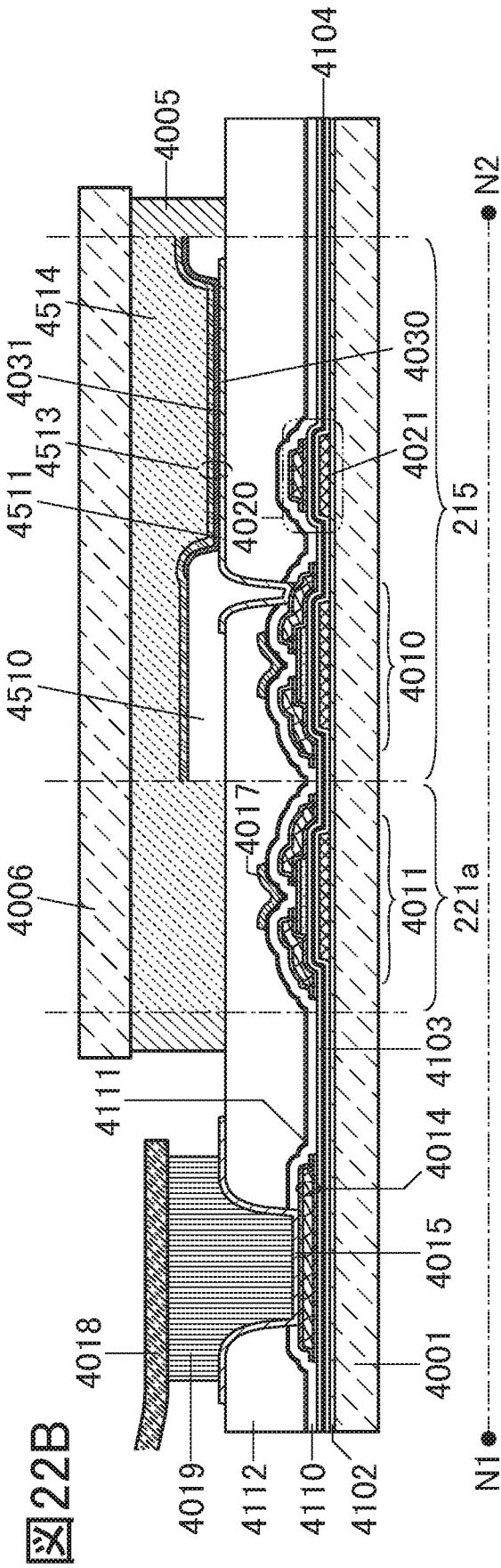
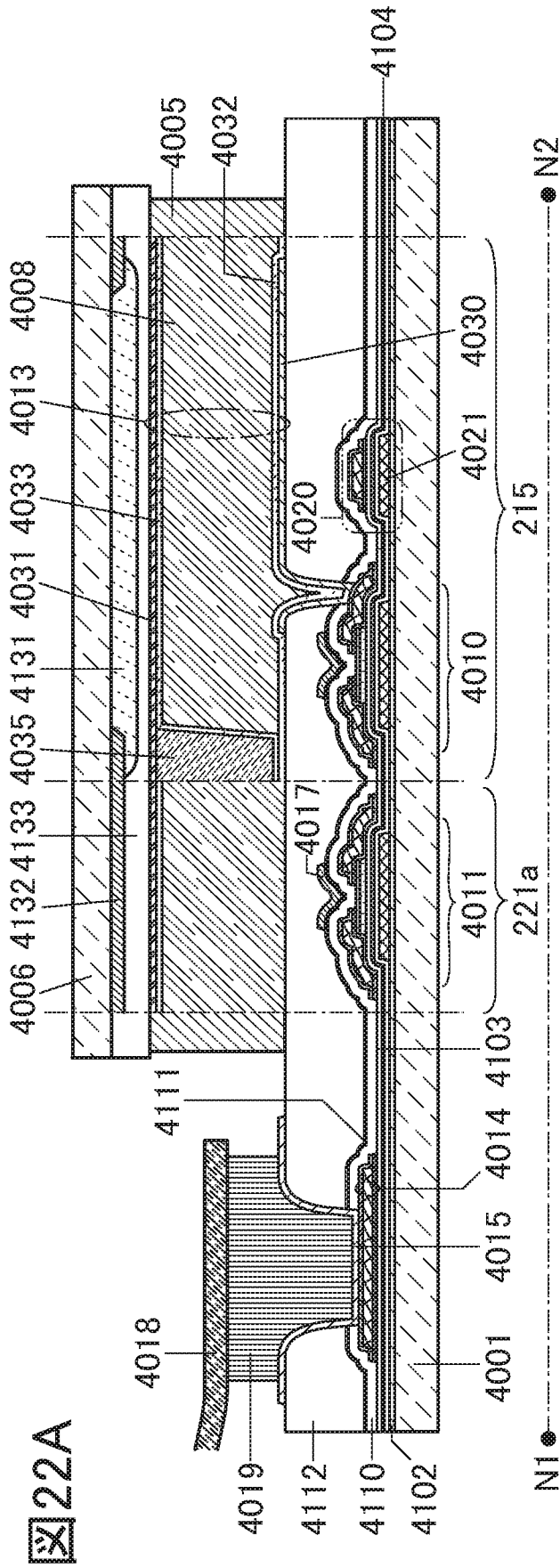
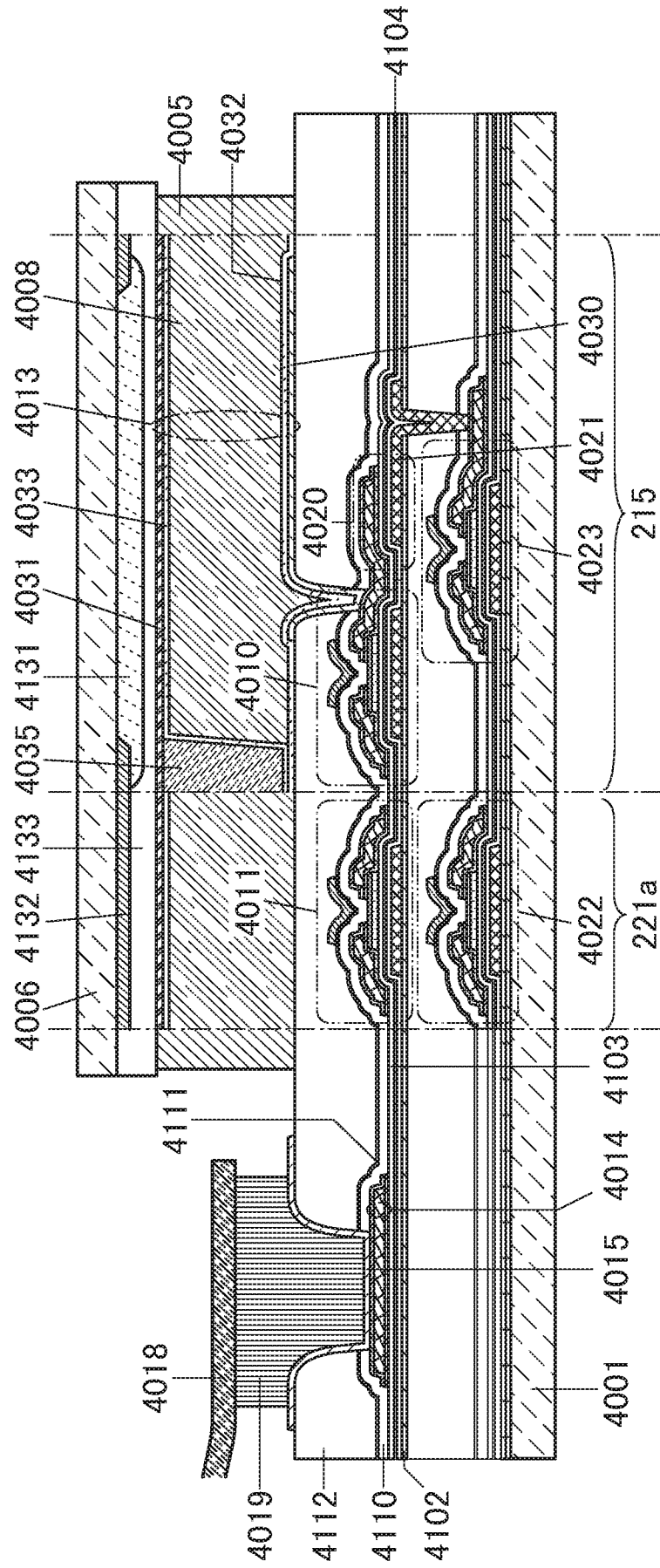


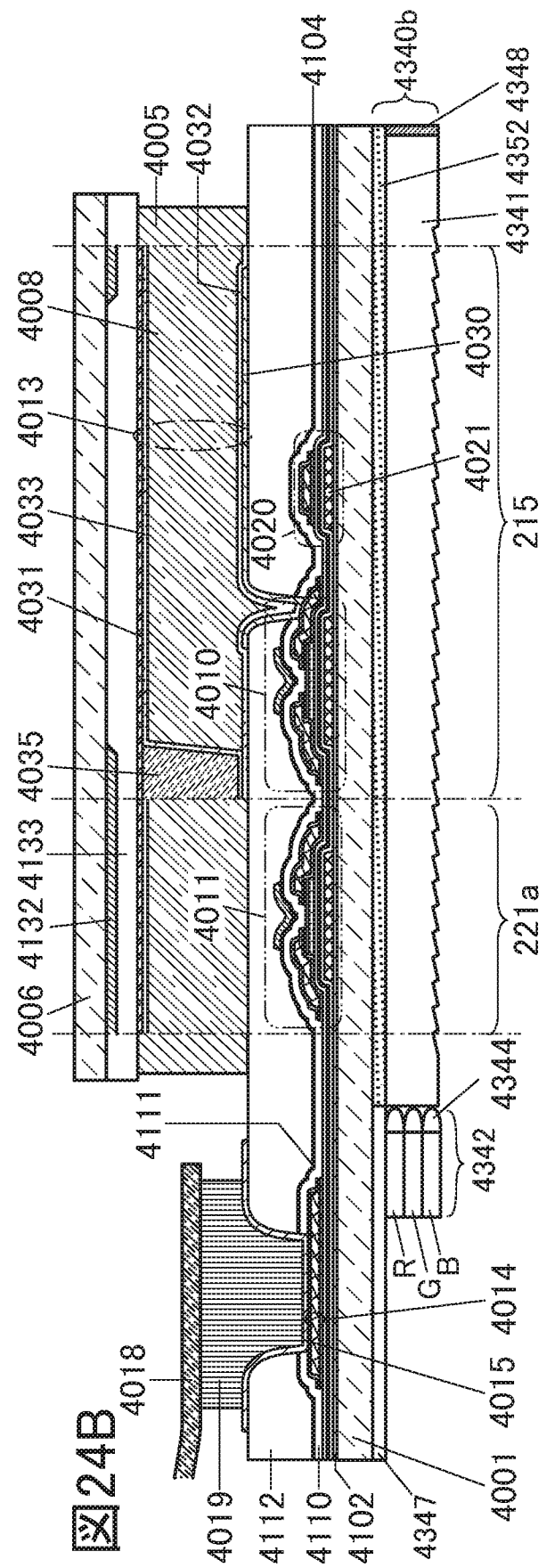
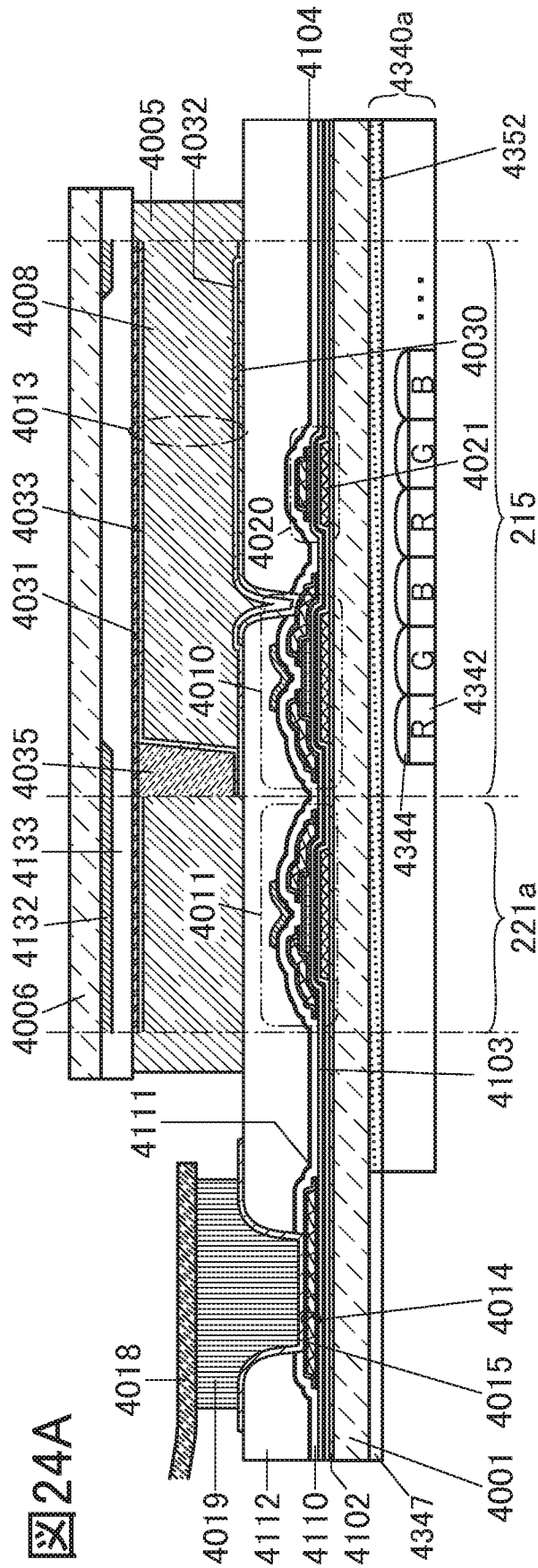
図21B





23





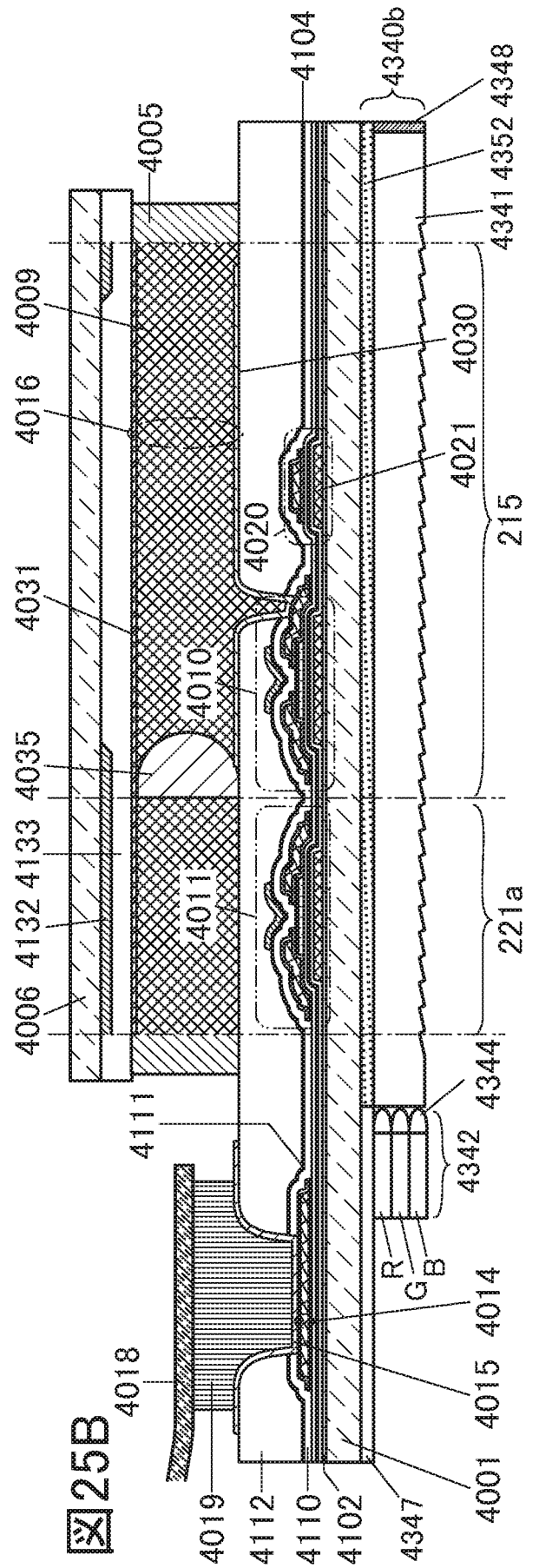
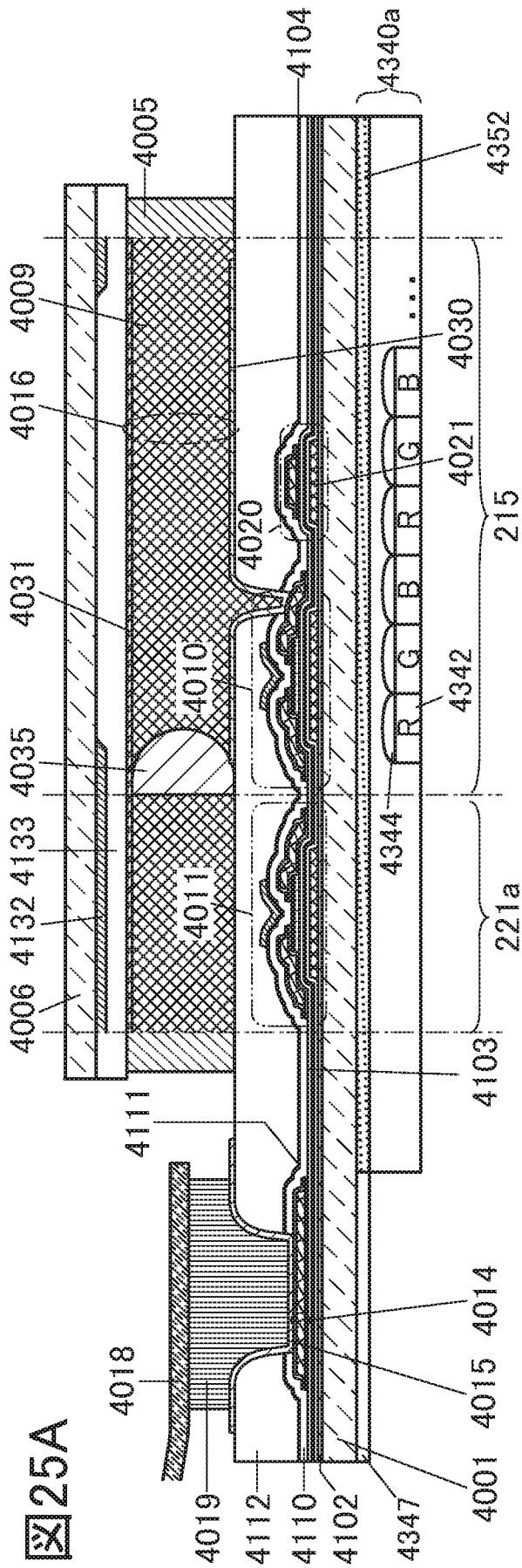


図26A

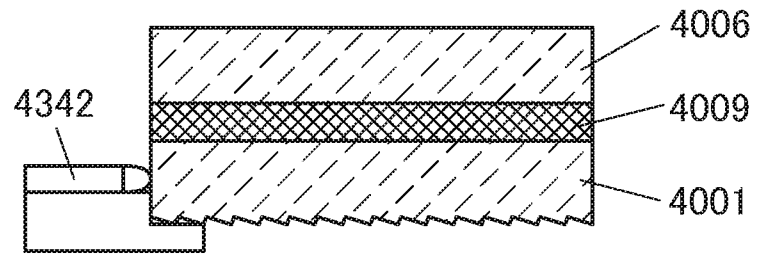


図26B

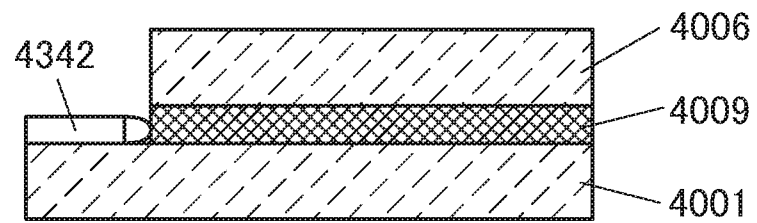


図26C

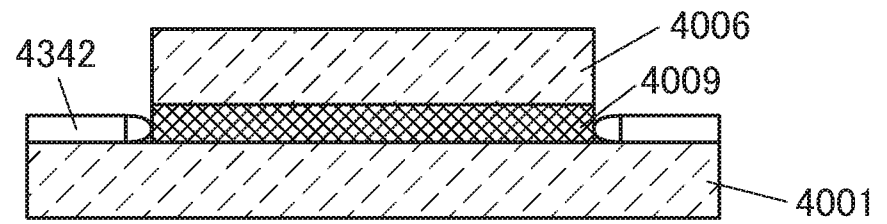


図26D

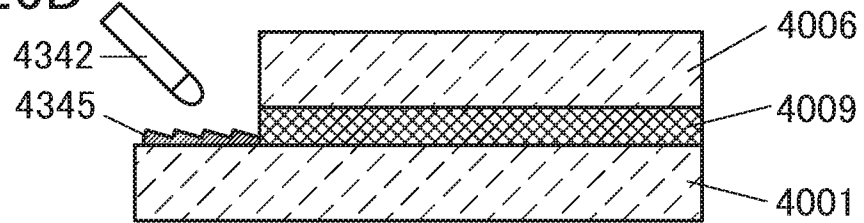


図26E

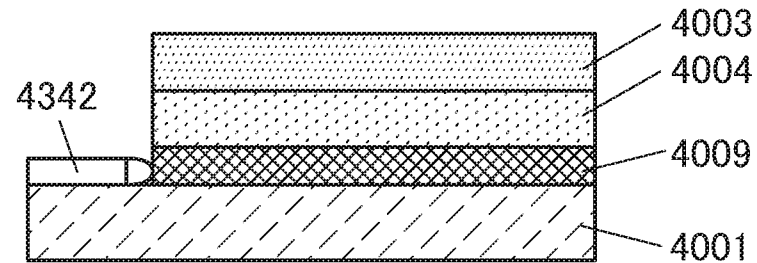


図27A

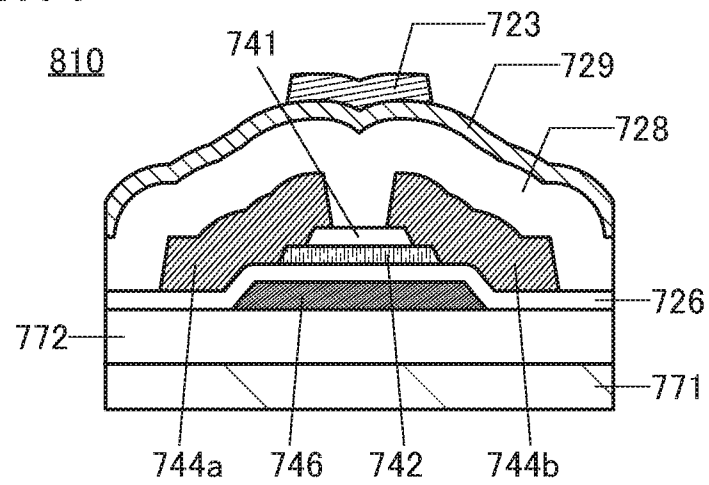


図27B

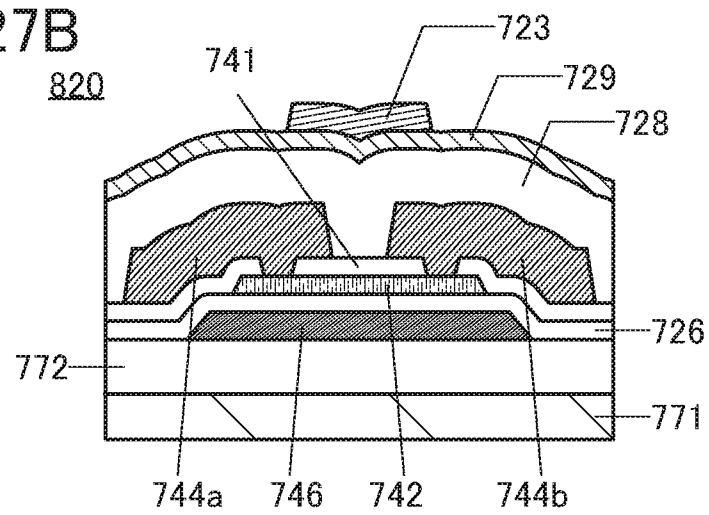


図27C

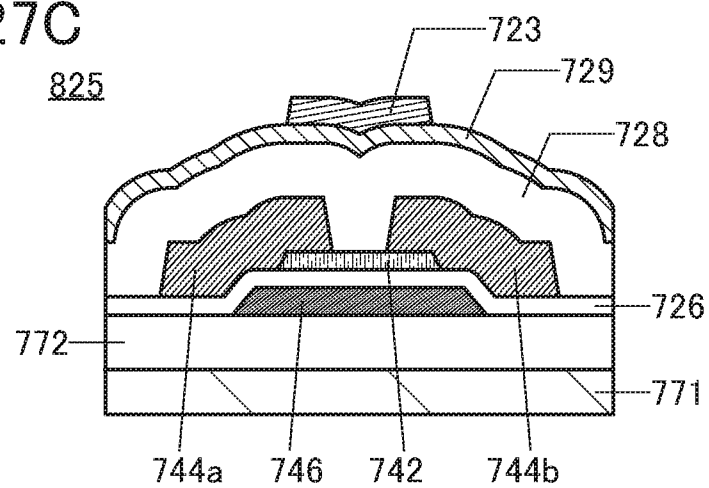


図28A

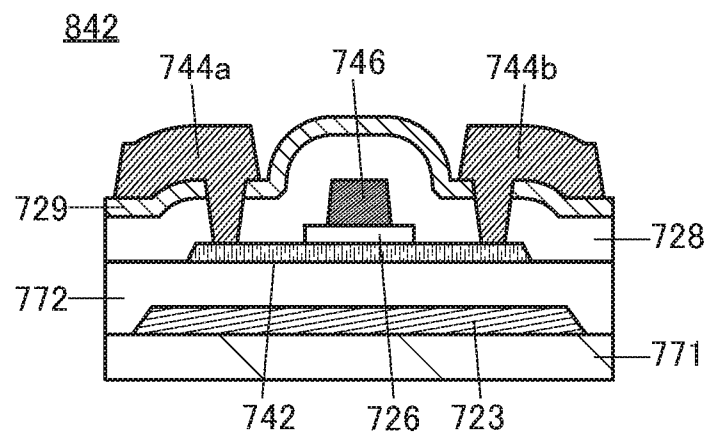


図28B

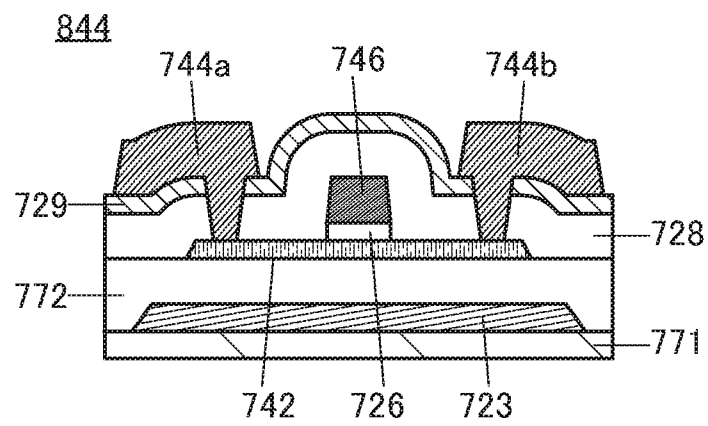


図28C

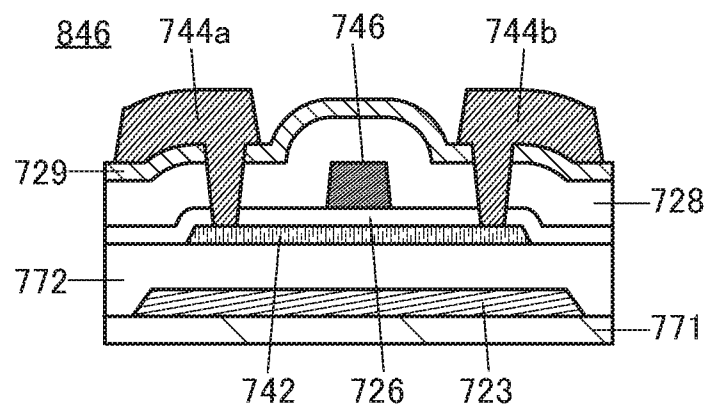


図29A

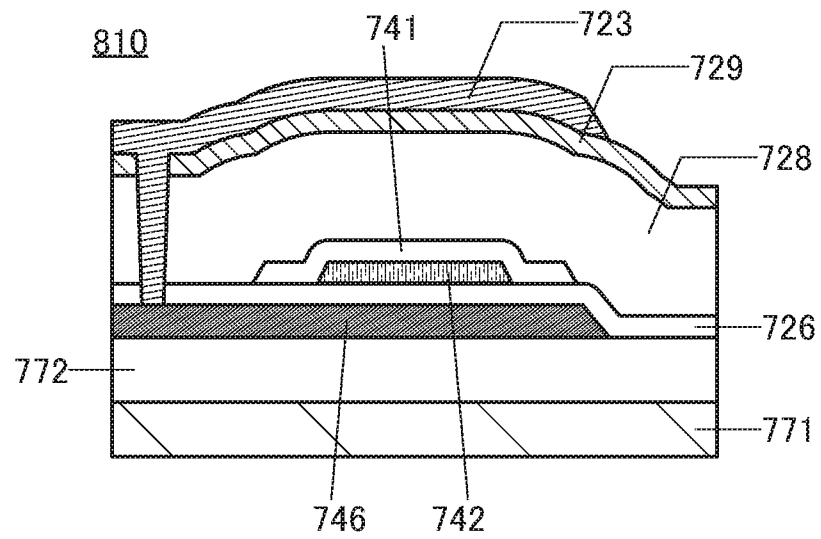


図29B

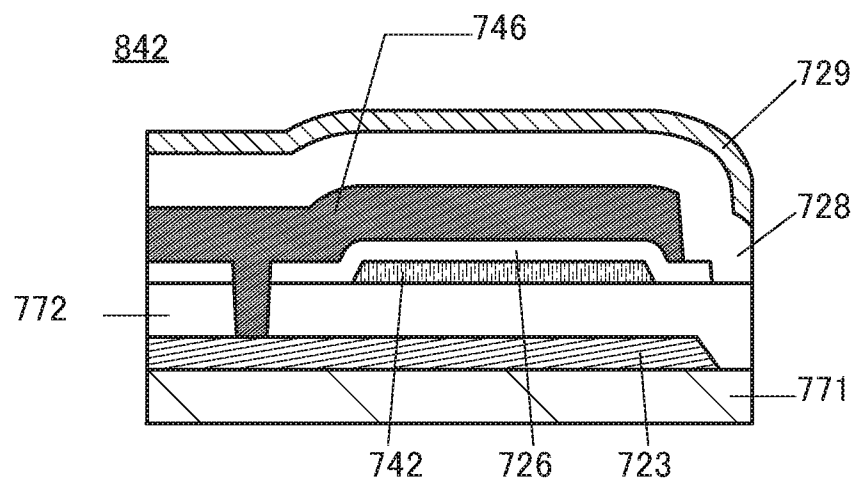


图 30A

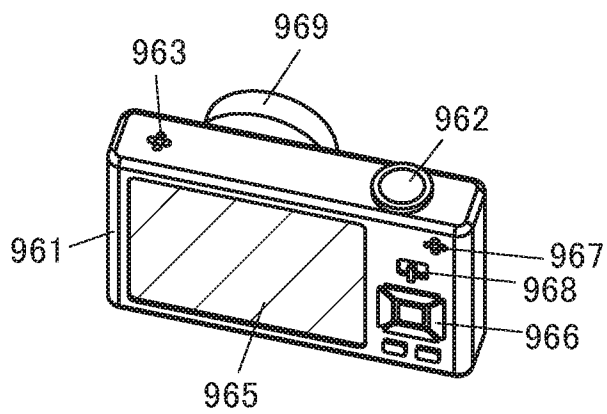


图 30B

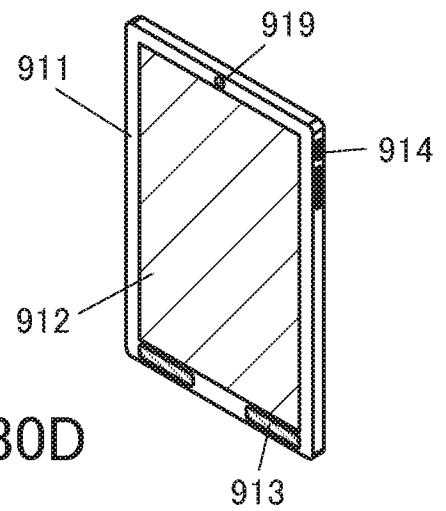


图 30C

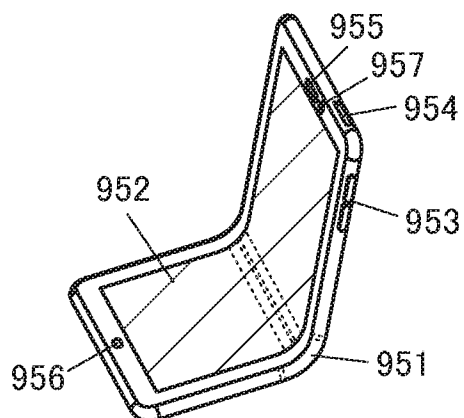


图 30D

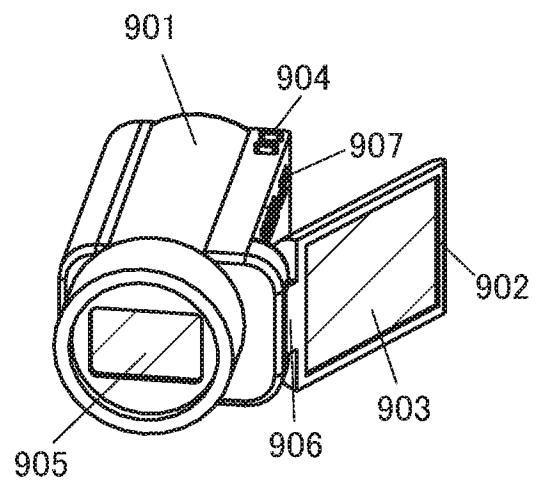


图 30E

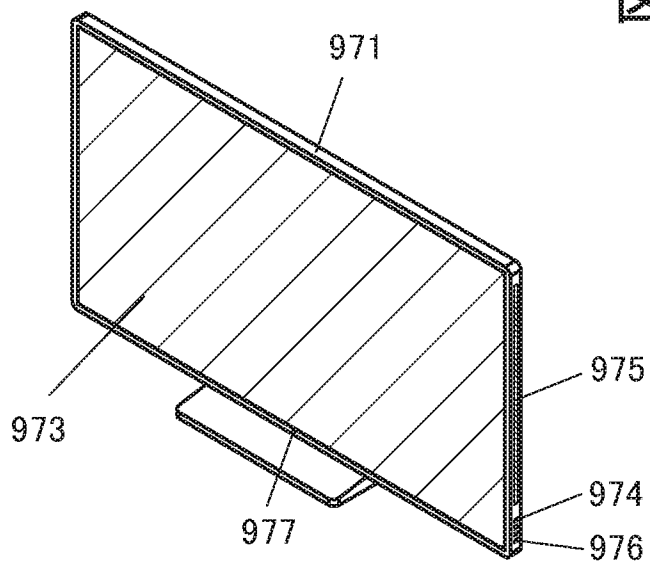
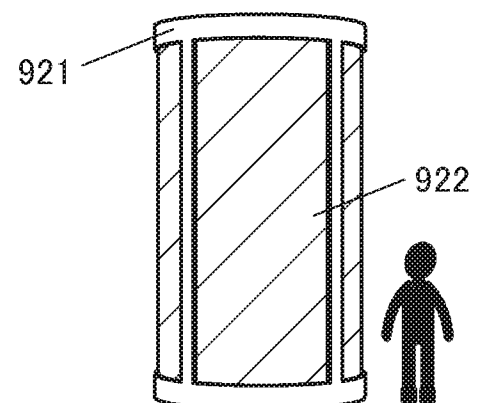


图 30F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/054663

A. CLASSIFICATION OF SUBJECT MATTER

G09F 9/30 (2006.01)i; H01L 27/32 (2006.01)i; G02F 1/1368 (2006.01)i; H01L 51/50 (2006.01)i; H05B 33/14 (2006.01)i

FI: G09F9/30 338; G02F1/1368; H01L27/32; H05B33/14 A; H05B33/14 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30; H01L27/32; G02F1/1368; H01L51/50; H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-186320 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13.07.2006 (2006-07-13) paragraphs [0017], [0018], [0052]-[0060], [0086]-[0090], [0114]-[0115], fig. 1, 2, 9-11, 15, 16	1-2, 9
Y		6-8
Y	JP 2007-123861 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17.05.2007 (2007-05-17) paragraphs [0012], [0055], [0090], [0123]	6-8
A	US 2015/0187861 A1 (LG DISPLAY CO., LTD.) 02.07.2015 (2015-07-02) fig. 4, 5	1-9
A	US 2012/0104405 A1 (CHOI, Hee-Dong et al.) 03.05.2012 (2012-05-03) fig. 10	1-9
A	WO 2016/190187 A1 (SHARP CORP.) 01.12.2016 (2016-12-01) entire text, all drawings	1-9

☒ Further documents are listed in the continuation of Box C.	☒ See patent family annex.
--	--

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

26 August 2020 (26.08.2020)

Date of mailing of the international search report

08 September 2020 (08.09.2020)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/054663

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0008395 A1 (YOON, Ju-Won et al.) 08.01.2015 (2015-01-08) entire text, all drawings	1-9
A	JP 2013-57921 A (SAMSUNG DISPLAY CO., LTD.) 28.03.2013 (2013-03-28) entire text, all drawings	1-9

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/054663

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2006-186320 A	13 Jul. 2006	(Family: none)	
JP 2007-123861 A	17 May 2007	US 2007/0072439 A1	
		paragraphs [0014],	
		[0079], [0114],	
		[0148]	
		US 2008/0308796 A1	
		US 2008/0308797 A1	
		US 2008/0308804 A1	
		US 2008/0308805 A1	
		EP 1770788 A2	
		EP 1995787 A2	
		EP 1998373 A2	
		CN 1941299 A	
		CN 101335212 A	
		CN 101335274 A	
US 2015/0187861 A1	02 Jul. 2015	EP 2889912 A2	
		KR 10-2015-0078344 A	
		CN 104752471 A	
US 2012/0104405 A1	03 May 2012	KR 10-2012-0046356 A	
		CN 102456623 A	
WO 2016/190187 A1	01 Dec. 2016	US 2018/0149911 A1	
		CN 107533819 A	
US 2015/0008395 A1	08 Jan. 2015	KR 10-2015-0006151 A	
JP 2013-57921 A	28 Mar. 2013	US 2013/0063330 A1	
		EP 2568504 A2	
		KR 10-2013-0027845 A	
		CN 202695445 U	
		CN 103000654 A	
		TW 201312819 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09F 9/30(2006.01)i; H01L 27/32(2006.01)i; G02F 1/1368(2006.01)i; H01L 51/50(2006.01)i; H05B 33/14(2006.01)i FI: G09F9/30 338; G02F1/1368; H01L27/32; H05B33/14 A; H05B33/14 Z		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09F9/30; H01L27/32; G02F1/1368; H01L51/50; H05B33/14		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-186320 A（株式会社半導体エネルギー研究所）13.07.2006（2006-07-13） 段落0017, 0018, 0052-0060, 0086-0090, 0114-0115, 図1, 2, 9-11, 15, 16	1-2, 9
Y		6-8
Y	JP 2007-123861 A（株式会社半導体エネルギー研究所）17.05.2007（2007-05-17） 段落0012, 0055, 0090, 0123	6-8
A	US 2015/0187861 A1（LG DISPLAY CO., LTD.）02.07.2015（2015-07-02） 図4, 5	1-9
A	US 2012/0104405 A1（CHOI, Hee-Dong et al.）03.05.2012（2012-05-03） 図10	1-9
A	WO 2016/190187 A1（シャープ株式会社）01.12.2016（2016-12-01） 全文全図	1-9
A	US 2015/0008395 A1（Y00N, Ju-Won et al.）08.01.2015（2015-01-08） 全文全図	1-9
☒ C欄の続きにも文献が列举されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 26.08.2020		国際調査報告の発送日 08.09.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 新井 重雄 2I 8605 電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-57921 A (三星ディスプレイ株式会社) 28, 03, 2013 (2013 - 03 - 28) 全文全図	1-9

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/054663

引用文献			公表日	パテントファミリー文献	公表日
JP	2006-186320	A	13.07.2006	(ファミリーなし)	
JP	2007-123861	A	17.05.2007	US 2007/0072439	A1
				段落 0014, 0079, 0114, 0148	
				US 2008/0308796	A1
				US 2008/0308797	A1
				US 2008/0308804	A1
				US 2008/0308805	A1
				EP 1770788	A2
				EP 1995787	A2
				EP 1998373	A2
				CN 1941299	A
				CN 101335212	A
				CN 101335274	A
US	2015/0187861	A1	02.07.2015	EP 2889912	A2
				KR 10-2015-0078344	A
				CN 104752471	A
US	2012/0104405	A1	03.05.2012	KR 10-2012-0046356	A
				CN 102456623	A
WO	2016/190187	A1	01.12.2016	US 2018/0149911	A1
				CN 107533819	A
US	2015/0008395	A1	08.01.2015	KR 10-2015-0006151	A
JP	2013-57921	A	28.03.2013	US 2013/0063330	A1
				EP 2568504	A2
				KR 10-2013-0027845	A
				CN 202695445	U
				CN 103000654	A
				TW 201312819	A