

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/06 (2006.01)

G11C 29/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710098914.6

[45] 授权公告日 2009年2月4日

[11] 授权公告号 CN 100458977C

[22] 申请日 2007.4.29

[21] 申请号 200710098914.6

[73] 专利权人 北京中星微电子有限公司

地址 100083 北京市海淀区学院路35号
世宁大厦15层

[72] 发明人 张浩 李国新

[56] 参考文献

CN1315732A 2001.10.3

WO8302164A1 1983.6.23

US4456995A 1984.6.26

CN1035018A 1989.8.23

US5477492A 1995.12.19

审查员 王越

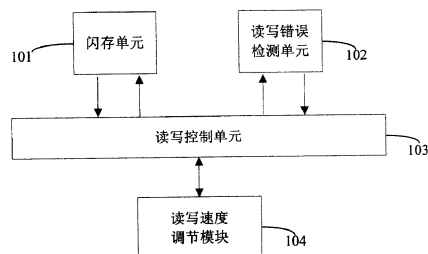
权利要求书3页 说明书10页 附图4页

[54] 发明名称

一种自适应控制闪存接口读写速度的装置和方法

[57] 摘要

本发明提供的自适应控制闪存接口读写速度的装置和方法，通过对闪存的空白区读写数据，并判断是否出现读写错误现象，在读写操作未发生错误的情况下，缩短对闪存读写波形的建立时间和保持时间，直至出现读写错误，从而达到加快闪存的接口读写速度。这样，解决了现有技术中在缺乏配置工具的应用环境中难以方便地使用多种传输速度的闪存的问题。进一步地，由于读写操作是在读写速度超过最大值时出错，所以可以保证闪存快速读写得到充分发挥。



1、一种自适应控制闪存接口读写速度的装置，其特征在于：所述的装置包括闪存单元、读写控制单元、读写操作检测单元、读写速度调节模块，其中

所述闪存单元，具有可存储所述读写控制单元写入的数据的空白区；

所述读写控制单元，用于根据来自所述读写速度调节模块的预设的或当前的读写速度，向所述闪存单元的空白区写入用户预设的数据，并在写操作完成后以相同的读写速度从所述闪存单元的空白区读取该数据，并将所读取的数据发送给所述读写操作检测单元；

所述读写操作检测单元，用于检测读写操作是否出现错误，并将检测结果发送给读写控制单元；

所述读写控制单元，还用于根据读写操作检测单元发送的检测结果，向所述读写速度调节模块发出调节当前的读写速度的控制指令，以在读写操作未出错时，控制所述读写速度调节模块加快当前的读写速度，直至读写操作出错；并在读写操作出错时，控制所述读写速度调节模块降低当前的读写速度，直至读写操作正确，从而获得调节后的对闪存的读写速度。

2、如权利要求1所述的装置，其特征在于：

所述的读写速度调节模块包括建立时间调节单元和建立时间存储单元；

所述建立时间调节单元，用于根据所述读写控制单元发送的调节读写速度的控制命令，调节对闪存的读写波形建立时间；

所述建立时间存储单元，用于存储调节所得的对闪存读写波形建立时间值。

3、如权利要求1或2所述的装置，其特征在于：所述的读写速度调节模块包括保持时间调节单元和保持时间存储单元；

所述保持时间调节单元，用于根据所述读写控制单元发送的调节读写速度的控制命令，调节对闪存读写波形保持时间；

所述保持时间存储单元，用于存储调节所得的对闪存读写波形保持时间值。

4、如权利要求3所述的装置，其特征在于：所述读写操作检测单元为读写比较单元，用于比较来自读写控制单元的数据与读写控制单元写入闪存单元的数据是否相等，并将比较结果发送给读写控制单元；

或，

所述读写操作检测单元为读写校验单元，用于校验由读写控制单元从闪存单元空白区读取的数据的正确性，得出校验结果，并发送给读写控制单元。

5、如权利要求4所述的装置，其特征在于：所述闪存为 NAND FLASH。

6、一种自适应控制闪存的接口读写速度的方法，其特征在于：所述的方法包括以下步骤：

1) 以预设的或当前的读写速度向闪存空白区写入数据；

2) 以与步骤1)相同的读写速度从闪存空白区读取数据；

3) 检测读写操作是否发生错误，得到检测结果；

4) 根据步骤3)所得检测结果调节当前的读写速度，如果所得检测结果为读写操作未发生错误，则加快当前的读写速度，将加快后的读写速度作为当前读写速度，并返回步骤1)，否则降低当前的读写速度直至读写操作正确，从而获得调节后的对闪存的读写速度。

7、如权利要求6所述的方法，其特征在于：所述步骤3)中检测读写操作是否发生错误具体为：比较从闪存空白区读取的数据与向闪存空白区写入的用户预设的数据是否相等，如果两者相等，则表明读写操作未发生错误；否则表明读写操作发生错误；

或，

将预设的校验码写入闪存空白区，并进行校验，如果校验码正确，则表明读写操作未发生错误；否则表明读写操作发生错误。

8、如权利要求7所述的方法，其特征在于：所述加快对闪存的读写速度，通过缩短对闪存读写波形的建立时间和/或保持时间实现；所述降低对闪存的读写速度，通过延长对闪存读写波形的建立时间和/或保持时间实现。

9、如权利要求 8 所述的方法，其特征在于：所述缩短对闪存读写波形的建立时间和/或保持时间，具体为：将对闪存读写波形的建立时间和/或保持时间以一个固定值递减。

10、如权利要求 8 所述的方法，其特征在于：所述延长闪存读写波形的建立时间和/或保持时间，具体为：将当前对闪存读写波形的建立时间和/或保持时间加上上一次缩短建立时间或保持时间时减去的固定值。

11、如权利要求 6 所述的方法，其特征在于：所述步骤 1) 中，预设的读写速度为读写波形周期大于等于 50ns，且在第一次对闪存空白区进行读写操作时采用所述预设的读写速度。

12、如权利要求 11 所述的方法，其特征在于：所述第一次对闪存进行读写操作后，如果判断结果为读写操作出错，则系统报错。

一种自适应控制闪存接口读写速度的装置和方法

技术领域

本发明涉及闪存的技术领域，具体涉及到自适应控制闪存存储器接口速度的装置和方法。

背景技术

目前，随着科学技术的发展，对于存储介质来说，存储器访问速度的提高是人们非常关系的问题。由于存储介质生产厂家非常多，存储介质的种类和型号也就非常多，单说 NAND FLASH 闪存就有几百种。然而，各个厂家的产品的接口协议和速度时序要求不尽相同。为了兼容不同型号的存储器，需要芯片控制器根据不同的存储器接口协议，来配置合适的指令和接口传输速度。现有技术中，通常需要用户对控制器进行一些配置，使得芯片控制器识别出所接的存储器类型、接口速度等基本信息。

这样，在缺乏配置工具的应用环境下使用具有多种传输速度的闪存变得十分不便；而且如果使用固定较低的接口速度，将使得速度较快的闪存发挥不出速度方面的优越性。

发明内容

有鉴于此，本发明的目的在于提供一种自适应控制闪存接口读写速度的装置及方法，无需增加额外的配置单元，系统就可以很方便地使闪存的接口读写速度达到最快。为达到上述目的，本发明提供的一种自适应控制闪存接口读写速度的装置，包括闪存单元、读写控制单元、读写操作检测单元、读写速度调节模块，其中

所述闪存单元，具有可存储所述读写控制单元写入的数据的空白区；

所述读写控制单元，用于根据来自所述读写速度调节模块的预设的或当前的读写速度，向所述闪存单元的空白区写入用户预设的数据，并在写操作完成

后以相同的读写速度从所述闪存单元的空白区读取该数据，并将所读取的数据发送给所述读写操作检测单元；

所述读写操作检测单元，用于检测读写操作是否出现错误，并将检测结果发送给读写控制单元；

所述读写控制单元，还用于根据读写操作检测单元发送的检测结果，向所述读写速度调节模块发出调节当前的读写速度的控制指令，以在读写操作未出错时，控制所述读写速度调节模块加快当前的读写速度，直至读写操作出错；并在读写操作出错时，控制所述读写速度调节模块降低当前的读写速度，直至读写操作正确，从而获得调节后的对闪存的读写速度。

所述的读写速度调节模块包括建立时间调节单元和建立时间存储单元；

所述建立时间调节单元，用于根据所述读写控制单元发送的调节读写速度的控制命令，调节对闪存的读写波形建立时间；

所述建立时间存储单元，用于存储调节所得的对闪存读写波形建立时间值。

所述的读写速度调节模块包括保持时间调节单元和保持时间存储单元；

所述保持时间调节单元，用于根据所述读写控制单元发送的调节读写速度的控制命令，调节对闪存读写波形保持时间；

所述保持时间存储单元，用于存储调节所得的对闪存读写波形保持时间值。

所述读写操作检测单元为读写比较单元，用于比较来自读写控制单元的数据与读写控制单元写入闪存单元的数据是否相等，并将比较结果发送给读写控制单元；

或，

所述读写操作检测单元为读写校验单元，用于校验由读写控制单元从闪存单元空白区读取的数据的正确性，得出校验结果，并发送给读写控制单元。

所述闪存为 NAND FLASH。

本发明还提供了一种自适应控制闪存的接口读写速度的方法，包括以下步骤：

- 1) 以预设的或当前的读写速度向闪存空白区写入数据;
- 2) 以与步骤 1) 相同的读写速度从闪存空白区读取数据;
- 3) 检测读写操作是否发生错误, 得到检测结果;

4) 根据步骤 3) 所得检测结果调节当前的读写速度, 如果所得检测结果为读写操作未发生错误, 则加快当前的读写速度, 将加快后的读写速度作为当前读写速度, 并返回步骤 1), 否则降低当前的读写速度直至读写操作正确, 从而获得调节后的对闪存的读写速度。

所述步骤 3) 中检测读写操作是否发生错误具体为: 比较从闪存空白区读取的数据与向闪存空白区写入的用户预设的数据是否相等, 如果两者相等, 则表明读写操作未发生错误; 否则表明读写操作发生错误;

或,

将预设的校验码写入闪存空白区, 并进行校验, 如果校验码正确, 则表明读写操作未发生错误; 否则表明读写操作发生错误。

所述加快对闪存的读写速度, 通过缩短对闪存读写波形的建立时间和/或保持时间实现; 所述降低对闪存的读写速度, 通过延长对闪存读写波形的建立时间和/或保持时间实现。

所述缩短对闪存读写波形的建立时间和/或保持时间, 具体为: 将对闪存读写波形的建立时间和/或保持时间以一个固定值递减。

所述延长闪存读写波形的建立时间和/或保持时间, 具体为: 将当前对闪存读写波形的建立时间和/或保持时间加上上一次缩短建立时间或保持时间时减去的固定值。

所述步骤 1) 中, 预设的读写速度为读写波形周期大于等于 50ns, 且在第一次对闪存空白区进行读写操作时采用所述预设的读写速度。

所述第一次对闪存进行读写操作后, 如果判断结果为读写操作出错, 则系统报错。

由以上的技术方案可见, 本发明提供的自适应控制闪存接口读写速度的装

置和方法，通过对闪存的空白区读写数据，并判断是否出现读写错误现象，在读写操作未发生错误的情况下，缩短对闪存读写波形的建立时间和保持时间，直至出现读写错误，从而达到加快闪存的接口读写速度。这样，解决了现有技术中在缺乏配置工具的应用环境中难以方便地使用多种传输速度的闪存的问题。

进一步地，由于读写操作是在读写速度超过最大值时出错，所以可以保证闪存快速读写得到充分发挥。

附图说明

图 1 为本发明提供的自适应控制闪存接口读写速度装置结构示意图；

图 2 为本发明提供的自适应控制闪存接口读写速度装置的一种具体实施例示意图。

图 3 为本发明提供的自适应控制闪存接口读写速度装置的另一种具体实施例示意图。

图 4 为本发明提供的自适应控制闪存接口读写速度装置的又一种具体实施例示意图。

图 5 为根据本发明提供的自适应控制闪存接口读写速度的方法流程图；

图 6 为闪存以 NAND FLASH 为例的根据本发明提供的自适应控制闪存接口读写速度的一种具体实施例示意图。

具体实施方式

根据本发明提供的自适应控制闪存接口读写速度的装置和方法，通过对闪存的空白区写读校验码，并判断所读校验码的正确性，从而判断是否出现读写错误现象，在校验码正确的情况下，调快读写建立时间和保持时间，直至出现读写错误，以加快闪存的接口读写速度。

为使本发明的目的、技术方案及优点更加清楚明白，以下参照附图并举实施例，对本发明进一步详细说明。

图 1 为本发明提供的自适应控制闪存接口读写速度装置示意图。

如图 1 所示, 该装置包括闪存单元 101、读写控制单元 102、读写操作检测单元 103、读写速度调节模块 104。

其中, 所述闪存单元 101, 用于存储数据, 该单元保留一个空白区用于存储所述读写控制单元 102 写入的数据。

所述读写控制单元 102, 用于以预设的或当前的对闪存读写速度向所述闪存单元的空白区写入用户预设的数据, 并在写操作完成后以相同速度从所述闪存单元的空白区读取该数据, 并将所读取的数据发送给所述读写操作检测单元 103。。

所述读写操作检测单元 103, 用于检测读写操作是否出现错误, 并得出检测结果。

所述读写操作检测单元 103 可以是读写比较单元, 比较来自读写控制单元 102 的数据与读写控制单元 102 写入闪存单元 101 的数据 (该数据由用户预先设定) 是否相等, 并将比较结果发送给读写控制单元 102。

所述读写操作检测单元 103 也可以是校验单元, 校验单元通过校验由读写控制单元 102 从闪存单元 101 空白区读取的数据的正确性, 得出校验结果, 并发送给读写控制单元 102。

所述读写控制单元 102, 还用于根据读写操作检测单元发送的检测结果向所述读写速度调节模块发送控制命令, 如果检测结果为未操作, 则发出加快读写速度的控制命令, 否则发出降低读写速度的控制命令。

所述读写速度调节模块 104, 用于根据所述读写控制单元发送的控制命令, 调节对闪存的读写速度。

当给系统上电, 此时并不知道当前闪存的接口读写速度情况, 因此为了提高可靠性和兼容性, 需要确定一个最基本的闪存接口读写速度, 使系统处于低速工作状态。比如, 现有技术中, 读写 NAND FLASH 的访问周期一般为 50ns。本发明中, 可以预先设置对 NAND FLASH 的读写波形周期, 该读写波形周期大于等于 50ns, 如以 50ns 的 20 倍为周期对 NAND FLASH 进行读写操作。

所述读写控制单元 102 第一次以预设的最基本的读写速度向所述闪存单元 101 的空白区写入用户预设的数据，当写操作完成后，以相同速度从所述闪存单元 101 空白区读取数据，并将所读取的数据送至所述读写操作检测单元 103，检测读写是否发生错误。

如果检测到读写操作发生错误，则说明闪存中有坏块或是存在其他问题，系统做报错处理；否则所述读写控制单元 102 发送加快读写速度的控制命令给所述读写速度调节模块 104，所述读写速度调节模块 104 接收到命令，加快对闪存的读写速度，调节后所得的读写速度将作为下一次读写操作的读写速度。

在下一次读写操作中，所述读写控制单元 102 以调节后所得的速度向所述闪存单元 101 的空白区写入用户预设的数据，当写操作完成后，所述读写控制单元 102 以相同速度从所述闪存单元 101 空白区读取数据，并将所读取的数据送至所述读写操作检测单元 103，检测是否出现读写错误。

如果检测到未出现读写错误，所述读写控制单元 102 向所述读写速度调节模块 104 发出加快读写速度的控制命令，所述读写速度调节模块 104 根据接收到的控制命令加快对闪存读写速度；如果检测到读写操作发生错误，此时闪存接口读写速度已经超过最大值，所述读写控制单元 102 向所述读写速度调节模块 104 发出降低读写速度的控制命令，所述读写速度调节模块 104 根据接收到的控制命令将对闪存的读写速度降低，直至读写操作正确。

本发明的实施例中所述加快当前的读写速度可以逐级提高；所述降低当前的读写速度可以逐级降低，亦可将上一次加快读写速度之前的值（即上次读写操作未出错时的读写速度）作为降低后的读写速度值。

所述调节读写速度可以采用同时调节读写波形的建立时间和保持时间的达到，也可以单独调节读写波形的建立时间或保持时间达到。

图 2 为本发明提供的自适应控制闪存接口读写速度装置的一个具体实施例示意图。

在本实施例中，所述读写速度调节模块 204 包括读写波形建立时间调节单

元 204a 和读写波形建立时间存储单元 204b。

当所述读写速度调节模块 204 接收到加快读写速度的控制命令，所述读写波形建立时间调节单元 204a 缩短建立时间，并将缩短后的值存储到所述读写波形建立时间存储单元 204b，作为下一次读写波形的建立时间。

当所述读写速度调节模块 204 接收到降低读写速度的控制命令，所述读写波形建立时间调节单元 204a 延长建立时间到上一次缩短建立时间之前的值。

图 3 为本发明提供的自适应控制闪存接口读写速度装置的另一个具体实施例示意图。

在本实施例中，所述读写速度调节模块 304 包括读写波形保持时间调节单元 304a 和读写波形保持时间存储单元 304b，工作原理与图 2 所示的具体实施例相同。

图 4 为本发明提供的自适应控制闪存接口读写速度装置的又一个具体实施例示意图。

在本实例中，所述读写速度调节模块 404 包括读写波形建立时间调节单元 404a 和读写波形建立时间存储单元 404b，读写波形保持时间调节单元 404c 和读写波形建立时间存储单元 404d。

当所述读写速度调节模块 404 接收到调节读写速度的控制命令，所述读写波形建立时间调节单元 404a 和所述读写波形保持时间调节单元同时缩短或延长读写波形的建立时间和保持时间，并将调节后的值存储到所述读写波形建立时间存储单元 404b 和所述读写波形保持时间存储单元 404d 中，作为下一次读写波形的建立时间和保持时间。

作为一种具体实施例，如果缩短建立时间和保持时间的方法是使读写波形的建立时间保持时间存储单元以一个固定值递减，则所述将读写波形的建立时间和保持时间延长至上一次缩短建立时间和保持时间之前的值的方法就是使存储在所述建立时间存储单元 404b 和所述保持时间存储单元 404d 中的值加上这个固定值，这样所得到的值便是在读写操作出错时，读写波形的建立时间和保

持时间的取值，即为闪存达到最大读写速度时所对应的读写波形建立时间和保持时间。

图 5 为根据本发明提供的自适应控制闪存接口读写速度的流程图。具体步骤如下：

步骤 500，给系统上电，系统处于低速状态；

步骤 501，以当前读写速度向闪存空白区写入数据；

步骤 502，以当前读写速度从闪存空白区读取数据；

步骤 503，检测读写操作是否发生错误，得到检测结果；

所述检测读写操作是否发生错误，可以通过比较向闪存空白区写入的数据与从闪存空白区读取的数据是否相等判断，如果两者相等，则表明读写操作未发生错误；否则表明读写操作发生错误。

也可以通过预设一个校验码，并将校验码写入闪存空白区，并进行校验。如果校验码正确，则表明读写操作未发生错误；否则表明读写操作发生错误。

步骤 504，根据步骤 503 所得结果调节当前读写速度调节后所得的速度值为当前对闪存的读写速度值。

如果步骤 503 所得的结果为未发生读写错误，则加快当前的读写速度，直至检测到发生读写错误；否则降低当前的读写速度直至不再发生读写错误。

所述加快当前的读写速度可以逐级提高；所述降低当前的读写速度可以逐级降低，亦可将上一次加快读写速度之前的值作为降低后的读写速度值。

所述加快或降低对闪存的读写速度，可以单独缩短或延长对闪存读写波形的建立时间或单独缩短或延长读写波形的保持时间，也可以是同时缩短或延长对闪存读写波形的建立时间和保持时间。由于在目前闪存市场中，属 NAND FLASH 的接口速度种类较多，需要调节接口速度的情况更加频繁出现，所以，下面以 NAND FLASH 为例，对本发明进行更详细的说明。

图 6 为闪存以 NAND FLASH 为例的根据本发明提供的自适应控制闪存接口读写速度的实施例示意图。

在本实施例中，判断是否出现读写错误的方法以比较经过读写操作，从闪存读取的数据是否与用户预设的数据相等为例；加快对闪存读写速度的方法以同时缩短读写波形的建立时间和保持时间为例。本发明提供的自适应控制闪存接口读写速度的具体步骤如下：

步骤 600，系统上电，并处于低速工作状态；

由于在系统上电时，并不知道当前 NAND FLASH 的接口读写速度情况，因此为了提高可靠性和兼容性，需要确定一个最基本的接口读写速度，使系统处于低速工作状态。现有技术中，读写 NAND FLASH 的访问周期一般为 50ns。在本实施例中，预先设置对 NAND FLASH 的读写波形周期，该读写波形周期大于等于 50ns，如以 50ns 的 20 倍为周期对 NAND FLASH 进行读写操作，根据预设的读写波形周期便能确定读写波形的建立时间和保持时间。

步骤 601，第一次根据预先设置的对 NAND FLASH 的读写波形的建立时间和保持时间，向 NAND FLASH 空白区写入用户预先设置的数据。

步骤 602，根据预设的对 NAND FLASH 的读写波形的建立时间和保持时间，从 NAND FLASH 空白区读取数据。

步骤 603，判断步骤 602 中从 NAND FLASH 空白区读取的数据与用户预设的数据是否相等，如果不相等，则执行步骤 604；否则执行步骤 605。

步骤 604，系统报错。

步骤 605，缩短对 NAND FLASH 读写波形的建立时间和保持时间，并存储。

步骤 606，根据步骤 605 中存储的对 NAND FLASH 读写波形的建立时间和保持时间向 NAND FLASH 空白区写入用户预设的数据。

步骤 607，根据步骤 605 中存储的对 NAND FLASH 读写波形的建立时间和保持时间从 NAND FLASH 空白区读取数据。

步骤 608，判断步骤 607 中读取的数据是否与步骤 606 中写入的用户预设的数据相等，如果相等，则执行步骤 609，并返回步骤 606；否则，执行步骤 610。

步骤 609, 缩短对 NAND FLASH 读写波形的建立时间和保持时间, 并存储。

步骤 610, 将对 NAND FLASH 读写波形的建立时间和保持时间延长至上一次缩短前的建立时间和保持时间。

步骤 611, 结束对 NAND FLASH 读写波形的建立时间和保持时间的调节。

所述步骤 605 和步骤 609 中, 缩短对 NAND FLASH 读写波形的建立时间和保持时间, 可以通过将当前读写波形的建立时间和保持时间以一个固定值递减, 也可以通过将建立时间和保持时间对折实现, 从而达到加快 NAND FLASH 读写速度的效果。

在本实施例中, 采用前一种方法缩短对 NAND FLASH 读写波形的建立时间和保持时间, 所以, 所述步骤 610 中所述将对 NAND FLASH 读写波形的建立时间和保持时间延长至上一次缩短前的建立时间和保持时间, 是通过将当前存储的读写波形的建立时间和保持时间加上缩短时间时递减的固定值得到。

由上述的实施例可见, 采用本发明提供的装置和方法, 解决了现有技术中在缺乏配置工具的应用环境中难以方便地使用多种传输速度的闪存的问题, 通过调节闪存的读写波形建立时间和保持时间, 以达到加快其接口速写速度的效果, 无需额外的配置工具; 进一步地由于读写操作是在读写速度超过最大值时出错, 所以可以保证闪存快速读写得到充分发挥。

总之, 以上所述仅为本发明的较佳实施例而已, 并非用于限定本发明的保护范围。本领域的技术人员可以根据本发明的实施例进行相应的改变, 比如可以在闪存的空白区加入其他的识别信息, 用于判断是否出现读写错误; 对于存储器也不只限定在闪存的范围内, 还可以是其他存储介质, 只要该存储介质的读写速度可以通过改变其他的一个或几个参数便能实现的, 方可采用本发明提供的装置和方法。因此凡在本发明的精神和原则之内, 所作的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

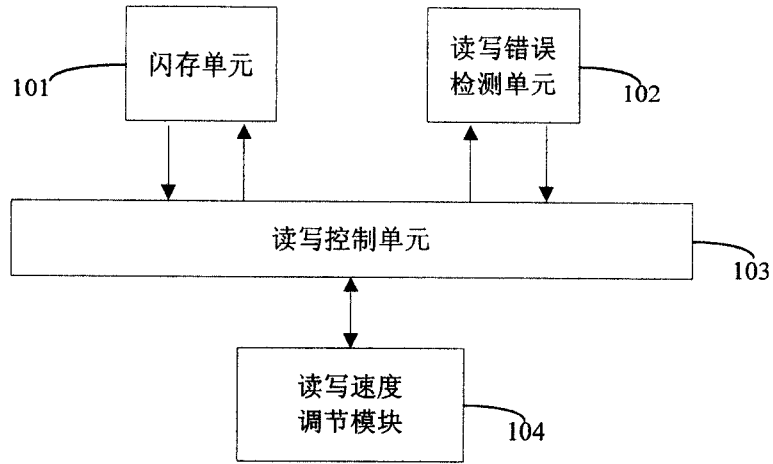


图 1

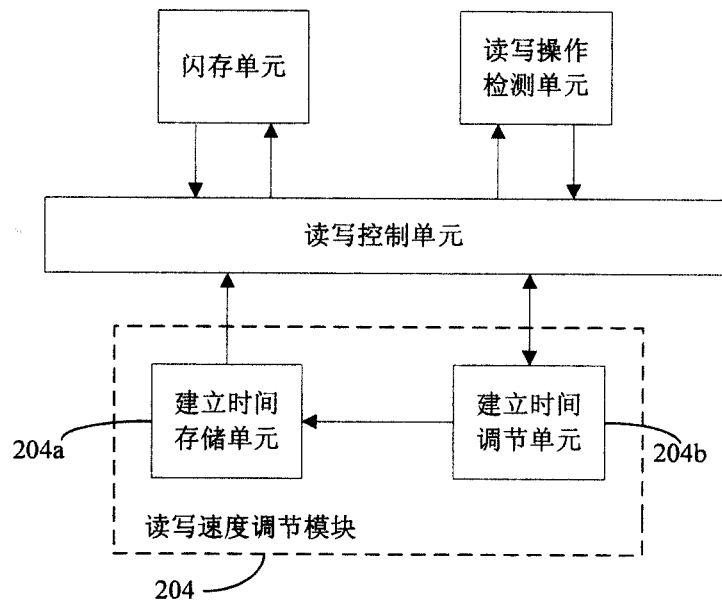


图 2

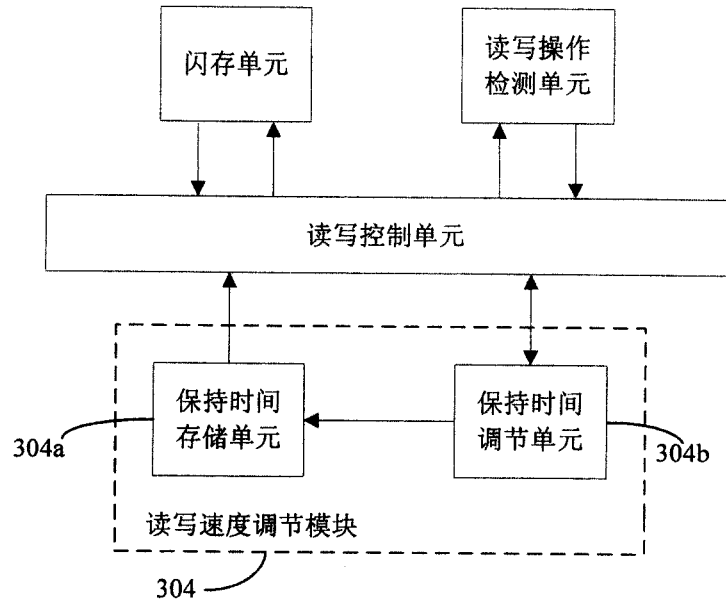


图 3

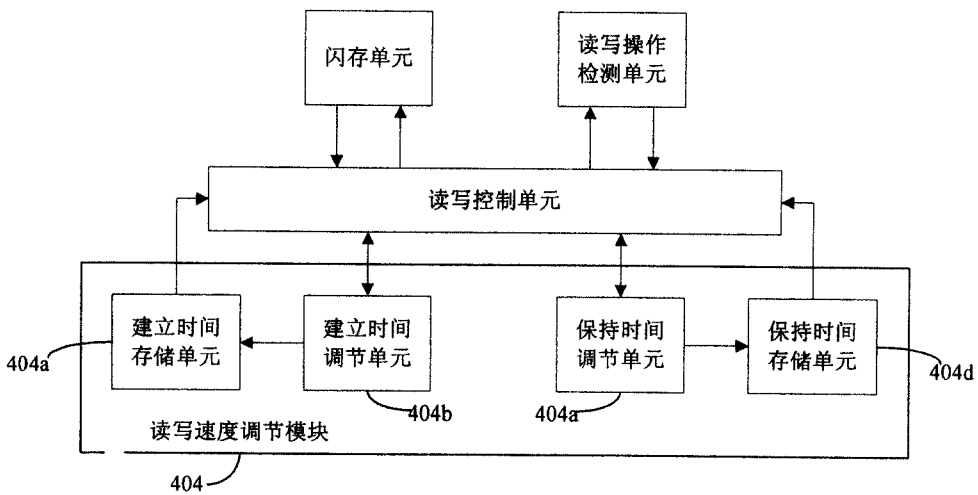


图 4

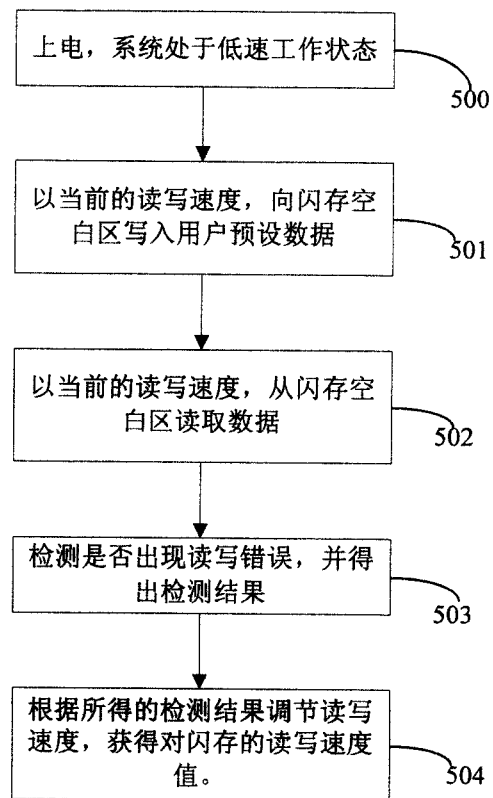


图 5

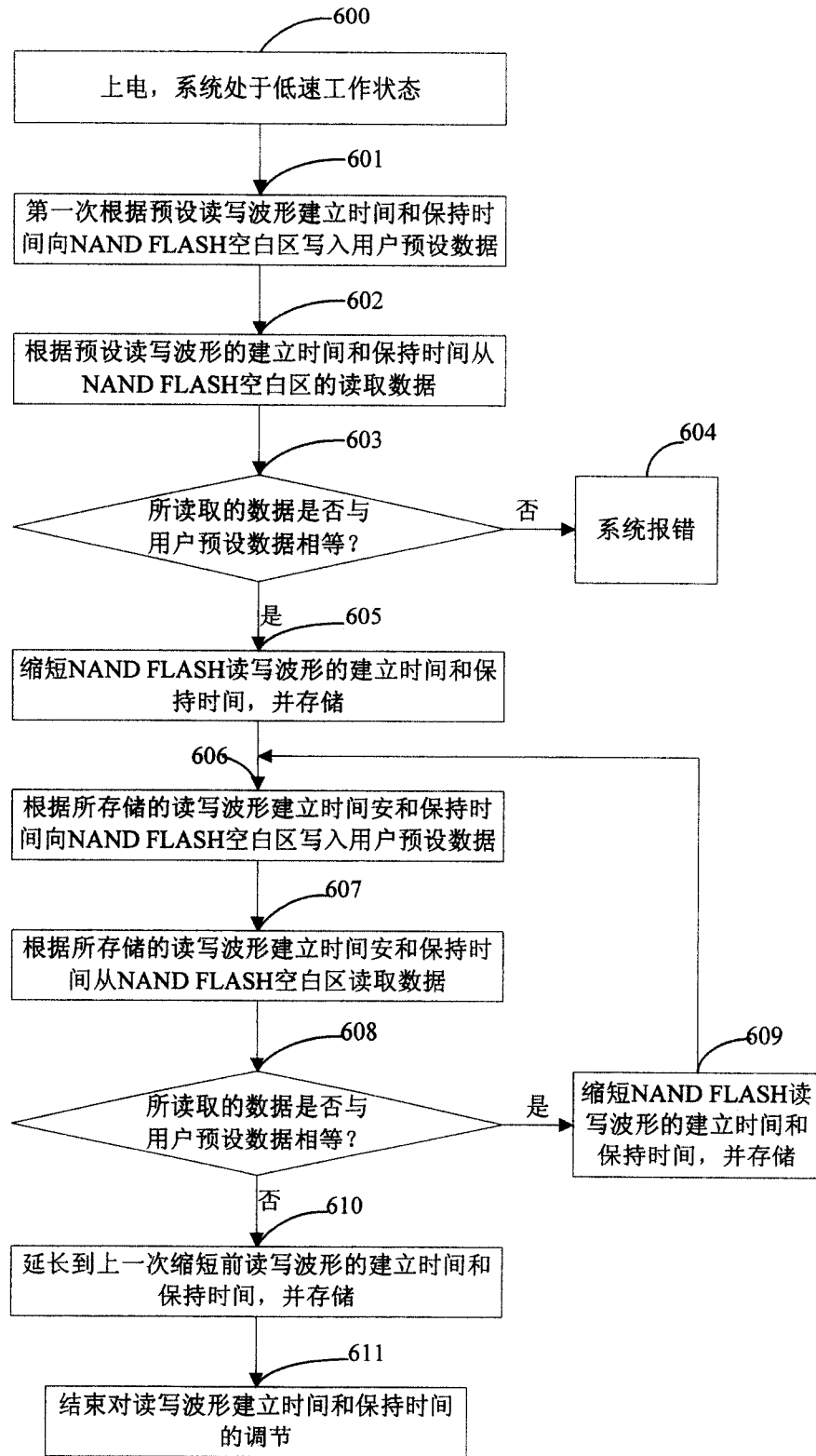


图 6