



(12)发明专利

(10)授权公告号 CN 105321555 B

(45)授权公告日 2018.07.10

(21)申请号 201410474469.9

(51)Int.Cl.

(22)申请日 2014.09.17

G11C 11/413(2006.01)

(65)同一申请的已公布的文献号

(56)对比文件

申请公布号 CN 105321555 A

CN 102298963 A, 2011.12.28,

(43)申请公布日 2016.02.10

CN 102870160 A, 2013.01.09,

(30)优先权数据

US 8315085 B1, 2012.11.20,

14/317,146 2014.06.27 US

审查员 邢丽超

(73)专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72)发明人 廖忠志

(74)专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社呆 李伟

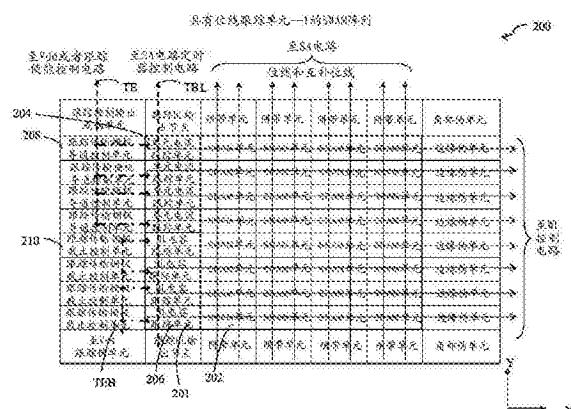
权利要求书6页 说明书22页 附图26页

(54)发明名称

存储芯片和制造存储芯片的布局设计

(57)摘要

本发明涉及存储芯片和制造存储芯片的布局设计。静态随机存取存储器(SRAM)芯片包括多个SRAM单元和多个单元电流跟踪单元。每个SRAM单元包括电源电压参考导体、第一接地参考导体、两个交叉耦合反相器、和两个传输栅极器件。每个单元电流跟踪单元包括第一半单元和第二半单元。第一半单元不同于第二半单元。



1. 一种静态随机存取存储器SRAM芯片，包括：
多个SRAM单元，其中，每个所述SRAM单元都包括：
电源电压参考导体；
第一接地参考导体；
两个交叉耦合反相器；和
两个传输栅极器件；以及
多个单元电流跟踪单元，其中，所述多个单元电流跟踪单元中的每个单元电流跟踪单元都包括：
第一半单元，其中，所述第一半单元包括：
第一跟踪位线导体；
第一互补金属氧化物半导体CMOS包括：
第一下拉(PD)器件，和
第一上拉(PU)器件，和
第一传输栅极器件，被配置为跟踪电流；以及
第二半单元，其中，所述第二半单元包括：
第二CMOS器件，包括：
第二下拉器件，和
第二上拉器件，和
第二传输栅极器件，被配置为接收字线信号；
多个电容跟踪单元，其中，所述多个电容跟踪单元中的每个电容跟踪单元都包括：
第三半单元，其中，所述第三半单元包括：
第三传输栅极器件，被配置为跟踪位线电容；和
第三CMOS，所述第三CMOS包括：
第三上拉器件，和
第三下拉器件，所述第三下拉器件具有被配置为电浮置的源极节点；
第四半单元，其中，所述第四半单元包括：
第四传输栅极器件，被配置为伪单元；和
第四CMOS，所述第四CMOS包括：
第四上拉器件，和
第四下拉器件，所述第四下拉器件的源极节点电连接至第二接地参考导体；
其中，所述第一半单元不同于所述第二半单元，所述第三半单元不同于所述第四半单元；
所述第一CMOS的所述第一下拉器件的栅极或者所述第一CMOS的所述第一上拉器件的栅极电连接至所述电源电压参考导体；
所述第二上拉器件的漏极节点与所述第二下拉器件的漏极节点电隔离；
所述第一传输栅极器件的栅极节点电连接至跟踪使能导体；
所述第二传输栅极器件的栅极节点电连接至第一字线导体；
所述第三传输栅极器件的栅极节点电连接至所述第二接地参考导体；以及
所述第四传输栅极器件的栅极节点电连接至所述第一字线导体。

2. 根据权利要求1所述的SRAM芯片,其中,所述第二接地参考导体电连接至所述第一接地参考导体。

3. 根据权利要求1所述的SRAM芯片,其中,所述第二接地参考导体电连接至所述多个单元电流跟踪单元的P阱导体。

4. 根据权利要求1所述的SRAM芯片,其中,从所述第一CMOS器件的所述第一下拉器件的栅极或从所述第一CMOS器件的所述第一上拉器件的栅极至所述电源电压参考导体线的连接路径包括:

 栅极接触件,和

 第一通孔。

5. 根据权利要求1所述的SRAM芯片,其中,所述第四上拉器件的源极节点电浮置。

6. 根据权利要求1所述的SRAM芯片,其中,所述多个SRAM单元中的每个SRAM单元的单元尺寸和所述多个单元电流跟踪单元或所述多个电容跟踪单元中的每个跟踪单元的单元尺寸基本相同。

7. 根据权利要求1所述的SRAM芯片,进一步包括:存储单元阵列,其中,所述存储单元阵列布置为多列和多行;

 所述多个SRAM单元和所述多个单元电流跟踪单元或所述多个电容跟踪单元中的跟踪单元均位于所述存储单元阵列中;以及

 所述多个单元电流跟踪单元或所述多个电容跟踪单元中的跟踪单元定位为邻近所述SRAM单元的边缘列。

8. 根据权利要求1所述的SRAM芯片,其中,所述多个单元电流跟踪单元中的每个单元电流跟踪单元和所述多个电容跟踪单元中的每个电容跟踪单元都位于第一列中;

 所述第一列包括至少2个至32个单元电流跟踪单元;

 所述第一传输栅极器件的漏极节点和所述第三传输栅极器件的漏极节点均电连接至所述第一跟踪位线导体。

9. 根据权利要求8所述的SRAM芯片,进一步包括:

 多个边缘单元,其中,所述多个边缘单元布置在第二列中,并且邻近所述第一列;

 所述多个边缘单元的一部分包括:

 第一边缘单元,和

 第二边缘单元,所述第一边缘单元包括跟踪使能导体,所述跟踪使能导体电连接至所述第一列中的每个单元电流跟踪单元的栅极节点。

10. 一种静态随机存取存储器SRAM芯片,包括:

 多个SRAM单元;

 多个跟踪单元;

 多个第一边缘单元;

 多个第二边缘单元;以及

 多个阱带单元;

 其中,所述多个SRAM单元中的每个SRAM单元都包括:

 电源电压参考导体;

 第一接地参考导体;

两个交叉耦合反相器；和
两个传输栅极器件；以及
所述多个跟踪单元中的每个跟踪单元都包括：
第一半单元，其中，所述第一半单元包括：
第一跟踪位线导体；
第一CMOS，包括：
第一下拉(PD)器件，和
第一上拉(PU)器件，和
第一传输栅极器件，被配置为跟踪电流；以及
第二半单元，其中，所述第二半单元包括：
第二CMOS，包括：
第二下拉器件，和
第二上拉器件，和
第二传输栅极器件；
所述第一半单元不同于所述第二半单元；
所述第一传输栅极器件的栅极节点电连接至跟踪使能导体；
所述第二传输栅极器件的栅极节点电连接至第一预定字线导体；
所述多个SRAM单元中的每个SRAM单元和所述多个跟踪单元中的每个跟踪单元均位于存储单元阵列中；
所述多个SRAM单元布置为多列和多行；
所述多个跟踪单元中的每个跟踪单元都布置在第一列中；
所述第一列邻近所述多个SRAM单元的边缘列；
多个第一边缘单元，其中，所述多个第一边缘单元布置在第二列中，并且邻近所述第一列；
多个第二边缘单元，其中，所述多个第二边缘单元布置在第三列中，并且邻近所述多个SRAM单元中的多列；
所述多个第一边缘单元包括所述跟踪使能导体；以及
所述多个SRAM单元中的每个SRAM单元的单元尺寸和所述多个跟踪单元中的每个跟踪单元的单元尺寸基本相同。

11. 根据权利要求10所述的SRAM芯片，进一步包括：
多个阱带单元，布置在第一行和第二行中，其中，所述第一行和所述第二行位于所述多个SRAM单元的相对端部处；
所述多个阱带单元中的每个阱带单元都包括：
P阱带导体线，和
N阱带导体线；
其中，所述跟踪使能导体电连接至所述P阱带导体线。

12. 根据权利要求10所述的SRAM芯片，其中，所述第一接地参考导体物理延伸至所述多个第一边缘单元；并且所述跟踪使能导体电连接至所述第一接地参考导体。

13. 根据权利要求10所述的SRAM芯片，其中，所述第一CMOS的栅极电连接至所述电源电

压参考导体；并且所述第二CMOS的漏极节点电隔离。

14. 根据权利要求10所述的SRAM芯片，进一步包括：多个电容跟踪单元，其中，所述多个电容跟踪单元中的每个电容跟踪单元都包括：

第三半单元，其中，所述第三半单元包括：

所述第一跟踪位线导体；

第三CMOS，和

第三传输栅极器件，被配置为跟踪位线电容；

第四半单元，其中，所述第四半单元包括：

第四CMOS，和

第四传输栅极器件，被配置为伪单元；

所述第三半单元不同于所述第四半单元；

所述第三CMOS包括：

第三上拉器件，和

第三下拉器件；所述第三下拉器件的源极节点电浮置；

所述第四CMOS包括：

第四上拉器件，和

第四下拉器件，所述第四下拉器件的源极节点电连接至所述第一接地参考导体；

所述第三传输栅极器件的栅极节点电连接至所述第一接地参考导体；以及

所述第四传输栅极器件的栅极节点电连接至所述第一预定字线导体；以及

所述多个电容跟踪单元中的每个电容单元都位于所述第一列中。

15. 一种二端口静态随机存取存储器SRAM阵列，包括：

多个二端口SRAM单元，被配置为存储数据，以及

多个跟踪单元，被配置为跟踪所述多个二端口SRAM单元中的每个二端口SRAM单元；

其中，所述多个二端口SRAM单元中的每个二端口SRAM单元都包括：

写端口，和

读端口；

其中，所述写端口包括：

两个交叉耦合反相器，具有数据存储节点，和互补数据条存储节点；

其中，每个反相器都包括：

一个写下拉(PD)器件，和

一个写上拉(PU)器件

第一写传输栅极器件，和

第二写传输栅极器件；

其中，所述读端口包括：

读下拉器件，和

读传输栅极器件，其中，所述读下拉器件和所述读传输栅极器件串联连接；

其中，所述多个跟踪单元中的每个跟踪单元都包括：

第一类型跟踪单元，和

第二类型的跟踪单元；

其中,每个第一类型的跟踪单元都包括:

第一跟踪写端口,和

第一跟踪读端口;

其中,所述第一跟踪读端口包括:

第一跟踪读位线导体;

第一跟踪读下拉器件,和

第一跟踪读传输栅极器件;

其中,所述第一跟踪写端口包括:

第一半单元,和

第二半单元;

其中,所述第一半单元包括:

第一跟踪写位线导体;

第一CMOS,和

第一传输栅极器件;

其中,所述第二半单元包括:

第二传输栅极器件;

第二下拉器件,和

第二上拉器件;

其中,所述第一CMOS的栅极节点和所述第一跟踪读下拉器件的栅极都电连接至电源电压参考导体;

所述第二下拉器件的漏极节点和所述第二上拉器件的漏极节点都电隔离;

所述第一跟踪读传输栅极器件的栅极节点电连接至跟踪使能导体;

其中,每个第二类型跟踪单元都包括:

第二跟踪写端口,和

第二跟踪读端口;

其中,所述第二跟踪读端口包括:

第一跟踪读位线导体;

第二跟踪读下拉器件,和

第二跟踪读传输栅极器件;

其中,所述第二跟踪写端口包括:

第三半单元,和

第四半单元;

其中,所述第三半单元包括:

第一跟踪写位线导体;

第二CMOS,和

第三传输栅极器件;

其中,所述第四半单元包括:

第三CMOS,和

第四传输栅极器件,被配置为伪器件;

其中,所述第二CMOS包括:

第三上拉器件,和

第三下拉器件;

其中,所述第三下拉器件的源极节点电浮置;

其中,所述第三CMOS包括:

第四上拉器件,和

第四下拉器件;

其中,所述第四下拉器件的源极节点电连接至第一接地参考导体;

其中,所述第二跟踪读传输栅极器件的栅极节点至少电连接至所述第一接地参考导体或P阱导体;以及

其中,所述第二CMOS的栅极节点和所述第二跟踪读下拉器件的栅极电连接。

16. 根据权利要求15所述的二端口SRAM阵列,其中,从所述第一CMOS的所述栅极至所述电源电压参考导体线的连接路径包括:

栅极接触件,和

第一通孔。

17. 根据权利要求16所述的二端口SRAM阵列,其中,所述多个二端口SRAM单元中的每个二端口SRAM单元的单元尺寸和所述多个跟踪单元中的每个跟踪单元的单元尺寸基本相同。

18. 根据权利要求16所述的二端口SRAM阵列,其中,所述多个跟踪单元中的每个跟踪单元位于第一列中;

其中,所述第一列包括至少2至32个单元电流跟踪单元;

所述第一传输栅极器件的漏极节点和所述第三传输栅极器件的漏极节点均电连接至所述第一跟踪写位线导体。

19. 根据权利要求18所述的二端口SRAM阵列,进一步包括:

多个边缘单元,其中,所述多个边缘单元布置在第二列中,并且邻近所述第一列;

其中,所述多个边缘单元的一部分包括:

第一边缘单元,和

第二边缘单元,其中,所述第一边缘单元包括跟踪使能导体,所述跟踪使能导体电连接至所述第一列中的每个跟踪单元的栅极节点。

存储芯片和制造存储芯片的布局设计

技术领域

[0001] 本发明涉及存储芯片和制造存储芯片的布局设计。

背景技术

[0002] 半导体集成电路 (IC) 工业制造各种类型的数字器件, 来解决各种不同领域的问题。一些这样的数字器件电连接至用于存储数字数据的静态随机存取存储器 (SRAM)。由于 IC 变得更小和更复杂, 所以串扰和布线电阻的效果会进一步影响 IC 性能。

发明内容

[0003] 针对现有技术中存在的问题, 根据本发明的一个方面, 提供了一种静态随机存取存储器 (SRAM) 芯片, 包括:

- [0004] 多个 SRAM 单元, 其中, 每个所述 SRAM 单元都包括:
 - [0005] 电源电压参考导体;
 - [0006] 第一接地参考导体;
 - [0007] 两个交叉耦合反相器; 和
 - [0008] 两个传输栅极器件; 以及
 - [0009] 多个单元电流跟踪单元, 其中, 每个单元电流跟踪单元都包括:
 - [0010] 第一半单元, 其中, 所述第一半单元包括:
 - [0011] 第一跟踪位线导体;
 - [0012] 第一互补金属氧化物半导体 (CMOS) 包括:
 - [0013] 第一下拉 (PD) 器件, 和
 - [0014] 第一上拉 (PU) 器件, 和
 - [0015] 第一传输栅极器件, 被配置为跟踪电流; 以及
 - [0016] 第二半单元, 其中, 所述第二半单元包括:
 - [0017] 第二 CMOS 器件, 包括:
 - [0018] 第二 PD 器件, 和
 - [0019] 第二 PU 器件, 和
 - [0020] 第二传输栅极器件, 被配置为控制数据类型;
 - [0021] 其中, 所述第一半单元不同于所述第二半单元;
 - [0022] 所述第一 CMOS 的栅极电连接至所述电源电压参考导体;
 - [0023] 所述第二 PU 器件的漏极节点与所述第二 PD 器件的漏极节点电隔离;
 - [0024] 所述第一传输栅极器件的栅极节点电连接至跟踪使能导体; 以及
 - [0025] 所述第二传输栅极器件的栅极节点电连接至第一字线导体。
 - [0026] 根据本发明的一个实施例, 进一步包括多个电容跟踪单元, 其中, 每个电容跟踪单元都包括:
 - [0027] 第三半单元, 其中, 所述第三半单元包括:

- [0028] 所述第一跟踪位线导体；
[0029] 第三CMOS，和
[0030] 第三传输栅极器件，被配置为跟踪位线电容；
[0031] 第四半单元，其中，所述第四半单元包括：
[0032] 第四CMOS，和
[0033] 第四传输栅极器件，被配置为伪单元；
[0034] 其中，所述第三半单元不同于所述第四半单元；
[0035] 所述第三CMOS包括：
[0036] 第三PU器件，和
[0037] 第三PD器件；所述第三PD器件的源极节点电浮置；
[0038] 所述第四CMOS包括：
[0039] 第四PU器件，和
[0040] 第四PD器件；所述第四PD器件的源极节点电连接至第二接地参考导体；
[0041] 其中，所述第三传输栅极器件的栅极节点电连接至所述第二接地参考导体；以及
[0042] 所述第四传输栅极器件的栅极节点电连接至所述第一字线导体。
[0043] 根据本发明的一个实施例，所述第二接地参考导体电连接至所述第一接地参考导体。
[0044] 根据本发明的一个实施例，所述第二接地参考导体电连接至所述单元电流跟踪单元的P阱导体。
[0045] 根据本发明的一个实施例，从所述第一CMOS的栅极至所述电源电压参考导体线的连接路径包括：
[0046] 栅极接触件，和
[0047] 第一通孔。
[0048] 根据本发明的一个实施例，所述第四PU器件的源极节点电浮置。
[0049] 根据本发明的一个实施例，每个SRAM单元的单元尺寸和每个跟踪单元的单元尺寸基本相同。
[0050] 根据本发明的一个实施例，进一步包括：存储单元阵列，
[0051] 其中，所述存储单元阵列布置为多列和多行；
[0052] 所述SRAM单元和所述跟踪单元均位于所述存储单元阵列中；以及
[0053] 所述跟踪单元定位为邻近所述SRAM单元的边缘列。
[0054] 根据本发明的一个实施例，所述每个单元电流跟踪单元和所述每个电容跟踪单元都位于第一列中；
[0055] 所述第一列包括至少2个至32个单元电流跟踪单元；
[0056] 所述第一传输栅极器件的漏极节点和所述第三传输栅极器件的漏极节点均电连接至所述第一跟踪位线导体。
[0057] 根据本发明的一个实施例，进一步包括：
[0058] 多个边缘单元，其中，所述多个边缘单元布置在第二列中，并且邻近所述第一列；
[0059] 所述边缘单元的一部分包括：
[0060] 第一边缘单元，和

- [0061] 第二边缘单元，所述第一边缘单元包括跟踪使能导体，所述跟踪使能导体电连接至所述第一列中的每个单元电流跟踪单元的栅极节点。
- [0062] 根据本发明的另一方面，提供了一种静态随机存取存储器(SRAM)芯片，包括：
- [0063] 多个SRAM单元；
- [0064] 多个跟踪单元；
- [0065] 多个第一边缘单元；
- [0066] 多个第二边缘单元；以及
- [0067] 多个阱带单元；
- [0068] 其中，每个所述SRAM单元都包括：
- [0069] 电源电压参考导体；
- [0070] 第一接地参考导体；
- [0071] 两个交叉耦合反相器；和
- [0072] 两个传输栅极器件；以及
- [0073] 每个跟踪单元都包括：
- [0074] 第一半单元，其中，所述第一半单元包括：
- [0075] 第一跟踪位线导体；
- [0076] 第一CMOS，包括：
- [0077] 第一下拉(PD)器件，和
- [0078] 第一上拉(PU)器件，和
- [0079] 第一传输栅极器件，被配置为跟踪电流；以及
- [0080] 第二半单元，其中，所述第二半单元包括：
- [0081] 第二CMOS，包括：
- [0082] 第二PD器件，和
- [0083] 第二PU器件，和
- [0084] 第二传输栅极器件；
- [0085] 所述第一半单元不同于所述第二半单元；
- [0086] 所述第一传输栅极器件的栅极节点电连接至跟踪使能导体；
- [0087] 所述第二传输栅极器件的栅极节点电连接至第一预定字线导体；
- [0088] 每个SRAM单元和每个跟踪单元均位于存储单元阵列中；
- [0089] 所述SRAM单元布置为多列和多行；
- [0090] 所述每个跟踪单元都布置在第一列中；
- [0091] 所述第一列邻近所述SRAM单元的边缘列；
- [0092] 多个第一边缘单元，其中，所述多个第一边缘单元布置在第二列中，并且邻近所述第一列；
- [0093] 多个第二边缘单元，其中，所述多个第二边缘单元布置在第三列中，并且邻近所述SRAM单元中的多列；
- [0094] 所述第一边缘单元包括所述跟踪使能导体；以及
- [0095] 每个所述SRAM单元的单元尺寸和每个所述跟踪单元的单元尺寸基本相同。
- [0096] 根据本发明的一个实施例，进一步包括：

- [0097] 多个阱带单元，布置在第一行和第二行中，其中，所述第一行和所述第二行位于所述多个SRAM单元的相对端部处；
- [0098] 每个阱带单元都包括：
- [0099] P阱带导体线，和
- [0100] N阱带导体线；
- [0101] 其中，所述跟踪使能导体电连接至所述P阱带导体线。
- [0102] 根据本发明的一个实施例，所述第一接地参考导体物理延伸至所述第一边缘单元；并且所述跟踪使能导体电连接至所述第一接地参考导体。
- [0103] 根据本发明的一个实施例，所述第一CMOS的栅极电连接至所述电源电压参考导体；并且所述第二CMOS的漏极节点电隔离。
- [0104] 根据本发明的一个实施例，进一步包括：多个电容跟踪单元，其中，每个电容跟踪单元都包括：
- [0105] 第三半单元，其中，所述第三半单元包括：
- [0106] 所述第一跟踪位线导体；
- [0107] 第三CMOS，和
- [0108] 第三传输栅极器件，被配置为跟踪位线电容；
- [0109] 第四半单元，其中，所述第四半单元包括：
- [0110] 第四CMOS，和
- [0111] 第四传输栅极器件，被配置为伪单元；
- [0112] 所述第三半单元不同于所述第四半单元；
- [0113] 所述第三CMOS包括：
- [0114] 第三PU器件，和
- [0115] 第三PD器件；所述第三PD器件的源极节点电浮置；
- [0116] 所述第四CMOS包括：
- [0117] 第四PU器件，和
- [0118] 第四PD器件，所述第四PD器件的源极节点电连接至所述第一接
- [0119] 地参考导体；
- [0120] 所述第三传输栅极器件的栅极节点电连接至所述第一接地参考导体；以及
- [0121] 所述第四传输栅极器件的栅极节点电连接至所述第一字线导体；以及
- [0122] 每个电容单元都位于所述第一列中。
- [0123] 根据本发明的又一方面，提供了一种二端口(2P)静态随机存取存储器(SRAM)阵列，包括：
- [0124] 多个2P SRAM单元，被配置为存储数据，以及
- [0125] 多个跟踪单元，被配置为跟踪每个单元；
- [0126] 其中，每个2P SRAM单元都包括：
- [0127] 写端口，和
- [0128] 读端口；
- [0129] 其中，所述写端口包括：
- [0130] 两个交叉耦合反相器，具有数据存储节点，和互补数据条存储节点；

- [0131] 其中,每个反相器都包括:
- [0132] 一个写下拉(PD)器件,和
- [0133] 一个写上拉(PU)器件
- [0134] 第一写传输栅极器件,和
- [0135] 第二写传输栅极器件;
- [0136] 其中,所述读端口包括:
- [0137] 读下拉器件,和
- [0138] 读传输栅极器件,其中,所述读下拉器件和所述读传输栅极器件串联连接;
- [0139] 其中,每个跟踪单元都包括:
- [0140] 第一类型跟踪单元,和
- [0141] 第二类型的跟踪单元;
- [0142] 其中,每个第一类型的跟踪单元都包括:
- [0143] 第一跟踪写端口,和
- [0144] 第一跟踪读端口;
- [0145] 其中,所述第一跟踪读端口包括:
- [0146] 第一跟踪读位线导体;
- [0147] 第一跟踪读PD器件,和
- [0148] 第一跟踪读PG器件;
- [0149] 其中,所述第一跟踪写端口包括:
- [0150] 第一半单元,和
- [0151] 第二半单元;
- [0152] 其中,所述第一半单元包括:
- [0153] 第一跟踪写位线导体;
- [0154] 第一CMOS,和
- [0155] 第一传输栅极器件;
- [0156] 其中,所述第二半单元包括:
- [0157] 第二传输栅极器件;
- [0158] 第二PD器件,和
- [0159] 第二PU器件;
- [0160] 其中,所述第一CMOS的栅极节点和所述第一跟踪读PD器件的栅极都电连接至电源电压参考导体;
- [0161] 所述第二PD器件的漏极节点和所述第二PU器件的漏极节点都电隔离;
- [0162] 所述第一跟踪读PG栅极器件的栅极节点电连接至跟踪使能导体;
- [0163] 其中,每个第二类型跟踪单元都包括:
- [0164] 第二跟踪写端口,和
- [0165] 第二跟踪读端口;
- [0166] 其中,所述第二跟踪读端口包括:
- [0167] 第一跟踪读位线导体;
- [0168] 第二跟踪读PD器件,和

- [0169] 第二跟踪读PG器件；
- [0170] 其中，所述第二跟踪写端口包括：
- [0171] 第三半单元，和
- [0172] 第四半单元；
- [0173] 其中，所述第三半单元包括：
- [0174] 第一跟踪写位线导体；
- [0175] 第二CMOS，和
- [0176] 第三传输器件；
- [0177] 其中，所述第四半单元包括：
- [0178] 第三CMOS，和
- [0179] 第四传输器件，被配置为伪器件；
- [0180] 其中，所述第二CMOS包括：
- [0181] 第三PU器件，和
- [0182] 第三PD器件；
- [0183] 其中，所述第三PD器件的源极节点电浮置；
- [0184] 其中，所述第三CMOS包括：
- [0185] 第四PU器件，和
- [0186] 第四PD器件；
- [0187] 其中，所述第四PD器件的源极节点电连接至第一接地参考导体；
- [0188] 其中，所述第二读PG器件的栅极节点至少电连接至所述第一接地参考导体或P阱导体；以及
- [0189] 其中，所述第二CMOS的栅极节点和所述第二跟踪PD器件的栅极电连接。
- [0190] 根据本发明的一个实施例，从所述第一CMOS的所述栅极至所述电源电压参考导体线的连接路径包括：
- [0191] 栅极接触件，和
- [0192] 第一通孔。
- [0193] 根据本发明的一个实施例，所述每个SRAM单元的单元尺寸和所述每个跟踪单元的单元尺寸基本相同。
- [0194] 根据本发明的一个实施例，每个单元电流跟踪单元和每个电容跟踪单元位于第一列中；
- [0195] 其中，所述第一列包括至少2至32个单元电流跟踪单元；
- [0196] 所述第一传输栅极器件的漏极节点和所述第三传输栅极器件的漏极节点均电连接至所述第一跟踪位线导体。
- [0197] 根据本发明的一个实施例，进一步包括：
- [0198] 多个边缘单元，其中，所述多个边缘单元布置在第二列中，并且邻近所述第一列；
- [0199] 其中，所述边缘单元的一部分包括：
- [0200] 第一边缘单元，和
- [0201] 第二边缘单元，其中，所述第一边缘单元包括跟踪使能导体，所述跟踪使能导体电连接至所述第一列中的每个单元电流跟踪单元的栅极节点。

附图说明

[0202] 当结合附图进行阅读时,通过以下详细描述可以更好地理本发明的各方面。应该注意,根据工业中的标准实践,没有按比例绘制各个部件。事实上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

- [0203] 图1A是根据一个或多个实施例的存储单元的示意图。
- [0204] 图1B是根据一个或多个实施例的存储单元的示意图。
- [0205] 图1C是根据一个或多个实施例的存储单元的示意图。
- [0206] 图1D是根据一个或多个实施例的存储单元的示意图。
- [0207] 图2是根据一个或多个实施例的存储单元阵列的框图。
- [0208] 图3是根据一个或多个实施例的存储单元阵列的框图。
- [0209] 图4是根据一个或多个实施例的存储电路的框图。
- [0210] 图5A是根据一个或多个实施例的图1A中的存储单元的布局图的一部分。
- [0211] 图5B是根据一个或多个实施例的图5A中的存储单元的布局图的一部分。
- [0212] 图6A是根据一个或多个实施例的图1C中的存储单元的布局图的一部分。
- [0213] 图6B是根据一个或多个实施例的图1C中的存储单元的布局图的一部分。
- [0214] 图7A是根据一个或多个实施例的图1C中的存储单元的布局图的一部分。
- [0215] 图7B是根据一个或多个实施例的图1C中的存储单元的布局图的一部分。
- [0216] 图7C是根据一个或多个实施例的图1D中的存储单元的布局图。
- [0217] 图7D是根据一个或多个实施例的图1D中的存储单元的布局图的一部分。
- [0218] 图8A是根据一个或多个实施例的存储单元的示意图。
- [0219] 图8B是根据一个或多个实施例的存储单元阵列的框图。
- [0220] 图8C是根据一个或多个实施例的存储单元阵列的框图。
- [0221] 图9A是根据一个或多个实施例的存储单元阵列的框图。
- [0222] 图9B是根据一个或多个实施例的存储单元阵列的框图。
- [0223] 图10是根据一个或多个实施例的存储单元的示意图。
- [0224] 图11是根据一个或多个实施例的存储单元的示意图。
- [0225] 图12A是根据一个或多个实施例的图10中的存储单元的布局图的一部分。
- [0226] 图12B是根据一个或多个实施例的图10中的存储单元的布局图的一部分。
- [0227] 图13A是根据一个或多个实施例的图11中的存储单元的布局图的一部分。
- [0228] 图13B是根据一个或多个实施例的图11中的存储单元的布局图的一部分。
- [0229] 图13C是根据一个或多个实施例的图11中的存储单元的布局图的一部分。
- [0230] 图13D是根据一个或多个实施例的图11中的存储单元的布局图的一部分。

具体实施方式

[0231] 以下公开内容提供了许多用于实施所提供主题类型的不同特征的不同实施例或实例。以下描述组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,并不是用于限制本发明。例如,在以下描述中,第一部件形成在第二部件上方或者上可以包括第一部件和第二部件直接接触形成的实施例,还可以包括其他部件形成在第一部件和第二部件之

间,使得第一部件和第二部件不直接接触的实施例。此外,本发明可在各个实例中重复参考符号和/或字符。这种重复是用于简明和清楚,而且其本身不表示所述各种实施例和/或配置之间的关系。

[0232] 此外,在此可使用诸如“在…之下”、“在…下面”、“下面的”、“在…上面”、以及“上面的”等空间关系术语,以容易地描述如附图所示的一个元件或部件与另一个(或另一些)元件或部件的关系。除了附图中描述的方位外,这些空间关系术语旨在包括使用或操作的过程中的装置的各种不同方位。装置可以以其他方式定位(旋转90度或其他方位上),并且通过在此使用的空间关系描述符可以进行相应的解释。

[0233] 图1A是根据一个或多个实施例的存储单元100A的示意图。在一些实施例中,存储单元100A是一个或多个单端口(SP)静态随机存取存储器(SRAM)单元的一部分。在一些实施例中,存储单元100A是嵌入式SRAM存储单元阵列的一部分。在一些实施例中,写端口或读端口是存储单元100A的一部分。在一些实施例中,附加的写端口和/或读端口是存储单元100A的一部分。在一些实施例中,存储单元100A采用除了6个以外的晶体管的数量。在一些实施例中,存储单元100A可用于存储单元阵列。存储单元100A的示意图是要被修改的基础,以形成其他结构,例如,诸如图1B至图1D、图2至图13D的本文中所述的这些结构。

[0234] 存储单元100A包括连接至n型金属氧化物半导体(NMOS)晶体管PG-1的交叉耦合反相器102(图1B所示),和连接至NMOS晶体管PG-2的交叉耦合反相器104(图1B所示)。在一些实施例中,交叉耦合反相器102和104形成存储单位。在一些实施例中,存储单元100A包括立体栅极结构,例如,鳍式场效应晶体管(FinFET)。在一些实施例中,存储单元100A是能够实现个别晶体管级的超高密度集成的立体(3D)结构的一部分。在3DIC中,顺序制造每个器件层并将每个器件层堆叠在先前层上。

[0235] 交叉耦合反相器102包括p型金属氧化物半导体(PMOS)晶体管PU-1和NMOS晶体管PD-1。交叉耦合反相器104包括PMOS晶体管PU-2和NMOS晶体管PD-2。

[0236] 每个PMOS晶体管PU-1、PU-2的源极端电连接至电源电压(CVDD)端子。每个PMOS晶体管PU-1、PU-2的漏极端分别在相应的节点MT和MB处电连接至每个NMOS晶体管PD-1、PD-2的漏极端。PMOS晶体管PU-1的栅极端电连接至NMOS晶体管PD-1的栅极端和NMOS晶体管PD-2的漏极端。类似地,PMOS晶体管PU-2的栅极端电连接至NMOS晶体管PD-2的栅极端和NMOS晶体管PD-1的漏极端。NMOS晶体管PD-1和PD-2源极端电连接至接地参考节点CVSS。在一些实施例中,接地参考节点CVSS对应于接地电压。

[0237] 在一些实施例中,PMOS晶体管PU-1和PU-2被称为上拉(PU)器件。在一些实施例中,NMOS晶体管PD-1和PD-2被称为下拉(PD)器件。在一些实施例中,NMOS晶体管PG-1和PG-2被称为传输栅极(PG)器件。

[0238] NMOS晶体管PG-1配置为选择性地将交叉耦合反相器102和104连接至第一位线BL。在一些实施例中,NMOS晶体管PG-1连接在第一位线BL和参考节点MT之间。NMOS晶体管PG-1的栅极连接至第一字线WL。NMOS晶体管PG-1和NMOS晶体管PG-2均配置为基于由字线WL所提供的信号被激活。

[0239] NMOS晶体管PG-2配置为选择性地将交叉耦合反相器102和104连接至第一位线条BLB。在一些实施例中,NMOS晶体管PG-2连接在第一位线条BLB和参考节点MB之间。NMOS晶体管PG-2的栅极连接至字线WL。注意,如在本文中所使用的术语“条”表示逻辑反相信号。

[0240] 在一些实施例中，存储单元100A为全单鳍式单元(例如，NMOS晶体管PD-1、PD-2、PG-1和PG-2、以及PMOS晶体管PU-1和PU-2中的每个均为全单鳍式晶体管器件)。在一些实施例中，存储单元100A是多鳍式单元(如，NMOS晶体管PD-1、PD-2、PG-1和PG-2中的每个均为多鳍式晶体管器件)。在一些实施例中，多鳍式晶体管器件是包括一个以上的鳍式器件的晶体管器件。

[0241] 在一些实施例中，在高密度存储单元中，存储单元100A中的每个晶体管器件均为全单鳍式单元。在一些实施例中，在高密度存储单元中，一个或多个写辅助电路用于改善存储单元中的每个晶体管的V_{cc_min}。

[0242] 在一些实施例中，在高可靠性存储单元中，存储单元100A中的NMOS晶体管PD-1、PD-2、PG-1和PG-2中的每个均为多个单鳍式单元并且PMOS晶体管PU-1和PU-2均为单鳍式单元。在一些实施例中，在高可靠性存储单元中，没有将写辅助电路用于改善存储单元中的每个晶体管的V_{cc_min}。

[0243] 在一些实施例中，存储单元100A是单个SRAM存储芯片的一部分。在一些实施例中，一个或多个单鳍型单元和一个或多个多鳍型单元形成在单个SRAM存储芯片中。在一些实施例中，单个SRAM芯片包括嵌入式SRAM存储单元阵列。在一些实施例中，单个SRAM存储芯片包括嵌入式SRAM存储单元阵列和写辅助电路，其中，嵌入式SRAM存储单元阵列中的至少一部分电连接至写辅助电路。

[0244] 图1B是根据一个或多个实施例的存储单元100B的示意图。存储单元100B是具有类似元件的存储单元100A(如图1A所示)的实施例。如图1B所示，类似元件具有与如图1A所示的相同的参考标号。与存储单元100A(图1A所示)相比较，存储单元100B包括交叉耦合反相器102和104。存储单元100B是存储单元100A的等效电路。交叉耦合反相器102是PMOS晶体管PU-1和NMOS晶体管PD-1的等效电路。交叉耦合反相器104是PMOS晶体管PU-2和NMOS晶体管PD-2的等效电路。CMOS 101包括交叉耦合反相器102和104。

[0245] 图1C是根据一个或多个实施例的存储单元100C的示意图。存储单元100C是具有类似元件的存储单元100A的实施例(图1A所示)。如图1C所示，类似元件具有如图1A所示的相同的参考标号。在一些实施例中，存储单元100C是SRAM电流跟踪单元。与存储单元100A(如图1A所示)相比较，存储单元100C的PMOS晶体管PU-2的漏极和NMOS晶体管PD-2的漏极彼此电隔离。

[0246] 与存储单元100A(如图1A所示)相比较，通过存储单元100C的跟踪位线102替换存储单元100A的位线BL。在一些实施例中，如图1C所示的存储单元100C的伪位线替换存储单元100A的位线条BLB。伪位线是不携带位线信号的位线。在一些实施例中，如图1C所示的存储单元100C的浮置节点替换存储单元100A的位线条BLB。

[0247] PMOS晶体管PU-2的漏极电连接至PMOS晶体管PU-2的源极和电源电压(CVDD)端子。PMOS晶体管PU-1的栅极和NMOS晶体管PD-1的栅极均电连接至电源电压(CVDD)端子。NMOS晶体管PG-1的栅极电连接至跟踪使能导体。NMOS晶体管PG-2的栅极电连接至字线。

[0248] 图1D是根据一个或多个实施例的存储单元100D的示意图。存储单元100D是具有类似元件的存储单元100A(如图1A所示)的实施例。如图1D所示，类似元件具有如图1A所示的相同的参考标号。在一些实施例中，存储单元100D是SRAM位线电容跟踪单元。与存储单元100A(如图1A所示)相比较，存储单元100D的NMOS晶体管PD-1的漏极电浮置。

[0249] 与存储单元100A(如图1A所示)相比较,通过存储单元100D的跟踪位线102替换存储单元100A的位线BL。在一些实施例中,图1D所示的存储单元100D的伪位线替换存储单元100A的位线条BLB。在一些实施例中,图1D所示的存储单元100D的浮置节点替换存储单元100A的位线条BLB。

[0250] NMOS晶体管PG-1的栅极电连接至接地参考节点Vss。NMOS晶体管PG-2的栅极电连接至字线。在一些实施例中,PMOS晶体管PU-2的漏极电连接至电源电压(CVDD)端子。在一些实施例中,PMOS晶体管PU-2的漏极电浮置。在一些实施例中,当传输栅极泄露电流Ioff泄露至跟踪位线102时,NMOS晶体管PD-1的浮置源极节点将数据节点锁存器MT强行置为逻辑高电压。

[0251] 图2是根据一个或多个实施例的存储单元阵列200的框图。存储单元阵列200包括SRAM单元202、跟踪单元201、跟踪传输栅极控制单元208、跟踪传输栅极控制单元210、跟踪位线TBL、跟踪使能线TE和跟踪禁用线TEB。SRAM单元202是图1A所示的存储单元100A的实施例。电流跟踪单元204是如图1B所示的存储单元100B的实施例。位线电容跟踪单元206是图1C所示的存储单元100C的实施例。如图2所示的存储单元阵列200的框图的部件类似于或相等于具有相同的参考标号的图1A至图1C中所示部件,并且省略其详细描述。

[0252] SRAM单元202包括SRAM存储单元的阵列,该阵列包括M行×N列,其中,M是对应于行数的整数并且N是对应于列数的整数。在一些实施例中,M是4至512的范围内的整数。在一些实施例中,N是4至512的范围内的整数。

[0253] 跟踪单元201布置为存储单元阵列200的列。在一些实施例中,跟踪单元201定位为邻近SRAM单元202的边缘列。在一些实施例中,跟踪单元201的数量在1至512的范围内。

[0254] 跟踪单元201包括一个或多个电流跟踪单元204。在一些实施例中,电流跟踪单元204的数量在1至512的范围内。电流跟踪单元204布置为存储单元阵列200的列。在一些实施例中,每个跟踪单元201都包括相应的电流跟踪单元204。

[0255] 在一些实施例中,跟踪单元201进一步包括一个或多个位线电容跟踪单元206。在一些实施例中,存储单元阵列200不包括位线电容跟踪单元206。在一些实施例中,位线电容跟踪单元206的数量在0至511的范围内。位线电容跟踪单元206布置在存储单元阵列200的列中。

[0256] 跟踪传输栅极控制单元208布置在存储单元阵列200的列中。每个跟踪传输栅极控制单元208都与相应的电流跟踪单元204相关联。

[0257] 跟踪传输栅极控制单元210布置在存储单元阵列200的列中。每个跟踪传输栅极控制单元210都与相应的位线电容跟踪单元206相关联。在一些实施例中,跟踪传输栅极控制单元208与跟踪传输栅极控制单元210共享相同的列。

[0258] 跟踪位线TBL电连接至跟踪单元201和感测放大器(SA)控制电路(未示出)。在一些实施例中,跟踪位线TBL是位于电流单元(current cell)201之上的金属导电层。存储单元阵列200中的跟踪位线TBL在正y方向上延伸。

[0259] 在一些实施例中,跟踪使能线TE电连接至电流跟踪单元204和跟踪使能控制电路(未示出)。在一些实施例中,跟踪使能线TE电连接至跟踪传输栅极控制单元208。在一些实施例中,跟踪使能线TE电连接至电流跟踪单元204和电源电压(VDD)端子(未示出)中的每个。在一些实施例中,跟踪使能线TE是位于跟踪传输栅极控制单元208之上的金属导电层。

[0260] 跟踪禁用线TEB电连接至位线电容跟踪单元206和接地参考节点Vss(未示出)中的每个。在一些实施例中,跟踪禁用线TEB电连接至跟踪传输栅极控制单元210。

[0261] 在一些实施例中,跟踪禁用线TEB是位于跟踪传输栅极控制单元210之上的金属导电层。

[0262] 图3是根据一个或多个实施例的存储单元阵列300的框图。存储单元阵列300是具有类似元件的存储单元阵列200(图2中所示)的实施例。如图3所示,类似元件具有与如图2所示相同的参考标号。与存储单元阵列200(图2中所示)相比较,存储单元阵列300中的字线WL朝向跟踪单元201延伸(例如,在负x方向上)。

[0263] 与存储单元阵列200相比较(图2所示),存储单元阵列300中的跟踪位线TBL在负y方向上延伸。

[0264] 图4是根据一个或多个实施例的存储电路400的框图。图4的存储电路400的部件与具有相同的参考标号的图1A、图1B、图2以及图3所示的部件相同或相似,并且省略了其详细描述。存储电路400的框图是修改为形成其他结构的基础,诸如本文中所述的结构(例如,图1A至图1D、图2至图13D)。

[0265] 存储电路400包括SRAM存储单元阵列402、电流跟踪单元404、电容跟踪单元406以及感测放大器时钟(SA_c1k)生成器408。

[0266] SRAM存储单元阵列402是具有类似元件的存储单元阵列200(图2中所示)的实施例。如图4所示,类似元件具有与如图2所示的相同的参考标记。SRAM存储单元阵列402是具有类似元件的存储单元阵列300(图3中所示)的实施例。如图4所示,类似元件具有与如图3所示的相同的参考标记。

[0267] 电流跟踪单元404是具有类似元件的电流跟踪单元204(图2中所示)的实施例。如图4所示,类似元件具有与如图2所示的相同的参考标号。

[0268] 电容跟踪单元406是具有类似元件的电容跟踪单元206(图2中所示)的实施例。如图4所示,类似元件具有与如图2所示的相同的参考标号。

[0269] 在一些实施例中,位线跟踪电流Ion配置为对用于总读取电流Iread的改变的较坏情况进行仿真。在一些实施例中,通过公式1来表示总读取电流Iread:

$$\text{总 } I_{\text{read}} = (I_{\text{read1}} * a) - (I_{\text{off}} * b) \quad (1)$$

[0271] 其中,总Iread是存储电路400的总读取电流,Iread1是用于每个位线跟踪单元402的总读取电流,a是电流跟踪单元402的行数,Ioff是用于每个电容跟踪单元404的总位线电流,以及b是电容跟踪单元404的行数。

[0272] 在一些实施例中,电流跟踪单元402的行数对应于位数。在一些实施例中,电容跟踪单元404的行数对应于位数。

[0273] 图5A是根据一个或多个实施例的图1A中的存储单元100A的布局图500的一部分。图5A所示的布局图500的部件与图1A和图1B中所示的具有相同参考标号的这些部件相同或相似,并且省略其详细描述。在布局图500示出通孔(例如,via1)的同时,为了容易查看,没有示出第一金属层。金属层M0(未示出)包括栅极接触件、对接接触件以及较长接触件。在一些实施例中,栅极接触件、对接接触件和较长接触件被称为局部互连件(L1)。

[0274] 布局图500是单鳍式存储单元的实施例。布局图500包括N阱区N_well和P阱区P_well-1和P_well-1。单元边界504限定单位单元502。单位单元502包括晶体管器件PU-1、PU-

2、PD-1、PD-2、PG-1、和PG-2。在一些实施例中，单位单元502是6晶体管(6T)配置。在一些实施例中，单位单元502的形状为矩形单元形状。单位单元502包括第一X间距X1和第一Y间距Y1。在一些实施例中，单位单元502是配置为连接至写辅助电路的单鳍式存储单元。

[0275] 图5A所示的布局500的PU晶体管(例如，PD-1和PD-2)包括第一沟道宽度(鳍宽度-1)和第二沟道宽度(鳍宽度-2)。在一些实施例中，第一沟道宽度(鳍宽度-1)比第二沟道宽度(鳍宽度-2)宽至少10%。

[0276] 图5B是根据一个或多个实施例的图5A中的存储单元500A的布局图500'的一部分。图5B所示的布局图500'的部件与图1A和图1B所示的具有相同参考标号的这些布局相同或相似，并且省略其详细描述。在布局图500'示出通孔(例如，via1)的同时，为了容易观看，没有示出第一金属层。金属层M0(未示出)包括栅极接触件、对接接触件和较长接触件。在一些实施例中，栅极接触件、对接接触件和较长接触件被称为局部互连件(LI)。

[0277] 布局图500'是混合多鳍/单鳍式存储单元的实施例。例如，如图5B所示，晶体管器件PU-1和PU-2是单鳍式晶体管器件，并且晶体管器件PD-1、PD-2、PG-1、和PG-2是多鳍式晶体管器件。

[0278] 布局图500'包括N阱区N_well和P阱区P_Well-1和P_well-1。单元边界504'限定单位单元502'。单位单元502'包括晶体管器件PU-1、PU-2、PD-1、PD-2、PG-1、和PG-2。在一些实施例中，单位单元502'是6T配置。在一些实施例中，单位单元502'的形状是矩形单元形状。单位单元502'包括第二X间距X2和第二Y间距Y2。在一些实施例中，第二X间距X2大于第一X间距X1。在一些实施例中，第一Y间距Y1基本等于第二Y间距Y2。在一些实施例中，单位单元502'包括多鳍/单鳍式混合存储单元，其被配置为没有连接至写辅助电路。在一些实施例中，X2与Y2(X2/Y2)的单元间距比率基本等于2.8。在一些实施例中，X2与X1(X2/X1)的长度比率基本等于1.235。

[0279] 在一些实施例中，晶体管器件PD-1包括并联连接的至少两个晶体管器件，使得每个晶体管的源极端连接在一起、每个晶体管的漏极端连接在一起、以及每个晶体管的栅极端连接在一起。

[0280] 在一些实施例中，晶体管器件PD-2包括并联连接的至少两个晶体管，使得每个晶体管的源极端连接在一起、每个晶体管的漏极端连接在一起、以及每个晶体管的栅极端连接在一起。

[0281] 在一些实施例中，晶体管器件PG-1包括并联连接的至少两个晶体管，使得每个晶体管的源极端连接在一起、每个晶体管的漏极端连接在一起、以及每个晶体管的栅极端连接在一起。

[0282] 在一些实施例中，晶体管器件PG-2包括并联连接的至少两个晶体管，使得每个晶体管的源极端连接在一起、每个晶体管的漏极端连接在一起、以及每个晶体管的栅极端连接在一起。

[0283] 图6A是根据一个或多个实施例的图1C中的存储单元100C的布局图600的一部分。图6A所示的布局图600的部件与图1A至图1C所示的具有相同参考标号的这些部件相同或相似，并且省略其详细描述。在布局图600示出第一通孔(例如，via1)时，为了容易观看，没有示出第一金属层。金属层M0(未示出)包括栅极接触件、对接接触件和较长接触件。在一些实施例中，栅极接触件、对接接触件和较长接触件被称为局部互连件(LI)。

[0284] 在一些实施例中，布局图600是具有类似元件的布局图500(图5A所示)的实施例。如图6A所示，类似元件具有如图5A所示的相同参考部件。在一些实施例中，布局图600是SRAM电流跟踪单元(例如，存储单元100C)的布局图。布局图600是全单鳍式SRAM电流跟踪单元。NMOS晶体管PD-1的栅极和PMOS晶体管PU-1的栅极通过栅极接触件1和第一通孔电连接至电源电压参考导体CVdd线。

[0285] 图6B是根据一个或多个实施例的图1C中的存储单元100C的布局图600'的一部分。图6B所示的布局图600'的部件与图1A至图1C所示的具有相同的参考标号的这些部件相同或相似，并且省略其详细描述。在布局图600'示出了第一通孔(例如，via1)的同时，为了容易查看，没有示出第一金属层。金属层M0(未示出)包括栅极接触件、对接接触件和较长接触件。在一些实施例中，栅极接触件、对接接触件和较长接触件被称为局部互连件(LI)。

[0286] 在一些实施例中，布局图600'是具有类似元件的布局图500'(图5B中所示)的实施例。如图6B所示，类似元件具有如图5B所示的相同的参考标号。在一些实施例中，布局图600'是SRAM电流跟踪单元(例如，存储单元100C)的布局图。布局图600'是多鳍式SRAM电流跟踪单元。NMOS晶体管PD-1的栅极和PMOS晶体管PU-1的栅极通过栅极接触件1和第一通孔via1电连接至电源电压参考导体CVdd线。

[0287] 图7A是根据一个或多个实施例的图1C中的存储单元100C的布局图700A的一部分。图7A所示的布局图700A的部件与图1A至图1C所示的具有相同参考标号的这些部件相同或相似，并且省略其详细描述。布局图700A是具有类似元件的布局图600(图6A所示)的实施例。如图7A所示，类似元件具有如图6A所示的相同的参考标号。在一些实施例中，布局图700A是SRAM电流跟踪单元(例如，存储单元100C)的布局图。布局图700A是全单鳍式SRAM电流跟踪单元。

[0288] 与布局图600(如图6A所示)相比较，布局图700A包括金属层M1、金属层M2和多个第二通孔via2。金属层M0包括栅极接触件、对接接触件和较长接触件。

[0289] NMOS晶体管PD-1的栅极和PMOS晶体管PU-1的栅极通过栅极接触件1和第一通孔via1电连接至电源电压参考导体CVdd线。

[0290] 金属层M0位于金属层M1之下。金属层M0将电流跟踪单元的栅极和漏极电连接至其他金属层(例如，金属层M1、金属层M2、金属层M3)。金属层M0包括一个或多个局部互连件。局部互连件包括图7A的电流跟踪单元的接触件(例如，较长接触件、对接接触件和栅极接触件)。

[0291] 零通孔via-0将金属层M0电连接至金属层M1。

[0292] 金属层M1位于金属层M2之下。金属层M1通过第一通孔via1将金属层M2电连接至金属层M0。

[0293] 金属层M2位于金属层M3之下。金属层M2通过第二通孔via2将金属层M3电连接至金属层M1。

[0294] 电源电压参考导体CVdd位于金属层M1上。跟踪位线TBL和电源电压参考导体CVdd位于金属层M1上。

[0295] 接地参考导体CVss位于金属层M2上。字线WL导体位于金属层M2上。

[0296] 图7B是根据一个或多个实施例的图1C中的存储单元100C的布局图700B的一部分。图7B所示的布局图700B的部件与图1A至图1C和图7A所示的具有相同参考标号的这些部件

相同或相似，并且省略其详细描述。布局图700B是具有类似元件的布局图700A(图7A所示)的实施例。如图7B所示，类似的元件具有如图7A所示的相同的参考标号。与布局图700A(如图7A所示)相比较，布局图700B不包括栅极、鳍式有源件、较长接触件、对接接触件和栅极接触件(为了示出的目的)。

[0297] 图7C是根据一个或多个实施例的图1D中的存储单元100D的布局图700C。图7C所示的布局图700C的部件与图1A至图1C和图7A所示的具有相同参考标号的这些部件相同或相似，并且省略其详细描述。布局图700C是具有类似元件的布局图700A(图7A所示)的实施例。如图7C所示，类似的元件具有如图7A所示的相同的参考标号。在一些实施例中，布局图700C是SRAM位线电容跟踪单元(例如，存储单元100D)的布局图。布局图700C是全单鳍式SRAM位线电容跟踪单元。虽然布局图700C是全单鳍式SRAM位线电容跟踪单元，但是本文中存在可选实施例，其中，布局图700是多鳍式SRAM位线电容跟踪单元。

[0298] 与布局图600(如图6A所示)相比较，布局图700A包括金属层M1、金属层M2、和多个第二通孔via2。金属层M0包括栅极接触件、对接接触件和较长接触件。

[0299] 在一些实施例中，NMOS晶体管PG-1的栅极通过接触件(栅极接触件或对接接触件)和第一通孔via1电连接至接地参考导体CVss。在一些实施例中，NMOS晶体管PG-1的栅极电连接至NMOS晶体管PG-1的P阱P_Well。NMOS晶体管PD-1的源极节点电浮置。

[0300] 电源电压参考导体CVdd位于金属层M1上。跟踪位线TBL和电源电压参考导体CVdd位于金属层M1上。

[0301] 接地参考导体CVss位于金属层M2上。字线WL导体位于金属层M2上。

[0302] 图7D是根据一个或多个实施例的图1D中的存储单元100D的布局图700C的一部分。图7D所示的布局图700D的部件与参考图1A和图1B、图1D和图7C所示的具有相同参考标号的这些部件相同或相似，并且省略其详细描述。布局图700D是具有类似元件的布局图700C(图7C所示)的实施例。如图7D所示，类似的元件具有如图7C所示的相同的参考标号。与布局图700C(图7C所示)相比较，布局图700D不包括栅极、鳍式有源件、较长接触件、对接接触件和栅极接触件(为了示出的目的)。

[0303] 图8A是根据一个或多个实施例的存储单元800A的示意图。存储单元800A是具有类似元件的存储单元100A(如图1A所示)的实施例。如图1C所示，类似元件具有如图1A所示的相同的参考标号。CMOS 801是具有类似元件的CMOS 101(如图1B所示)的实施例。在一些实施例中，存储单元800A是SRAM跟踪单元。在一些实施例中，存储单元800A是SRAM电流跟踪单元。在一些实施例中，存储单元800A是SRAM位线电容跟踪单元。

[0304] 与存储单元100A(如图1A所示)相比较，通过存储单元801的跟踪位线102替换存储单元100A的位线BL。在一些实施例中，图8A所示的存储单元801的伪位线替换存储单元100A的位线条BLB。在一些实施例中，图8A所示的存储单元800A的浮置节点替换存储单元100A的位线条BLB。

[0305] CMOS 801包括第一CMOS和第二CMOS。第一CMOS是图1B所示的交叉耦合反相器102的实施例。第二CMOS是图1B所示的交叉耦合反相器104的实施例。

[0306] 图8B是根据一个或多个实施例的存储单元阵列800B的框图。存储单元阵列800B是具有类似元件的存储单元阵列200(如图2所示)的实施例。如图8A所示，类似元件具有如图2所示的相同的参考标号。

[0307] 多个跟踪单元201布置在第一列中。第一列邻近SRAM单元202的边缘列。在一些实施例中，图8B的存储单元阵列800B中所示的每个跟踪单元201都是图1A和图1B以及图8A中所示的存储单元的实施例。

[0308] 存储单元阵列800B包括多个第一边缘单元802和多个第二边缘单元804。

[0309] 多个第一边缘单元802布置在第二列中。第二列邻近第一列。多个第一边缘单元802邻近跟踪单元201。在一些实施例中，多个第一边缘单元802位于存储单元阵列800B的边缘上。

[0310] 多个第二边缘单元804布置在第三列中。第三列邻近SRAM单元802的多列。多个第二边缘单元804邻近SRAM单元802的外边缘。在一些实施例中，多个第二边缘单元804位于存储单元阵列800B的边缘上。

[0311] 第一边缘单元802包括跟踪使能导体TE。在一些实施例中，SRAM单元802中的每个的单元尺寸和跟踪单元201中的每个的单元尺寸基本相同。

[0312] 跟踪使能线TE电连接至跟踪单元201中的每个。在一些实施例中，跟踪使能线TE电连接至第一边缘单元802。在一些实施例中，跟踪使能线TE是位于第一边缘单元802之上的金属导电层。在一些实施例中，跟踪使能线TE电连接至每个跟踪单元201中的每个NMOS晶体管PG-1。在一些实施例中，通过将跟踪使能线TE电连接至每个跟踪单元201中的每个NMOS晶体管PG-1，每个跟踪单元201可以用作单元电流(Ice11)跟踪单元204。

[0313] 图8C是根据一个或多个实施例的存储单元阵列800C的框图。存储单元阵列800C是具有类似元件的存储单元阵列800B(如图8B所示)的实施例。如图8C所示，类似元件具有如图8B所示的相同的参考标号。

[0314] 与存储单元阵列800B(如图8B所示)相比较，存储单元阵列800C包括N阱带线806和P阱带线808。

[0315] N阱带线806是电连接至多个存储单元的N阱的导线。在一些实施例中，N阱带线806电连接至公共行的N阱。在一些实施例中，N阱带线806电连接至存储单元阵列800C的最顶部行的N阱。在一些实施例中，存储单元阵列800C的最顶部行和最底部行位于彼此的相对端部。在一些实施例中，N阱带线806电连接至存储单元阵列800C的最底部行的N阱。在一些实施例中，存储单元阵列800C包括多个N阱带线806。在一些实施例中，每个N阱带线806都电连接至跟踪使能线TE。在一些实施例中，通过将跟踪使能线TE电连接至每条N阱带线806，每个跟踪单元201的NMOS晶体管PG-1都配置为电连接至接地参考导体CVss。在一些实施例中，通过将跟踪使能线TE电连接至每条N阱带线806，每个跟踪单元201都可以用作位线电容跟踪单元206。

[0316] P阱带线808是电连接至多个存储单元的P阱的导线。在一些实施例中，P阱带线808电连接至公共行的P阱。在一些实施例中，P阱带线808电连接存储单元阵列800C的最顶部行的P阱。在一些实施例中，P阱带线808电连接至存储单元阵列800C的最底部行的P阱。在一些实施例中，存储单元阵列800C包括多条P阱带线808。

[0317] 图9A是根据一个或多个实施例的存储单元阵列900的框图。存储单元阵列900是具有类似元件的存储单元阵列800C(如图8C所示)的实施例。如图9A所示，类似元件具有如图8C所示的相同的参考标号。

[0318] 与存储单元阵列800C(如图8C所示)相比较，跟踪使能线TE没有电连接至存储单元

阵列900中的每条N阱带线806。与存储单元阵列800C(如图8C所示)相比较,存储单元阵列900包括一个或多个接地参考导体CVss 902。

[0319] 一个或多个接地参考导体CVss 902延伸穿过存储单元阵列900。在一些实施例中,每个接地参考导体CVss 902都物理延伸至第一边缘单元802。在一些实施例中,跟踪使能线TE电连接至每个接地参考导体CVss 902。在一些实施例中,通过将跟踪使能线TE电连接至每个接地参考导体CVss 902,将每个跟踪单元201用作位线电容跟踪单元206。

[0320] 图9B是根据一个或多个实施例的存储单元阵列900'的框图。存储单元阵列900'是具有类似元件的存储单元阵列800B(如图8B所示)的实施例。如图9B所示,类似元件具有如图8B所示的相同的参考标号。存储单元阵列900'是具有类似元件的存储单元阵列200(如图2所示)的实施例。与存储单元阵列800B(如图8B所示)相比较,存储单元阵列900'包括跟踪禁用线TEB。

[0321] 跟踪单元201包括跟踪单元904和跟踪单元906。跟踪单元904是跟踪单元201的实施例。跟踪单元906是跟踪单元201的实施例。

[0322] 跟踪单元201划分为一个或多个跟踪单元904和一个或多个跟踪单元906。在一些实施例中,跟踪单元904和跟踪单元906功能等同。

[0323] 跟踪使能线TE电连接至跟踪单元201(例如,跟踪单元904)的一部分。在一些实施例中,跟踪使能线TE电连接至跟踪使能控制电路(未示出)。在一些实施例中,跟踪使能线TE电连接至电源电压参考导体Vdd(未示出)。在一些实施例中,电连接至跟踪使能线TE的跟踪单元904的数量在1个单元至512个单元的范围内。在一些实施例中,跟踪使能线TE没有延伸穿过每个第一边缘单元802。在一些实施例中,跟踪使能线TE是位于第一边缘单元802之上的金属导电层。在一些实施例中,通过将跟踪使能线TE电连接至跟踪单元904中的每个NMOS晶体管PG-1,每个跟踪单元904都可以用作单元电流跟踪单元204。在一些实施例中,在每个跟踪单元904中的第一CMOS器件的栅极电连接至电源电压参考导体CVdd。

[0324] 跟踪禁用线TEB电连接至跟踪单元201(例如,跟踪单元906)的一部分。在一些实施例中,跟踪禁用线TEB电连接至接地参考导体CVss。在一些实施例中,电连接至跟踪禁用线TEB的跟踪单元906的数量在1个单元至512个单元的范围内。在一些实施例中,跟踪禁用线TEB没有延伸穿过每个第一边缘单元802。在一些实施例中,跟踪禁用线TEB是位于第一边缘单元802之上的金属导电层。在一些实施例中,通过将跟踪禁用线TEB电连接至跟踪单元906中的每个NMOS晶体管PG-1,每个跟踪单元906可以用作位线电容跟踪单元206。在一些实施例中,在每个跟踪单元906中的第二CMOS器件的漏极节点电隔离。

[0325] 图10是根据一个或多个实施例的存储单元1000的示意图。存储单元1000是具有类似元件的存储单元100A(图1A所示的)的实施例。如图10所示,类似元件具有如图1A所示的相同的参考标号。与存储单元100A(如图1A所示)相比较,存储单元1000包括NMOS晶体管R_PD-1和NMOS晶体管R_PG-1。在一些实施例中,存储单元1000是一个或多个二端口(2P)SRAM单元的一部分。在一些实施例中,存储单元1000是嵌入式SRAM存储单元阵列的一部分。在一些实施例中,附加写端口和/或读端口是存储单元1000的一部分。在一些实施例中,存储单元1000利用除了8个以外的晶体管的数量。在一些实施例中,存储单元1000可用于存储单元阵列。

[0326] 存储单元1000包括写端口部分1002和读端口部分1004。

[0327] 写端口部分1002是具有类似元件的存储单元100A(如图1A所示)的实施例。写位线W_BL是如图1A所示的位线BL的实施例,写位线条W_BLB是图1A所示的位线条BLB的实施例,写字线W_WL是图1A所示的字线WL的实施例,NMOS晶体管W_PG1是图1A所示的NMOS晶体管PG-1的实施例,NMOS晶体管W_PG2是图1A所示的NMOS晶体管PG-2的实施例,NMOS晶体管W_PD1是图1A所示的NMOS晶体管PD-1的实施例,并且NMOS晶体管W_PD2是图1A所示的NMOS晶体管PD-2的实施例。读端口字线Read-WL是图1A所示的字线WL的实施例。读位线Read-BL是图1A所示的位线BL的实施例。

[0328] 读端口1004包括NMOS晶体管R_PD-1、NMOS晶体管R_PG-1、读端口字线Read-WL和读位线Read-BL。

[0329] NMOS晶体管R_PD-1栅极电连接至NMOS晶体管W_PD1的栅极和PMOS晶体管PU-1的栅极。NMOS晶体管R_PD-1的源极电连接至接地参考端Vss。NMOS晶体管R_PD-1的漏极电连接至NMOS晶体管R_PG-1。

[0330] NMOS晶体管R_PG-1的栅极电连接至读端口字线Read-WL。NMOS晶体管R_PG-1电连接至读位线R-BL。

[0331] 存储单元1000的示意图是要修改为形成例如图11、图12A、图12B以及图13A至图13D中的其他结构(诸如本文中所述的这些部件)的基础。在一些实施例中,存储单元1000是要修改为形成例如图2、3、4、图8B、图8C以及图9A和图9B的存储单元阵列结构(诸如本文中所述的这些部件)的基础。在一些实施例中,写端口部分1002修改为包括存储单元100C的部件(如图11所示,作为写端口部分1102a)。在一些实施例中,写端口部分1002修改为形成SRAM电流跟踪单元。在一些实施例中,写端口部分1002修改为包括存储单元100D的部件(如图11所示,作为写端口部分1104a)。在一些实施例中,写端口部分1002修改为形成SRAM位线电容跟踪单元。

[0332] 图11是根据一个或多个实施例的存储单元1100的示意图。存储单元1100是具有类似元件的存储单元1000(如图10中所示)的实施例。如图11所示,类似元件具有如图10所示的相同的参考标号。与存储单元1000(如图10所示)相比较,存储单元1100还包括存储单元1104。在一些实施例中,存储单元1100是要修改为形成例如图2、3、4、8B、8C以及9A和9B的存储单元阵列结构(诸如本文中所述的这些部件)的基础。

[0333] 存储单元1100包括存储单元1102和存储单元1104。存储单元1102通过跟踪位线TBL电连接至存储单元1104。跟踪位线TBL是图10所示的读位线Read-BL的实施例。

[0334] 存储单元1102是具有类似元件的存储单元1000(图10所示)的实施例。如图11所示,类似元件具有如图10所示的相同的参考标号。存储单元1102包括写端口部分1102a和读端口部分1102b。

[0335] 写端口部分1102a是具有类似元件的写端口部分1002的实施例。与写端口部分1002(如图10所示)相比较,写端口部分1102a修改为包括存储单元100C的部件(如图1C所示)。在一些实施例中,存储单元1102是2P SRAM读位线电流跟踪单元。在一些实施例中,写端口部分1102a的位线BL浮置。在一些实施例中,写端口部分1102a的位线条BLB是伪位线。在一些实施例中,写端口部分1102a的位线条BLB电浮置。

[0336] 读端口部分1102b是具有类似元件的读端口部分1004的实施例。与读端口部分1004(图10中所示)相比较,读端口部分1102b修改为形成2P SRAM读位线电流跟踪单元。与

读端口部分1004(图10中所示)相比较,读端口部分1102b的NMOS晶体管R_PG1的栅极配置为接收跟踪使能TE信号。在一些实施例中,读端口部分1102b的NMOS晶体管R_PG1的栅极电连接至跟踪使能导线TE。

[0337] 存储单元1104是具有类似元件的存储单元1000(图10中所示)的实施例。如图11所示,类似元件具有如图10所示的相同的参考标号。存储单元1104包括写端口部分1104a和读端口部分1104b。

[0338] 写端口部分1104a是具有类似元件的写端口部分1002的实施例。与写端口部分1002(图10中所示)相比较,写端口部分1104a修改为包括存储单元100D的部件(如图1D所示)。在一些实施例中,存储单元1104是2P SRAM读位线电容跟踪单元。在一些实施例中,写端口部分1104a的位线BL浮置。在一些实施例中,写端口部分1104a的位线条BLB是伪位线。在一些实施例中,写端口部分1104a的位线条BLB电浮置。

[0339] 读端口部分1104b是具有类似元件的读端口部分1004的实施例。与读端口部分1004(图10中所示)相比较,读端口部分1104b修改为形成2P SRAM读位线电容跟踪单元。与读端口1004(图10中)相比较,读端口部分1104b的NMOS晶体管R_PG1的栅极配置为接收接地参考信号Vss。在一些实施例中,读端口部分1104b的NMOS晶体管R_PG1的栅极电连接至接地参考导体CVss。在一些实施例中,读端口部分1104b的NMOS晶体管R_PG1和NMOS晶体管R_PD1均配置为截止状态。

[0340] 图12A是根据一个或多个实施例的图10中的存储单元1000的布局图1200的一部分。图12A中所示的布局图1200的部件与图1A和图1B以及图10所示的具有相同参考标号的这些部件相同或相似,并且省略其详细描述。

[0341] 布局图1200是具有类似元件的布局图500'(图5B中所示)的实施例。如图12A所示,类似元件具有如图5B所示的相同的参考标号。布局图1200是混合多鳍式/单鳍式2P SRAM存储单元的实施例。例如,如图12A所示,晶体管器件PU-1和PU-2是单鳍式晶体管器件,并且晶体管器件PD-1、PD-2、PG-1、PG-2、R_PD-1和R_PG-1是多鳍式晶体管器件。

[0342] 布局图1200包括N阱区N_well和P阱区P_Well-1和P_well-1。单元边界1204限定单位单元1202。单位单元1202包括晶体管器件PU-1、PU-2、PD-1、PD-2、PG-1、PG-2、R_PD-1和R_PG-1。在一些实施例中,单位单元1202为8晶体管(8T)布置。在一些实施例中,单位单元1202的形状是矩形单元形状。单位单元1202包括第一X间距X1和第一Y间距Y1。

[0343] 在一些实施例中,晶体管器件R_PD-1包括并联连接的至少两个晶体管器件,使得每个晶体管的源极端连接在一起,每个晶体管的漏极端连接在一起,并且每个晶体管的栅极端连接在一起。

[0344] 在一些实施例中,晶体管器件R_PG-1包括并联连接的至少两个晶体管器件,使得每个晶体管的源极端连接在一起,每个晶体管的漏极端连接在一起,并且每个晶体管的栅极端连接在一起。

[0345] 图12A所示的布局1200的PD晶体管(例如,PD-1和PD-2)包括第一沟道宽度(鳍宽度-1)和第二沟道宽度(鳍宽度-2)。在一些实施例中,第一沟道宽度(鳍宽度-1)比第二沟道宽度(鳍宽度-2)宽至少10%。

[0346] 图12B是根据一个或多个实施例的图10中的存储单元1000的布局图1200'的一部分。图12B中所示的布局图1200'的部件与图1A、图1B、图10、和图11所示的具有相似参考标

号的这些部件相同或相似，并且省略其详细描述。

[0347] 布局图1200'是具有类似元件的布局图1200(图12A中所示)的实施例。如图12B所示，类似元件具有如图12A所示相同的参考标号。布局图1200'是混合多鳍式/单鳍式2P SRAM存储单元的实施例。例如，如图12B所示，晶体管器件PU-1和PU-2是单鳍式晶体管器件，并且晶体管器件PD-1、PD-2、PG-1、PG-2、R_PD-1和R_PG-1是多鳍式晶体管器件。在一些实施例中，布局图1200'是混合多鳍式/单鳍式2P SRAM读位线电流跟踪单元的布局图的一部分。在一些实施例中，布局图1200'是如图11所示的存储单元1102的布局图的一部分。

[0348] 图13A是根据一个或多个实施例的图11中的存储单元1102的布局图1300A的一部分。图13A中所示的布局图1300A的部件与图1A和图1B以及图10和图11所示的具有相同参考标号的这些部件相同或相似，并且省略其详细描述。

[0349] 布局图1300A是具有类似元件的布局图1200'(图12B中所示)的实施例。如图13A所示，类似元件具有如图12B所示的相同的参考标号。在一些实施例中，布局图1300A是SRAM电流跟踪单元(例如，存储单元1102)的布局图。在一些实施例中，布局图1300A是混合多鳍式/单鳍式2P SRAM读位线电流跟踪单元的布局图的一部分。

[0350] 与布局图1200'(图12B中所示)相比较，布局图1300A包括多个第一通孔via1、金属层M1、金属层M2、和多个第二通孔via2。金属层M0包括栅极接触件、对接接触件和较长接触件。

[0351] NMOS晶体管PD-1的栅极、PMOS晶体管PU-1和NMOS晶体管R_PD1的栅极通过栅极接触件1和第一通孔via1电连接至电源电压参考导体CVdd线。

[0352] 金属层M0位于金属层M1之下。金属层M0将电流跟踪单元的栅极和漏极电连接至其他金属层(例如，金属层M1、金属层M2、金属层M3)。金属层M0包括一个或多个局部互连件。局部互连件包括图13A的电流跟踪单元的接触件(例如，较长接触件、对接接触件、和栅极接触件)。

[0353] 零通孔via-0将金属层M0电连接至金属层M1。

[0354] 金属层M1位于金属层M2之下。金属层M1通过第一通孔via1将金属层M2电连接至金属层M0。

[0355] 金属层M2位于金属层M3之下。金属层M2通过第二通孔via2将金属层M3电连接至金属层M1。

[0356] 电源电压参考导体CVdd位于金属层M1上。跟踪读位线TRBL、电源电压参考导体CVdd位于金属层M1上。

[0357] 接地参考导体CVss位于金属层M1上。写字线W-WL导体和读字线R-WL导体位于金属层M2上。

[0358] 布局图1300A内的NMOS晶体管PU-2的漏极节点和NMOS晶体管PD-2的漏极节点电隔离。

[0359] 图13B是根据一个或多个实施例的图11中的存储单元1102的布局图1300B的一部分。图13B中所示的布局图1300B的部件与图1A、1B、图10和图11中所示的具有相同参考标号的这些部件相同或相似，并且省略其详细描述。布局图1300B是具有类似元件的布局图1300A(图13中所示)的实施例。如图13B所示，类似元件具有如图13A所示的相同的参考标号。与布局图1300A(如图13A所示)相比较，布局图1300B不包括栅极、鳍式有源件、较长接触件。

件、对接接触件和栅极接触件(为了示出的目的)。

[0360] 图13C是根据一个或多个实施例的图11中的存储单元1104的布局图1300C的一部分。图13C所示的布局图1300C的部件与图1A、1B、图1D、图10和图11所示的具有类似参考标号的这些部件相同或相似，并且省略其详细描述。

[0361] 布局图1300C是具有类似元件的布局图1200'(图12B所示)的实施例。如图13C所示，类似元件具有如图12B所示的相同的参考标号。在一些实施例中，布局图1300C是2P SRAM读位线电容跟踪单元(例如，存储单元1104)的布局图。在一些实施例中，布局图1300C是混合多鳍式/单鳍式2P SRAM读位线电容跟踪单元的布局图的一部分。

[0362] 与布局图1200'(图12B所示)相比较，布局图1300A包括多个第一通孔via1、金属层M1、金属层M2和多个第二通孔via2。金属层M0包括栅极接触件、对接接触件和较长接触件。

[0363] NMOS晶体管R_PG1的栅极配置为接收接地参考信号Vss。在一些实施例中，读端口部分1104b的NMOS晶体管R_PG1的栅极通过栅极接触件1和第一通孔via1电连接至接地参考导体CVss线。在一些实施例中，读端口部分1104b的NMOS晶体管R_PG1和NMOS晶体管R_PD1均配置为截止状态。

[0364] 金属层M0位于金属层M1之下。金属层M0将电流跟踪单元的栅极和漏极电连接至其他金属层(例如，金属层M1、金属层M2、金属层M3)。金属层M0包括一个或多个局部互连件。局部互连件包括图13C的电容跟踪单元的接触件(例如，较长接触件、对接接触件和栅极接触件)。

[0365] 零通孔via-0将金属层M0电连接至金属层M1。

[0366] 金属层M1位于金属层M2之下。金属层M1通过第一通孔via1将金属层M2电连接至金属层M0。

[0367] 金属层M2位于金属层M3之下。金属层M2通过第二通孔via2将金属层M3电连接至金属层M1。

[0368] 电源电压参考导体CVdd位于金属层M1上。跟踪读位线TRBL、电源电压参考导体CVdd位于金属层M1上。

[0369] 接地参考导体CVss位于金属层M1上。写字线W-WL导体和读字线R-WL导体位于金属层M2上。

[0370] 在布线图1300C内的NMOS晶体管PD-1的源极节点电浮置。

[0371] 图13D是根据一个或多个实施例的图11中的存储单元1104的布局图1300D的一部分。图13D中所示的布局图1300D的部件与图1A、图1B、图1D、图10和图11中所示的具有相同参考标号的这些部件相同，并且省略其详细描述。布局图1300D是具有类似元件的布局图1300C(如图13C中所示)的实施例。如图13D所示，类似元件具有如图13C所示的相同的参考标号。与布局图1300C(图13C中所示)相比较，布局图1300D不包括栅极、鳍式有源件、较长接触件、对接接触件和栅极接触件(为了示出的目的)。

[0372] 在一些实施例中，本发明提供了用于全单鳍式FinFET SRAM存储单元的可选设计方案和工艺方案。在一些实施例中，本发明提供了单个SRAM存储芯片中的混合单鳍式FinFET SRAM存储单元/多鳍式FinFET SRAM存储单元，其中，该单个SRAM存储芯片不需要用于所有存储单元的读辅助电路并且具有比可选配置更多的成本效益。在一些实施例中，本发明提供了用于高容量制造设置中的多单元类型(例如，单个SRAM存储芯片中的混合单鳍

式FinFET SRAM存储单元/多鳍式FinFET SRAM存储单元)的共优化布局。

[0373] 在一些实施例中,本发明描述了具有较高阿尔法比率(例如,I_{on}_PU/I_{on}_PG基本等于1)的全单鳍式FinFET存储单元。在一些实施例中,写辅助电路或额外的V_t_PU调节工艺用于提供用于较高阿尔法比率的良好的写裕量。

[0374] 在一些实施例中,本发明描述了具有较低阿尔法比率(例如,I_{on}_PU/I_{on}_PG<=0.5)的多鳍式FinFET存储单元(例如,用于PG/PD器件的多鳍和用于PU器件的单鳍)。在一些实施例中,存储单元的普通操作用于较低阿尔法比率(例如,<=0.5)。在一些实施例中,存储单元的普通操作不需要使用额外的写辅助需求,并且标准工艺用于制造存储单元,从而导致较低成本。

[0375] 本说明的一方面涉及同步随机存取存储器(SRAM)芯片,包括多个SRAM单元和多个单元电流跟踪单元。每个SRAM单元都包括电源电压参考导体、第一接地参考导体、两个交叉耦合反相器、和两个传输栅极器件。每个单元电流跟踪单元都包括第一半单元,其中,第一半单元包括第一跟踪位线导体;包括第一下拉(PD)器件和第一上拉(PU)器件的第一互补金属氧化物半导体(CMOS)、以及配置为跟踪电流的第一传输栅极器件;以及第二半单元,其中,第二半单元包括第二CMOS(包括第二PD器件和第二PU器件)、以及配置为控制数据类型的第二传输栅极器件;其中,第一半单元不同于第二半单元;其中,第一CMOS的栅极电连接至电源电压参考导体;其中,第二PU器件的漏极节点与第二PD器件的漏极节点电隔离;其中,第一传输栅极器件的栅极节点电连接至跟踪使能导体,并且其中第二传输栅极器件的栅极节点电连接至第一字线导体。

[0376] 本说明的另一方面涉及同步随机存取存储器(SRAM)芯片。包括多个SRAM单元;多个跟踪单元;多个第一边缘单元;多个第二边缘单元;和多个阱带单元;其中,每个SRAM单元都包括电源电压参考导体;第一接地参考导体;两个交叉耦合反相器和两个传输栅极器件;其中,每个跟踪单元都包括第一半单元,其中,第一半单元包括第一跟踪位线导体;包括第一下拉(PD)器件和第一上拉(PU)器件的第一CMOS,以及配置跟踪电流的第一传输栅极器件;以及第二半单元,其中,第二半单元包括:包括第二PD器件和第二PU器件的第二CMOS、以及第二传输栅极器件;其中第一半单元不同于第二半单元;其中,第一传输栅极器件的栅极节点电连接至跟踪使能导体;其中,第二传输栅极器件的栅极节点电连接至第一预定字线导体;其中每个SRAM和每个跟踪单元都位于存储单元阵列中;其中,通过多行和多列来布置SRAM单元;其中,每个跟踪单元都布置在第一列中;其中,第一列邻近SRAM单元的边缘列;多个第一边缘单元,其中,多个第一边缘单元布置在第二列中,并且邻近第一列;多个第二边缘单元,其中,多个第二边缘单元布置在第二列中,并且邻近多列SRAM单元;其中,第一边缘单元包括跟踪使能导体;并且其中,每个SRAM单元的单元尺寸和每个跟踪单元的单元尺寸都基本相同。

[0377] 该说明的又一方面涉及二端口(2P)静态随机存取存储器(SRAM)阵列,其包括配置为存储数据的多个2P SRAM单元,和配置为跟踪每个单元的多个跟踪单元;其中,每个2P SRAM单元都包括写端口和读端口;其中,写端口包括具有数据存储节点和互补的数据条存储节点的两个交叉耦合反相器,其中每个反相器都包括一个写下拉(PD)器件和一个写上拉(PU)器件;第一写传输栅极器件和第二写传输栅极器件;其中,读端口包括读下拉器件和读传输栅极器件,其中,读下拉器件和读传输栅极器件串联连接;其中每个跟踪单元都包括第

一类型的跟踪单元和第二类型的跟踪单元；其中，每个第一类型的跟踪单元都包括第一跟踪写端口和第一跟踪读端口；其中，第一跟踪读端口包括第一跟踪读位线导体；第一跟踪读PD器件和第一跟踪读PG器件；其中，第一跟踪写端口包括第一半单元，和第二半单元；其中，第一半单元包括第一跟踪写位线导体；第一CMOS、和第一传输栅极器件；其中，第二半单元包括第二传输栅极器件；第二PD器件和第二PU器件；其中，第一CMOS的栅极节点和第一跟踪读PD器件的栅极都电连接至电源电压参考导体；第二PD器件的漏极节点和第二PU器件的漏极节点电隔离；第一跟踪读PG栅极器件的栅极节点电连接至跟踪使能导体；其中，每个第二类型的跟踪单元都包括第二跟踪写端口和第二跟踪读端口；其中，第二跟踪读端口包括第一跟踪读位线导体；第二跟踪读PD器件、和第二跟踪读PG器件；其中，第二跟踪写端口包第三半单元和第四半单元；其中第三半单元包括第一跟踪写位线导体；第二CMOS、和第三传输器件；其中第四半单元包括第三CMOS和配置为伪器件的第四传输器件；其中，第二CMOS包括第三PU器件和第三PD器件；其中，第三PD器件的源极节点电浮置；其中第三CMOS包括第四PU器件和第四PD器件；其中，第四PD器件的源极节点电连接至第一接地参考导体；其中，第二读PG器件的栅极节点至少电连接至第一接地参考导体或P阱导体；其中第二CMOS的栅极节点和第二跟踪PD器件的栅极电连接。

[0378] 上面概述了若干实施例的部件，使得本领域普通技术人员可以更好地理解本发明的各个方面。本领域普通技术人员应该理解，可以很容易地使用本发明作为基础来设计或修改其他用于执行与本文所介绍实施例相同的目的和/或实现相同优点的工艺和结构。本领域普通技术人员还应该意识到，这种等效构造并不背离本发明的精神和范围，并且在不背离本发明的精神和范围的情况下，可以进行多种变化、替换以及改变。

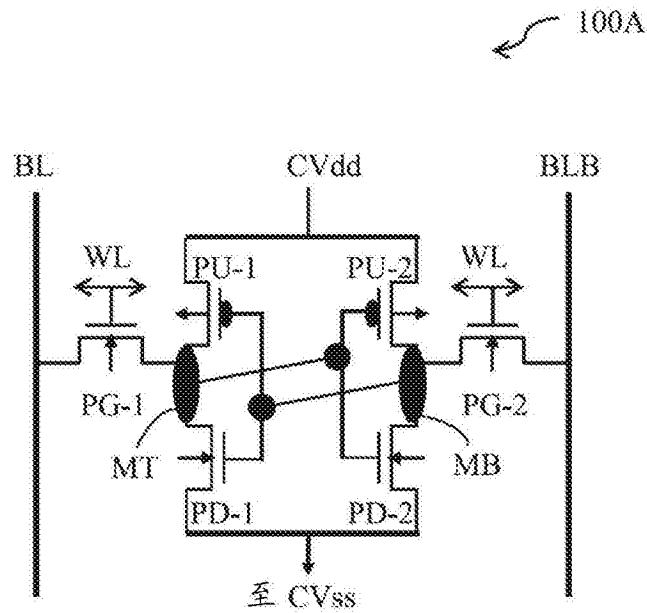


图1A

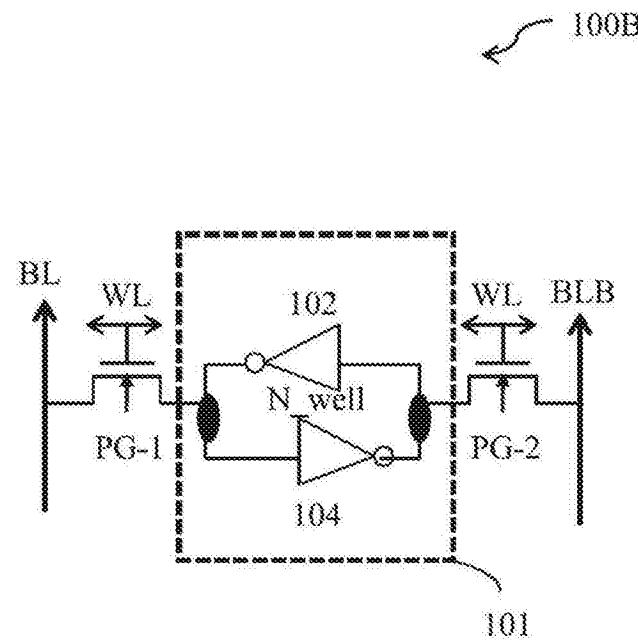


图1B

100C

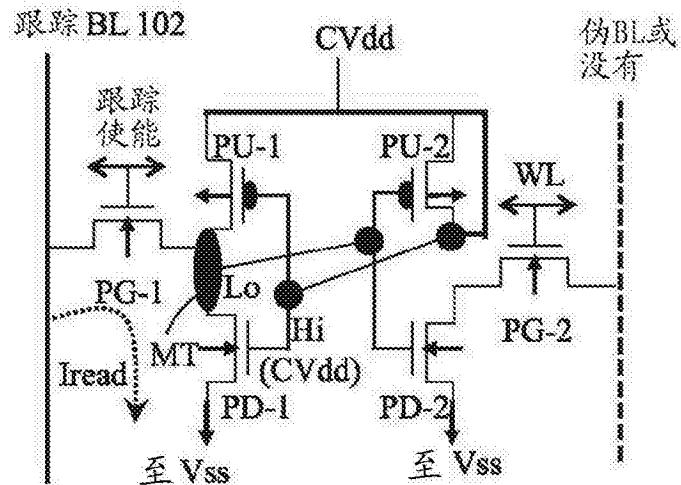


图1C

100D

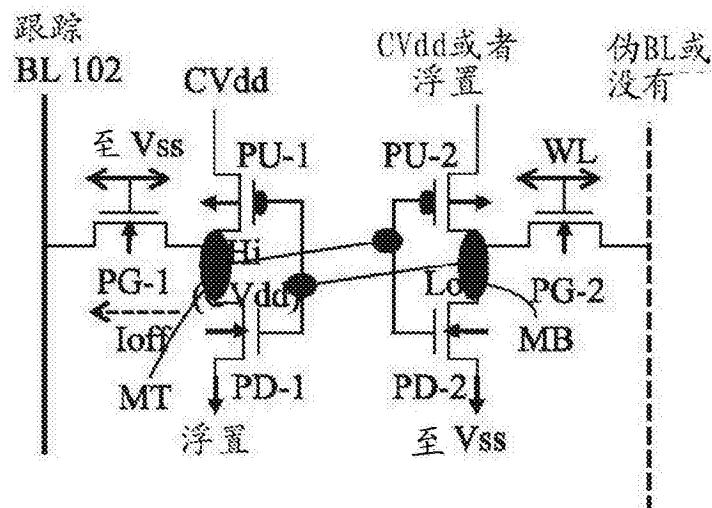


图1D

具有位线跟踪单元—1的SRAM阵列

200

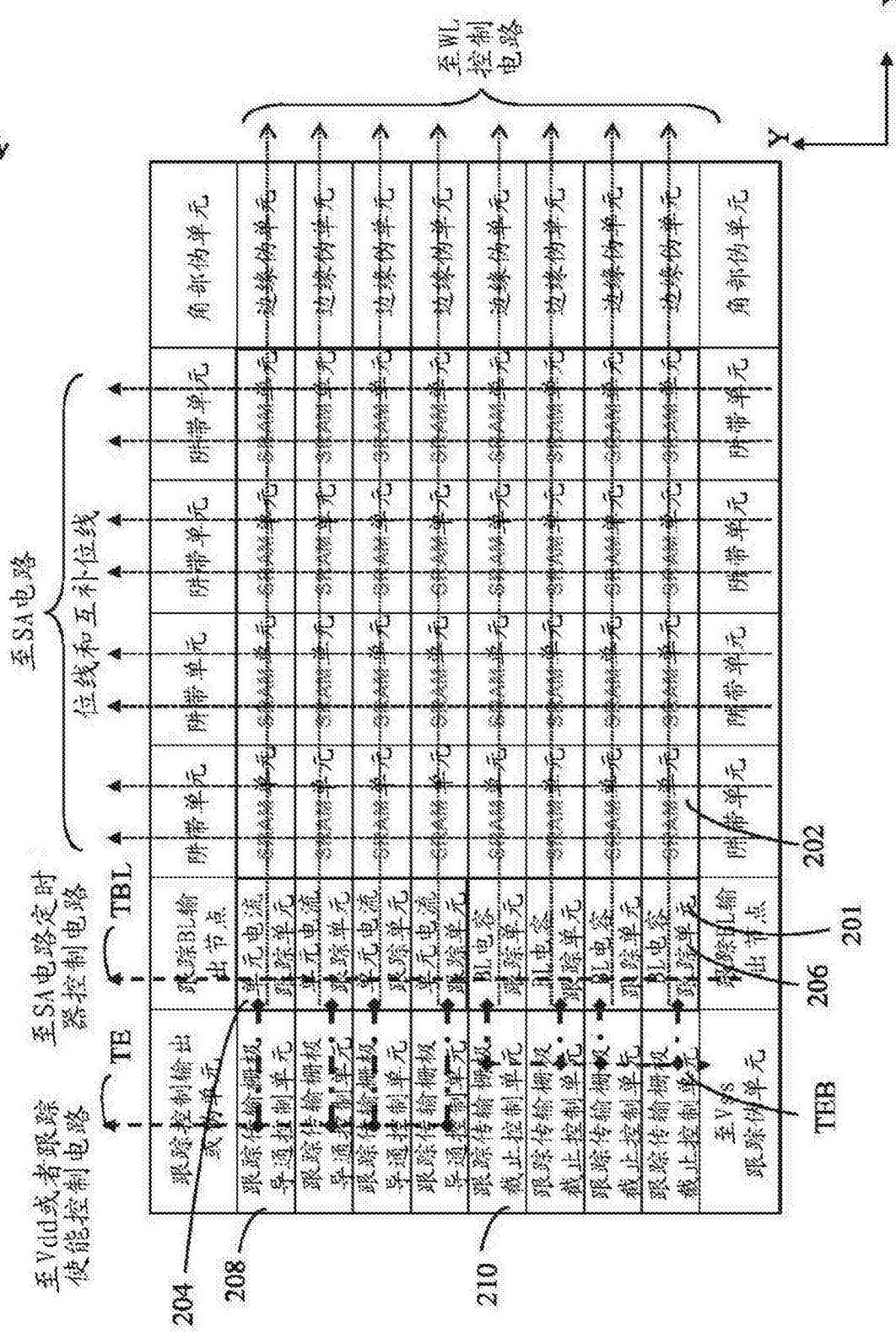


图2

具有位线跟踪单元—2的SRAM阵列

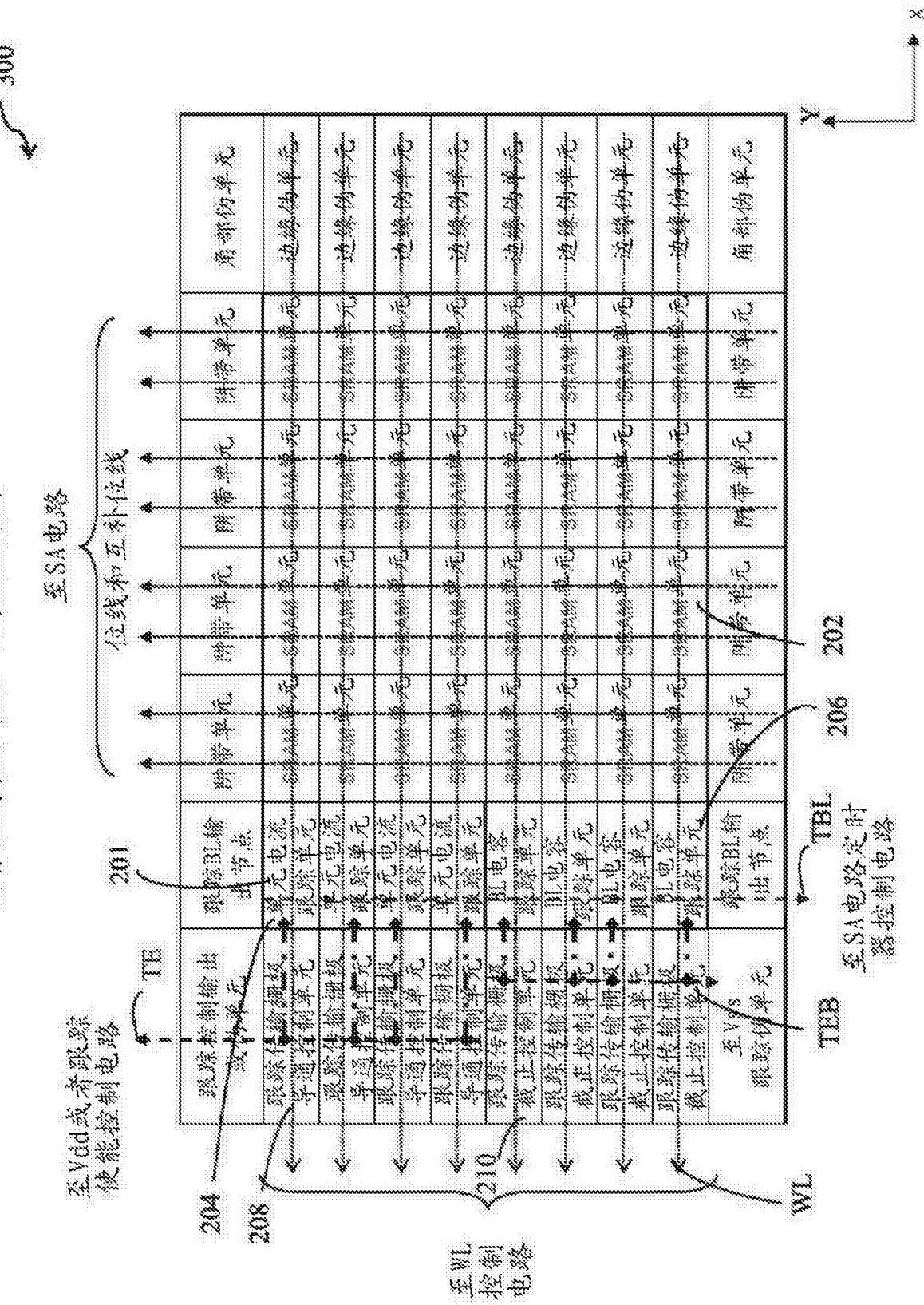


图3

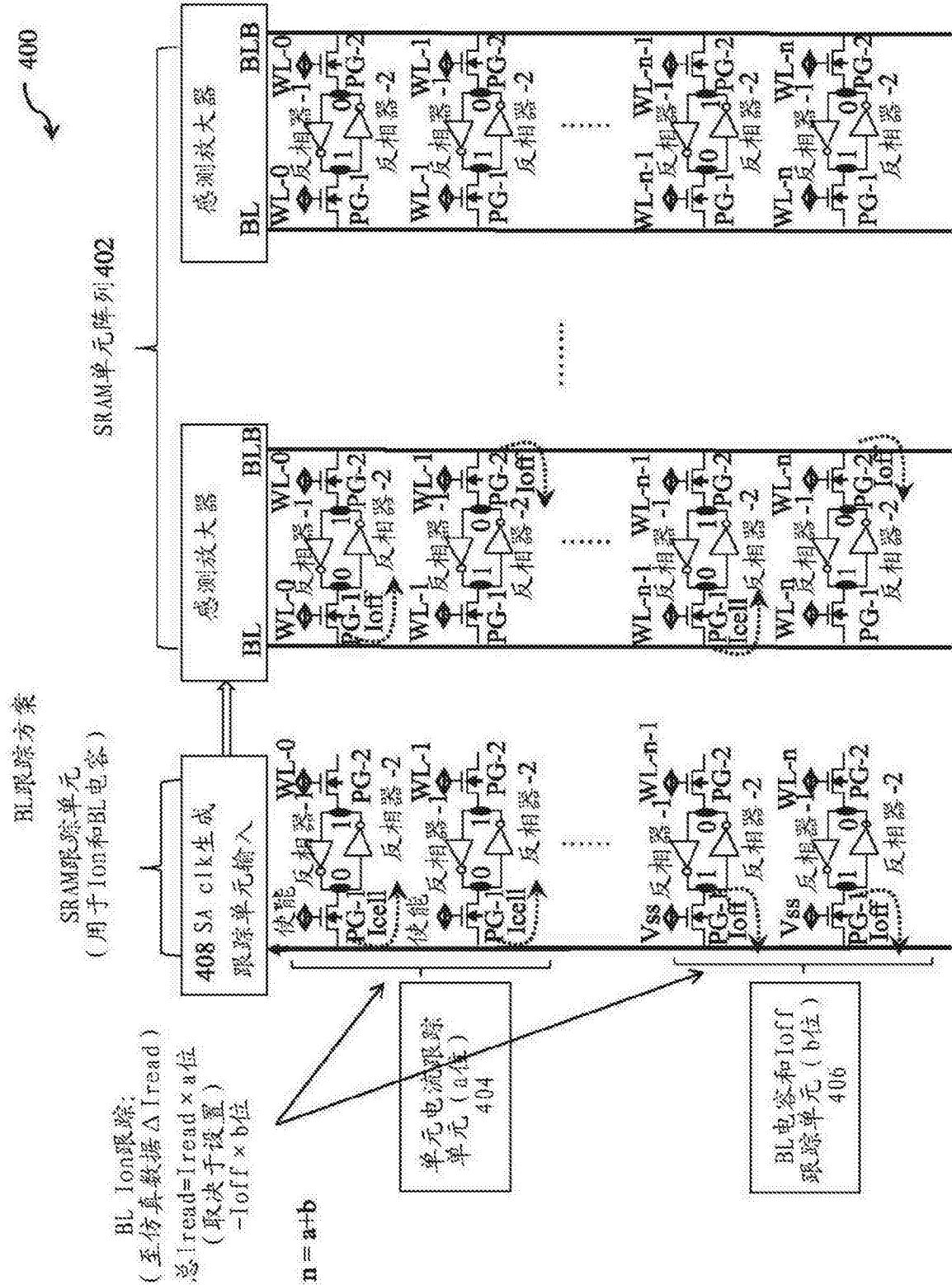


图4

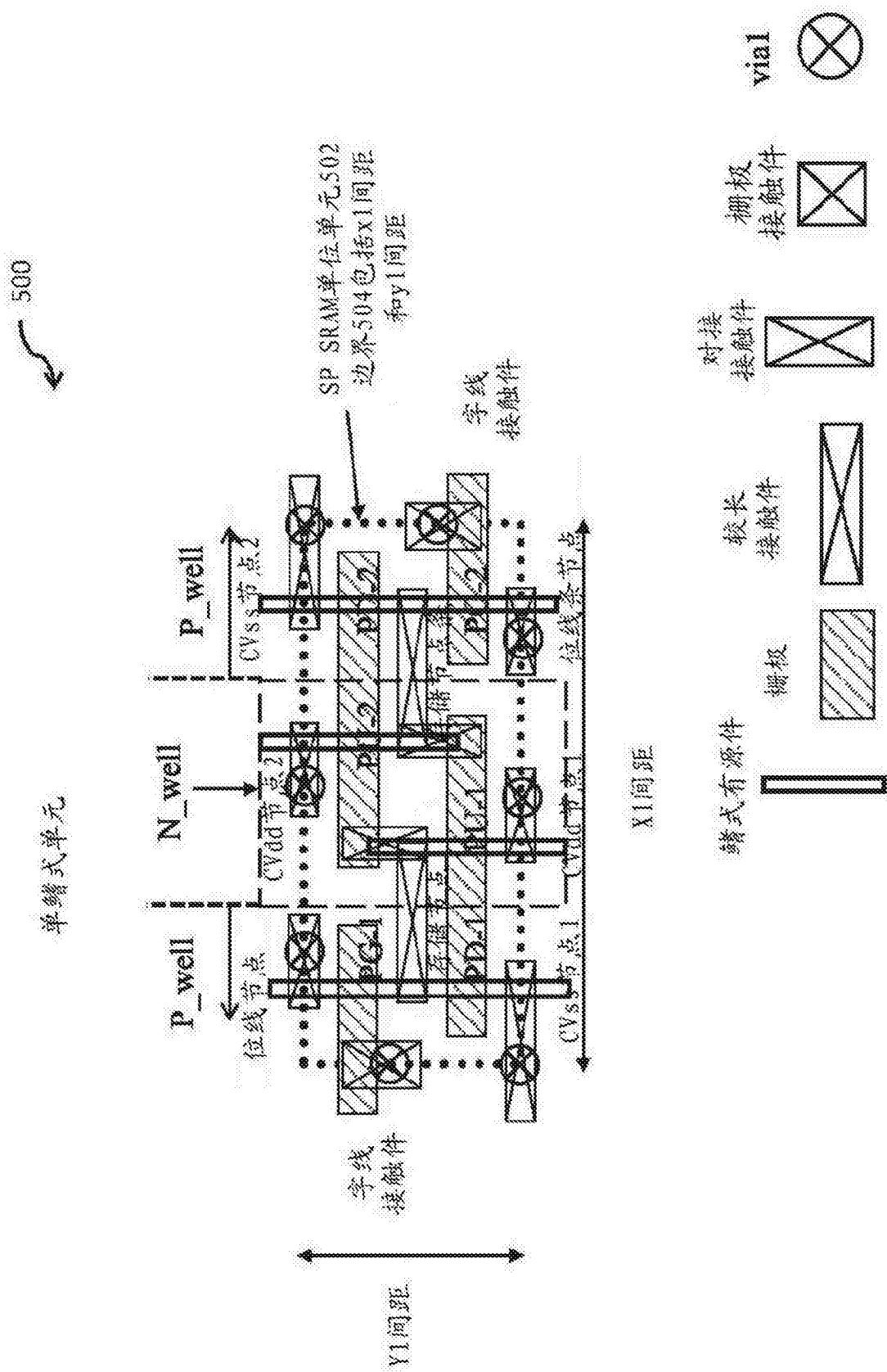


图 5A

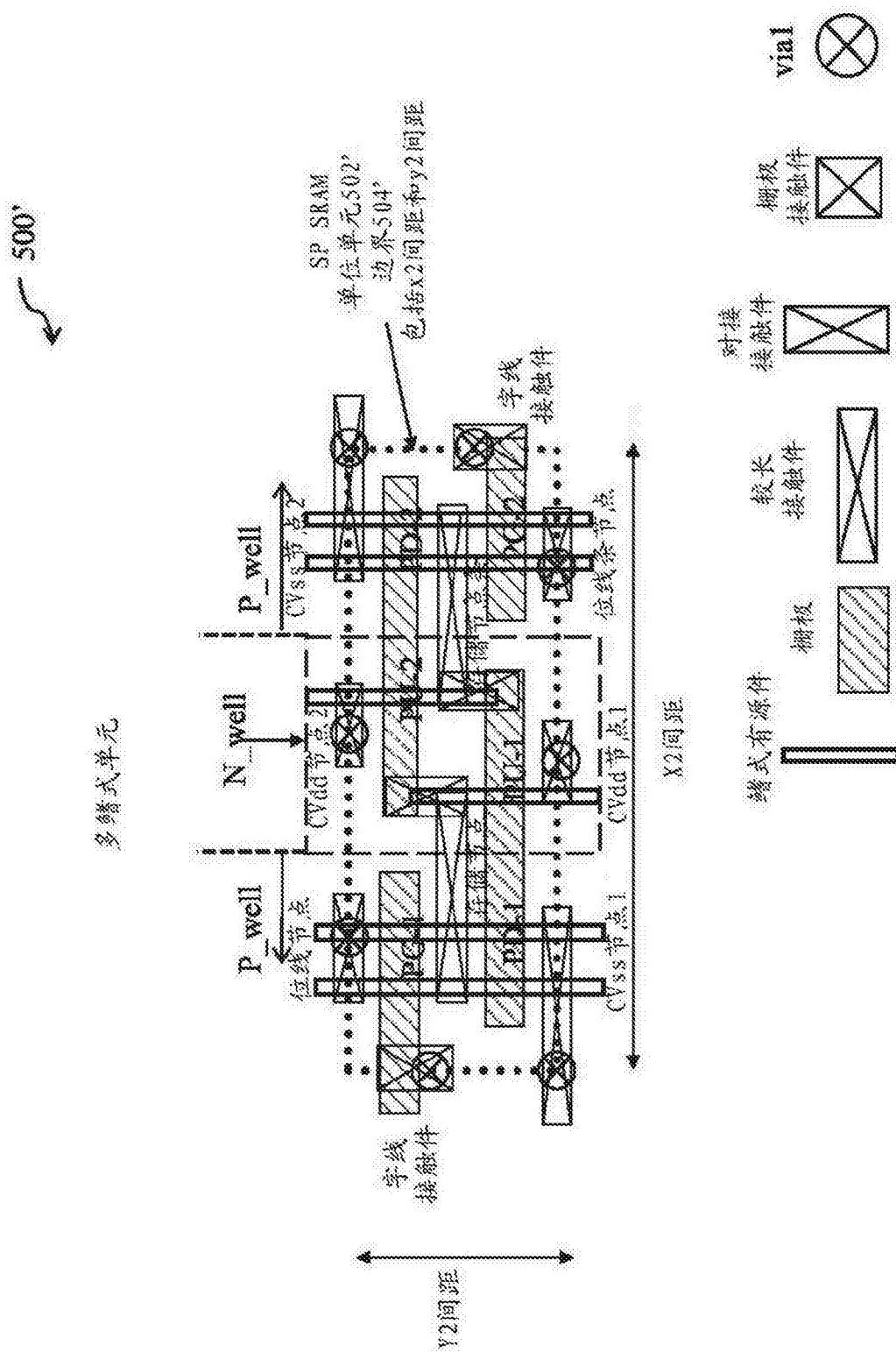
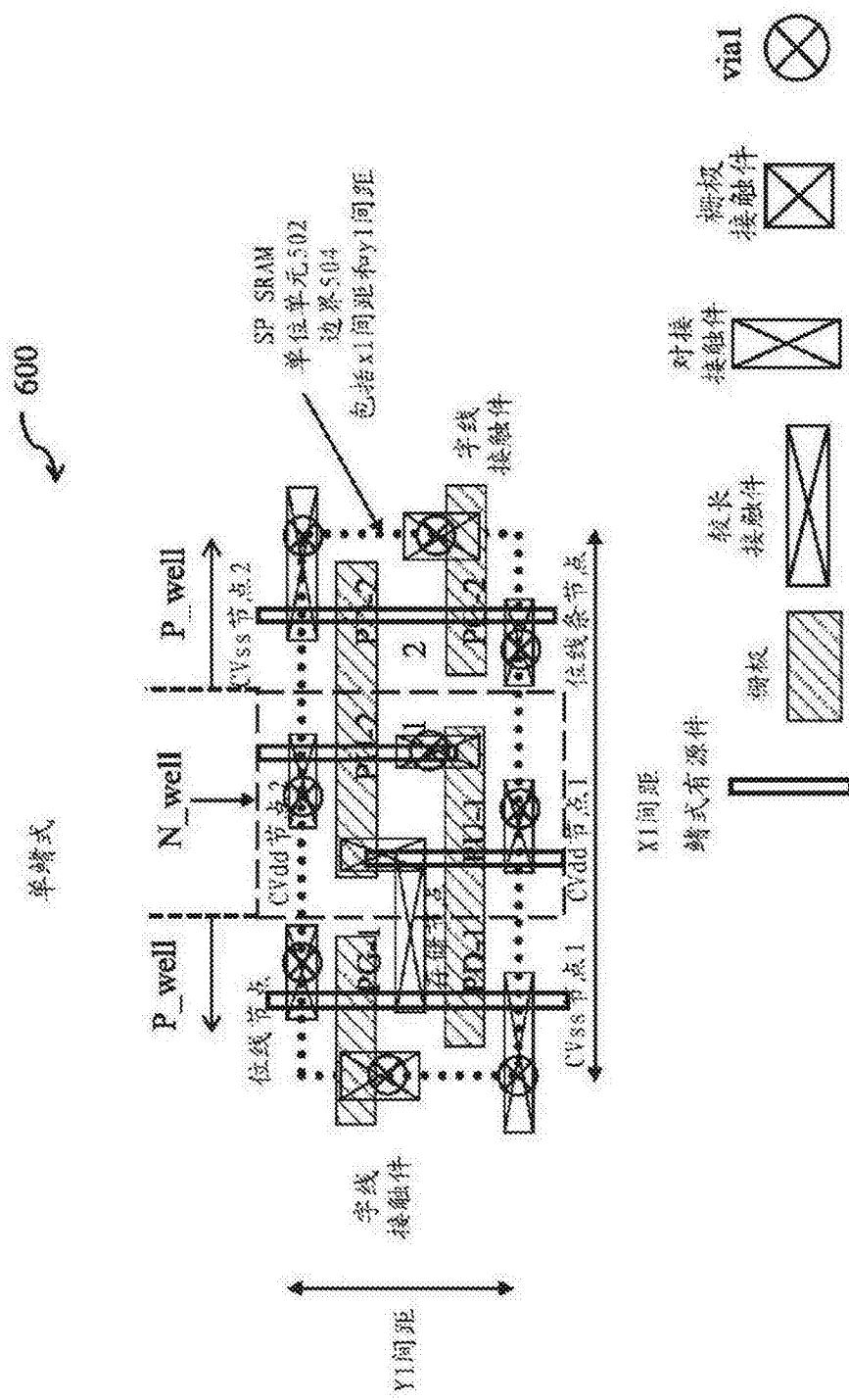


图5B



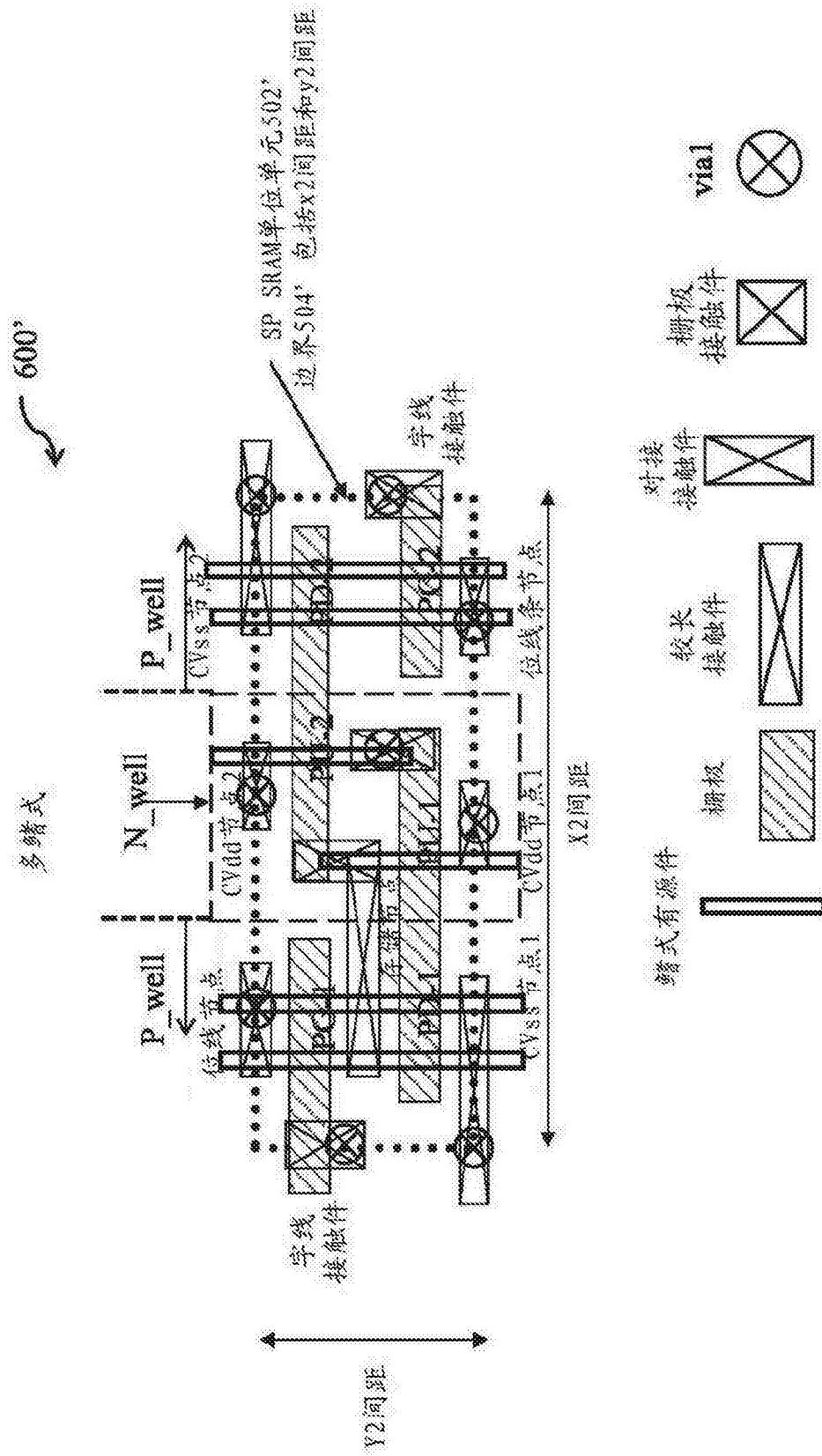


图6B

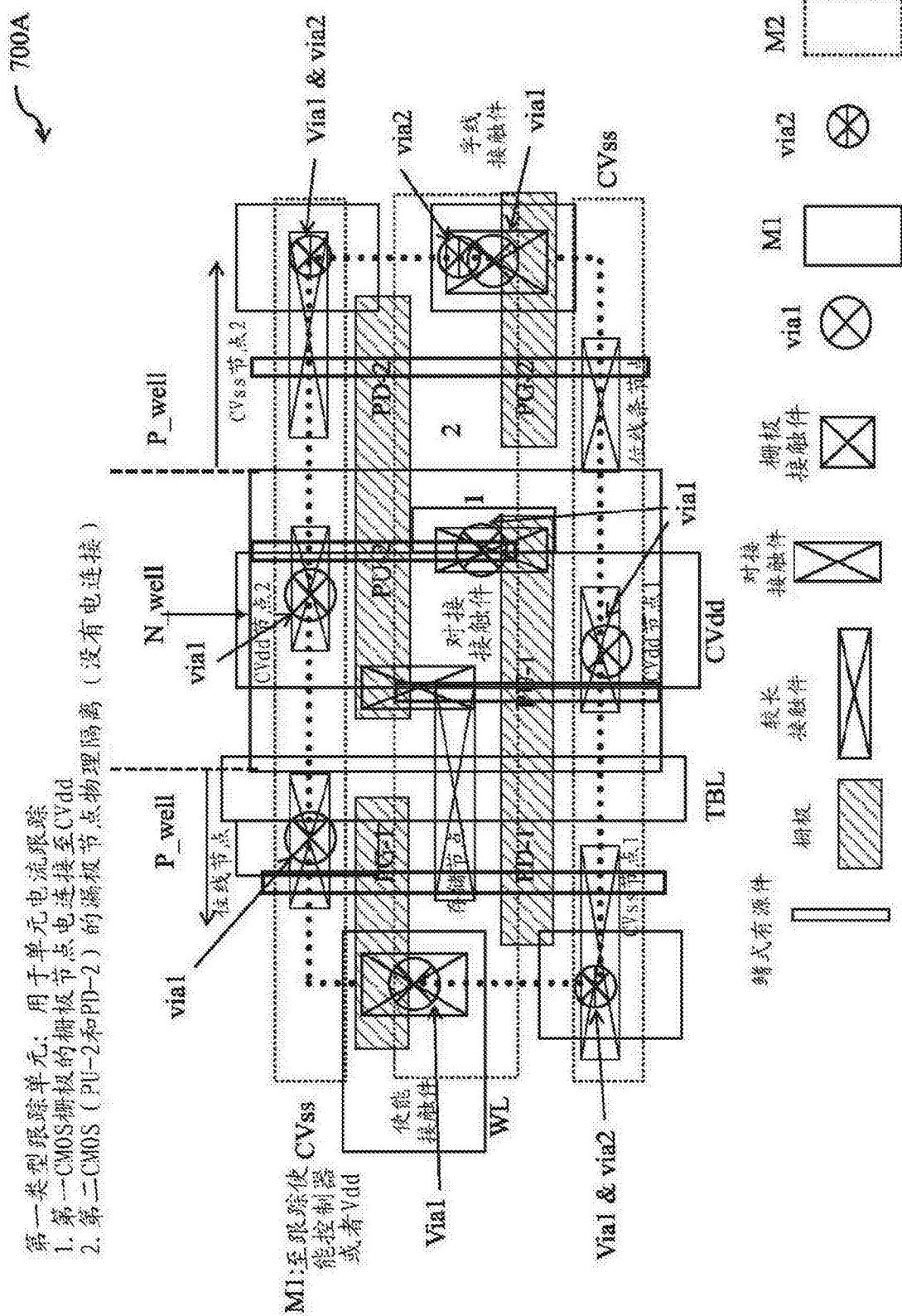


图7A

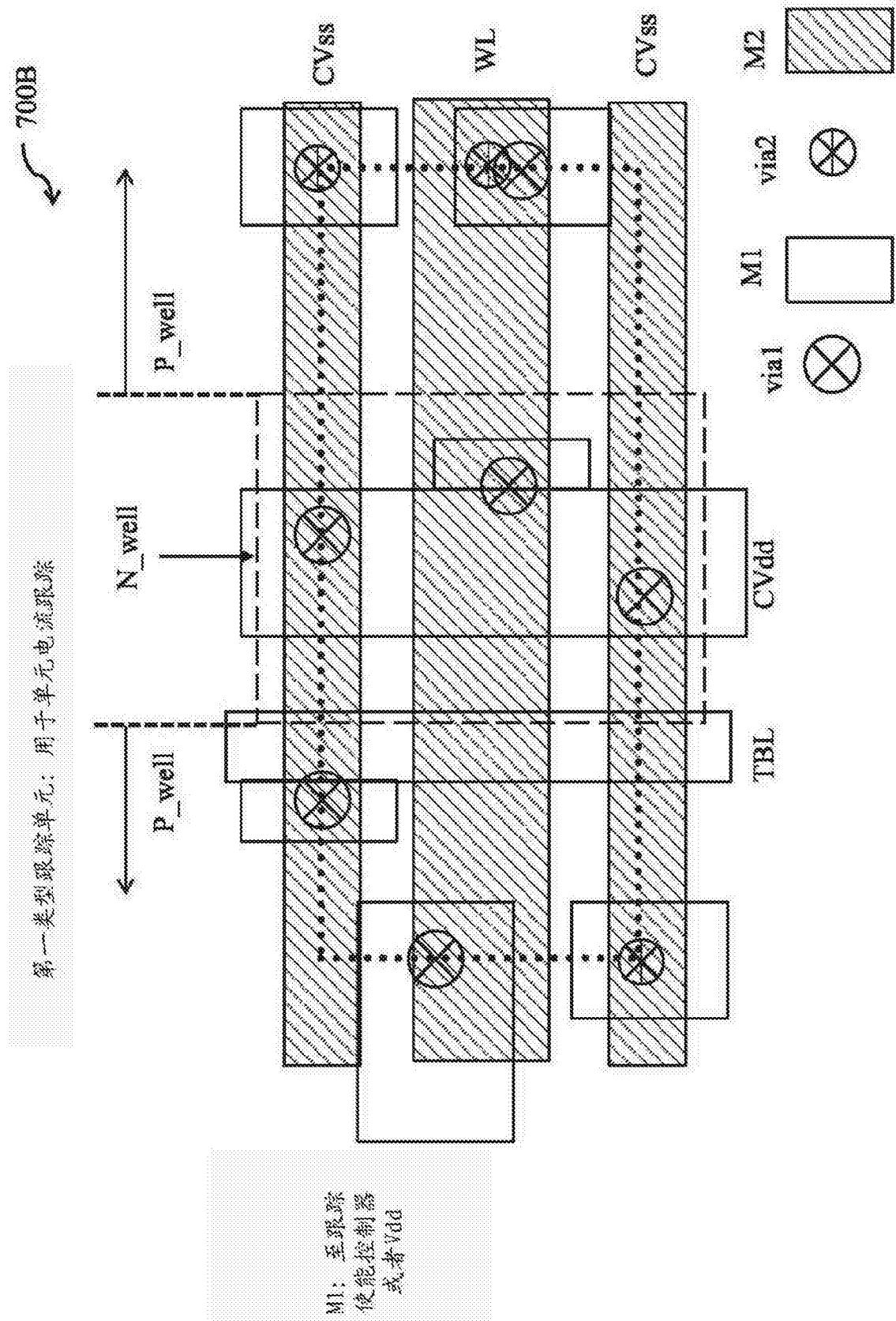
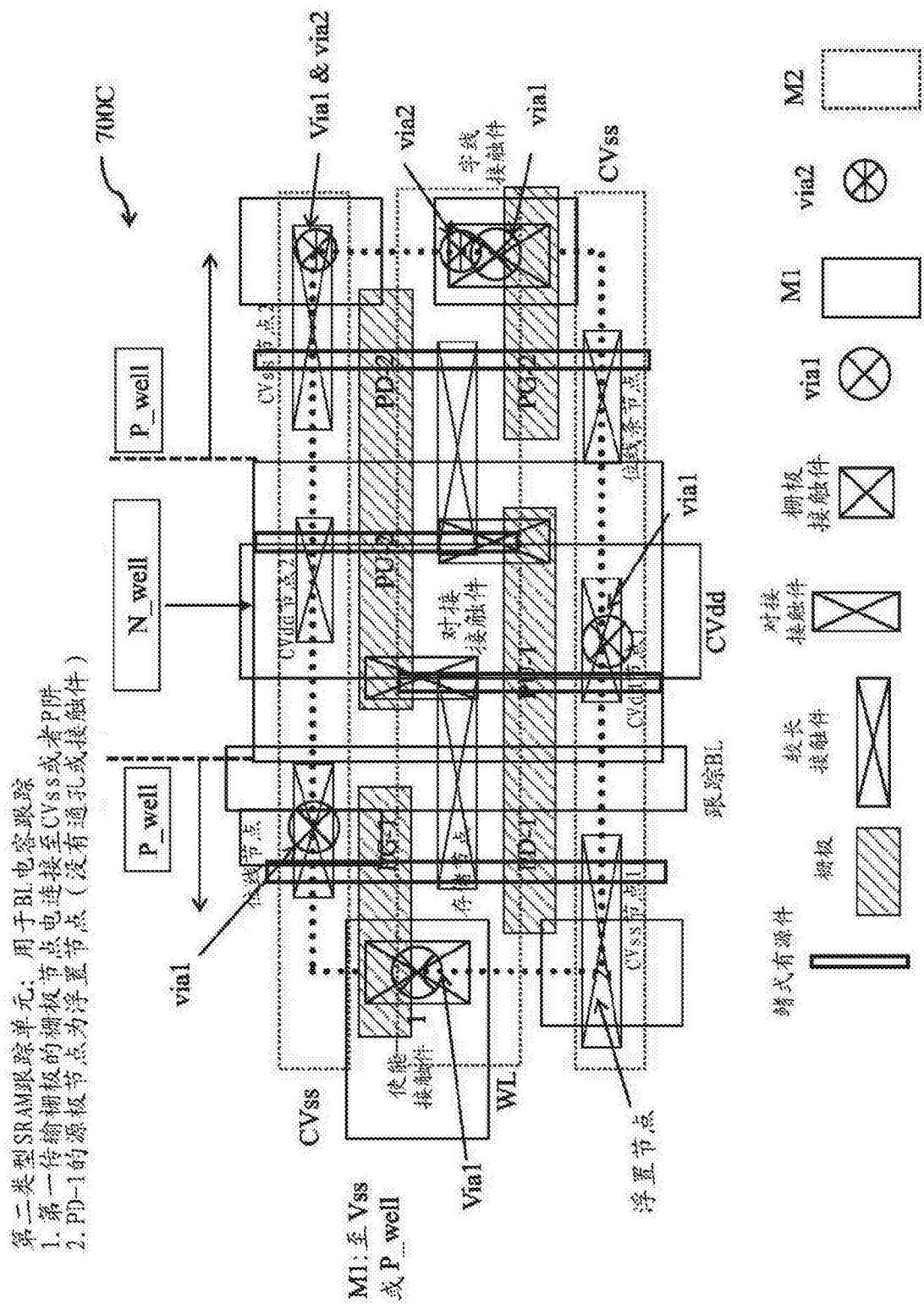


图7B



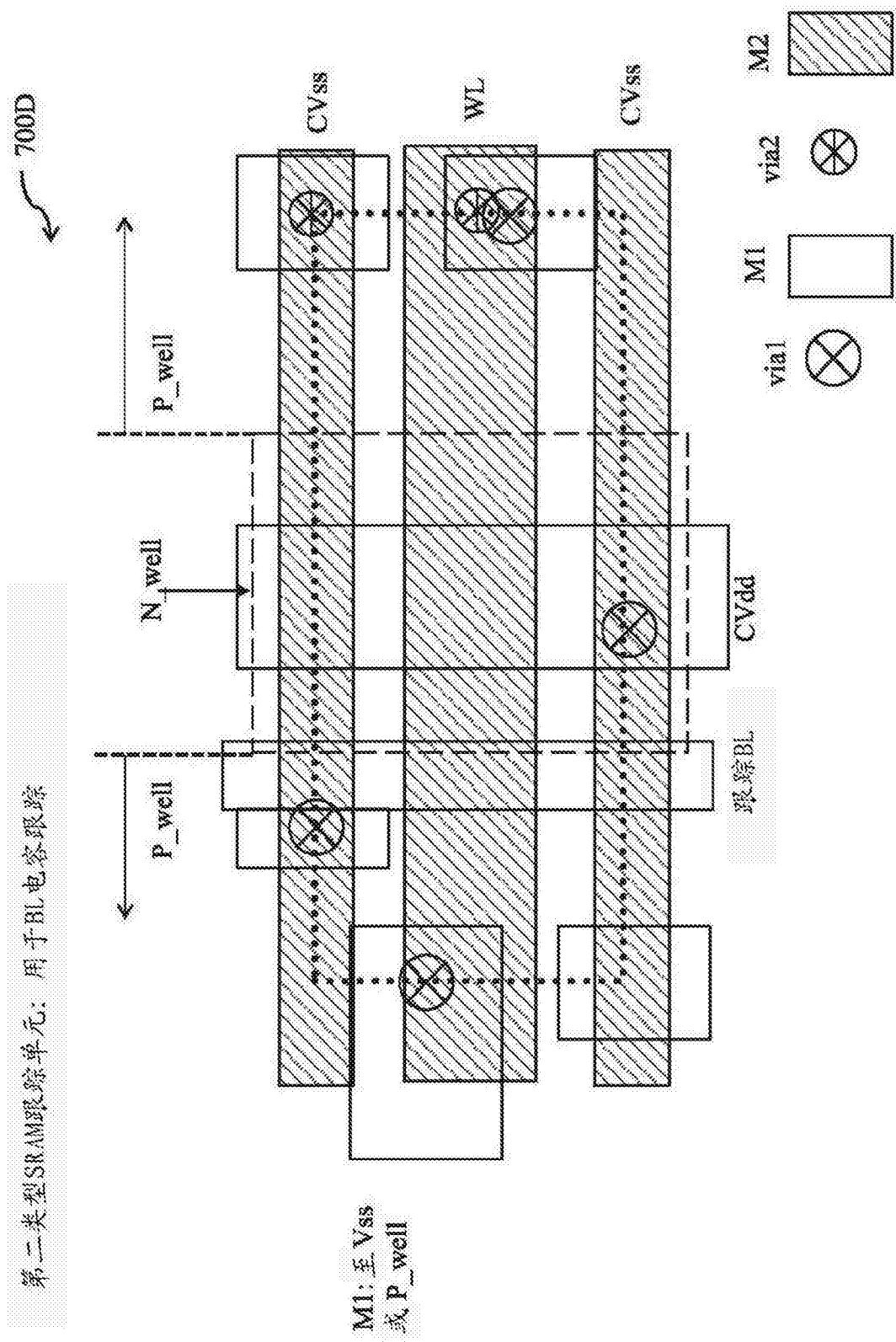
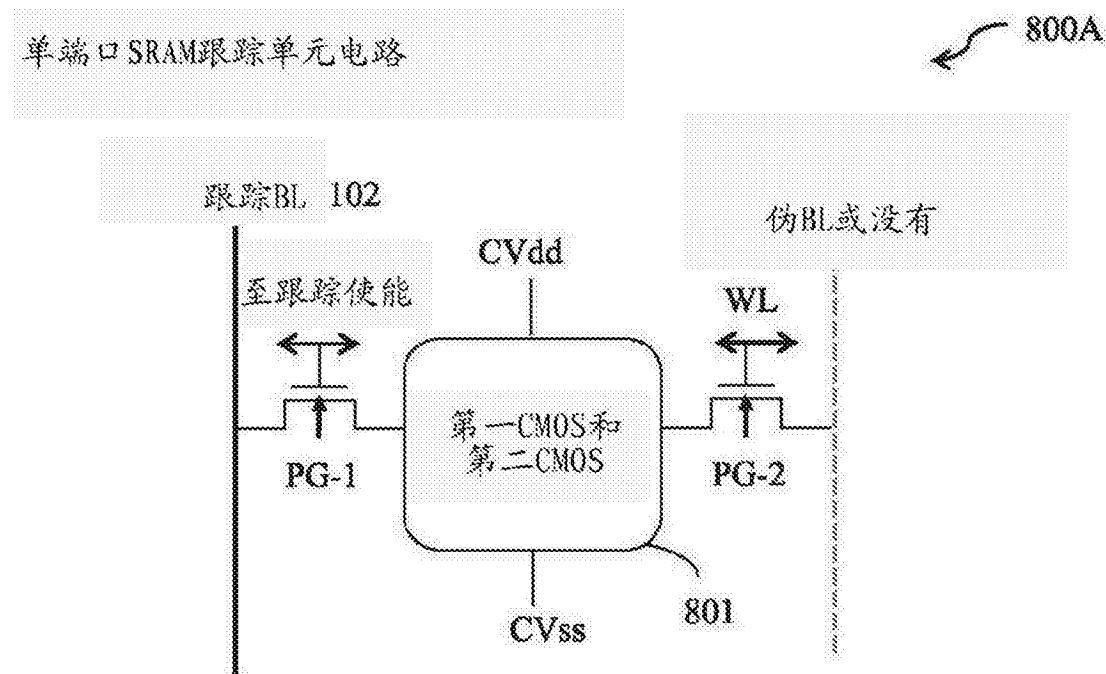


图7D



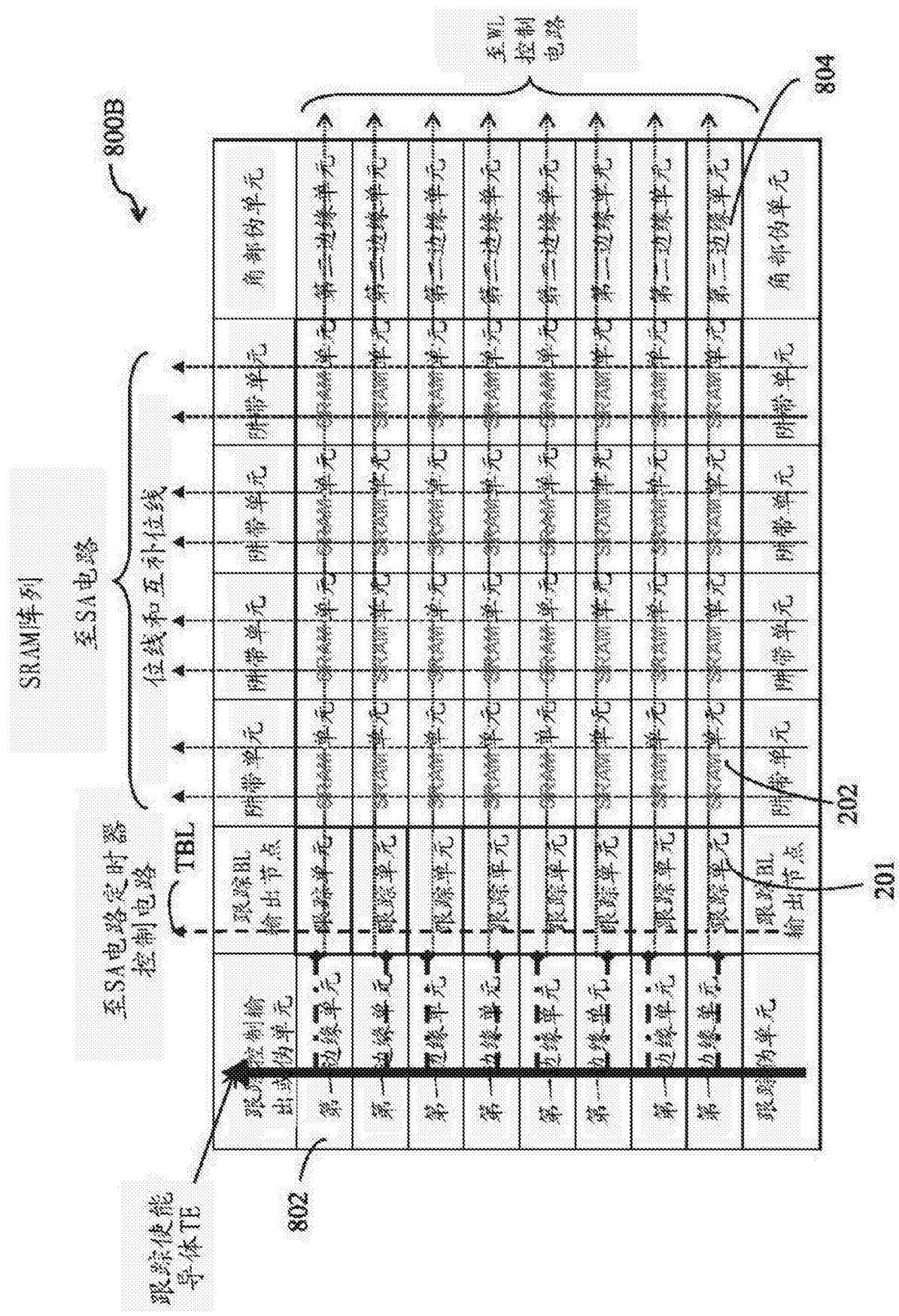


图8B

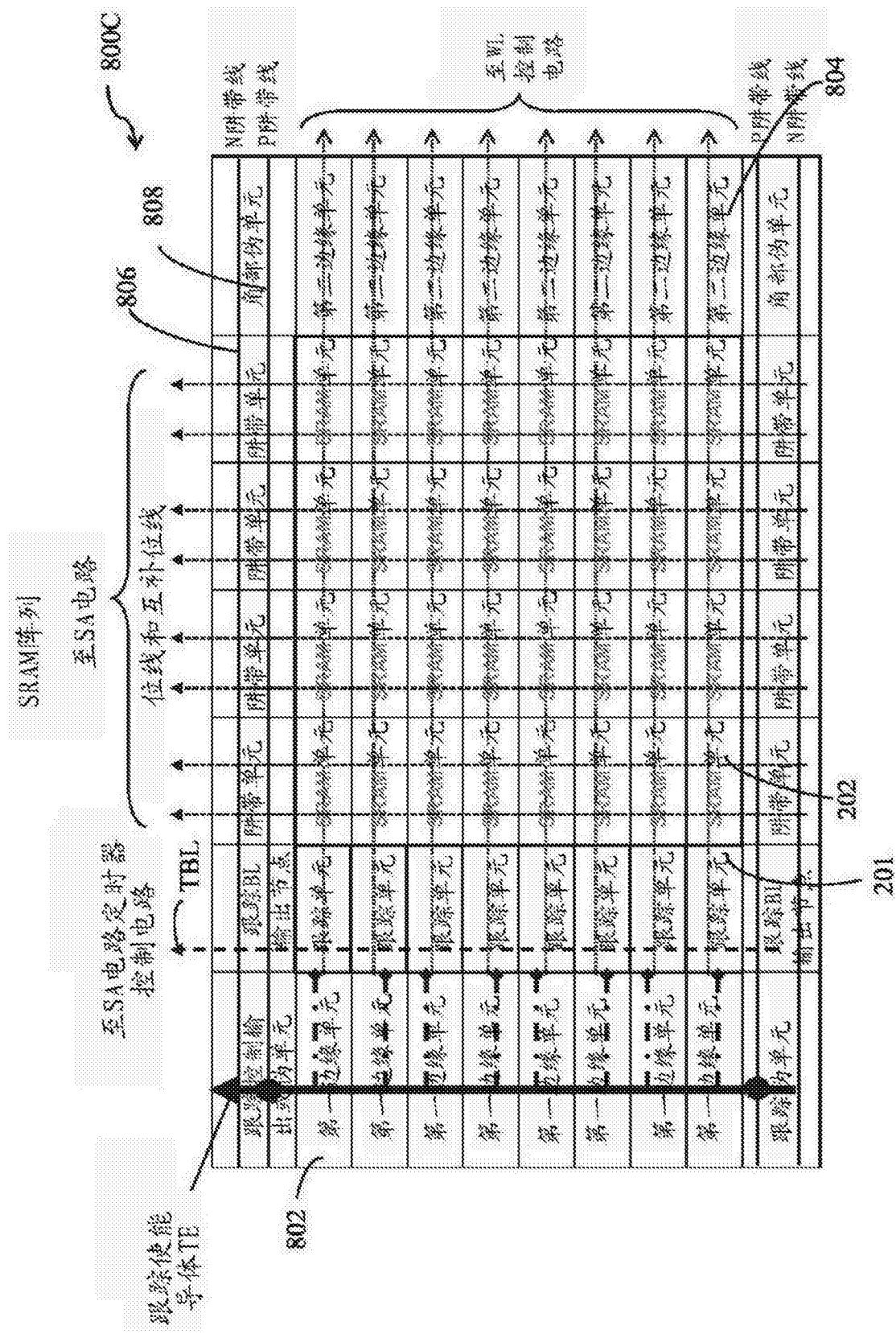


图8C

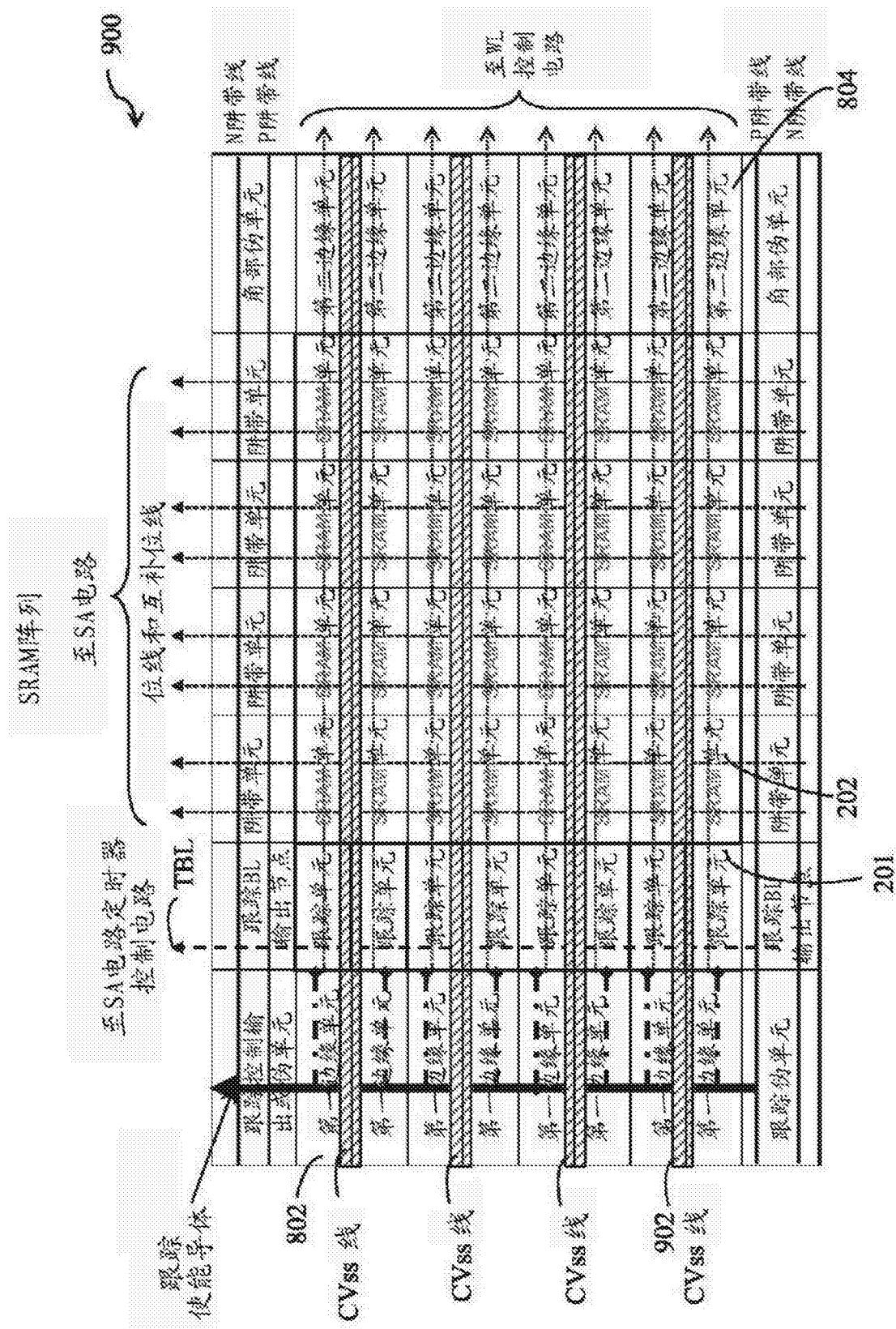


图9A

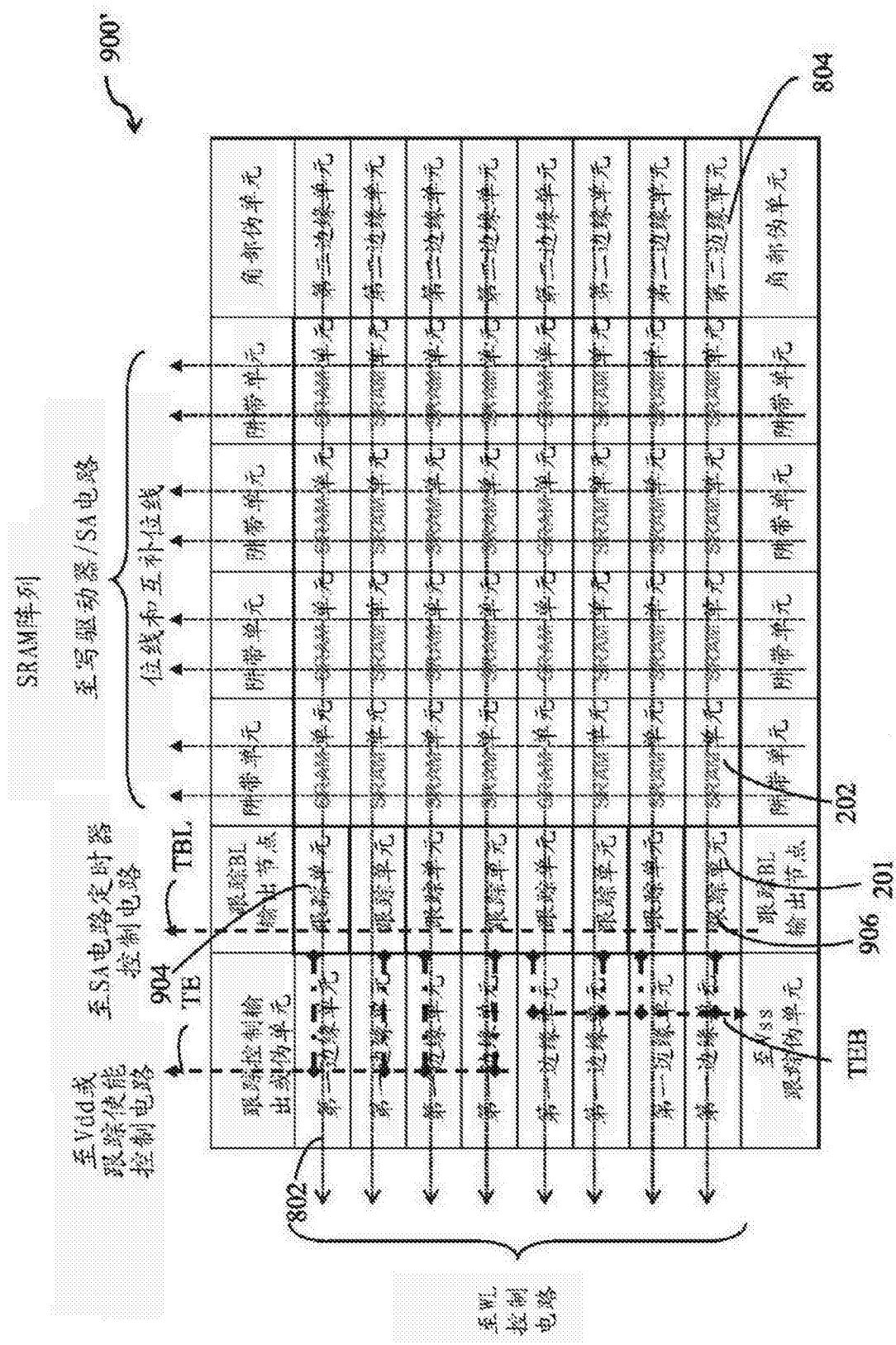


图9B

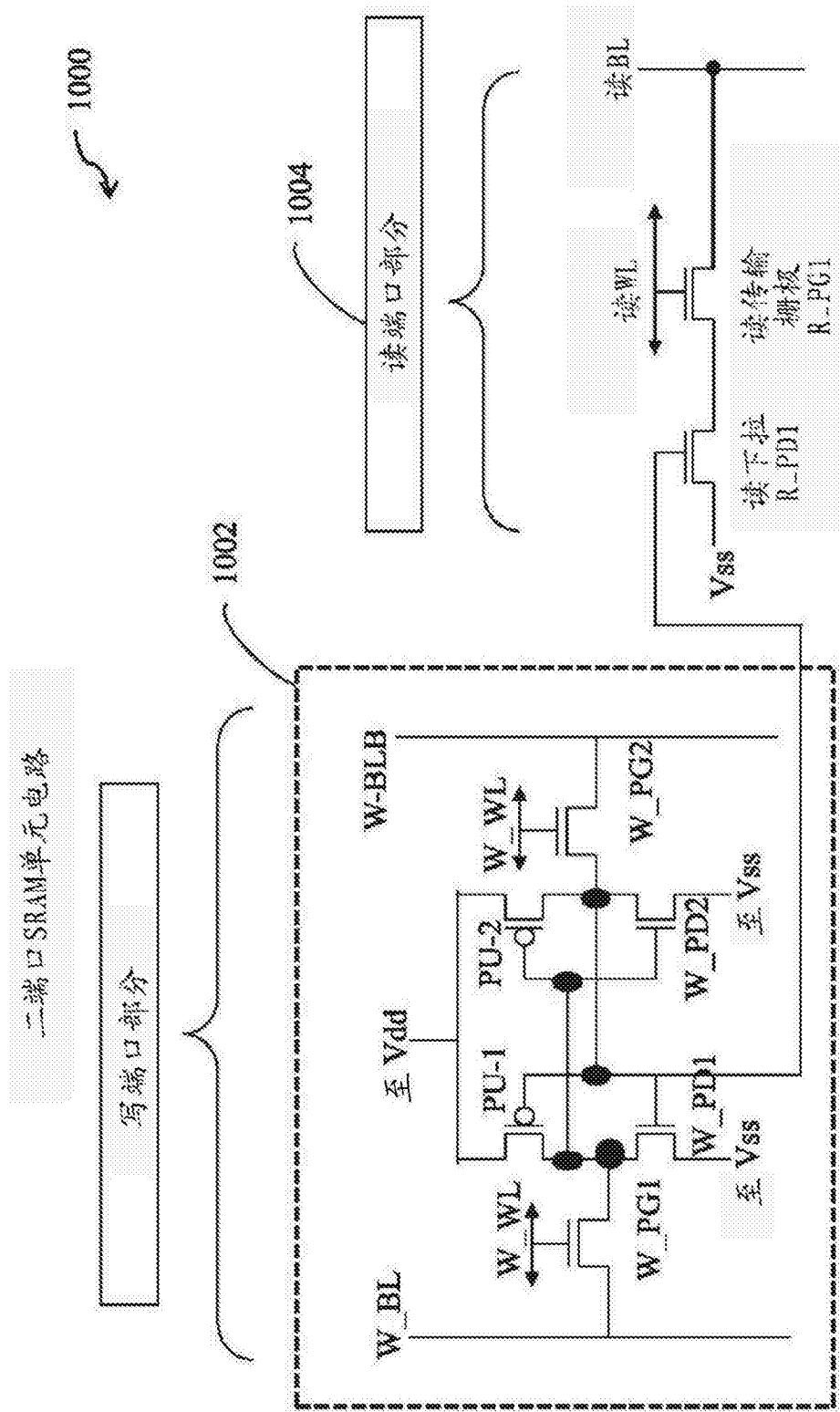


图10

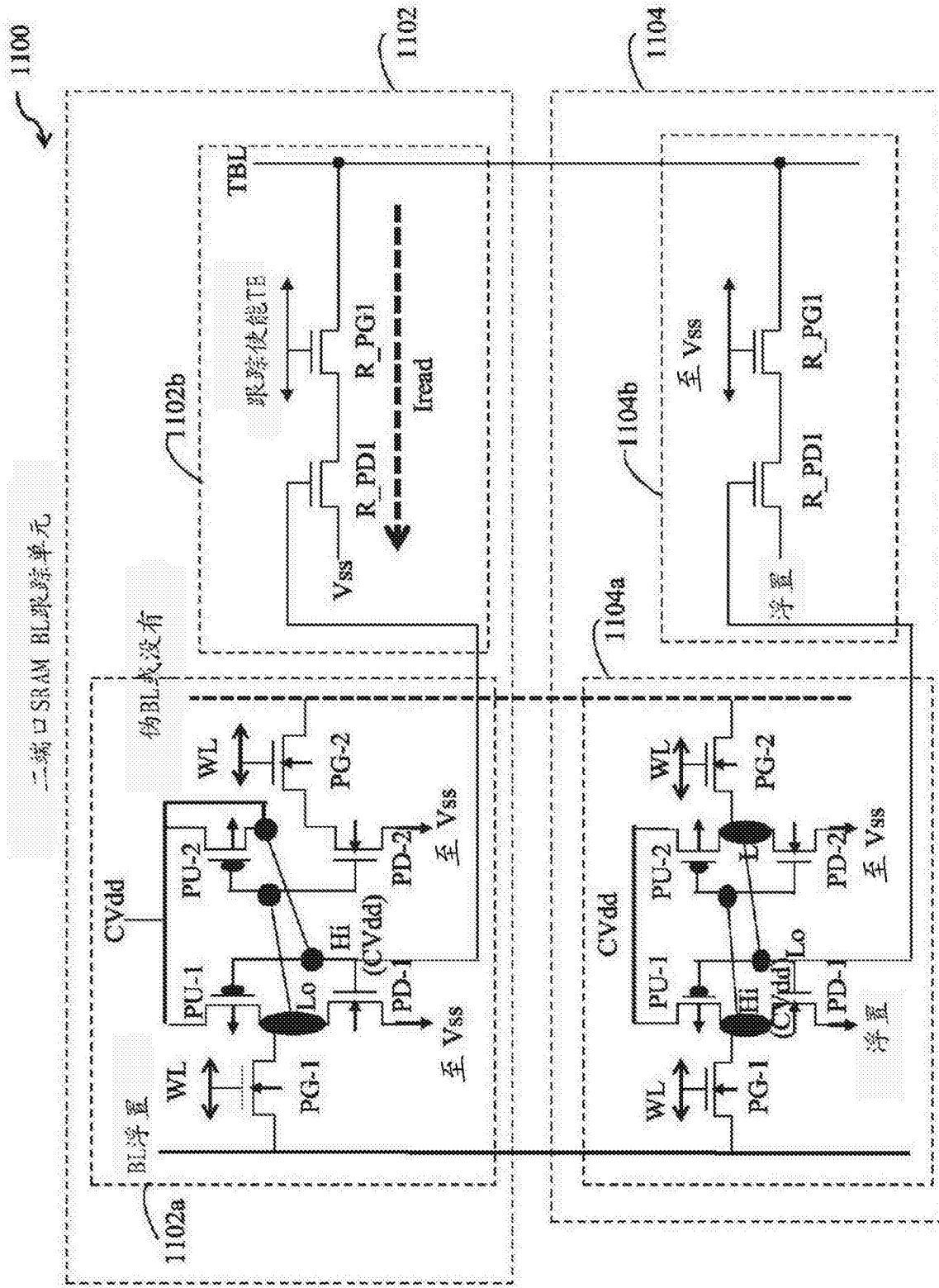
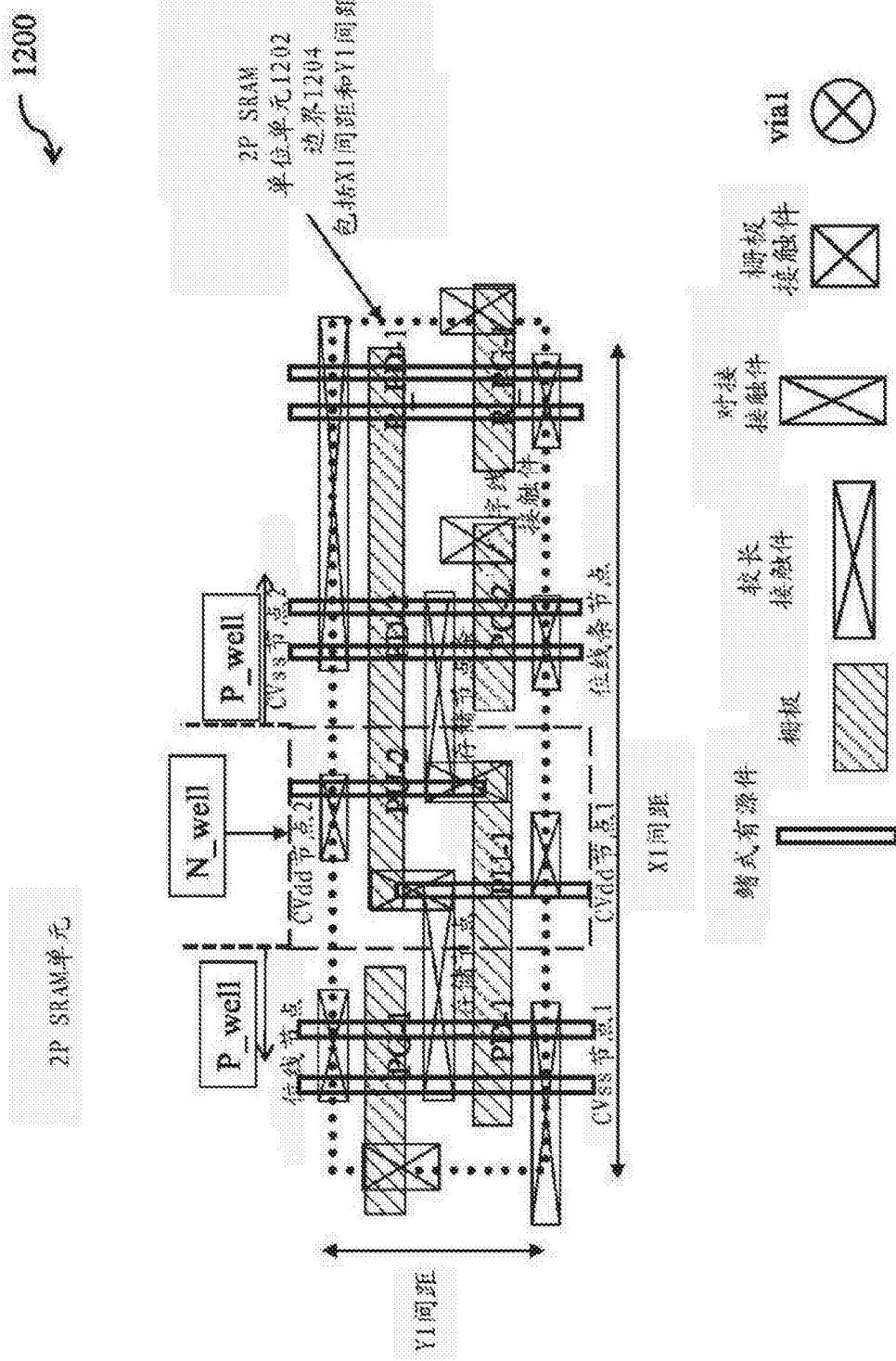


图 11



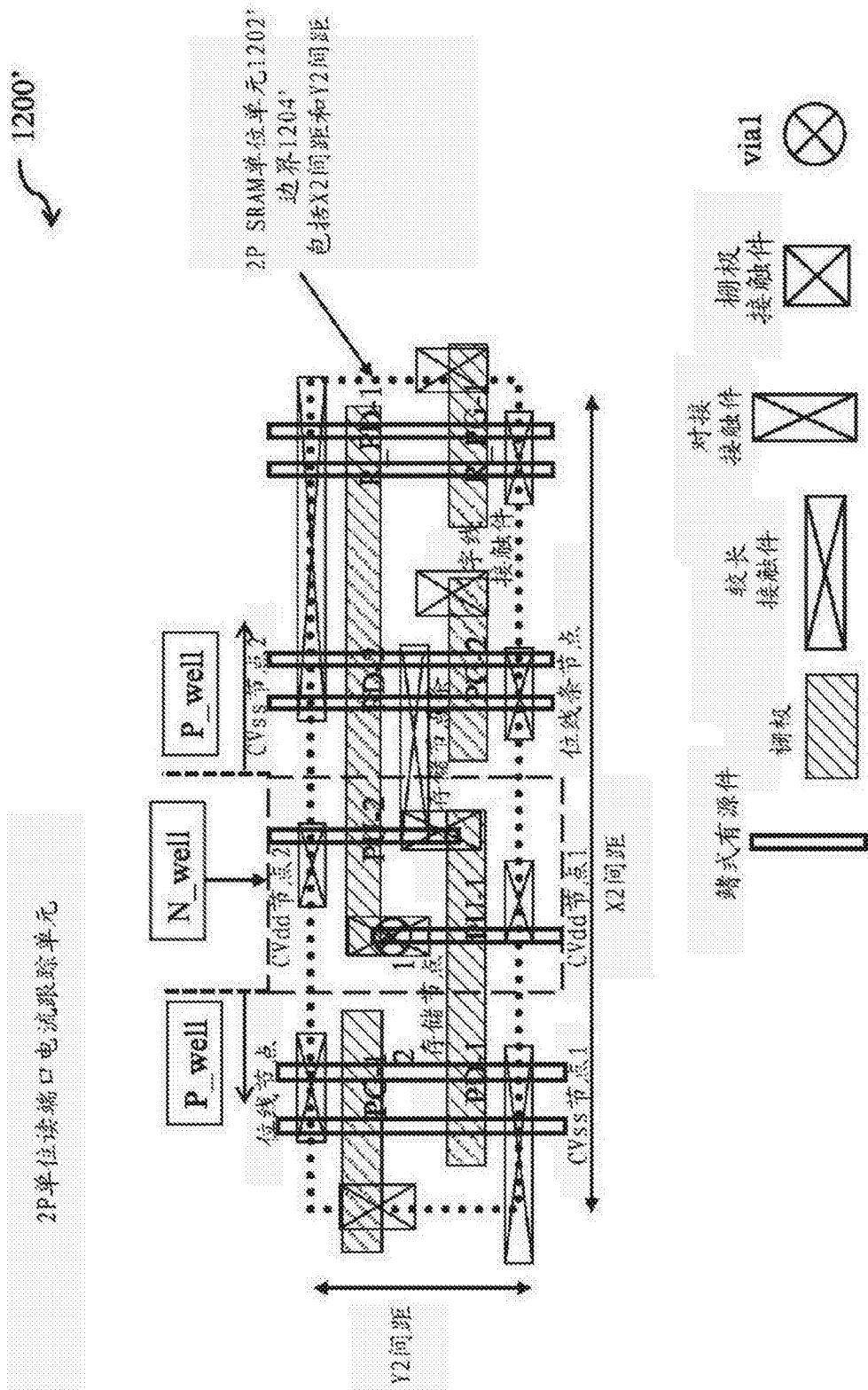


图12B

2P单元连接口电流源输出单元。
1. 第一CHSSET和第一观察读写器件的焊接节点相连接在一起并且也连接至VSS。
2. 第二CHSSET的漏极节点与物理引脚（没有绞线连接件）

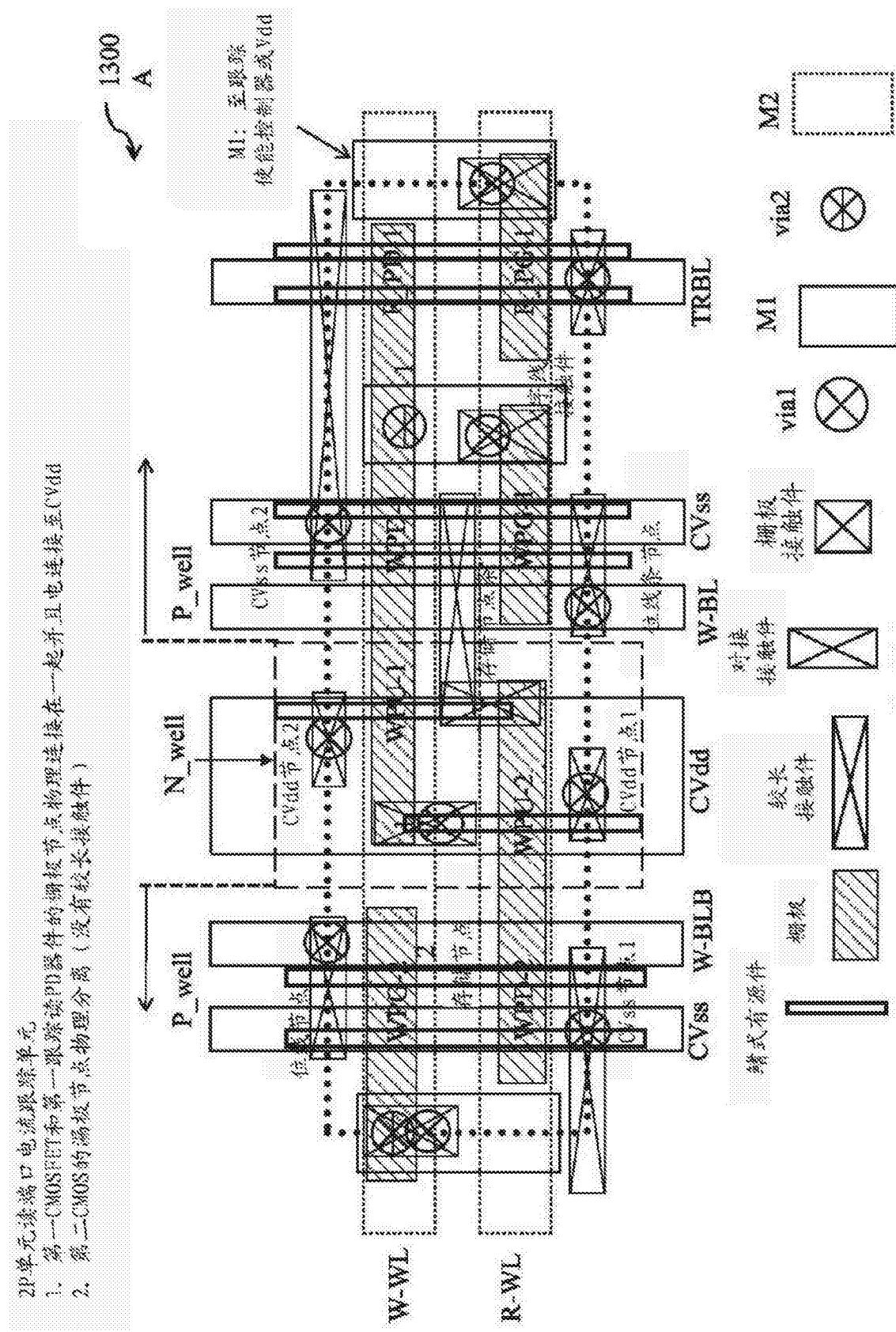


图13A

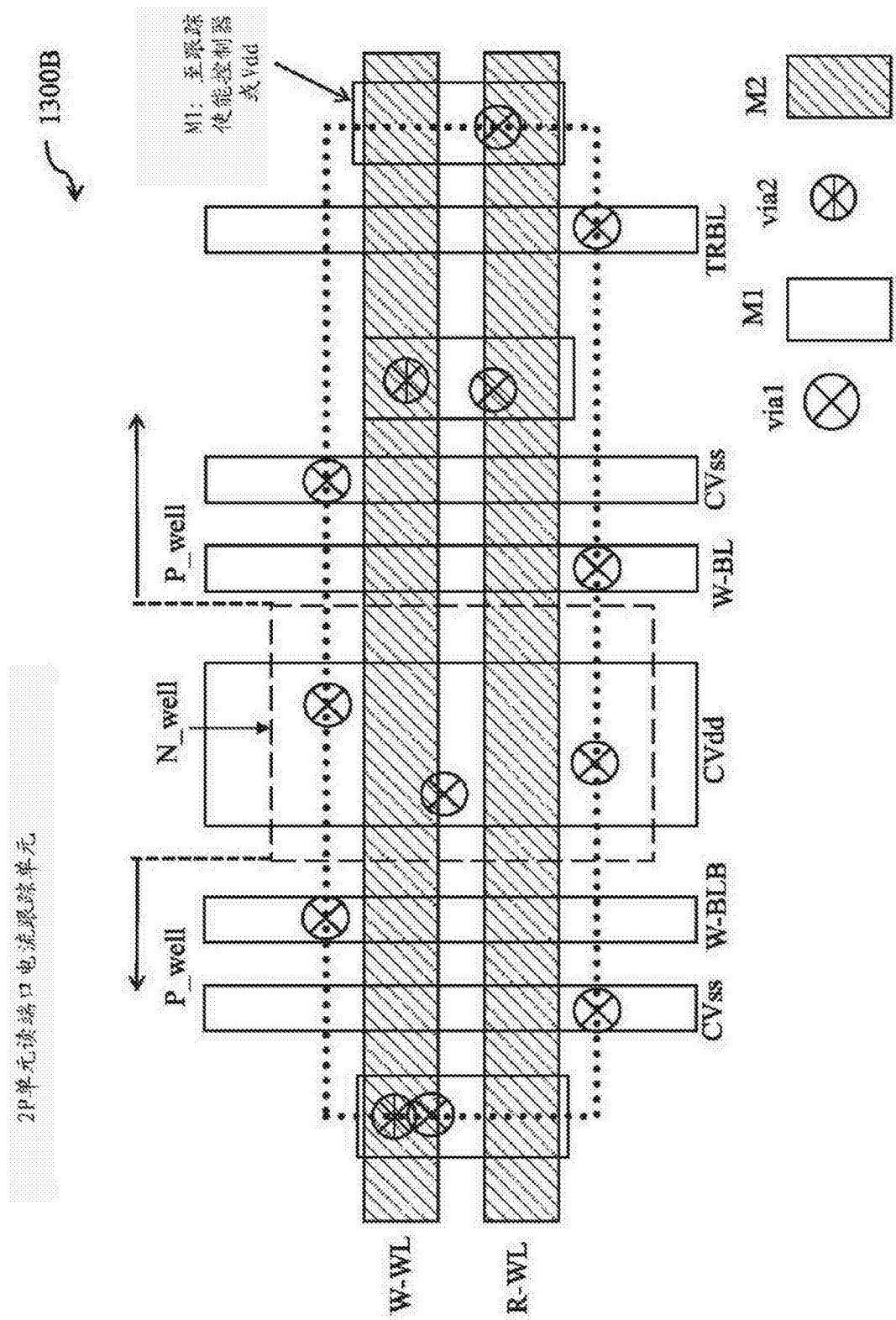


图 13B

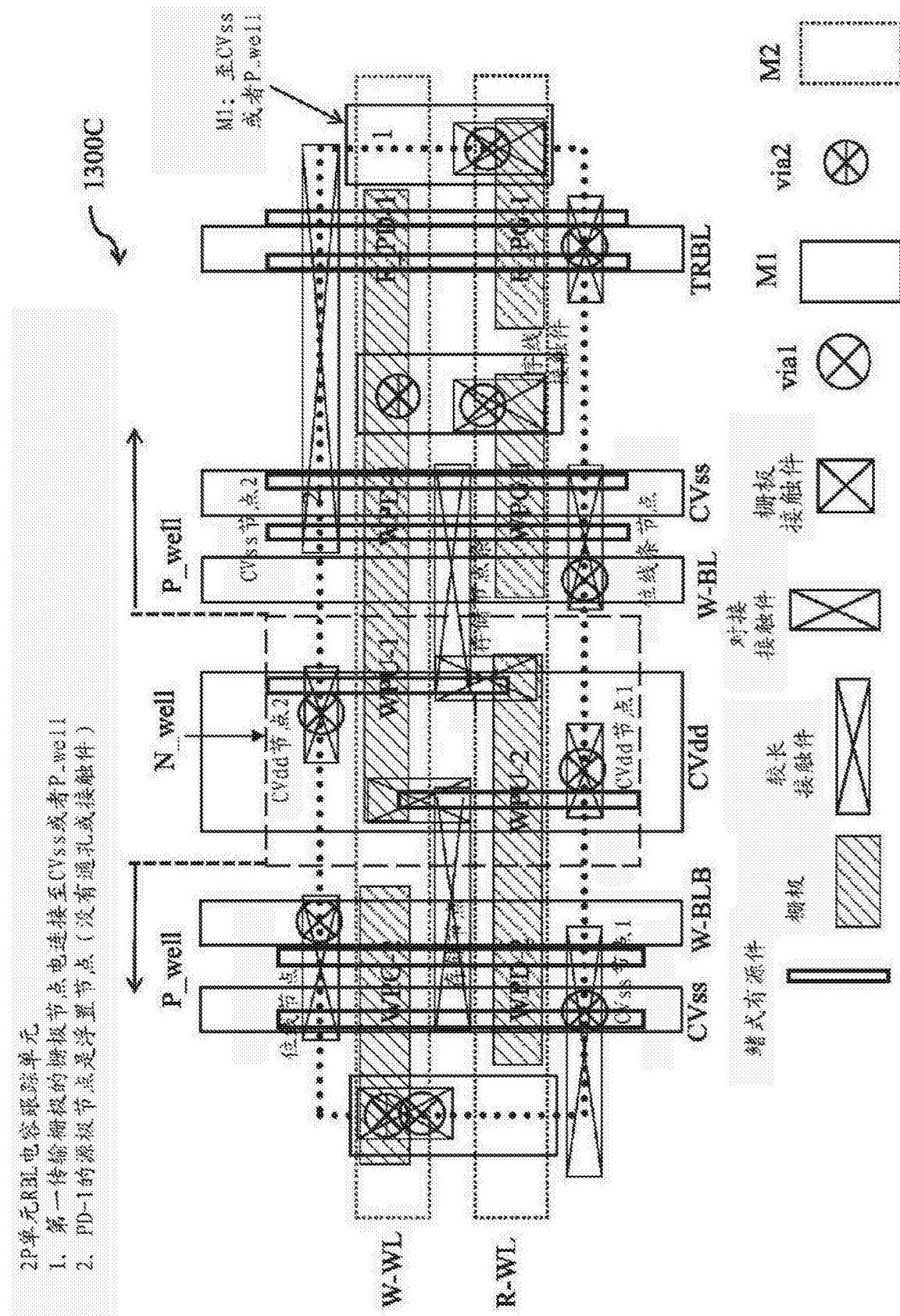


图13C

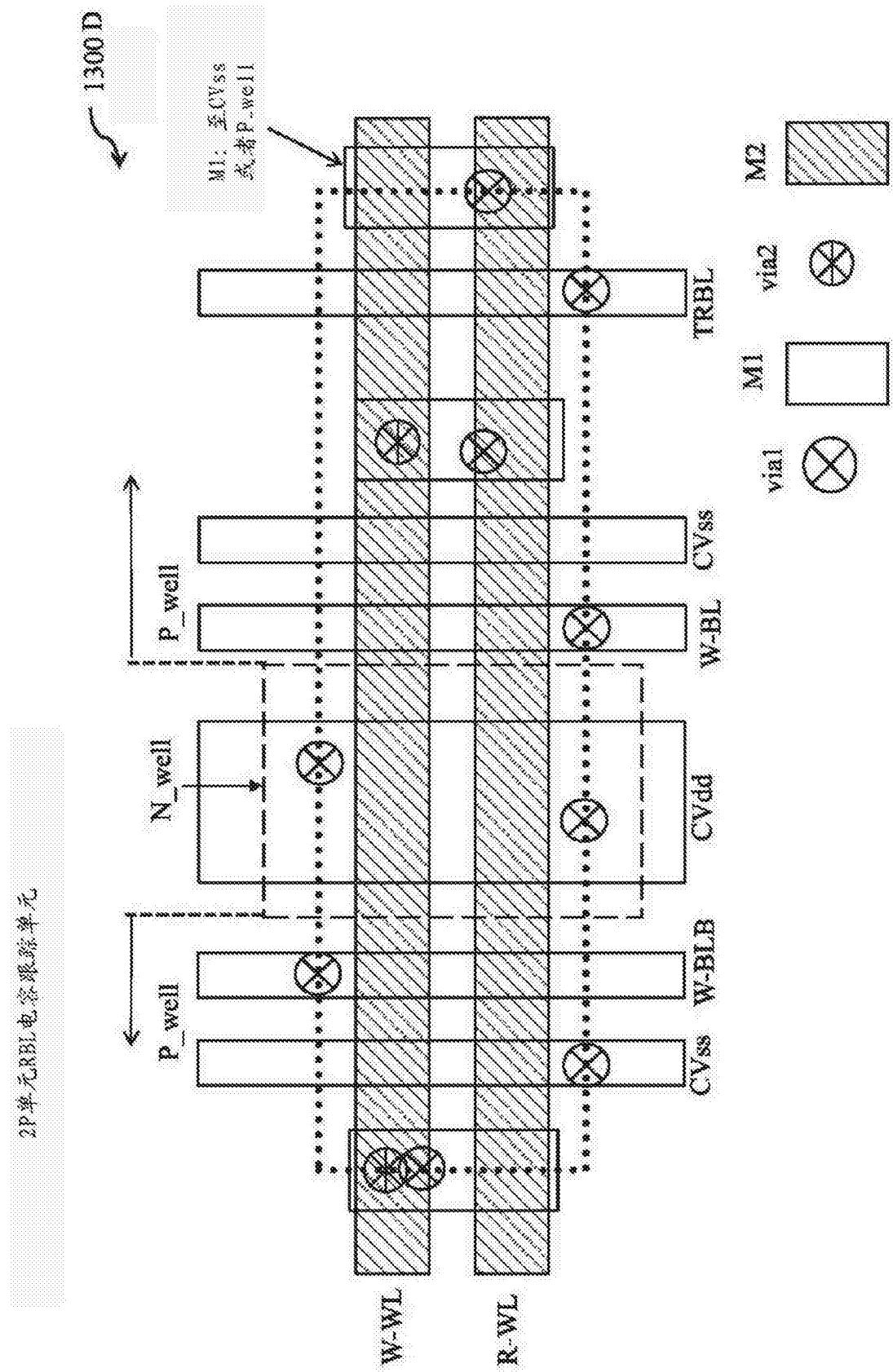


图13D