



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

229 749

(11)

(B1)

(61)

(23) Výstavní priorita  
(22) Přihlášeno 29 11 82  
(21) PV 8574-82

(51) Int. Cl.<sup>3</sup>

H 03 K 13/17

(40) Zveřejněno 28 10 83

(45) Vydáno 01 05 86

(75)  
Autor vynálezu

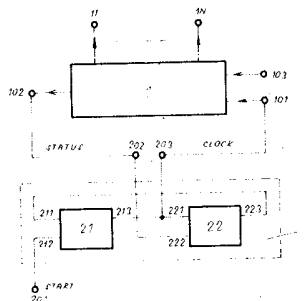
DOSTÁL JIŘÍ ing., PRAHA

(54)

Řadič analogově číslicového převodníku

Oborem příslušnosti vynálezu je přístrojová, měřicí a výpočetní technika, speciálně pak vstupní jednotka počítače určeného pro měření a řízení technologického procesu.

Vynález je použitelný pro konstrukci analogově číslicových převodníků pracujících na principu postupné aproximace a určených pro vstupní analogové jednotky mikropočítačů. Předmětem zapojení podle vynálezu je řadič analogově číslicového převodníku s postupnou aproximací, který obsahuje aproximační registr a řízený generátor hodinových pulsů sestavený ze dvou monostabilních klopných obvodů. Tento řadič je uzpůsoben tak, že řízený generátor hodinových pulsů vyšle po spuštění N+1 hodinových pulsů koherentních se spouštěcím pulsem, kde N značí počet bitů aproximačního registru. Dosahuje se toho řízením generátoru hodinových pulsů ze stavového výstupu aproximačního registru.



Vynález se týká zapojení číslicového řadiče, vhodného pro řízení činnosti analogově číslicového převodníku s postupnou aproximací.

Analogově číslicový převodník pracující na principu postupné aproximace neznámé vstupní analogové veličiny sadou odstupňovaných analogových vah, v dalším textu zkráceně A/D převodník s postupnou aproximací, je nejpoužívanějším typem analogově číslicového převodníku s dobou převodu od 1 do 100 us.

V obvyklém známém provedení sestává A/D převodník s postupnou aproximací z číslicově analogového převodníku, analogového komparátoru a číslicového řadiče, zapojených ve zpětnovazebním uspořádání. Činnost A/D převodníku s postupnou aproximací spočívá v postupném porovnávání kumulovaných testovacích analogových vah, generovaných na výstupu analogově číslicového převodníku řízeného číslicovým řadičem, a neznámé vstupní analogové veličiny. Výsledek porovnání, zjištěný analogovým komparátorem a indikovaný číslicovým stavem na jeho výstupu, představuje výsledek tentu dílčí analogové váhy. Výsledky testů dílčích analogových vah se ukládají do aproximačního registru obsaženého v řadiči. Číslicová informace, uložená v aproximačním registru, představuje postupně zpřesňované číslicové přiblížení, číslicovou aproximaci, vstupní analogové veličiny.

Řadič A/D převodníku s postupnou aproximací v obvyklém provedení obsahuje řízený aproximační registr a řídicí generátor hodinových pulsů. Jedním nedostatkem řadiče v obvyklém známém provedení je inkoherentnost hodinových pulsů s vnějším spouštěcím pulsem řízeného analogově číslicového převodu. Tato inkoherentnost způsobuje obtíže při použití převodníku v synchronních systémech sběru a přenosu analogových dat.

Uvedený nedostatek řadiče v obvyklém známém provedení se odstraňuje zapojením řadiče analogově číslicového převodníku podle vynálezu. Dosahuje se toho odvozením fáze hodinových pulsů od fáze spouštěcího pulsu prostřednictvím pomocných výstupů aproximačního registru.

Předmětem zapojení podle vynálezu je řadič analogově číslicového převodníku, který obsahuje aproximační registr s hodinovým vstupem a stavovým výstupem a řízený generátor hodinových pulsů se spouštěcím vstupem a hodinovým výstupem spojeným s hodinovým vstupem aproximačního registru, kde řízený generátor hodinových pulsů obsahuje dva monostabilní klopné obvody, přičemž výstup prvního monostabilního klopného obvodu je spojen s prvním vstupem druhého monostabilního klopného obvodu a výstup druhého monostabilního klopného obvodu je spojen s prvním vstupem prvního monostabilního klopného obvodu, spouštěcí vstup řízeného generátoru hodinových pulsů je spojen s druhým vstupem prvního monostabilního klopného obvodu a hodinový výstup řízeného generátoru hodinových pulsů je spojen s jedním z výstupů jednoho z obou monostabilních klopných obvodů, charakterizovaný tím, že řízený generátor hodinových pulsů je svým řídicím vstupem spojen s druhým vstupem druhého monostabilního klopného obvodu a se stavovým výstupem aproximačního registru.

Příklad zapojení řadiče analogově číslicového převodníku podle vynálezu, je znázorněn ~~na obr. 1~~ <sup>na výkrese</sup>. Na obr. 2 je znázorněn časový diagram spouštěcích, hodinových a stavových signálů řadiče podle obr. 1.

Na obr. 1 je znázorněn N-bitový aproximační registr 1, který má hodinový vstup 101, stavový výstup 102, datový vstup 103 a sadu prvního 11 až N-tého 1N datového výstupu. Na obr. 1 je dále znázorněn řízený generátor hodinových pulsů 2, který má spouštěcí vstup 201, řídicí vstup 202 a hodinový výstup 203. Hodinový výstup 203 řízeného generátoru 2 je spojen s hodinovým vstupem 101 aproximačního registru 1. Řídicí vstup 202 řízeného generátoru 2 je spojen se stavovým výstupem 102 aproximačního registru 1.

Řízený generátor hodinových pulsů 2 na obr. 1 je vytvořen z prvního monostabilního klopného obvodu 21, který má první a

druhý vstup 211 a 212 a výstup 213, a z druhého monostabilního klopného obvodu 22, který má první a druhý vstup 221 a 222 a výstup 223. Výstup 213 prvního monostabilního klopného obvodu 21 je spojen s prvním vstupem 221 druhého monostabilního klopného obvodu 22 a s hodinovým výstupem 203 řízeného generátoru 2. Výstup 223 druhého monostabilního klopného obvodu 22 je spojen s prvním vstupem 211 prvního monostabilního klopného obvodu 21. Druhý vstup 212 prvního monostabilního klopného obvodu 21 je spojen se spouštěcím vstupem 201 řízeného generátoru 2. Druhý vstup 222 druhého monostabilního klopného obvodu 22 je spojen s řídicím vstupem 202 řízeného generátoru 2.

Na obr. 2 jsou znázorněny časové průběhy číslicových signálů ve vyznačených uzlech řadiče analogově číslicového převodníku podle obr. 1: spouštěcího signálu START přivedeného ke spouštěcímu vstupu 201 řízeného generátoru 2, hodinového signálu CLOCK na hodinovém výstupu 203 řízeného generátoru 2 a stavového signálu STATUS na stavovém výstupu 102 aproximačního registru 1.

Činnost řadiče analogově číslicového převodníku podle vynálezu je popsána na jeho příkladném zapojení podle obr. 1 s přihlédnutím k časovým průběhům číslicových signálů podle obr. 2.

Popis činnosti vychází z ukončené předcházející sekvence aproximačního analogově číslicového převodu. Číslicové signály START, CLOCK a STATUS jsou v nízkém stavu. Oba monostabilní klopné obvody 21, 22 jsou ve svých základních, stabilních stavech. Aproximační registr 1 je v očekávání prvního hodinového pulsu na hodinovém vstupu 101.

Analogově číslicový převod se spustí spouštěcím pulsem START přivedeným ke spouštěcímu vstupu 201 řízeného generátoru 2. Závěrná hrana spouštěcího pulsu START překlopí první monostabilní klopný obvod 21 do nestabilního stavu. Jeho výstup 213 přejde na dobu  $t_{W1}$  do vysokého stavu a po jejím uplynutí přejde zpět do stabilního nízkého stavu. Náběžná hrana takto vytvořeného prvního hodinového pulsu C1 vynuluje obsah aproximačního registru 1, uvede jeho datové výstupy 11 až 1N do výchozích stavů a převede jeho stavový výstup 102 do vysokého stavu. Přejdem stavového signálu STATUS na stavovém výstupu 102 do vysokého stavu se uvolní druhý monostabilní klopný obvod 22. Závěrná hrana prvního hodinového pulsu C1 překlopí druhý monostabilní klopný obvod 22 do

astabilního stavu. Jeho výstup 223 přejde na dobu  $t_{w2}$  do nízkého stavu a po jejím uplynutí přejde zpět do stabilního vysokého stavu. Přejdem výstupu 223 druhého monostabilního klopného obvodu 22 do stabilního stavu se překlopí první monostabilní klopný obvod 21 do astabilního stavu. Jeho výstup 213 přejde na dobu  $t_{w1}$  do vysokého stavu a po jejím uplynutí přejde zpět do stabilního nízkého stavu. Náběžná hrana takto vytvořeného druhého hodinového pulsu C2 ukončí první aproximační krok a zahájí druhý aproximační krok aproximační sekvence. Závěrná hrana druhého hodinového pulsu C2 překlopí druhý monostabilní klopný obvod 22 do astabilního stavu. Jeho výstup 223 přejde na dobu  $t_{w2}$  do nízkého stavu a po jejím uplynutí přejde zpět do stabilního vysokého stavu. Postup vzájemné excitace prvního 21 a druhého 22 monostabilního klopného obvodu se opakuje za současného postupu aproximačního registru 1 sledem prvního až N-tého aproximačního kroku. Aproximační sekvence se ukončí (N+1)-tým hodinovým pulsem tímto způsobem: První monostabilní klopný obvod 21 se překlopí do astabilního stavu. Jeho výstup 213 přejde na dobu  $t_{w1}$  do vysokého stavu a po jejím uplynutí přejde zpět do stabilního nízkého stavu. Náběžná hrana takto vytvořeného (N+1)-tého hodinového pulsu CN+1 ukončí N-tý aproximační krok a převede stavový výstup 102 aproximačního registru 1 do nízkého stavu. Přejdem stavového signálu STATUS na stavovém výstupu 102 do nízkého stavu se zablokuje druhý monostabilní klopný obvod 22. Závěrná hrana (N+1)-tého hodinového pulsu CN+1 ukončí astabilní stav prvního monostabilního klopného obvodu 21, ale nezpůsobí překlopení zablokováného druhého monostabilního klopného obvodu 22. Aproximační sekvence se ukončí. Nízkou úrovní stavového signálu STATUS se signalizuje ukončení převodu a uvolňuje se platnost paralelních datových výstupů 11 až 1N aproximačního registru 1.

Z popisu vynálezu, v příkladném zapojení podle obr. 1 a z vysvětlení jeho činnosti je zřejmé, že podstata vynálezu zůstane zachována i při spojení hodinového výstupu 203 řízeného generátoru hodinových pulsů 2 s výstupem 223 druhého monostabilního klopného obvodu 22 místo s výstupem 213 prvního monostabilního klopného obvodu 21.

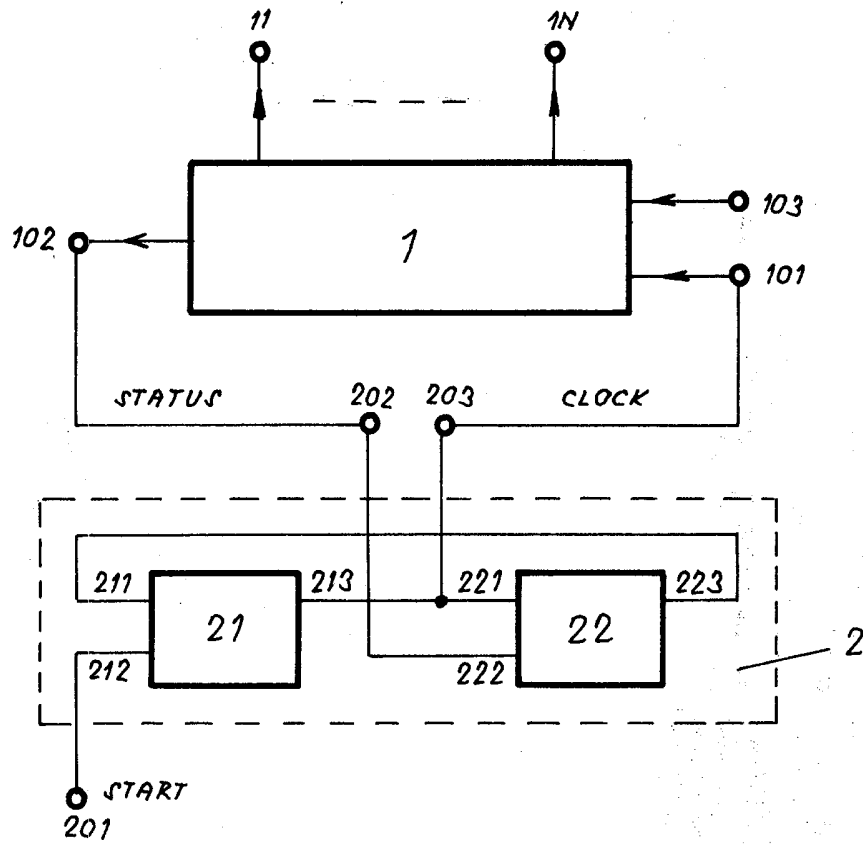
Z popisu vynálezu, v příkladném zapojení podle obr. 1 a z vysvětlení jeho činnosti je dále zřejmé, že podstata vynálezu zůstane zachována i při spojení hodinového výstupu 203 řízeného

generátoru hodinových pulsů 2 s případným dalším výstupem prvního 21 nebo druhého 22 monostabilního klopného obvodu. Takovým dalším výstupem může být například výstup komplementární vzhledem k výstupu 213 nebo 223 prvního 21 nebo druhého 22 monostabilního klopného obvodu.

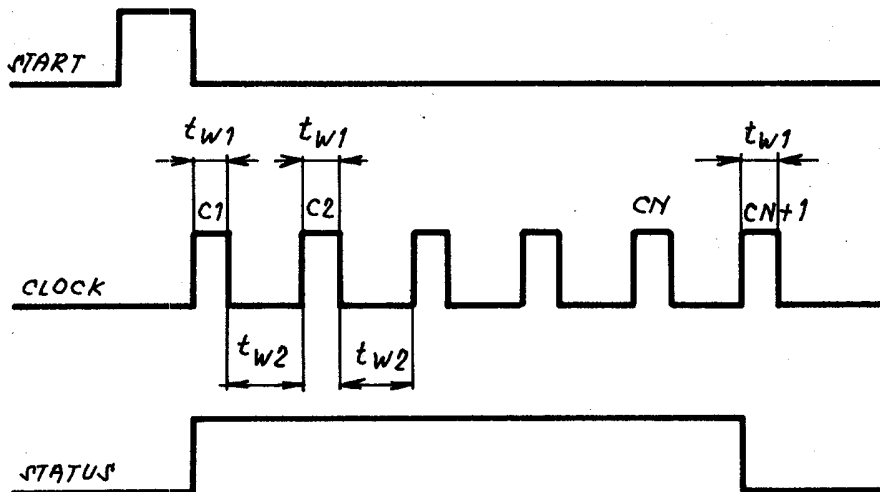
Ze všeho až dosud uvedeného je dostatečně zřejmé, že řadič analogově číslicového převodníku podle vynálezu generuje sérii  $N+1$  hodinových pulsů koherentních s vnějším spouštěcím pulsem. Takový řadič je vhodný ke konstrukci systémů pro sběr a přenos analogových dat, pracujících v synchronním režimu.

Řadič analogově číslicového převodníku, který obsahuje aproximační registr s hodinovým vstupem a stavovým výstupem a řízený generátor hodinových pulsů se spouštěcím vstupem a hodinovým výstupem spojeným s hodinovým vstupem aproximačního registru, kde řízený generátor hodinových pulsů obsahuje dva monostabilní klopné obvody, přičemž výstup prvního monostabilního klopného obvodu je spojen s prvním vstupem druhého monostabilního klopného obvodu a výstup druhého monostabilního klopného obvodu je spojen s prvním vstupem prvního monostabilního klopného obvodu, spouštěcí vstup řízeného generátoru hodinových pulsů je spojen s druhým vstupem prvního monostabilního klopného obvodu a hodinový výstup řízeného generátoru hodinových pulsů je spojen s jedním z výstupů jednoho z obou monostabilních klopných obvodů, vyznačený tím, že řízený generátor (2) hodinových pulsů je svým řídicím vstupem (202) spojen s druhým vstupem (222) druhého monostabilního klopného obvodu (22) a se stavovým výstupem (102) aproximačního registru (1).

1 výkres



Obr. 1



Obr. 2