



## (12)发明专利

(10)授权公告号 CN 103348304 B

(45)授权公告日 2016.12.21

(21)申请号 201280007877.2

(72)发明人 金奎东 金殷九 金旻奎 沈大尹

(22)申请日 2012.02.06

R·沙尔玛 金明焕 李在鍊

(65)同一申请的已公布的文献号

申请公布号 CN 103348304 A

(74)专利代理机构 上海专利商标事务所有限公司 31100

(43)申请公布日 2013.10.09

代理人 高见

(30)优先权数据

(51)Int.CI.

61/440,131 2011.02.07 US

G06F 1/32(2006.01)

13/362,930 2012.01.31 US

G06F 13/14(2006.01)

(85)PCT国际申请进入国家阶段日

2013.08.06

(56)对比文件

US 2009158065 A1,2009.06.18,全文.

(86)PCT国际申请的申请数据

WO 2008085165 A1,2008.07.17,全文.

PCT/US2012/023940 2012.02.06

CN 201556159 U,2010.08.18,说明书第

(87)PCT国际申请的公布数据

W02012/109128 EN 2012.08.16

[0028]段,图1.

CN 201556159 U,2010.08.18,说明书第

(73)专利权人 美国莱迪思半导体公司

[0028]段,图1.

地址 美国俄勒冈州

审查员 丁娴子

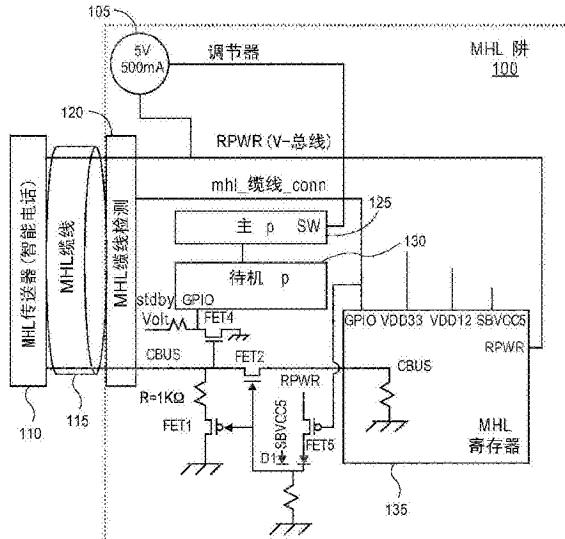
权利要求书2页 说明书6页 附图4页

(54)发明名称

用于低功率待机模式控制电路的机制

(57)摘要

本发明的实施例一般涉及低功率待机模式控制电路。本发明的装置的一实施例包括：处理器；接口，用于与第二装置的连接；以及运算电路，其中处理器在待机模式下禁用至运算电路的一个或多个功率连接。本装置还包括待机模式控制电路，该待机模式控制电路利用待机功率源进行操作，其中待机模式控制电路响应于激励信号检测来自第二装置的激励信号，待机模式控制电路发信号给处理器，该处理器启用运算电路的一个或多个功率连接。



1. 一种用于低功率待机模式控制的装置,包括:

处理器,其用于启用或禁用至运算电路的一个或多个功率连接,由此导致所述运算电路在不同模式下操作;

接口,用于与第二装置的缆线连接;

检测元件,用以检测在所述接口处与所述第二装置的所述缆线连接;

运算电路,用于在待机模式或活跃模式下操作,其中所述运算电路响应于所述处理器禁用一个或多个功率连接在所述待机模式下操作,并且响应于所述处理器启用所述一个或多个功率连接在所述活跃模式下操作;以及

待机模式控制电路,其耦合至所述处理器并用于利用待机功率源进行操作,其中所述待机模式控制电路检测来自所述第二装置的激励信号,且响应于所述激励信号,所述待机模式控制电路发信号给所述处理器,以启用所述运算电路的所述一个或多个功率连接,

其中所述激励信号是经由与所述检测元件连接的控制总线CBUS从所述第二装置接收的,所述检测元件检测与所述第二装置的所述缆线连接,所述CBUS耦合至所述运算电路。

2. 如请求项1所述的装置,其特征在于,所述运算电路为接收器芯片。

3. 如请求项1所述的装置,其特征在于,所述装置为移动高清晰度链路(MHL)兼容设备。

4. 如请求项1所述的装置,其特征在于,所述运算电路包含多个晶体管元件,当所述一个或多个功率连接被禁用时,所述晶体管元件被禁用。

5. 如请求项1所述的装置,其特征在于,所述运算电路在所述待机模式下被置于掉电状态。

6. 如请求项1所述的装置,其特征在于,还包括第一开关,其用于将CBUS与运算电路耦合并响应于所述检测元件检测与所述第二装置的所述缆线连接开启。

7. 如请求项1所述的装置,其特征在于,所述激励信号是所述CBUS上的电压电平改变。

8. 一种用于低功率待机模式控制的方法,包括:

将装置或系统转移至待机模式;

由处理器禁用至运算电路的一个或多个功率连接;

操作待机功率源上的待机模式控制电路;

由检测元件检测与第二装置或系统的缆线连接;

在所述待机模式控制电路处接收来自所述第二装置或系统的激励信号;以及

响应于所述激励信号,从所述待机模式控制电路产生信号至所述处理器,所述处理器响应于来自所述待机模式控制电路的所述信号启用所述一个或多个功率连接,

其中所述激励信号是经由与所述检测元件连接的控制总线CBUS从所述第二装置或系统接收的,所述检测元件检测与所述第二装置或系统的所述缆线连接,所述CBUS耦合至所述运算电路。

9. 如请求项8所述的方法,其特征在于,禁用所述一个或多个功率连接将所述运算电路设置于功率关闭模式。

10. 如请求项8所述的方法,其特征在于,还包括通过在所述待机模式下禁用所述运算电路的多个晶体管来减少所述装置或系统的漏电流消耗。

11. 如请求项8所述的方法,其特征在于,其中所述运算电路为接收器芯片。

12. 如请求项8所述的方法,其特征在于,其中所述装置或系统为移动高清晰度链路

(MHL)兼容装置或系统。

13. 一种用于低功率待机模式控制的设备,包括:

用于将装置或系统转移至待机模式的装备;

用于由处理器禁用至运算电路的一个或多个功率连接的装备;

用于操作待机功率源上的待机模式控制电路的装备;

用于由检测元件检测与第二装置或系统的缆线连接的装备;

用于在所述待机模式控制电路处接收来自所述第二装置或系统的激励信号的装备;以及

用于响应于所述激励信号,从所述待机模式控制电路产生信号至所述处理器的装备,所述处理器响应于来自所述待机模式控制电路的所述信号启用所述一个或多个功率连接,

其中所述激励信号是经由与所述检测元件连接的控制总线CBUS从所述第二装置或系统接收的,所述检测元件检测与所述第二装置或系统的所述缆线连接,所述CBUS耦合至所述运算电路。

14. 如请求项13所述的设备,其特征在于,其中用于禁用所述一个或多个功率连接的装备包括用于将所述运算电路置于功率关闭模式的装备。

15. 如请求项13所述的设备,其特征在于,还包括

用于通过在所述待机模式下禁用所述运算电路的多个晶体管来减少所述装置或系统的漏电流消耗的装备。

16. 如请求项13所述的设备,其特征在于,所述运算电路为接收器芯片。

17. 如请求项13所述的设备,其特征在于,所述装置或系统为移动高清晰度链路(MHL)兼容装置或系统。

## 用于低功率待机模式控制电路的机制

[0001] 相关申请

[0002] 本申请涉及2011年2月7日提交的美国临时专利申请No. 61/440,131并要求其优先权，并且此申请通过援引纳入于此。

### 技术领域

[0003] 本发明的实施例一般涉及电子设备的领域，尤其涉及用于低功率待机模式控制电路的机制。

### [0004] 背景

[0005] 在例如电视及其它消费型电子设备之类的电子设备的操作中，降低功耗仍然保持着高优先级。将功耗最小化会有助于延长移动操作中的电池寿命，且当设备从电源插座接收功率时会有助于降低功率产生的经济及环境成本。

[0006] 在常用的降低功耗手段中，其中一者为当设备不处在活跃操作时，将设备置于待机模式或其它较低功率状态，其中设备被置于待机模式以助于与电源关闭(power off)状态相较而言能更快速地将设备转移至活跃操作。然而，设备在待机模式中继续消耗功率。关于电视机的新规定可能需要显著地降低功耗，特别是处理电视待机模式下的功耗。

[0007] 在其它议题中，电子设备包含晶体管器件，其在待机模式中时会消耗某些量的漏电流。因此，即使芯片系设定为待机模式，芯片仍透过芯片中被关闭的晶体管元件消耗漏电流。

[0008] 结果，常规电子设备在待机模式时会继续消耗大量的功率，这随着当设备密度增加且因此有更多的晶体管消耗漏电流以及增加设备的待机功耗，而成为越趋重大的问题。

### [0009] 附图简述

[0010] 本发明的实施例在所附附图中作为示例而非限制来例示，在附图中相似的附图标记指代类似的元件。

[0011] 图1是包含低功率待机模式控制的系统的实施例的例示。

[0012] 图2是提供低功率待机模式控制的装置或系统的实施例的元件的例示。

[0013] 图3例示了装置或系统的待机控制块的实施例。

[0014] 图4例示了可在其上实施本发明的实施例的设备或计算机系统。

### [0015] 概述

[0016] 本发明的实施例一般涉及用于低功率待机模式控制电路。

[0017] 在本发明的第一方面，一种装置的实施例：处理器；接口，用于与第二装置的连接；以及运算电路，其中处理器在待机模式下禁用至运算电路的一个或多个功率连接；以及待机模式控制电路。待机模式控制电路利用待机功率源进行操作，其中待机模式控制电路响应激励信号检测来自第二装置的激励信号，待机模式控制电路发信号给处理器，处理器启用运算电路的一个或多个功率连接。

[0018] 在本发明的第二方面，一种方法，包括将装置或系统转移至待机模式；由处理器禁用连接至运算电路的一个或多个功率连接；以及操作待机功率源上的待机模式控制电路。

该方法还包括：在待机模式控制电路处接收来自第二装置或系统的唤醒信号；以及响应于唤醒信号，从待机模式控制电路产生一信号至处理器，处理器响应于来自待机模式控制电路的信号启用一个或多个功率连接。

[0019] 详细描述

[0020] 本发明的实施例一般涉及用于低功率待机模式控制电路的机制。

[0021] 在一些实施例中，一种装置、系统或方法通过利用低功率待机模式控制电路来禁用正常功率引脚电压同时维持低电源电压以允许触发正常操作来提供设备的减小的漏电流消耗。

[0022] 在一些实施例中，一种装置或系统用于通过引入附加功率引脚，来助益附加功率通过该附加引脚，同时降低来自其他引脚的功率，从而将芯片在待机模式时的漏电流消耗最小化。

[0023] 在一些实施例中，装置或系统用于在处于阱待机模式中的同时将移动接收器芯片或其他操作电路保持在掉电(power down)状态；以及助益处理器将移动阱中的移动接收器芯片中的功率开启，以将移动接收器芯片置于活跃功率状态，其中该助益是响应于唤醒调用而执行的。在一些实施例中，移动接收器芯片是MHL(移动高清晰度链路)兼容接收器芯片。

[0024] 在一些实施例中，为了在芯片处于待机状态时最小化芯片的漏电流消耗，可被称为低功率电源引脚(LPSBV)的附加功率引脚被用来允许使芯片的其他功率引脚掉电。在一示例中，提供MHL兼容阱设备的深待机模式中的低功率操作。

[0025] 计算机芯片通过被关闭的晶体管消耗漏电流，即使芯片被设置为待机模式。在一些实施例中，为了减小功耗并满足特定需求，诸如关于最大待机被动模式功耗的加州能源委员会的规章，在芯片处于待机模式时消耗的漏电流被减小。在一个实施例中，当MHL阱处于待机模式时，低功耗需求(诸如电视机的消费需求)是针对MHL阱。

[0026] 在一些实施例中，为了减小芯片的待机模式下的电流消耗，单个功率引脚(称为LPSBV)被指派作为功率引脚，用以助益低功率待机电路。在一些实施例中，在待机模式中，LPSBV向芯片提供功率，而其他功率引脚被禁用并且不提供任何功率。在一些实施例中，当控制总线(CBUS)从低转为高，用作使芯片从待机模式被唤醒的激励时，待机电路随后检测CBUS电平的改变且通知处理器或控制元件(称为MICOM)芯片已检测到唤醒信号并在随后MICOM向芯片提供功率以进行正常操作。在一些实施例中，可利用场效应晶体管(FET)、电阻器、二极管及微处理器来实现。

[0027] 图1是包括低功率模式控制的系统的实施例的例示。低功率模式控制的系统的实施例的例示。在一些实施例中，诸如MHL阱100的阱设备经由缆线(例示为MHL缆线115)与包含MHL传送器110的源设备(诸如智能电话)耦合。在此例示中，MHL阱110包括用于检测源设备的连接的缆线选择元件120。连接包括RPWR(电压总线或V总线)以及控制总线(CBUS)，其中RPWR与电压调节器105耦合以提供此示例中5V、500mA的经调节电压源。

[0028] 在一些实施例中，经调节的电压被提供给主微处理器125，而耦合至主微处理器的待机模式微处理器130接收待机电压，由此待机微处理器可以是待机模式控制电路的一部分。MHL阱100包括MHL接收器135，该接收器与RPWR耦合并且经由FET2与至CBUS的连接耦合，其中经由FET5的信号选择性地使FET2开启(将CBUS提供给MHL接收器135)或使FET1开启以

通过电阻器R提供至接地的下拉路径。CBUS提供用于切换FET4的信号,以向待机电压提供至接地的路径。

[0029] 在一些实施例中,除低功率待机引脚之外的功率引脚,诸如RPWR、SBVCC5(5伏特)、和MICOMVDD33(3.3伏特),在待机模式中不接收功率。在装置处于待机模式的同时,功率连接被禁用以使得有规律的电源不消耗功率,而低电源功率引脚是活跃的,以允许在从芯片的外部接收到激励时触发正常操作。因而,在待机模式中,仅芯片的功率电源引脚消耗功率,其中结果所得的电流消耗可比MICOMVDD33的静态漏电流显著低很多。

[0030] 如图1所示,操作包括:

[0031] (1)在MHL阱100的待机模式下,MHL阱内的MHL接收器芯片被置于掉电情况中(例如没有提供功率的状态),且在此时期间MHL接收器芯片135并未消耗任何功率。

[0032] (2)当MHL缆线115连接至MHL阱100,且在智能电话或其它设备内的MHL传送器110需要使MHL阱100处于活跃功率模式(active power mode)时,传送器经由MHL缆线115在MHL CBUS上发送“唤醒”脉冲至待机电路或微处理器130及MHL接收器135两者。然而,实施例并不限于所例示的唤醒脉冲,并且可包括任何接收到的激励信号。

[0033] (3)由于MHL接收器芯片135处于掉电模式下,因此待机微处理器130在MHL CBUS上接收并检测“唤醒”脉冲。

[0034] (4)若待机微处理器判定“唤醒”脉冲为有效,则待机微处理器操作用于开启MHL阱内的主要微处理器125。

[0035] (5)MHL阱100内的主要微处理器125为MHL阱100内的MHL接收器芯片135开启功率。

[0036] (6)先前过程(5)使MHL阱100处于活跃功率状态,并且随后经由MHL信号在包含于智能电话或其它运算设备中的MHL传送器110与MHL阱100内的MHL接收器135之间建立正常的MHL连通性。

[0037] 图2和3例示了低功率待机模式的操作。图2是提供低功率待机模式控制的装置或系统的实施例的元件的例示。在此例示中,装置或系统包括接收电压Vcc的多个驱动器元件205(例示为n个CBUS\_HPD驱动器),每个驱动器与接收电压LPCBV的待机控制210耦合。在一些实施例中,每个待机控制元件210与(由LPSBV提供功率的)LPSB\_POC215耦合,每个待机控制包括至用于激励信号的焊点(pad)——CBUS\_HPD(CBUS\_HPD0至CBUS\_HPDn)——的连接,且各自被连接至低功率控制(LPCRTL)线。

[0038] 图3例示了装置或系统的待机控制块的实施例。待机控制块300包括用于接收LP\_POC信号的子块305并经由两个反相器元件生成1psb(低功率待机)。在此例示中,待机控制块300接收iCBUS\_HPD并产生激励信号CBUS\_HPD,其中电路分支310与电阻、在栅极处接收LPSBV的第一晶体管(FET)、以及在栅极处接收1psb的第二FET耦合。待机控制块300提供LPCNTRL(低功率控制)。

[0039] 在一些实施例中,过程包括:

[0040] (1)芯片进入待机模式,并且由此Vcc转为0V,而LPSBV为3.3V。

[0041] (2)在待机模式中等待直到在CBUS\_HPD焊点处接收激励信号进入(见第二图及第三图),其中操作为:

[0042] (a)LP\_POC变为高,且接着LPSB变为高,以及

[0043] (b)CBUS\_HPD为低,从而导致LPCCTRL变为高,且INT变为低(电路315);

- [0044] (3)当CBUS\_HPD从高转为低，
- [0045] (a)LPCTRL变为低,接着INT从低变为高。
- [0046] (b)系统板上的MICOM检测到此信号,并提供指令生成芯片处的正常上电。
- [0047] (c)RPWR,SBVCC5,Vcc转为正常操作值,且LP\_POC变低;以及
- [0048] (4)如图2所示,由于LPCTRL为用于所有端口的有线OR电路,因此端口中的一从待机模式检测到唤醒激励信号,则芯片开始唤醒程序。
- [0049] 如本文所使用,网络摄或通信网络摄表示用于在设备之间传送数字媒体内容(包括音乐、音频/视频、游戏、照片以及其他)的互连网络。网络可包括诸如家用网络之类的私人网络、商用环境中的网络,或者由设备和/或部件组成的任何其它网络。在网络中,某些网络设备可以是媒体内容的源,诸如数字电视调谐器、有线机顶盒、视频存储服务器以及其他源设备。其他设备可以显示或使用媒体内容,如数字电视机、家庭影院系统、音频系统、游戏系统,或者在浏览器中通过因特网呈现,以及其他设备。此外,某些设备旨在存储或传输媒体内容,如视频和音频存储服务器。某些设备可以执行多种媒体功能。在某些实施例中,各网络设备可以共同位于单个局域网中。在其他实施例中,网络设备可以跨多个网络段,如通过局域网之间的隧道。网络可包括多个数据译码和加密过程。
- [0050] 图4例示了其上可实现本发明的实施例的设备或计算机系统400。在一些实施例中,设备或计算机系统400包括诸如图1-3中所例示的低功率待机模式控制电路,待机控制电路用于在待机模式中提供减小的功耗。设备或计算机系统400包括用于传送信息的系统总线420,以及耦合至总线420的用于处理信息的处理器410。根据一个实施例,使用多个微处理器之一实现处理器410。然而,本领域普通技术人员将可理解,可使用其它处理器。
- [0051] 计算机系统400还包括耦合至总线420的随机存取存储器(RAM)或其它动态存储装置425(在本文中被称为主存储器),用于存储要由处理器410执行的信息和指令。主存储器425还可用于存储处理器410执行指令期间的临时变量或其它中间信息。计算机系统400还包括耦合至总线420的只读存储器(ROM)和或其它静态存储装置426,用于存储由处理器410使用的静态信息和指令。
- [0052] 诸如磁盘或光盘等数据存储装置427及其相应的驱动器也可耦合至计算机系统400以存储信息和指令。计算机系统400还可经由输入/输出(I/O)接口430耦合至第二输入/输出(I/O)总线450。多个I/O设备可耦合至I/O总线450,包括显示设备424、输入设备(例如,字母数字输入设备423和/或光标控制装置422)。通信装置421用于经由外部数据网络访问其它计算机(服务器或客户机)。通信装置421可包括调制解调器、网络接口卡或其它公知的接口设备,诸如用于耦合至以太网、令牌环或其它类型网络的设备。计算机系统400包括但不限于网络计算机设备、移动电话、个人数据助理(PDA)等。
- [0053] 计算机系统400可互连在客户机/服务器网络系统中。网络可包括局域网(LAN)、广域网(WAN)、城域网(MAN)、内部网、因特网,等等。任何数量的网络设备可级联以与端口倍增器连接,从而在网络中形成联网机制。可构想,可以存在经由该网络连接的任意数量的设备。经由多种标准或非标准协议(包括本文档中描述的协议),设备可将数据流传输(诸如流送媒体数据)至网络系统中的其它设备。
- [0054] 在以上描述中,出于说明目的阐述了众多具体细节以便提供对本发明的全面理解。然而,对本领域技术人员将显而易见的是,没有这些具体细节中的一些也可实践本发

明。在其他情况下，公知结构和设备以框图的形式示出。在所示组件之间可能存在中间结构。本文描述或示出的组件可具有未示出或描述的附加输入或输出。

[0055] 本发明的各种实施例可包括各种过程。这些过程可由硬件组件来执行或可以用计算机程序或机器可执行指令来实现，这可用于使得通用或专用处理器或逻辑电路经用这些指令编码来执行这些过程。或者，这些过程可由硬件和软件的组合来执行。

[0056] 本文档通篇中描述的一个或多个模块、组件或要素，诸如在端口倍增器增强机构的实施例中示出或的与其关联的模块、组件或要素，可包括硬件、软件和/或硬件和软件的组合。在模块包括软件的情况下，软件数据、指令和/或配置可经由制品通过机器/电子设备/硬件来提供。制品可包括具有提供指令、数据等内容的非瞬态计算机可读介质。该内容可致使例如本文中描述的文件管理器(filer)、盘或盘控制器等电子设备执行所描述的各种操作或执行。

[0057] 本发明的各种实施例的各部分可以作为计算机程序产品来提供，计算机程序产品可包括其上存储有计算机程序指令的非瞬态计算机可读存储介质，计算机程序指令可被用来对计算机(或其他电子设备)进行编程来执行根据本发明的实施例的过程。计算机可读介质可包括，但不限于，软盘、光盘、压缩盘只读存储器(CD-ROM)、以及磁光盘、只读存储器(ROM)、随机存取存储器(RAM)、可擦除可编程只读存储器(EPROM)、EEPROM、磁卡或光卡、闪存、或适于存储电子指令的其它类型的介质/机器可读介质。此外，本发明还可作为计算机程序产品来下载，其中该程序可以从远程计算机传送到作出请求的计算机。

[0058] 许多方法是以其最基本的形式来描述的，但可以向这些方法中的任一个添加或从中删除过程，并且可以向所描述的消息中的任一个添加或从中减去信息，而不背离本发明的基本范围。对本领域技术人员而言显而易见的是，还可以作出许多修改和改编。各具体实施例不是为了限制本发明而是为了说明本发明来提供的。本发明的实施例的范围不是以上提供的各具体示例来确定的，而是仅由所附权利要求书来确定的。

[0059] 当描述元件“*A*”耦合至元件或“*A*”与“*B*”耦合时，元件*A*可直接耦合至元件*B*，或通过例如元件*C*间接耦合。当说明书或权利要求陈述组件、特征、结构、过程或特性*A*“引起”组件、特征、结构、过程或特征*B*时，它意味着“*A*”是“*B*”的至少部分起因，但还可能存在辅助引起“*B*”的至少一个其它组件、特征、结构、过程或特性。”如果说明书指示组件、特征、结构、过程或特性“可能”、“也许”或“可”被包括，则并非要求该组件、特征、结构、过程或特性被包括。如果说说明书或权利要求述及“一个(a, 英文中的不定冠词)”或“一个(an, 英文中的不定冠词)元件，则这不意味着仅有单个所描述的元件。”

[0060] 一个实施例是本发明的一种实现或示例。说明书中对“一实施例”、“一个实施例”、“一些实施例”或“其它实施例”的引用表示结合这些实施例描述的具体特征、结构或特性包含在至少一些实施例中，但不一定包含在全部实施例中。各处出现的“一实施例”、“一个实施例”或“一些实施例”不一定全部表示相同的实施例。类似地，应当领会，在对本发明的示例实施例的以上描述中，出于使本公开流畅以及辅助理解各发明方面中的一个或多个方面的目的，各个特征有时被一起编组在单个实施例、附图、或其描述中。然而，该公开方法不应被解释为反映所要求保护的发明需要比每项权利要求中所明确记载的更多特征的意图。相反，如以下权利要求反映的，发明性方面在于，比单个以上公开的实施例的所有特征少。因此，权利要求书在此明确地合并到本说明书中，且每一权利要求都独立作为本发明的一单

独实施例。

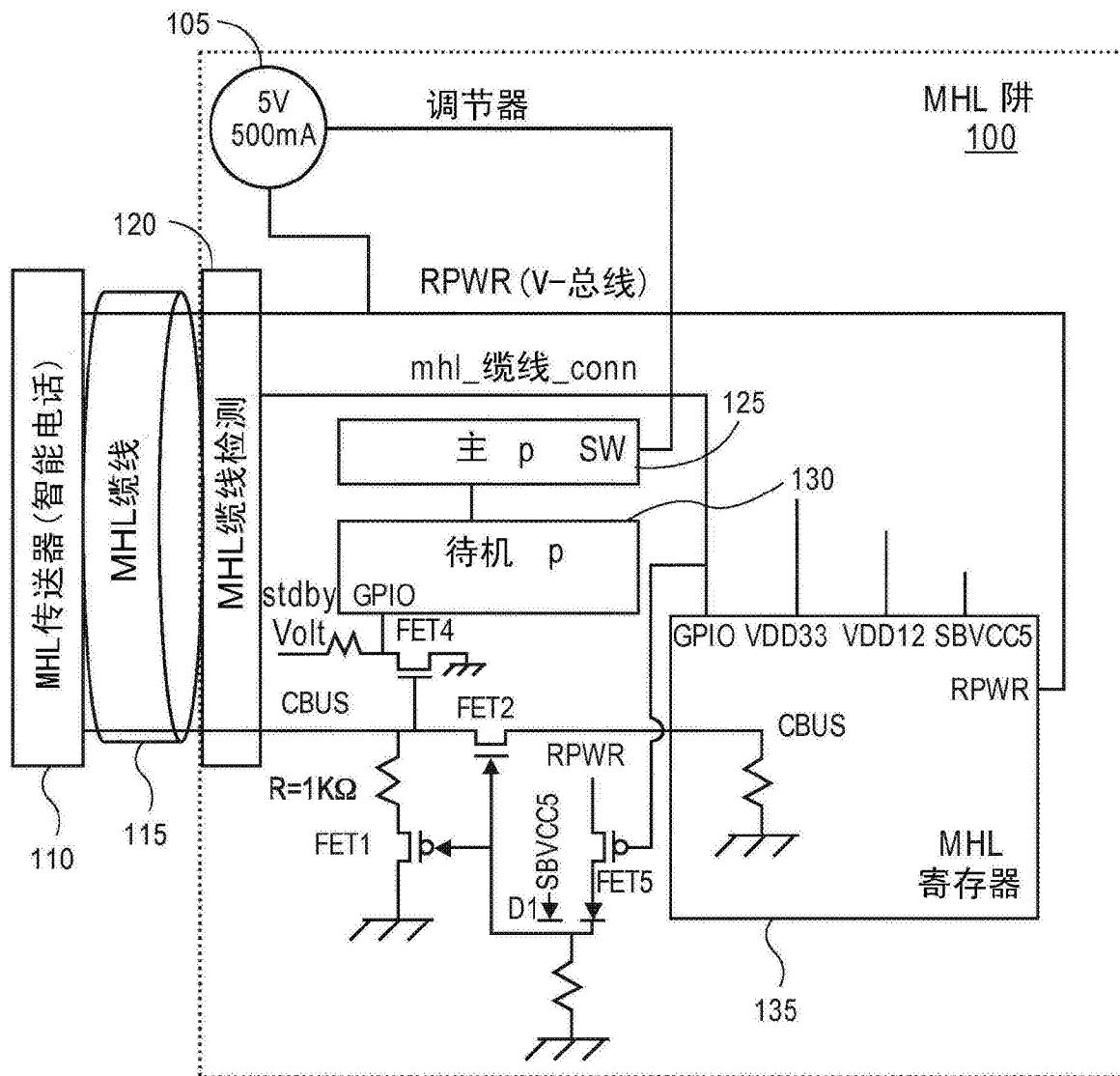


图1

200

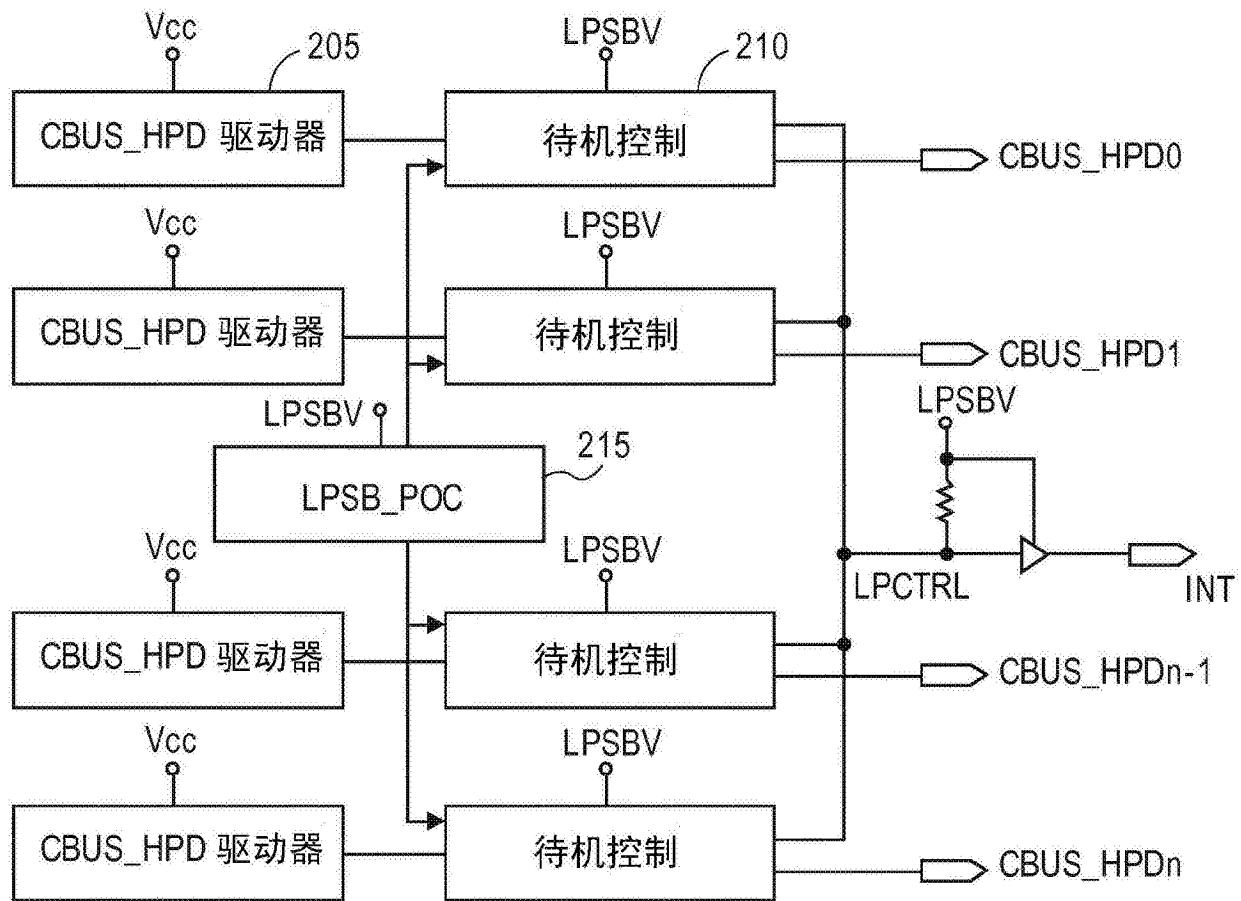


图2

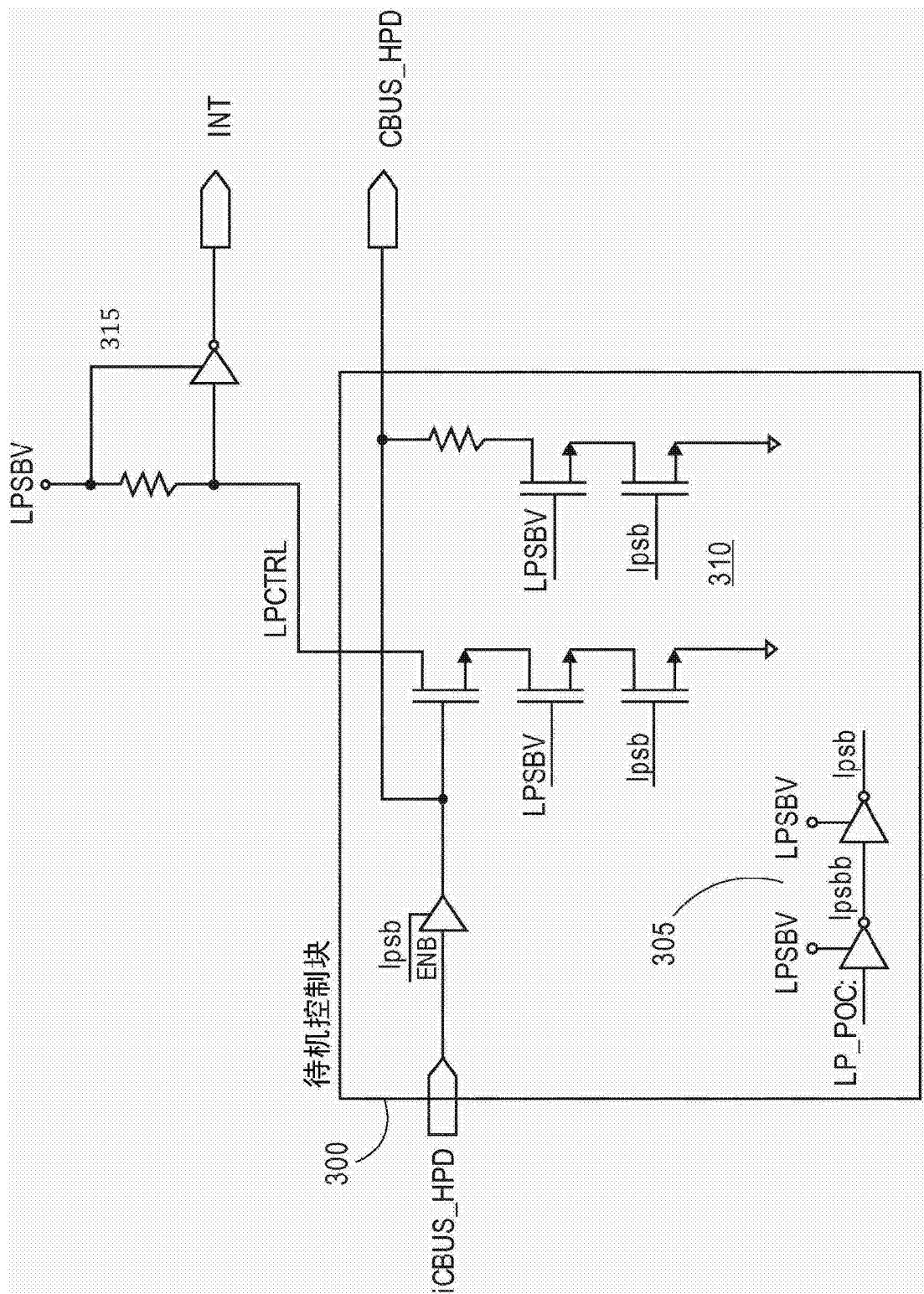


图3

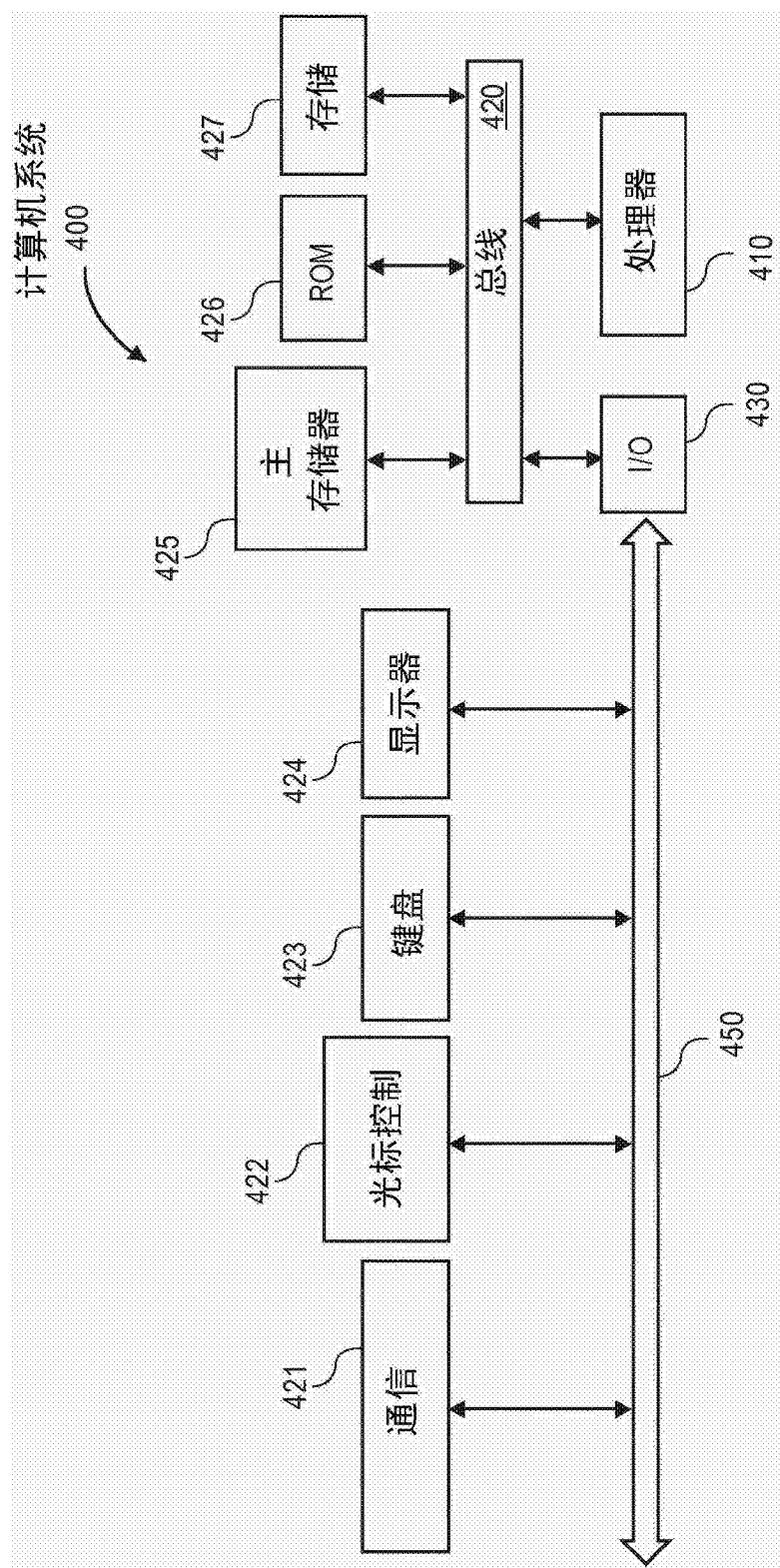


图4