

G06F (M/100 LA) 7
M/277

DEUTSCHE DEMOKRATISCHE REPUBLIK

PATENTSCHRIFT



(12) Wirtschaftspatent

(19) **DD** (11) **275 546 A1**

Erteilt gemäß § 17 Absatz 1 Patentgesetz

4(51) G 06 F 11/30

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 319 881 6

(22) 16.09.88

(44) 24.01.90

(71) Akademie der Wissenschaften, Zentralinstitut für Kybernetik und Informationsprozesse, Kurstraße 33, Berlin, 1086, DD

(72) Stopp, Andreas, Dr.-Ing.; Amberg, Artur, Dipl.-Ing., DD

(54) **Verfahren und Anordnung zum Testen von mikrorechnergesteuerten Baugruppen und Geräten**

(55) Mikrorechner, Test, Diagnose, Fehlertoleranz, Signaturverfahren, linear rückgekoppelte Schieberegister

(57) Ziel der Erfindung ist ein Verfahren und eine Schaltungsanordnung mit hoher

Fehlererkennungswahrscheinlichkeit, die zur Schaltkreisintegration geeignet, universell anwendbar und eigenfehlersicher sind, wobei eine Folge parallel anliegender Datenvektoren zu einer Signatur komprimiert wird. Das wird erfindungsgemäß dadurch erreicht, daß aus einer aktuellen Istsignatur eine korrigierte Istsignatur erzeugt wird, wobei diese aus dem Korrekturvektor eines Korrekturbefehls entsprechend dem Gleichungssystem eines parallelverarbeitenden vollständig steuerbaren und beobachtbaren linear rückgekoppelten Schieberegisters gebildet wird und daß der Vergleichsbefehl den Vergleich der korrigierten Istsignatur mit der Festsollsignatur bewirkt.

ISSN 0433-6461

13 Seiten

Patentansprüche:

1. Verfahren zum Testen von mikrorechnergesteuerten Baugruppen und Geräten, wobei eine Folge parallel anliegender Datenvektoren, deren Auswahl durch Steuersignale oder deren Kombinationen selektiert wird, zwischen einem START- und einem STOP-Befehl zu einer Signatur komprimiert wird, **dadurch gekennzeichnet**, daß aus einer aktuellen Istsignatur nach dem STOP-Befehl eine korrigierte Istsignatur erzeugt wird, wobei diese aus dem Korrekturvektor eines Korrekturbefehls CORR entsprechend dem Gleichungssystem eines parallelverarbeitenden vollständig steuerbaren und beobachtbaren linear rückgekoppelten Schieberegisters gebildet wird und daß der Vergleichsbefehl COMP den Vergleich der korrigierten Istsignatur mit der Festsollsignatur zur Gut-Schlecht-Prüfung bewirkt und daß der Korrekturvektor aus der direkt an einem Gutexemplar oder programmtechnisch ermittelten Istsignatur und der Festsollsignatur und dem Gleichungssystem des parallelverarbeitenden linear rückgekoppelten Schieberegisters berechnet und installiert wird und daß der CORR-Befehl die programmierte Überführung eines Signaturvektors auf einen Folgevektor zum überspringen bekannter im Intaktfall reproduzierbarer Programmsequenzen bezüglich Signaturverarbeitung erlaubt.
2. Anordnung zum Testen von mikrorechnergesteuerten Baugruppen und Geräten unter Verwendung von bidirektionalen Verstärkern, Eingabespeicher, Signaturspeicher, Signaturkomparatoren, Timern, Anzeigesteuerung und einer testobjektabhängigen Adaptierschaltung über die die Anordnung an das Testobjekt, z. B. uP oder Bus angeschaltet ist, **dadurch gekennzeichnet**, daß ein a-Bit-Datenvektor (D) des Testobjektes (1) über mindestens einen bidirektionalen Treiber (3, 4) und mindestens einen Eingabespeicher (5, 6) an eine l-bit-Signaturverarbeitungslogik (7) geschaltet sind, deren Ausgänge mit dem l-bit-Signaturspeicher (8) verbunden sind und daß sein nichtnegierter l-Bit-Signaturvektor (SV) auf mindestens einen bidirektionalen Treiber (3, 4), auf die l-Bit-Signaturverarbeitungslogik (7) als Zustandsinformation und auf den ersten l-Bit-Signaturkomparator (14) und daß sein negierter l-Bit Signaturvektor (NSV) auf eine Anzeigesteuerung (10) und einen zweiten l-Bit-Signaturkomparator (13) geschaltet sind, daß die Signaturspeicher (8) bezogen auf den a-Bit Datenvektor (D) vollständig steuerbar und vollständig beobachtbar sind, daß durch die Vergleichssteuersignale (CMP 1/2) getrennt wählbare fehlersichere Festsollsignaturen steuerbar sind, die von einem ersten Festsignaturspeicher (12) nichtnegiert an den ersten l-Bit-Signaturkomparator (14) und von einem zweiten Festsignaturspeicher (11) negiert an den zweiten l-Bit-Signaturkomparator (13) geschaltet sind und daß die Ausgänge der beiden l-Bit-Signaturkomparatoren getrennt auf eine Auswerteschaltung (15) gegeben werden, die unabhängig je zwei Retrigger- (RTG 1/2) und Interruptsignale (INT 1/2) zur doppelten Weiterverarbeitung und/oder zum Anschluß zweier unabhängiger Timer (16, 17) liefern, wobei beide Signalpaare durch den Vergleich mit unterschiedlichen Festsollsignaturen erzeugt werden, und daß aus deren Rückmeldung ein nichtnegiertes Inhibitsignal (INH) und ein negiertes Inhibitsignal (NINH) zur redundanten Summenfehlermeldung geschaltet wird, daß die testobjektabhängige Adaptierschaltung (2) abgeleitet vom Testobjekt (1) einen Adreßvektor (A), einen Steuersignalvektor (S), ein Clock-Signal (C) an eine Befehlsdekodierung und Ablaufsteuerung (9) schaltet, die daraus mindestens ein Richtungssteuersignal (RD 1/2), ein Eingabespeicherfreigabesignal (INE) sowie die Steuersignale für Taktung und Korrektur das Signaturtaktfreigabesignal (SGE) und das Signaturspeicherresetsignal (CLR) an den l-Bit-Signaturspeicher (8) und die Vergleichssteuersignale (CMP 1/2) an die Festsignaturspeicher (11, 12) und die Auswerteschaltung (15) schaltet und daß eine Anzeigesteuerung (10) den minimalen Anschluß einer Signatur- und Statusanzeige (18) erlaubt.
3. Anordnung nach Anspruch 2, **dadurch gekennzeichnet**, daß die beiden Ausgangssignale der l-Bit-Signaturkomparatoren (13, 14) über zwei unabhängige UND-Kombinationen mit je einem der beiden Vergleichssteuersignale (CMP 1/2) je ein Retrigger-signal (RTG 1/2) erzeugen, und daß die Signale über zwei unabhängige INT-Setzlogiken (31, 32) einschließlich der jeweiligen Fehlerzeitsignale (TE 1/2) die Setzsignale zweier Interruptspeicher (34, 36) steuern, deren Ausgänge als Interruptsignale (INT 1/2) weitergegeben und auf die Setzeingänge zweier Fehlerspeicher (33, 35) geschaltet sind, deren Ausgänge unter Einbeziehung der Zeitfehlersignale (TE 1, TE 2) über eine ODER-Verknüpfung das nichtnegierte Inhibitsignal (INH) und in UND-Verknüpfung das negierte Inhibitsignal (NINH) erzeugen, und daß beide Interruptspeicher (34, 36) durch das Signaturspeicherresetsignal (CLR) und die Fehlerspeicher (33, 35) durch das jeweilige

- Retriggersignal (RTG 1/2) rückgesetzt werden, und daß vom ersten Fehlerspeicher (33) ein Verriegelungssignal an die UND-Kombination des zweiten Retriggersignals (RTG 2) geschaltet ist.
4. Anordnung nach Anspruch 2 oder 3, **dadurch gekennzeichnet**, daß ein Teil der Ausgangssignale des a-Bit-bidirektionalen-Treibers (3) auf einen Auswahlmaskenspeicher (22) und daß dessen Ausgangssignale und der Steuersignalvektor (S) auf eine Auswahlerschaltung (23) verschaltet sind, deren Ausgang gemeinsam mit dem Ausgang eines START/STOP-Speichers (24) über ein UND-Gatter auf ein ODER-Gatter, auf das auch ein Korrektursignal (CORR 2) geschaltet ist und dessen Ausgang das Signaturtaktfreigabesignal erzeugt, geführt ist.
 5. Anordnung nach Anspruch 2, 3 oder 4, **dadurch gekennzeichnet**, daß zur wahlweisen über Befehlsdekoder (21) programmgesteuerten oder direkt signalgesteuerten Anwendung das Signaturspeicherresetsignal (CLR) eine ODER-Verknüpfung des Resetbefehlssignals (RESI) und des Resetsignals (RESET) ist, daß das Setzsignal des START/STOP-Speichers (24) eine ODER-Verknüpfung des Startsignals (START) und des Resetsignals (RESET) und daß dessen Rücksetzsignal eine ODER-Verknüpfung des Stoppsignals (STOP) und des Haltsignals (HALT) ist.
 6. Anordnung zur Außenbeschaltung der Anordnung nach Anspruch 2, 3, 4 oder 5, **dadurch gekennzeichnet**, daß die beiden Ausgangssignale der Timer (16, 17) als unabhängige Reaktionssignale auf das Testobjekt (1) geschaltet werden.
 7. Anordnung zur Kaskadierung mehrerer Anordnungen nach Anspruch 2 bis 6 um Datenvektorbreiten $a > 1$ zu verarbeiten, **dadurch gekennzeichnet**, daß die Anordnungen parallel angeordnet sind, daß der a-Bit-Datenvektor (D) auf die Anordnungen aufgeteilt wird und daß die Adreß- (A) und Steuervektoren (S) gemeinsam angesteuert werden, daß die zwei Retriggersignale (RTG 1/2) aller Anordnungen getrennt auf zwei UND-Gatter zur Bildung der beiden Summenretriggersignale geschaltet sind, daß die zwei Interruptsignale (INT 1/2) aller Schaltkreise getrennt auf zwei ODER-Gatter zur Bildung der beiden Summeninterruptsignale geschaltet sind.

Hierzu 3 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Das Anwendungsgebiet der Erfindung ist die Datenkompression von Programmsequenzen oder Datenströmen für Aufgaben in Test, Diagnose und Fehlertoleranz insbesondere in mikrorechnergesteuerten Baugruppen und Geräten zur Testzeitreduzierung und zur Erhöhung der Fehlererkennungswahrscheinlichkeit bzw. Zuverlässigkeit.

Charakteristik des bekannten Standes der Technik

In (Voelkel, Lutz; Pliquett, Jürgen: Signaturanalyse. Akademie-Verlag Berlin 1988) wird das gegenwärtige Wissen auf diesem Fachgebiet zusammengefaßt.

Es sind Realisierungen der Signaturanalyse z. B. DD-WP 0153943 und DE-OS G 01 R 31/28 2538651 für die manuell oder maschinell geführte Fehlerlokalisierung auf Leiterplatten bekannt. Weiterhin sind sogenannte Watchdog-Timer-Schaltungen zur Programmüberwachung insbesondere zur Verhinderung von Deadlocks bekannt z. B. DE-OS 3232513 A1, 3207633. Diese Verfahren sind zu einer umfassenden on-line-Rechnerdiagnose ungeeignet.

In DD-WP 234510 wird eine Anordnung zum Testen und Isolieren defekter Rechnerknoten beschrieben, die I/O-Befehl-gesteuert mit einem parallelverarbeitenden Signaturregister versehen ist. Nachteilig für die Schaltkreisinstrumentierung ist, daß die Schaltung zu aufwendig zu instrumentieren und zu steuern ist, daß keine programmgesteuerte Installation der Festsignaturen möglich ist und daß die Anordnung bezüglich der Schaltkreisintegration Nachteile in der Verarbeitungsgeschwindigkeit aufweist.

Von der 32-Bit-CPU 80386 von Intel ist bekannt, daß parallele Signaturregister unterschiedlicher Breite einen blockweise partitionierten Start-up-test unterstützen. Das Verfahren ist nicht für on-line-tests geeignet. Es ist nicht für den Anwender nutzbar, nur auf CPU-start-up-test beschränkt und nicht fehlerunabhängig von der CPU.

Ziel der Erfindung

Ziel der Erfindung ist eine

- hohe Fehlererkennungswahrscheinlichkeit bei geringem bzw. vorgegebenem Schaltungsaufwand zur Schaltkreisintegration
- Gewährleistung einer maximalen Taktfrequenz
- Schaltkreisinstrumentierung - geringer Platzbedarf
 - geringe Kosten
- universelle Anwendbarkeit
- Eigenfehlersicherheit.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist es ein Verfahren und eine Schaltungsanordnung zur Parallelen Datenkompression insbesondere für Mikrorechner zu schaffen, die besser als bekannte Verfahren und Anordnungen unter Vermeidung von Sollsignatur-RAMs zur Schaltkreisintegration, zur schnelleren Verarbeitung, zur Erhöhung der Fehlererkennungswahrscheinlichkeit und zur Reduzierung des Schaltungsaufwandes geeignet ist.

Dabei wird eine Folge parallel anliegender Datenvektoren, deren Auswahl durch Steuersignale oder deren Kombinationen selektiert wird, zwischen einem START- und einem STOP-Befehl zu einer Signatur komprimiert.

Zwecks Einsparung des Sollsignatur-RAM wird erfindungsgemäß die Reduzierung auf unterschiedliche fehlersichere Festsollsignaturen vorgenommen und ein CORR-Befehl eingeführt, so daß aus einer aktuellen Istsignatur nach dem STOP-Befehl mittels eines Korrekturbefehls ORR eine korrigierte Istsignatur berechnet wird.

Diese wird aus dem Korrekturvektor des Befehls CORR entsprechend dem Gleichungssystem eines parallelverarbeitenden vollständig steuerbaren und beobachtbaren linear rückgekoppelten Schieberegisters und seinem aktuellen Zustandsvektor gebildet.

Der COMP-Befehl bewirkt den Vergleich der korrigierten Istsignatur mit der Festsollsignatur zur Gut-Schlecht-Prüfung.

Der Korrekturvektor wird aus der direkt an einem Gutexemplar oder aus der programmtechnisch ermittelten Istsignatur und der Festsollsignatur und dem Gleichungssystem des parallelverarbeitenden linear rückgekoppelten Schieberegisters berechnet und installiert.

Außerdem dient der CORR-Befehl zur programmierten Überführung eines Signaturvektors auf einen Folgevektor zwecks Überspringen bekannter im Intaktfall reproduzierbarer Programmsequenzen bezüglich Signaturverarbeitung.

Die Instrumentierung des Verfahrens erfolgt unter Verwendung von bidirektionalen Verstärkern, Eingabespeicher, Signaturspeicher, Festsignaturspeichern, Signaturkomparatoren, Timern, Anzeigesteuerung, Signatur- und Statusanzeige und einer testobjektabhängigen Adaptierschaltung, über die die Anordnung an das Testobjekt z. B. uP oder Bus angeschlossen ist.

Die Anordnung wird dabei so realisiert, daß ein a-Bit-Datenvektor des Testobjektes über mindestens einen bidirektionalen Treiber und mindestens einen Eingabespeicher an eine I-bit-Signaturverarbeitungslogik geschaltet sind deren Ausgänge mit dem I-bit-Signaturspeicher verbunden sind.

Der nichtnegierte I-bit-Signaturvektor wird auf mindestens einen bidirektionalen Treiber, auf die I-bit-Signaturverarbeitungslogik als Zustandsinformation und auf einen ersten I-bit-Signaturkomparator und der negierte 1-bit-Signaturvektor wird auf eine Anzeigesteuerung und einen zweiten 1-bit-Signaturkomparator geschaltet, so daß die

Signaturspeicher bezogen auf den a-Bit-Datenvektor vollständig steuerbar und vollständig beobachtbar sind. Es ist erforderlich, daß durch die Vergleichssteuersignale getrennt wählbare fehlersichere Festsollsignaturen steuerbar sind, die

von einem ersten Festsignaturspeicher nichtnegiert an den ersten I-bit-Signaturkomparator und von einem zweiten Festsignaturspeicher negiert an den zweiten I-bit-Signaturkomparator geschaltet sind.

Weiterhin werden die Ausgänge der beiden I-bit-Signaturkomparatoren getrennt auf eine Auswerteschaltung gegeben, die unabhängig je zwei Retrigger- und Interruptsignale zur doppelten Weiterverarbeitung und/oder zum Anschluß zweier unabhängiger Timer liefern, wobei beide Signalpaare durch den Vergleich mit unterschiedlichen Festsollsignaturen erzeugt werden.

Aus der Rückmeldung der Signale wird ein nichtnegiertes Inhibitsignal und ein negiertes Inhibitsignal zur redundanten Summenfehlermeldung geschaltet.

Die testobjektabhängige Adaptierschaltung liefert die relevanten Signale vom Testobjekt, einen Adreßvektor, einen Steuersignalvektor und ein Clock-Signal an eine Befehlsdekodierung und Ablaufsteuerung, die daraus mindestens ein Richtungssteuersignal, ein Eingabespeicherfreigabesignal sowie die Steuersignale für Taktung und Korrektur das Signaturtaktfreigabesignal und das Signaturspeicherresetsignal an den I-bit-Signaturspeicher und die Vergleichssteuersignale an die Festsignaturspeicher und die Auswerteschaltung schaltet.

Eine spezielle Anzeigesteuerung organisiert den pinminimalen Anschluß einer Signatur- und Statusanzeige.

Die beiden Ausgangssignale der I-bit-Signaturkomparatoren erzeugen über zwei unabhängige UND-Kombinationen mit je einem der beiden Vergleichssteuersignale je ein Retrigger-signal.

Die Signale steuern über zwei unabhängige INT-Setzlogiken einschließlich der jeweiligen Fehlerzeitsignale die Setzsignale der beiden Interruptspeicher, deren Ausgänge als Interruptsignale weitergegeben und auf die Setzeingänge der beiden Fehlerspeicher geschaltet sind, an deren Ausgänge unter Einbeziehung der Zeitfehlersignale über eine ODER-Verknüpfung das nichtnegierte Inhibitsignal und in UND-Verknüpfung das negierte Inhibitsignal erzeugen.

Beide Interruptspeicher werden durch das Signaturspeicherresetsignal und die Fehlerspeicher durch das jeweilige Retrigger-signal rückgesetzt.

Von dem ersten Fehlerspeicher wird ein Verriegelungssignal an die UND-Kombination des zweiten Retrigger-signals geschaltet.

Ein Teil der Ausgangssignale des a-Bit-Eingabespeichers ist auf den Auswahlmaskenspeicher geschaltet, dessen Ausgangssignale und der Steuersignalvektor auf die Auswahl-schaltung verschaltet sind und deren Ausgang gemeinsam mit dem Ausgang des START/STOP-Speichers über ein UND-Gatter auf ein ODER-Gatter geführt ist.

Auf dieses ODER-Gatter ist auch ein Korrektursignal geschaltet, dessen Ausgang des Signaturtaktfreigabesignal erzeugt.

Zur wahlweisen über Befehlsdekoder programmgesteuerten oder direkt signalgesteuerten Anwendung ist das Signaturspeicherresetsignal eine ODER-Verknüpfung des Resetbefehlssignals und des Resetsignals.

Das Setzsignal des START/STOP-Speichers ist eine ODER-Verknüpfung des Startsignals und des Resetsignals, dessen Rücksetzsignal wiederum eine ODER-Verknüpfung des Stoppsignals und des Haltsignals ist.

In der Anordnung zur Außenbeschaltung werden die beiden Ausgangssignale der Timer als unabhängige Reaktionssignale auf das Testobjekt geschaltet, wodurch Restartversuche bei Grundtestfehlern und Diagnoseprogrammstarts bei Gesamttestfehlern differenzierbar sind.

Um Datenvektorbreiten $a > 1$ zu verarbeiten, wird die Kaskadierung mehrerer Anordnungen vorgenommen.

Dazu werden die Anordnungen parallel geschaltet, so daß der a-Bit-Datenvektor auf die Anordnungen aufgeteilt wird und daß die Adreß- und Steuervektoren gemeinsam angesteuert werden.

Die zwei Retrigger-Signale aller Schaltkreise werden getrennt auf zwei UND-Gatter zur Bildung der beiden Summenretrigger-Signale geschaltet und die zwei Interrupt-Signale aller Schaltkreise werden getrennt auf zwei ODER-Gatter zur Bildung der beiden Summeninterrupt-Signale geschaltet.

Ausführungsbeispiel

Es zeigen:

Fig. 1: die erfindungsgemäße Schaltungsanordnung

Fig. 2: eine Befehls- und Ablaufsteuerung

Fig. 3: eine Auswerteschaltung.

Die Erfindung dient der parallelen Datenkompression auf den Gebieten Test, Diagnose und Fehlertoleranz sowohl in einzelnen Rechnerknoten als auch in Mehrrechnersystemen.

Sie dient der Überwachung der korrekten Arbeitsweise von Prozessoren.

Die Anordnung ist diskret aufbaubar oder in einen Schaltkreis (z. B. als Hardware-Diagnoseoverhead) integrierbar. Die im Ausführungsbeispiel beschriebene Schaltungsanordnung wurde in ihrem Umfang für die Implementierung in einem CMOS-Gate-Array-Schaltkreis U5200 ausgelegt. Dabei wurde der in Fig. 1 gestrichelt umrahmte Teil der Schaltungsanordnung in einem Schaltkreis untergebracht. Die anderen Schaltungsteile wie die testobjektabhängige Adaptierschaltung 2, Signatur- und Statusanzeige 18 sowie die beiden Timer 16/17 werden entsprechend Einsatzfall mit diskreten Standardbausteinen realisiert. Dieser Signaturschaltkreis ist einem I/O-Baustein vergleichbar. Er wird neben einer CPU oder an einem Rechnerbus eingesetzt und kann über Befehle eines Programms und/oder zur unabhängigen Datenkompression über Signale gesteuert werden.

Der Signaturschaltkreis dient:

- zum Testen und Überwachen selbsttestender Rechnerknoten
- Überwachen der Selbstdiagnosephase, d. h. ihres zyklischen Auftretens - Zykluszeitüberwachung
- Auswerten in der Selbsttestphase bei Reduzierung der Testzeit
- Isolierung defekter Rechnerknoten, insbesondere in dezentralen Mehrrechnersystemen
- Rekonfigurierbarkeit des Rechnerknotens bei Teilausfällen
 - nach festgelegtem Schema
 - erlernbar
- fehlertolerante Taskbearbeitung
- Nutzbarkeit der Schaltung durch das Anwenderprogramm
- Selbstdiagnose-Anzeige für die Selbstdiagnose nach dem Herstellungsprozeß bzw. beim Service

Der Signaturschaltkreis vereinigt folgende Vorteile:

- Erhöhung der Fehlererkennungswahrscheinlichkeit
- flexible Fehlertoleranz mit höherer Zuverlässigkeit
- Verkürzung der Test- und Diagnosezeit
- Verringerung der Fehlerfortpflanzung in Mehrrechnersystemen
- Vereinheitlichung der Prüfverfahren (Herstellung-Anwendung)
- einfache Implementierbarkeit.

Der Signaturschaltkreis läßt sich durch folgende Befehle steuern:

Funktion	Befehl	Adresse	Daten	Kommentar
RESI	OUT	XXX0	-	RESET-Befehl
START	OUT	XXX1	-	Freigabe Takttorung
STOP	OUT	XXX2	-	Sperrung Takttorung
SELECT	OUT	XXX3	E	Taktauswahl
COMP1	OUT	XXX4	-	Vergleich Grundtest
COMP2	OUT	XXX5	-	Vergleich Gesamttest
RDO	IN	XXX6	S0	Istsignatur lesen (Bit 0-15)
RD1	IN	XXX7	S1	Istsignatur lesen (Bit 16-21)
CORR0	OUT	XXX6	C0	Puffer schreiben (Bit 0-15)
CORR1	OUT	XXX7	C1	Puffer schreiben (Bit 16-21) und Signaturbildung

XXX = verdrahtungsprogrammierbare Chip-Select-Adresse

Die Befehle ermöglichen, daß eine Folge parallel anliegender Datenvektoren, deren Auswahl durch Steuersignale oder deren Kombinationen selektiert wird, zwischen einem START- und einem STOP-Befehl zu einer Signatur komprimiert werden. Zwecks Einsparung des Sollsignatur-RAM wird erfindungsgemäß die Reduzierung auf unterschiedliche fehlersichere Festsollsignaturen vorgenommen und ein CORR-Befehl eingeführt, so daß die aktuelle Istsignatur nach dem STOP-Befehl mittels CORR-Befehl und Korrekturvektor zur korrigierten Istsignatur überführt wird.

Das erfolgt entsprechend dem Gleichungssystem eines parallelverarbeitenden vollständig steuerbaren und beobachtbaren linear rückgekoppelten Schieberegisters.

Der COMP-Befehl bewirkt den Vergleich der korrigierten Istsignatur mit der Festsollsignatur zur GUT-SCHLECHT-Prüfung.

Mit den Befehlen werden folgende allgemeine Funktionen realisiert:

- Steuerung der Datenkompression (Signaturverarbeitung)
- Auslesen der Signatur aus dem Signaturregister
- Initialisieren des Signaturregisters
- fehlersicheres Rückladen einer Signatur in das Signaturregister.

Mit diesen Funktionen ist eine flexible Anwendung z. B. zur Tasküberwachung, für verschachtelte unterbrechbare Tasks oder für ein unterbrechbares Selbsttestprogramm möglich. Dazu muß ein Signatur-Stack eingerichtet werden, in den die ausgelesenen Signaturen der unterbrochenen Tasks abgelegt und nach Wiederaufnahme der Task von dort zurück in das Signaturregister geladen werden. Dieser Vorgang kann als Routine erfolgen. Die Selbsttestüberwachung bleibt hardwaremäßig unabhängig. Werden die Daten in die Signaturbildung einbezogen, so kann die Istsignatur nur mit einer Sollsignatur verglichen werden, die nicht nur mit identischem Programm, sondern auch mit identischen Daten gelaufen ist. Das Programm kann aber zu einer anderen Zeit und an einem anderen Ort (Mehrrechnersystem) gelaufen sein.

Dieser Fall ist insbesondere bei Selbsttestprogrammen gegeben.

Das hier beschriebene Verfahren arbeitet mit Korrekturvektoren und verschiedenen festen Sollsignaturen. Dabei ist für jede ausgliederbare Funktion nur ein Korrekturvektor erforderlich. Dieses Verfahren bietet sowohl vom Implementierungsaufwand als auch von der Flexibilität die besten Voraussetzungen zur aufwandsreduzierten Hardwareinstrumentierung.

Dazu sind Signaturregister erforderlich, die sich von jedem beliebigen Zustand mit einem Datenwort in jeden beliebigen anderen Zustand überführen lassen. Das Signaturregister muß ein paralleles 1-Bit-Signaturregister und muß vollständig beobachtbar und steuerbar sein. Im Beispiel ist eine Datenbusbreite $a = 16$ und $1 = 22$ Signaturspeicher realisiert. Da eine zweischrittige Steuerung und Beobachtung bei einschrittiger paralleler Signaturtaktung vorgesehen war, hätte $1 \cong 32$ sein können. Durch die erfindungsgemäße Schaltungsreduzierung war bei dem vorgegebenen Schaltkreis eine maximale Anordnung von $1 = 22$ realisierbar.

Für die 22-Bit Signaturverarbeitungslogik wurde nachfolgendes Polynom gewählt:

$$PQ(x) = x^{22} + x^1 + 1 \quad \text{irreduzibel und prim (nach Peterson)}$$

$$PR(x) = x^{22} + x^{21} + 1 \quad \text{(inverses Polynom)}$$

Damit ergibt sich:

Gleichungssystem F1 zur parallelen, $m = 22$ schrittigen Signaturberechnung in einem Takt nach dem o.g. Polynom

$$\begin{aligned} y'_{21} &= d_0 \oplus y_{21} \oplus y_{20} \\ y'_{20} &= d_1 \oplus y_{20} \oplus y_{19} & d &= \text{Datenvektor} \\ y'_{20} &= d_1 \oplus y_{20} \oplus y_{19} & y' &= \text{neuer Signaturvektor} \\ y'_{20} &= d_1 \oplus y_{20} \oplus y_{19} & y &= \text{alter Signaturvektor} \\ y'_1 &= d_{20} \oplus y_1 \oplus y_0 \\ y'_0 &= d_{22} \oplus y_0 \oplus d_0 \oplus y_{21} \oplus y_{20} \end{aligned}$$

Bezogen auf die Registerlänge $l = 22$ ist die Fehlererkennungswahrscheinlichkeit im Beispiel:

$$P_{\text{SIG}} = 1 - 2^{-22} = 0,9999998$$

Die erfindungsgemäße Schaltung wurde mit dem Befehl CORR ausgerüstet, der eine einfache Signaturmodifizierung zuläßt. Dieser I/O-Befehl dient im Generatormodus zur programmierten getakteten Steuerung. Im Signaturmodus bewirkt er eine Taktung des Registers mit Dateneingabe, wodurch eine gezielte Korrektur der Istsignatur erreicht wird. Der Befehl CORR ist nur nach dem Befehl STOP (keine zustandsabhängige Taktung) anzuwenden.

Der CORR-Befehl ist kein einfacher Ladevorgang, sondern eine gezielte Signaturtaktung mit vorgebbarem Datenvektor. Eine Korrektur setzt die Kenntnis der vorangegangenen Zustandsvektors und des Gleichungssystems F2 voraus. Dieser Befehl ist dadurch aber auch zum fehlersicheren Rückladen eines Zustandsvektors unter den genannten Voraussetzungen anwendbar.

Der CORR-Befehl dient zur fehlersicheren Ausführung dreier Funktionen:

- Programminstallation von Sollsignaturen unter der Bedingung eines Satzes fixer Festsollsignaturen
- fehlersicheres Rückspeichern oder Laden des Signaturregisters
- Überführen einer Istsignatur in eine Zielsignatur zum Überspringen ausgliederbarer Programmteile.

Beispiel zur Programminstallation von Sollsignaturen unter der Bedingung eines Satzes fixer Festsollsignaturen

Organisation des Diagnoseprogramm:

- ```

START
:
- Diagnose-Task
:
- STOP
- CORR (C) (C) = Korrekturvektor
- COMP

```

Der Korrekturvektor wird aus der direkt an einem Gutexemplar oder aus der programmtechnisch ermittelten Istsignatur und der Festsollsignatur und dem Gleichungssystem des PSR berechnet und installiert.

Berechnung des Korrekturvektors:

Korrekturvektor = F2 (Festsollsignatur  $\oplus$  Reale Sollsignatur)

Korrektur:

Korr. Istsignatur = F1 (Istsignatur  $\oplus$  Korrekturvektor)

Vergleich:

Korr. Istsignatur = Festsollsignatur

Für die Berechnung des Korrekturvektors gilt folgendes Gleichungssystem F2:

$$d0 = y'21 \oplus y21 \oplus y20$$

$$d1 = y'20 \oplus y19$$

$$d1 = y'20 \oplus y19$$

$$d1 = y'20 \oplus y19$$

$$d20 = y'1 \oplus y1 \oplus y0$$

$$d22 = y'0 \oplus y0 \oplus y'21$$

d = Korrekturvektor

y' = Zielsignatur

y = Ausgangssignatur

Der variable installierbare Wert für die flexible, u.U. erlernbare, Anpassung ist der Korrekturvektor, der zur vorgegebenen Festsollsignatur des Gesamttests führt. Ein erneuter korrigierter Ablauf muß wieder Übereinstimmung zwischen Ist- und Festsollsignatur bringen. Jeder Ablauf ist durch Einfügen einer Korrektursignatur auf die Festsollsignatur rückführbar. Für verschiedene Aufgabenkomplexe (z.B. Grund- u. Gesamttest) erweisen sich unterschiedliche Festsollsignaturen als vorteilhaft. Im Realisierungsbeispiel sind je zwei unterschiedliche Grundtestsignaturen und zwei unterschiedliche Gesamttestsignaturen beim Signaturvergleich adressierbar.

Außerdem dient der CORR-Befehl zur programmierten Überführung eines Signaturvektors auf einen Folgevektor zwecks Überspringen bekannter im Intaktfall reproduzierbarer Programmsequenzen bezüglich Signaturverarbeitung.

Soll zur Korrektur des Testprogramms nach Teilausfällen der Testteil i ausgliedert werden, so wird dieser mittels seines Korrekturvektors i bezüglich Signaturbildung übersprungen, d.h., die Endsignatur des vorangegangenen Testteils i - 1 wird durch den Korrekturvektor i auf die Endsignatur des abgeschalteten Testteils i überführt.

Dadurch muß der Rechnerknoten nicht  $2^n$  mögliche Sollsignaturen für alle Fehlermustersvarianten der n ausgliederbaren Teilfunktionen kennen, sondern lediglich n Korrekturvektoren.

Die erfindungsgemäße Schaltungsanordnung ist in Fig. 1 dargestellt.

Der anliegende Datenvektor D wird aufgefächert auf I = 22 Bit über einen 16-Bit-bidirektionalen-Treiber 3 und 16-Bit-Eingabespeicher 5 sowie 6-Bit-bidirektionalen-Treiber 4 und 6-Bit-Eingabespeicher 6 an eine 22-Bit-Signaturverarbeitungslogik 7 geschaltet, deren Ausgänge mit dem 22-Bit-Signaturspeicher 8 verbunden sind.

Die getrennte Richtungssteuerung der bidirektionalen Treiber 3 und 4 durch die Richtungssteuersignale RD1 und RD2 ermöglicht die vollständige Beobachtung des 22-Bit-Signaturspeicher 8 durch einen 16-Bit-Mikroprozessor ohne zusätzlichen Hardwareaufwand.

In den Eingabespeichern 3/4 werden mit jedem Takt die anstehenden Daten gepuffert. Im Anwendungsbeispiel handelt es sich um eine völlig synchron arbeitende sequentielle Schaltung, d.h., alle Flipflops werden durch den Takt C angesteuert.

Die 22-Bit-Signaturverarbeitungslogik 7, die mittels einfacher Antivalenzschaltungen das mit F1 bezeichnete Gleichungssystem realisiert, berechnet aus dem gepufferten Eingabevektor und dem im 22-Bit-Signaturspeicher 8 gespeicherten nichtnegierten Signaturvektor SV den neuen Eingabevektor für den Signaturspeicher 8. Gesteuert wird der Signaturspeicher 8 durch die Signale CLR und SGE. Das Signaturspeicherresetsignal CLR dient der Initialisierung des 22-Bit-Signaturspeichers 8. Im beschriebenen Anwendungsbeispiel setzt ein aktives Signal CLR den 22-Bit-Signaturspeicher 8 auf Null. Liegt an den Eingängen des 22-Bit-Signaturspeichers ein gültiger Signatureingabevektor an, d.h., der Eingabepuffer 3/4 enthält einen für die Datenkompression gültigen Datenvektor, so wird gesteuert durch das Signaturtaktfreigabesignal SGE der berechnete Signaturvektor in den 22-Bit-Signaturspeicher 8 übernommen.

Die Ausgänge des 22-Bit-Signaturspeichers 8 werden zwecks Signaturauswertung auf zwei 22-Bit-Signaturkomparatoren 13/14, der nichtnegierte Signaturvektor SV an den 22-Bit-Signaturkomparator 14 und der negierte Signaturvektor NSV auf den 22-Bit-Signaturkomparator 13, geschaltet. Der doppelte Signaturvergleich dient der Erhöhung der Eigenfehlersicherheit der erfindungsgemäßen Schaltungsanordnung. Erfindungsgemäß beschränkt sich der Signaturvergleich auf einen Vergleich mit Festsollsignaturen, da sich wie bereits beschrieben bei vollständiger Steuerbarkeit der Schaltungsanordnung jede aktuelle Signatur programmtechnisch durch Ausführung des CORR-Befehls gezielt und fehlersicher mittels zuvor bestimmtem Korrekturvektor auf die Sollsignatur verändern läßt.

Gesteuert durch die Signale CMP1 bzw. CMP2 können zwei verschiedene Festsollsignaturen (255555 H bzw. 1AAAAAH) für den Signaturvergleich ausgewählt werden, wobei der Festsollsignaturspeicher 11 für den Vergleich mit dem negierten Signaturvektor NSV jeweils die negierte Festsollsignatur zur Verfügung stellt. Beide Festsollsignaturspeicher 11/12 und Signaturkomparatoren 13/14 sind von einander unabhängig realisiert. Weiterhin werden die Ausgänge der beiden 22-Bit-Signaturkomparatoren getrennt auf eine Auswerteschaltung 15 geschaltet.

Der Aufbau der Auswerteschaltung 15 ist in Fig. 3 dargestellt.

Die beiden Ausgangssignale der 22-Bit-Signaturkomparatoren 13/14 erzeugen über je zwei unabhängige UND-Kombinationen getort durch je eines der beiden Vergleichssteuersignale CMP1 bzw. CMP2 im Gutfall (d.h. Gleichheit von Ist- und Sollsignatur) die Retrigger-Signale RTG1 bzw. RTG2, wobei die Generierung des Retrigger-Signals RTG2 zusätzlich voraussetzt, daß der Fehlerspeicher 33 nicht gesetzt ist.

Im Fehlerfall bewirken die negierten Signaturkomparatorausgangssignale getort mit den Vergleichssteuersignalen CMP1 bzw. 2 über die zwei unabhängigen INT-Setzlogiken 31 bzw. 32 das Setzen der Interruptspeicher 34 bzw. 36, deren Ausgänge einerseits als Interruptsignale INT1 bzw. 2 herausgeführt und andererseits auf die Setzeingänge der Fehlerspeicher 33 bzw. 35 geschaltet sind. Die Auswertung der Signaturkomparatorausgänge (Retrigger-Signale im Gutfall bzw. Setzen der Fehler- und INT-Speicher im Fehlerfall) erfolgt grundsätzlich nur während der Aktivierung der Vergleichssteuersignale CMP1/2.

Weitere INT-Speicher- und daraus folgend Fehlerspeichersetzbedingungen, die aber unabhängig von den Vergleichssteuersignalen CMP 1/2 wirken, sind die externen Zeitfehlersignale TE 1 und TE 2. Diese können wie in Fig. 1 dargestellt die Ausgänge der beiden unabhängigen Timer 16/17 sein, bzw. andere relevante Fehlersignale. Für die Initialisierung bzw. Fehlerquittierung können die INT-Speicher 34 und 36 durch das Signaturspeicherresetsignal CLR rückgesetzt werden, während die Fehlerspeicher 33 und 35 nur durch erfolgreiche Vergleichsauswertung (Generierung der Retrigger-Signale RTG 1/2) quittiert (rückgesetzt) werden können.

Die Torung der Zeitfehlersignale TE 1/2 durch die negierten Ausgänge der Fehlerspeicher 33/35 bedingt, daß auch statisch anliegende Zeitfehlersignale TE 1/2 nur ein einmaliges Setzen der INT-Speicher 34/36 bis zur Fehlerquittierung der Fehlerspeicher 33/35 bewirken.

Neben den bereits erwähnten Signalen werden durch die Auswerteschaltung 15 die Summenfehlersignale INH und NINH unabhängig voneinander generiert, wobei das nichtnegierte Inhibitsignal INH durch die ODER-Verknüpfung der Ausgänge der beiden Fehlerspeicher 33/35 und der Zeitfehlersignale TE 1/TE 2 sowie das negierte Inhibitsignal NINH durch UND-Verknüpfung der negierten Ausgänge der Fehlerspeicher 33/35 und negierten Zeitfehlersignale TE 1/TE 2 gebildet werden.

Alle Signale für die Steuerung des 16-Bit-bidirektionalen-Treibers 3 (gesteuert durch das Signal RD 1), des 6-Bit-bidirektionalen-Treibers 4 (RD 2), des 16-Bit-Eingabepuffers 5 (INE), des 22-Bit Signaturspeichers 8 (CLR, SGE), der Festsignaturspeicher 11/12 (CMP1, CMP2) und der Auswerteschaltung 15 (CMP1, CMP2, CLR) werden durch die Befehlsdekodierung und Ablaufsteuerung generiert. Fig. 2 zeigt die entsprechende Schaltungsanordnung für die Generierung der Steuersignale.

Die Steuerung und Beobachtung der erfindungsgemäßen Schaltungsanordnung erfolgt durch I/O-Zugriff des Testobjekts 1 auf die Adressen der Befehlsdekodierung und Ablaufsteuerung. Für die Adressierung der in Tab. dargestellten Befehle werden 3 Adreßsignale und ein durch die testobjektabhängige Adaptierschaltung 2 zur Verfügung zu stellendes Chip-Select-Signal CS benötigt.

Der Steuersignalvektor S besteht im Anwendungsbeispiel aus vier Steuersignalen, wobei die Signale WR/TO (für Schreibzugriff) und RD/T1 (Lesezugriff) einerseits für die Generierung der Steuerfunktionen der Schaltungsanordnung benutzt werden und andererseits zur Generierung des Signaturfreigabesignals zugelassen werden können. Zwei weitere Datentransfersteuersignale sind die Signale T2 und T3.

Über das Auswahlmaskenregister 22 und die Auswahlerschaltung 23 erfolgt die Selektierung entsprechender Steuersignale für die Datenkompression.

Der Befehlsdekoder dekodiert aus dem anliegenden Adreßvektor (3-Bit-Adresse + Chip-Select-Signal) und der aktiven Steuerleitung das entsprechende Befehlssignal. Die Adreßzuordnung für das Anwendungsbeispiel zeigt die oben angeführte Tabelle.

Der Befehl RESI dient der programmtechnischen Initialisierung der Schaltungsanordnung. Das durch diesen Befehl generierte Signaturspeicherresetsignal CLR löscht den 22-Bit-Signaturspeicher 8 und wirkt gleichzeitig als Rücksetzsignal an den INT-Speichern 32 und 34 der Auswerteschaltung 15. Gewöhnlich beginnt jeder Testlauf mit der Ausführung dieses Befehls.

Erfolgt der Aufruf des Tests beispielsweise durch Fehlerinterrupt, so bedeutet das Rücksetzen der INT-Speicher 34/36 gleichzeitig eine Interruptquittierung, und die Interruptanforderung wird zurückgenommen.

Der Startsignal START setzt den START/STOP-Speicher 24. Der Ausgang des START/STOP-Speicher 24 gibt über ein UND-Gatter den Ausgang der Auswahlerschaltung 23 frei und ermöglicht somit, daß jedes selektierte Steuersignal beim Datentransfer ein Signaturtaktfreigabesignal SGE generiert und damit eine Signaturverarbeitung vollzieht.

Mit Aktivierung des Stoppsignals STOP wird der START/STOP-Speicher 24 rückgesetzt und damit der Ausgang der Auswahlerschaltung 23 über das UND-Gatter gesperrt. Jeder weitere Datentransfer auch der selektierten Steuerleitungen bewirkt keine weitere Signaturverarbeitung.

Der SELECT-Befehl gestattet das Schreiben einer 4-Bit-Maske in den Auswahlmaskenspeicher 22. Mit der Generierung des Auswahlfreigabesignals SEL wird der untere Teil des Datenvektors, abgeriffen an den Ausgängen des 16-Bit-bidirektionalen-Treibers 3, in den Auswahlmaskenspeicher übernommen. Die Zuordnung im Ausführungsbeispiel ist, daß das Datenbit D0 die Steuerleitung WR/T0, D1 die Steuerleitung RD/T1, D2 die Steuerleitung T2 und das Datenbit D3 die Steuerleitung T3 selektiert. Ein I-Wert des entsprechenden Datenbits bedeutet, daß die Steuerleitung ausgewählt ist. Enthält die entsprechende Speicherzelle des Maskenspeichers eine 0, so wird der durch diese Steuerleitung gesteuerte Datentransfer nicht überwacht. Nach Ausführung des STOP-Befehls wird die Signaturbildung gestoppt, und im 22-Bit-Signaturspeicher 8 steht die ermittelte Istsignatur. Erfindungsgemäß wird nun eine Korrektur der Istsignatur derart durchgeführt, daß mit einem gemäß Gleichungssystem F2 berechneten Korrekturvektor durch eine nochmalige Signaturbildung die Istsignatur auf eine gewünschte Festsollsignatur überführt wird. Wurde innerhalb der START-STOP-Sequenz die richtige Istsignatur ermittelt, so führt auch die Korrektur mit dem berechneten Korrekturvektor auf die entsprechende Festsollsignatur. Im Fehlerfall führt auch die Korrektur auf eine von der Festsollsignatur verschiedene Signatur.

Die vollständige Steuerbarkeit erfordert, daß jeder beliebige Korrekturvektor realisierbar sein muß. Die erfindungsgemäße Schaltungsanordnung gestattet, daß für  $a < l$  (hier konkret  $a = 16$  und  $l = 22$ ) die genannte Forderung nach vollständiger Steuerbarkeit erfüllt wird. Im Ausführungsbeispiel erfolgt die Ausführung der Korrektur mittels zweier Zugriffe (CORR 1 und CORR 2). Durch CORR 1 werden die unteren 16 Bit des Korrekturvektors in den 16-Bit-Eingabepuffer übernommen und gleichzeitig der CORR 1-Speicher 25 gesetzt. Durch den negierten Ausgang des CORR 1-Speichers 25, das Eingabespeicherfreigabesignal INE, das inaktiv wird, wird ein Überschreiben des 16-Bit-Eingabespeichers 5 verhindert. Die anschließende Ausführung des CORR 2-Befehls bewirkt, daß die oberen 6 Bit des Korrekturvektors nur in den 6-Bit-Eingabespeicher 6 übernommen werden. Damit steht der vollständige 22-Bit-Korrekturvektor für die Berechnung durch die Signaturverarbeitungslogik 7 an. Das Signaturtaktfreigabesignal SGE wird generiert, das eine Übernahme der berechneten (korrigierten) Signatur in den Signaturspeicher 8 bewirkt. Gleichzeitig wird durch SGE der CORR 1-Speicher 25 rückgesetzt (Freigabe des 16-Bit-Eingabespeichers).

Die Korrektur kann nicht nur für die Überführung auf die Festsollsignaturen genutzt werden, sondern mit der Korrektur ist es möglich, den Signaturspeicher ausgehend von jedem beliebigen Signaturinhalt auf jede andere gewünschte Signatur zu überführen. Eine sehr praktische Anwendung dafür ist die Nutzung zum Überspringen von Testsequenzen für eine variable Testgestaltung (z. B. Anwendung bei Diagnoseprogrammen, Ausgliederung defekter Baugruppen, Rekonfiguration).

Die Auswertung des Signaturvergleichs (korrigierte Istsignatur = Festsollsignatur?) wird durch die Befehle CMP1 und CMP2 gesteuert. Wie bereits dargestellt wurde, werden durch die Vergleichssteuersignale CMP1 und CMP2 einerseits die für den Vergleich benötigten Festsollsignaturen der Festsignaturspeicher 11/12 ausgewählt und andererseits die Generierung der entsprechenden Retrigger- bzw. Fehlersignale gesteuert (CMP1 → RTG1 bzw. INT1, Fehlerspeicher 33; CMP2 → RTG2 bzw. INT2, Fehlerspeicher 35). Durch die Rückführung des negativen Ausgangs des Fehlerspeichers 33 als Torbedingung für die Generierung des Retrigger Signals RTG2 ergibt sich eine Abhängigkeit zwischen beiden Vergleichsauswerteverfahren. Ein vorangegangener Fehler in der Vergleichsauswertung, gesteuert mit dem Vergleichssteuersignal CMP1 bzw. durch Zeitfehlersignal TE1, bringt automatisch eine Blockierung des Retrigger Signals RTG2. Das bedeutet beispielsweise, daß ein erfolgreicher Testlauf 1 (Grundtest), abgeschlossen durch den Vergleichssteuerbefehl CMP1, Voraussetzung für einen erfolgreichen Testlauf 2 (Gesamttest), abgeschlossen durch den Vergleichssteuerbefehl CMP2, sein muß.

Die Beobachtung des 22-Bit-Signaturspeichers erfolgt durch Lesezugriff (gesteuert durch die Steuerleitung RD/T1). Um mit einem 16-Bit-Mikroprozessor den 22-Bit-Signaturvektor SV einzulesen, werden für einen vollständigen Beobachtungszyklus 2 Zugriffe (RD1, RD2) benötigt. Das aus dem Adreßvektor A und dem Lesesteuersignal RD/T1 generierte Richtungssteuersignal RD1 schaltet den 16-Bit-bidirektionalen-Treiber 3 um und legt die unteren 16 Bits des 22-Bit-Signaturspeichers 8 auf den externen Datenbus. Das dekodierte Richtungssteuersignal RD2 schaltet die oberen 6 Bits des 22-Bit-Signaturspeichers 8 über den 6-Bit-Treiber 4 durch.

Die Steuerung der Signaturverarbeitung erfolgt durch das Signaturtaaktfreigabesignal SGE. Wesentlich für die Anwendung von Signaturverfahren ist die Verarbeitung der zu komprimierenden Daten in einem datenstabilen Moment, um die eindeutige Reproduzierbarkeit zu gewährleisten. Charakteristisch für die Datenübertragung in Mikrorechnersystemen ist, daß die garantiert stabile Phase der zu übertragenden Daten gekennzeichnet ist durch eine bestimmte Taktflanke des Prozessortaktes und einer darauffolgenden Inaktivflanke des Datentransfersteuersignals. Dieser Übergang des Steuersignals zeigt an, daß entweder der Prozessor mit der vorangegangenen Taktflanke die Daten übernommen hat und die Peripherie die Daten abschalten muß oder aber daß bei einem Schreibvorgang vom Prozessor die Daten abgeschaltet werden. Die hier beschriebene Schaltungsanordnung beruht auf dem Prinzip, daß mit jedem Takt der Datenvektor in den Eingabespeichern 3, 4 gespeichert wird. Die Datenübernahmeflanke der Speicher muß mit der Datenübernahmeflanke des Mikroprozessors übereinstimmen. Wird die selektierte Steuerleitung aktiv und ist der START/STOP-Speicher 24 gesetzt, so wird taktsynchron der Signaturtaktsynchronisierungsspeicher 26 gesetzt. Mit der Inaktivflanke des Steuersignals wird durch die UND-Verknüpfung des negierten Signaturtaktsynchronisierungsspeichersetzsignals und des Ausgangs des Signaturtaktsynchronisierungsspeichers 26 das Signaturfreigabesignal SGE generiert, das eine taktsynchrone Übernahme des mittels des in den Eingabespeichern 5/6 enthaltenen Datenvektors berechneten Signaturvektors in den 22-Bit-Signaturspeicher 8 freigibt. Gleichzeitig bildet das SGE-Signal die Rücksetzbedingung für den Signaturtaktsynchronisierungsspeicher 26. Damit ist eine einmalige Signaturverarbeitung des zu komprimierenden Datenvektors erfolgt.

Ein analoger Funktionsablauf ergibt sich bei der Ausführung des CORR2-Befehls, mit dem Unterschied, daß nicht das selektierte und durch den START/STOP-Speicher 24 freigegebene Steuersignal, sondern das aus der Adresse des CORR2-Befehls und der Schreibsteuerleitung dekodierte Korrektursignal CORR2 den oben beschriebenen Vorgang generiert.

Der Vorteil der erfindungsgemäßen Schaltungsanordnung mittels Eingabespeicher gegenüber asynchronen Signaturverfahren, bei denen die Übernahme des berechneten Signaturvektors durch die Inaktivflanke des Datentransfersteuersignals gesteuert wird, besteht darin, daß

- die Signaturschaltung ohne zusätzlichen Hardwareaufwand auch für  $a < 1$  vollständig steuerbar ist und
- die zeitlichen Anforderungen an die stabile Phase der zu komprimierenden Daten nur noch von der Set-Up-Zeit der Speicherübernahme, aber nicht mehr zusätzlich noch von der Verarbeitungsgeschwindigkeit der Signaturverarbeitungslogik bestimmt wird.

Daneben ist eine Steuerung der Anordnung mittels der Signale RESET und HALT möglich. Aufgrund der ODER-Verknüpfung des Resetsignals RESET und Startsignal START zum Setzsignal des START/STOP-Speichers 24 bzw. des Haltesignals HALT mit dem Stoppsignal STOP zum Rücksetzsignal des START/STOP-Speichers 24 ergibt sich mittels der Signale RESET und HALT die gleiche Steuermöglichkeit wie durch die Steuerbefehle START und STOP. Gleichzeitig bewirkt das Resetsignal RESET am Setzeingang des Auswahlmaskenregisters 22, daß alle Steuersignale freigegeben werden und die ODER-Verknüpfung von Resetsignal RESET und dem Resetbefehlssignal RESI zum Signaturspeicherresetsignal CLR auch die Initialisierung der Signaturschaltung. Mittels der Signale RESET und HALT lassen sich somit beliebige, auch nicht prozessorgesteuerte, Testsequenzen einbeziehen. Beispiele einer günstigen Anwendung dieser Steuermöglichkeit wären Start-Up-Tests nach dem CPU-Reset-Signal oder die Nutzung der Schaltungsanordnung für Baugruppeninbetriebnahme, Testung und Fehlersuche. Nach der Aktivierung des Haltsignals HALT wird die Überwachungsfunktion gestoppt und der 22-Bit-Signaturspeicher 8 enthält die ermittelte Signatur als Fehlersyndrom für die getestete Datensequenz.

Sehr vorteilhaft ist für diese Anwendungsfälle die Ausrüstung der Schaltungsanordnung mit einer Anzeigesteuerung 10, die den günstigen Anschluß einer Signatur- und Statusanzeige 18 gestattet. Die Anzeigesteuerung 10 ermöglicht die sequentielle Ausgabe des Signaturspeicherinhaltes und wichtiger Statusinformationen, wie z. B. des Ausgangs des START/STOP-Speichers 24, des Inhaltes des Auswahlmaskenspeichers 22 sowie der beiden Ausgänge der Signaturkomparatoren 13/14, über eine begrenzte Anzahl von Ausgabeleitungen. Die Herausführung der Ausgänge der Komparatoren ist für die Implementierung in einem integrierten Schaltkreis von besonderer Bedeutung. Die richtige Funktion der redundant angeordneten beiden Signaturkomparatoren 13/14 ist damit vorteilhaft über die extern abgreifbaren Ausgangssignale der Anzeigesteuerung 10 testbar.

Ein den Anwendungsbereich erweiterndes Merkmal ist die Kaskadierbarkeit der Schaltungsanordnung.

Liegt bereits eine konkrete Schaltungsanordnung (als integrierter Baustein) vor, mit beispielsweise  $a = 16$  und  $l = 22$ , und es sollen größere Datenbreiten komprimiert werden, z. B. 32-Bit-Datenvektoren, so kann die Datenüberwachung durch Kaskadierung mehrerer Anordnungen erfolgen.

Für beispielsweise 32-Bit-Datenbreiten werden zwei Schaltkreise an die testobjektabhängige Adaptierschaltung 2 derart parallel geschaltet, daß der 32-Bit-Datenvektor aufgeteilt wird in zwei 16-Bit-Datenvektoren, aber der Adreß- und Steuervektor sowie das Taktsignal auf beide gemeinsam verschaltet werden. Die unteren 16 Bit des Datenvektors werden durch den ersten Signaturschaltkreis und die oberen mittels eines zweiten überwacht. Da beide Schaltkreise in ihren Steuersignalen, dem

Adreßvektor und dem Taktsignal gemeinsam angesteuert werden, wird eine synchrone Funktionsabarbeitung gewährleistet. Die Zwei Retriggersignale (RTG 1/2) beider Schaltkreise werden getrennt auf zwei UND-Gatter zur Bildung der beiden Summentriggersignale und die zwei Interruptsignale (INT 1/2) auf zwei ODER-Gatter zur Bildung der beiden Summeninterruptsignale verschaltet. Die Ansteuerung der beiden externen Timer erfolgt mittels der Summensignale. Die Timerausgänge können als Zeitfehlersignale auf beide Schaltkreise zurückgeführt werden.

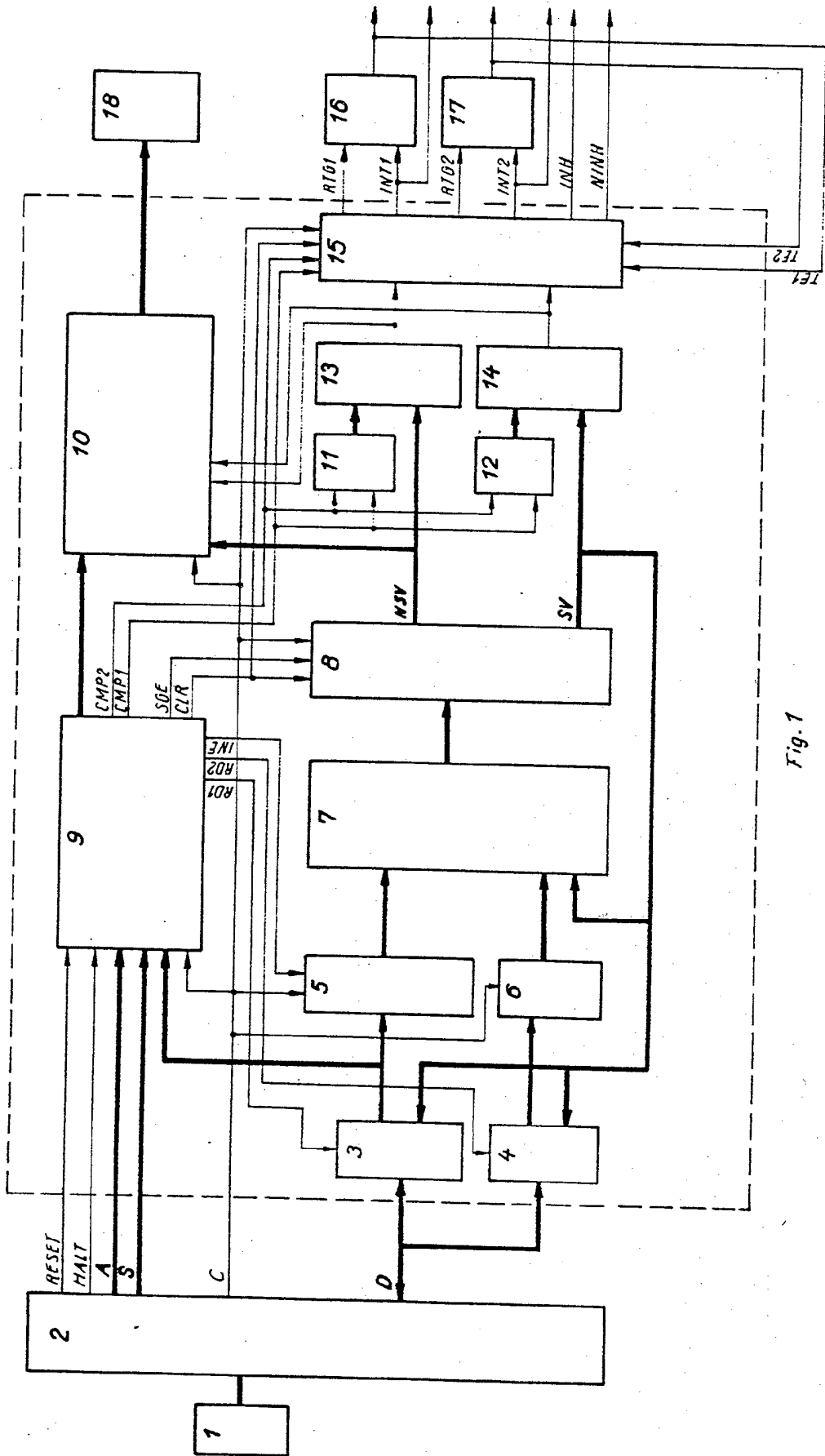


Fig. 1

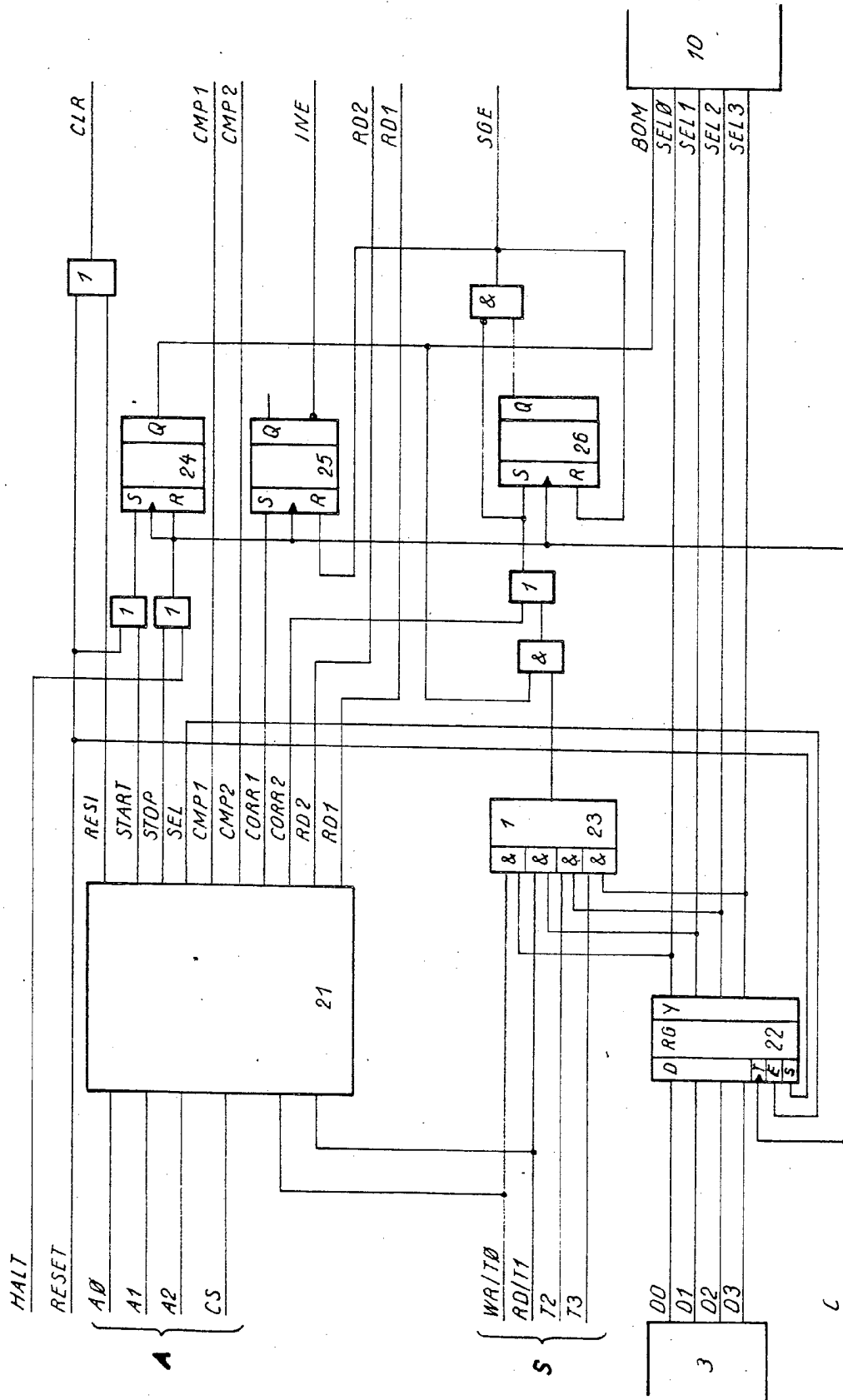


Fig. 2

