



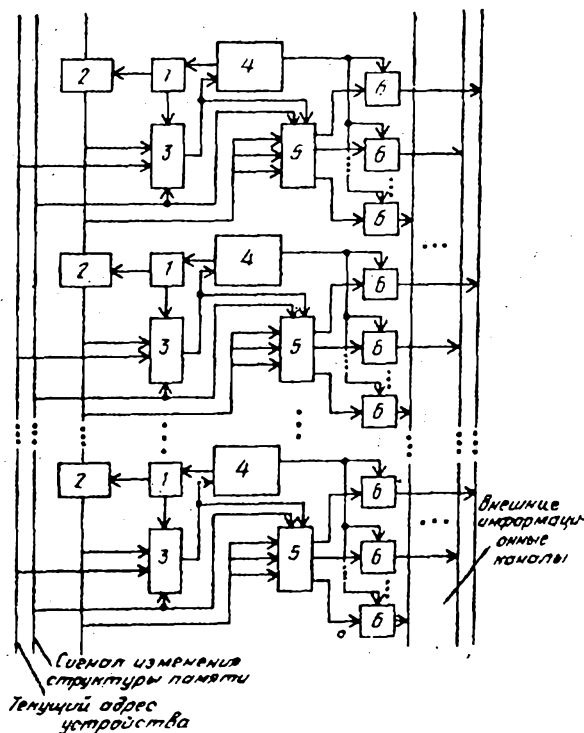
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) 1298755  
(21) 4090632/24-24  
(22) 14.07.86  
(46) 30.11.87. Бюл. № 44  
(71) Таганрогский радиотехнический институт им. В. Д. Калмыкова  
(72) А. В. Ковалев, А. П. Купровский, В. Ю. Лозбенев и Н. Г. Пархоменко  
(53) 6813(088.8)  
(56) Авторское свидетельство СССР № 1298755, кл. G 06 F 12/00, 1986.

(54) УСТРОЙСТВО ДЛЯ АДРЕСАЦИИ ПАМЯТИ  
(57) Изобретение относится к области вычислительной техники и может быть использовано для адресации блоков памяти в ЦВМ. Целью изобретения является расширение области применения за счет управления организацией памяти. Устройство содержит группу 1 переключателей, группу 2 сумматоров, группу 3 элементов сравнения, группу 4 блоков памяти, группу 5 дешифраторов, группу 6 коммутаторов. Устройство имеет возможность организации переменной разрядности памяти при соответствующем изменении ее емкости. 1 ил.



Изобретение относится к вычислительной технике, может быть применено для адресации блоков памяти в ЦВМ и является усовершенствованием устройства по авт.св. № 1298755.

Целью изобретения является расширение области применения за счет управления организацией памяти.

На чертеже представлена структурная схема устройства.

Устройство содержит группу 1 переключателей, группу 2 сумматоров, группу 3 элементов сравнения, группу 4 блоков памяти, группу 5 дешифраторов, группу коммутаторов 6.

Устройство работает следующим образом.

После того как на выходах всех сумматоров 2, соответствующих неотключенным блокам 4 памяти, устанавливается непрерывное поле адресов системы памяти, устройство начинает работать в основном режиме выборки блока 4 памяти.

Если сигнал изменения организации (структуры) памяти системы отсутствует, то устройство работает без изменений, т.е. при обращении к памяти элементы 3 сравнения осуществляют сравнение адресов, поступающих с выходов сумматоров 2 и с адресных шин. В случае совпадения адреса на втором выходе  $i$ -го сумматора 2 с поступившим адресом с входа текущего адреса системы памяти на  $i$ -м элементе 3 сравнения появляется сигнал, который поступает на управляющий вход  $i$ -го блока памяти, т.е. обращение происходит к  $i$ -му блоку 4 памяти. Входная и выходная информации с выхода  $i$ -го блока 4 памяти проходят по одному информационному каналу системы памяти.

После прихода сигнала изменения организации (структуры) памяти он подается на управляющие входы дешифраторов 5 и на вторые управляющие входы элементов сравнения группы 3, подготавливая дешифраторы к работе и отключая три младших разряда, идущих на первый информационный вход элементов сравнения группы 3 с выходов соответствующих сумматоров 2. Тогда в режиме выборки блока 4 памяти сравнение адресов, поступающих с выходов соответствующих сумматоров 2 и с адресных шин, производится без трех младших разрядов, т.е. только по неотключенным старшим разрядам. В слу-

чае совпадения на выходах  $i$ -го,  $(i+1)$ -го... $(i+7)$ -го элементов 3 сравнения группы появляются сигналы, которые поступают на управляющие входы соответствующих блоков 4 памяти.

Таким образом, обращение происходит одновременно к восьми блокам 4 памяти. Кроме того, сигналы с выходов выбранных элементов 3 сравнения группы появляются на вторых управляющих входах соответствующих дешифраторов и разрешают провести дешифрацию неполного младшего адреса, приходящего на информационные входы дешифраторов 5 группы с трех младших разрядов выходов соответствующих сумматоров 2.

На одном из восьми дешифраторов 5 группы появляются сигналы, которые поступают на соответствующие этим дешифраторам элементы коммутации и открывают их, замыкая выходы восьми выбранных блоков памяти с одним из восьми информационных каналов, при этом выход  $i$ -го блока 4 памяти, имеющий на трех младших разрядах  $i$ -го сумматора 2 адрес 000, соединен с первым информационным каналом, выход  $(i+1)$ -го блока 4 памяти, имеющий адрес трех младших разрядов  $(i+1)$ -го сумматора 001 соединен с вторым информационным каналом и т.д. Выход восьмого выбранного блока 4 памяти, имеющего адрес трех младших разрядов выхода соответствующего сумматора 2 111, соединен с восьмым информационным каналом внешней вычислительной системы.

Таким образом, в момент выборки блоков 4 памяти обращение происходит не к одному  $i$ -му блоку 4 памяти, а сразу к восьми блокам памяти, выходы которых соединяются не с одним, а с восемью информационными каналами вычислительной системы.

#### Формула изобретения

Устройство для адресации памяти по авт.св. № 1298755, отличающееся тем, что, с целью расширения области применения устройства за счет возможности реконфигурации памяти, в него введены группа дешифраторов и группа блоков коммутаторов, причем первые входы дешифраторов группы соединены с входами блокировки младших разрядов соответствующих элементов сравнения группы и с входом сигнала

реконфигурации памяти устройства, вторые, третьи входы дешифраторов группы соединены соответственно с выходами элементов сравнения группы и с выходами трех младших разрядов сумматоров группы, выходы дешифраторов группы соединены с первыми входами

блоков коммутаторов группы, вторые входы и выходы которых соединены соответственно с входом устройства для подключения выхода данных блока памяти и с выходом устройства для подключения внешних информационных каналов.

Редактор И. Рыбченко      Составитель С. Бурухин  
Техред А. Кравчук      Корректор М. Шароши

Заказ 5794/42

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4