

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-500741

(P2010-500741A)

(43) 公表日 平成22年1月7日(2010.1.7)

(51) Int.Cl.		F I		テーマコード (参考)
H O 1 L 31/04 (2006.01)		H O 1 L 31/04	E	5 F O 4 1
H O 1 L 33/30 (2010.01)		H O 1 L 33/00	1 8 4	5 F O 4 5
H O 1 L 21/205 (2006.01)		H O 1 L 21/205		5 F O 5 1

審査請求 未請求 予備審査請求 有 (全 20 頁)

(21) 出願番号	特願2009-523114 (P2009-523114)	(71) 出願人	509010045
(86) (22) 出願日	平成19年7月19日 (2007.7.19)		シリウム テクノロジーズ インコーポレ
(85) 翻訳文提出日	平成21年3月9日 (2009.3.9)		イテッド
(86) 国際出願番号	PCT/CA2007/001278		カナダ, オンタリオ州 ケー1エー O
(87) 国際公開番号	W02008/017143		アール6, オタワ, エム50ーアイビ
(87) 国際公開日	平成20年2月14日 (2008.2.14)		ーエフ316, モントリアル ロード
(31) 優先権主張番号	60/822, 138		1200
(32) 優先日	平成18年8月11日 (2006.8.11)	(74) 代理人	100094318
(33) 優先権主張国	米国 (US)		弁理士 山田 行一
		(74) 代理人	100123995
			弁理士 野田 雅一
		(74) 代理人	100107456
			弁理士 池田 成人

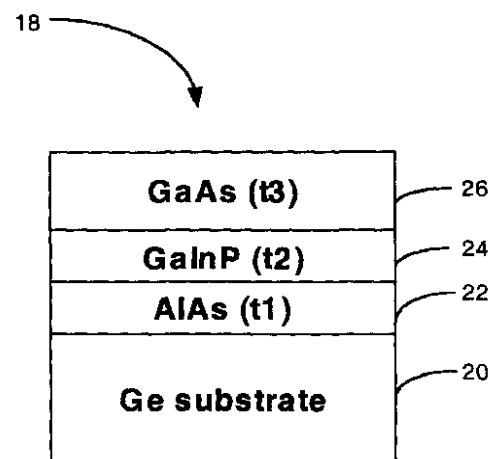
最終頁に続く

(54) 【発明の名称】 界面特性及び拡散テールが制御された半導体デバイスをⅠⅤ族基板上に製作する方法

(57) 【要約】

微傾斜ⅠⅤ族基板上にエピタキシャル蒸着させたⅠⅡⅠⅤ化合物を有する電子及び光電子デバイス並びにその製造方法。このデバイスは、Ge基板上にAlAs核形成層を含む。ⅠⅤ族基板は、As含有層のエピタキシャル成長時にAlAs核形成層によって特性の変化が最小限に抑えられるp-n接合を含む。AlAs核形成層は、デバイスの改善された形態を提供するとともに、As及び/又はPの拡散によりⅠⅤ族基板の表面近く、並びにⅠⅤ族元素の拡散を最小限に抑えることによりⅠⅡⅠⅤ構造の底部近くのp-n接合の位置を制御する手段を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

I V 族層と、

前記 I V 族層上に形成された核形成層であり、I I I 属元素として少なくともアルミニウム (A l) と、V 族元素としてヒ素 (A s)、窒素 (N) 及びアンチモン (S b) のうちの少なくとも一種とを有する、I I I - V 化合物を含む前記核形成層と

を備える半導体デバイス。

【請求項 2】

前記 I I I - V 化合物が、I I I 族元素としてガリウム (G a) 及びインジウム (I n) のうちの少なくとも一種をさらに含む、請求項 1 に記載のデバイス。

10

【請求項 3】

前記核形成層上に形成された第 1 の I I I - V 化合物層をさらに備える、請求項 1 に記載のデバイス。

【請求項 4】

前記第 1 の I I I / V 化合物層が、G a I n P、A l I n P、及び A l G a I n P のうちの少なくとも一種を含む、請求項 3 に記載のデバイス。

【請求項 5】

前記第 1 の I I I / V 化合物層上に形成された第 2 の I I I - V 化合物層をさらに備える、請求項 3 に記載のデバイス。

【請求項 6】

20

前記第 2 の I I I - V 化合物層が G a A s を含む、請求項 5 に記載のデバイス。

【請求項 7】

前記 I V 族層が、前記核形成層に隣接した p - n 接合を有する、請求項 1 に記載のデバイス。

【請求項 8】

前記 I V 族層が、p 型層、n 型層及び非ドープ層のうちの一つである、請求項 1 に記載のデバイス。

【請求項 9】

前記デバイスが電子デバイスである、請求項 1 に記載のデバイス。

【請求項 10】

30

前記電子デバイスが光電子デバイスである、請求項 9 に記載のデバイス。

【請求項 11】

前記光電子デバイスが太陽電池又は発光ダイオードである、請求項 10 に記載のデバイス。

【請求項 12】

前記 I V 族層が、G e 層、S i 層、S i G e 及び S i C 層からなる群から選択される、請求項 1 に記載のデバイス。

【請求項 13】

前記 I V 族層が I V 族基板である、請求項 1 に記載のデバイス。

【請求項 14】

40

前記 I V 族基板が微傾斜基板である、請求項 13 に記載のデバイス。

【請求項 15】

前記微傾斜基板が 0 ° ~ 20 ° の範囲の角度を有する、請求項 14 に記載のデバイス。

【請求項 16】

前記核形成層、前記第 1 の I I I / V 化合物層及び前記第 2 の I I I / V 化合物層のうちの少なくとも一つが、エピタキシャル成長プロセスによって形成される、請求項 5 に記載のデバイス。

【請求項 17】

前記核形成層の厚さが 1 ~ 20 単分子層の範囲にある、請求項 1 に記載の方法。

【請求項 18】

50

I V 族層上に半導体構造を製作する方法であって、

前記 I V 族層上に、I I I 族元素として少なくともアルミニウム (A l) と、V 族元素としてヒ素 (A s)、窒素 (N) 及びアンチモン (S b) のうちの少なくとも一種とを有する I I I - V 化合物を含む核形成層を形成するステップと、

前記核形成層上に第 1 の I I I - V 化合物層を形成するステップと、
を備える、方法。

【請求項 19】

前記第 1 の I I I / V 化合物層上に第 2 の I I I / V 化合物層構造を形成するステップをさらに備える、請求項 17 に記載の方法。

【請求項 20】

I V 族基板内に形成された p - n 接合のドーピングプロファイルを制御する方法であって、

前記 I V 族基板上に、I I I 族元素として少なくともアルミニウム (A l) と、V 族元素としてヒ素 (A s)、窒素 (N) 及びアンチモン (S b) のうちの少なくとも一種とを有する I I I - V 化合物を含む核形成層を形成するステップと、

前記 I V 族基板中への複数の V 族元素の拡散を制御し、且つ前記 I V 族基板からの複数の I V 族元素の拡散を制御するための前記核形成層上に、I I I - V 化合物層を形成するステップと、

を備える、方法。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

本願は、参照により本明細書に組み込まれている、2006年8月11日出願の米国仮特許出願第60/822138号の優先権の利益を主張する。

【0002】

[発明の分野]

本発明は、一般に電子及び光電子デバイスのエピタキシャル蒸着に関する。より詳しくは、本発明は、I V 族基板上への I I I / V 電子及び光電子デバイス構造の蒸着に関する。

【0003】

[発明の背景]

多接合太陽電池や発光ダイオード (L E D) などの I I I / V 光 / 電子デバイス用の層シーケンスを I V 族基板上に蒸着することが知られている。このようなデバイスの電子及び光学特性は広く検討されており、これらの特性と基板 - エピ層界面の特性の相互関係が大きな注目を集めている。基板 - エピ層界面が注目されている理由は、これらのデバイスの性能が、大部分は、この界面の品質によって決まるからである。

【0004】

I I I / V 材料、例えば G a A s を I V 族基板、例えば G e 上にエピタキシャル蒸着させるとき、I I I 族層及び V 族層からなる適切な原子層シーケンスの形成は、容易には確立されない。I V 族のサイト (G e 原子) は、I I I 族又は V 族の原子と結合することができる。実際には、I V 族基板のある領域は、I I I 族原子と結合し、他のある領域は V 族原子と結合する。これらの互いに異なる成長領域間の境界領域が、デバイスの性能に悪影響を及ぼす逆位相領域など相当の構造欠陥を生じる。

【0005】

このような望ましくない事象のいくつかを低減するために、I V 族基板は通常 0 ~ 15 ° の範囲のオフカット角度を有する微傾斜基板である。これらの微傾斜基板は、テラス及びステップエッジをもたらし、そこに原子が相互に異なる結合構成で付着することができ、したがって成長プロセスにおいてより高い秩序をもたらす。

【0006】

例えば、I V 族基板上に I I I / V 化合物がエピタキシャル蒸着された太陽電池などの

10

20

30

40

50

デバイスでは、例えばⅤ族の化学種をⅠⅤ族基板内に拡散させることによってデバイス自体の一部をⅠⅤ族基板内に作製することがしばしば望ましい。一例を挙げると、太陽電池の場合、Ⅴ族元素をp型Ge基板内に拡散させると、n型領域が形成され、p-n接合が生じる。このp-n接合は、光活性となり、単一又は多接合太陽電池の一部となり得る。しかし、Ge基板上でⅠⅠⅠ/Ⅴ化合物を典型的なプロセス温度(500~750)で蒸着させると、化合物のⅤ族元素は、ほとんど制御されずに基板内に拡散する傾向があり、そのため予測可能なp-n接合の形成が困難になる。Ge、SiGe及びSiC電子回路上へのⅠⅠⅠ-Ⅴ光/電子デバイスのヘテロ集積の場合のように、あらかじめ存在するp-n接合を有するGe基板を使用する場合、上の層のⅠⅠⅠ/Ⅴ化合物の蒸着により、あらかじめ存在するp-n接合のドーピングプロファイルが変更され、その結果、p-n接合及びデバイスの性能が基準以下になることがあり得る。したがって、電気特性が容易に制御可能ではない。このような状況では、所望のドーピングプロファイルと、太陽電池の場合は开路電圧(V_{oc})を含めた、基板のp-n接合の電気特性とを達成し維持することが、不可能ではないにせよ、極めて困難となり得る。さらに、ⅠⅤ族原子は、基板からエピタキシャル蒸着されたⅠⅠⅠ/Ⅴ層中に拡散することになる。したがって、ⅠⅠⅠ/Ⅴ層シーケンスの最初の0.5~1 μm 以内の層は、ⅠⅤ族原子の過度の拡散が適切な核形成条件及び材料の使用によって低減されないとき、ⅠⅤ族元素で高濃度にドーピングすることができない。Si及びGeのようなⅠⅤ族原子は、中程度の濃度のとき、ⅠⅠⅠ/Ⅴ半導体材料内で通常はn型ドーパントである。しかし、その両性的性質により、これらの原子は、 $2 \times 10^{18} m^{-3}$ よりずっと高い濃度で取り込まれたとき、大きな補償(n型不純物とp型不純物の複合取込み)を引き起こし、それにより、しばしばホスト半導体層の電気及び光学特性の大幅な劣化をもたらす恐れがある。

【0007】

Ermerらの米国特許第6380601号(以下Ermerと称する)は、p型Ge基板上でnドーパされた界面層上にGaInPを蒸着させ、続いてGaInP層上にGaAs₂二元化合物を蒸着させることを教示している。GaInP層のリンは、GaAs層のヒ素ほど深くGe基板中に拡散しない傾向がある。したがって、リンのドーピング及びその後のGaInP層の蒸着により、Ge基板のn型層のドーピングプロファイルをより良好に制御することが可能となり、したがって、Ge基板内に形成されたp-n接合の電気特性がより良好に制御されることになる。しかし、Ge基板界面にGaInP界面層を有することに伴う問題は、これらの材料向けの典型的なエピタキシャルプロセス条件下で作製されたデバイスの形態が理想的でないことである。すなわち、しばしば欠陥が多い。適切な形態を有するデバイスを得るために、GaInP界面層の極端な核形成条件(温度、蒸着速度、Ⅴ族過圧力)が必要になると思われる。

【0008】

したがって、典型的なエピタキシャルプロセス条件の下でⅠⅤ族基板上にエピタキシャル蒸着されたⅠⅠⅠ/Ⅴ化合物を有し、かつ適切な形態を有する半導体デバイスを製作する方法であって、光学及び電気界面特性並びにⅠⅤ族基板内の拡散層に対するより良好な制御を可能にする方法を提供することが望ましい。

【0009】

[発明の概要]

ⅠⅤ族基板上にエピタキシャルⅠⅠⅠ/Ⅴ層を有する前述のデバイスの少なくとも1つの欠点を取り除く又は軽減することが、本発明の一目的である。

【0010】

第1の態様において、本発明は、ⅠⅤ族層と、ⅠⅤ族層上に形成された核形成層とを備える半導体デバイスを提供する。核形成層は、ⅠⅠⅠ族元素として少なくともアルミニウム(Al)と、Ⅴ族元素としてヒ素(As)、窒素(N)及びアンチモン(Sb)のうちの少なくとも1種とを有するⅠⅠⅠ-Ⅴ化合物を含む。

【0011】

第2の態様において、本発明は、ⅠⅤ族層上に半導体構造を製作する方法を提供する。

この方法は、ⅠⅤ族層上に核形成層を形成するステップを含み、核形成層は、ⅠⅠⅠ族元素として少なくともアルミニウム（Al）と、Ⅴ族元素としてヒ素（As）、窒素（N）及びアンチモン（Sb）のうちの少なくとも１種とを有するⅠⅠⅠ-Ⅴ化合物を含む。この方法はさらに、核形成層上に第１のⅠⅠⅠ-Ⅴ化合物を形成するステップを含む。

【００１２】

第３の態様において、本発明は、ⅠⅤ族基板内に形成されたp-n接合のドーピングプロファイルを制御する方法を提供する。この方法は、ⅠⅤ族基板の上に核形成層を形成するステップを含み、核形成層は、ⅠⅠⅠ族元素として少なくともアルミニウム（Al）と、Ⅴ族元素としてヒ素（As）、窒素（N）及びアンチモン（Sb）のうちの少なくとも１種とを有するⅠⅠⅠ-Ⅴ化合物を含む。この方法は、ⅠⅤ族基板中への複数のⅤ族元素の拡散を制御し、ⅠⅤ族基板からの複数のⅠⅤ族元素の拡散を制御する、核形成層上にⅠⅠⅠ-Ⅴ化合物層を形成するステップをさらに含む。

10

【００１３】

本発明の他の態様及び特徴は、本発明の具体的な諸実施形態についての以下の説明を添付の図と併せて検討すれば、当業者には明らかになるであろう。

【００１４】

次に添付の図を参照して本発明の諸実施形態を単なる例として説明する。

【００１５】

[詳細な説明]

一般に、本発明は、ⅠⅠⅠ/Ⅴ層構造が上に蒸着されたⅠⅤ族基板を有する電子又は光電子デバイスを製作する方法を提供する。この方法により、形態が改善され、ⅠⅤ族基板中へのⅤ族成分のドーピング及びⅠⅠⅠ/Ⅴ層中へのⅠⅤ族成分のドーピングのプロファイルが制御されたデバイスを製造することが可能になる。

20

【００１６】

図１は、本発明を実施した例示的な３接合半導体構造１８を示す。このような構造は、多接合太陽電池、例えば３接合太陽電池で使用することができる。さらに、当業者には容易に理解されるように、類似の構造を発光ダイオード（LED）及びその他の電子及び/又は光電子デバイスで使用することができる。厚さ t_1 のAlAs層２２を微傾斜Ge基板２０の上部に蒸着させる。当業者には理解されるように、「微傾斜」という用語は、本明細書では、基本面とほぼ同じ方向を向いた結晶面をいう。微傾斜Ge基板の角度は、 $0^\circ \sim 20^\circ$ の範囲にすることができ、Ge基板の結晶方位は、最も近い $\langle 111 \rangle$ 面に向かって例えば 6° 又は他の適切な向きとすることができ、AlAs層２２の上部には、厚さ t_2 のGaInP層２４及び厚さ t_3 のGaAs層２６がある。AlAs層２２、GaInP層２４及びGaAs層２６の蒸着は、有機金属化学気相成長（MOCVD）、化学ビームエピタキシ（CBE）、分子線エピタキシ（MBE）、固相エピタキシ（SPE）、ハイドライド気相エピタキシなどの適切な手段又は他の類似のハイブリッドシステム又はそれらの組合せにより実現することができる。Ge基板２０が示されているが、例えばSi、SiGe又はSiCの基板など、他の適切なⅠⅤ族基板を使用することもできる。さらに、当業者には理解されるように、上記のことは、ⅠⅤ族基板の代わりに、ⅠⅤ族材料からⅠⅠⅠ-Ⅴ化合物への移行（transition）を必要とするデバイスを使用するケースにも適用される。同様に、AlAs層は、本発明の範囲から逸脱することなく、例えばAlN、AlSb又はAl(Ga)Asなど、高濃度のAlを含む他のⅠⅠⅠ-Ⅴ化合物半導体合金で置き換えることができる。

30

40

【００１７】

図２A及び２Bでは、AlAs層２２の２つの異なる厚さ t_1 について構造１８の形態を比較してある。図２A及び２Bにおいて、テスト構造２８は $t_1 = 0$ の構造１８に対応し、テスト構造３０は、 $t_1 = \text{AlAsの4単分子層(monolayer)}$ の構造１８に対応する。図２A及び２Bは、それぞれのケースにおいて $t_2 = 0.025 \mu\text{m}$ 及び $t_3 = 0.2 \mu\text{m}$ である、テスト構造２８及び３０の上面の顕微鏡写真を示す。テスト構造２８及び３０は、 $650 \sim 730$ の範囲の温度でMOCVDによって製作し、GaAs、GaI

50

n P 及び A l A s の蒸着速度がそれぞれ $4 \mu\text{m}/\text{時}$ 、 $0.8 \mu\text{m}/\text{時}$ 及び $0.7 \sim 0.4 \mu\text{m}/\text{時}$ であった。

【0018】

図 2 A (Ge 上の G a I n P) から分かるように、白い斑点として示す欠陥の数は、図 2 B (Ge 上の A l A s) よりずっと多い。欠陥の密度は、図 2 A では 1cm^2 当たり数千個程度であり、図 2 B ではほぼ 0 である。この種の欠陥は図 2 B では全く存在しない。図 2 B の中央領域の大きな斑点は、核形成プロセスに固有ではない、テスト構造 30 上の外来粒子に帰せられる。

【0019】

図 3 のグラフは、構造 18 のヘイズを、A l A s 層 22 の厚さ t_1 の関数としてプロットしたものを示す。この測定は、カリフォルニア州の K L A - T e n c o r 製造の S u r f s c a n (商標) ヘイズ測定器で行った。ヘイズをプロットしたグラフから、わずかな A l A s 単分子層を加えるだけで構造 18 の表面形態が大幅に改善されることが非常にはっきりと分かる。

【0020】

後続の I I I / V 化合物の間に中間の A l A s 層 22 を有する、微傾斜 Ge 基板上に蒸着されたこの I I I / V 化合物の形態のこの改善の理由は、以下のことに帰することができる。図 4 A 及び 4 B に示すように、A l の原子は、A s の原子に比べて比較的小さい。したがって、A l 原子は、微傾斜 Ge 基板 20 上に存在するステップ 40 における位置決めに有利な電気化学ポテンシャルを有する。したがって、A l 及び A s を成長チャンバ中に導入し、十分な時間を経過させると、ステップ 40 が A l 原子によって圧倒的に占有される。ただし、表面エネルギーが基板温度のため表面再構成を可能にするのに十分なほど高いことが条件である。これにより、均質な成長シーケンスの確立が可能となり、それにより、図 2 B に示す形態的にしっかりしたサンプルがもたらされる。図 2 B では、核形成シーケンスが適切に確立され、したがって逆位相領域欠陥が大幅に減少している。このプロセスは核形成プロセスとして知られており、図 4 A 及び 4 B に示すケースでは、A l A s 層エピタキシャル層を蒸着させる場合に典型的な温度 (例えば $650 \sim 730$) で起こることがある。

【0021】

図 5 は、図 2 A のテスト構造 28 のものと類似のテスト構造、すなわち $t_1 = 0$ の構造 18 に対して行った二次イオン質量分析 (S I M S) 測定を示す。線 50 は、Ge 基板 20 と I I I / V 化合物の間の境界を示す。図 5 の S I M S のグラフから分かるように、原子質量 72 (Ge)、75 (A s)、31 (P)、27 (A l)、69 (G a) 及び 115 (I n) が、3 k V の電圧によって加速された C s 原子のビームに対する照射時間の関数として測定されている。S I M S のビームによってプローブされた深さに対する照射時間に関係する深さスケールが示されている。注目すべきなのは、優勢なゲルマニウム 74 ではなくゲルマニウム同位体 72 が測定されていることである。これは、原子質量が 75 である A s の測定への干渉を避けるために行っている。

【0022】

グラフの領域 52 によって示されるように、Ge 基板中に P の拡散が起こり、他の全ての原子種の拡散を圧倒している。これは、Ge 基板内に、必ずしも望ましいとは限らない、高レベルの n 型導電性をもたらす。Ge 基板内のこのようなレベルの P の存在は、許容できない低い逆方向ブレイクダウン電圧をもたらす。このような構造では、Ge 基板内での P の拡散は、Ge 基板上の G a I n P 核形成層の温度及び厚さ (成長時間) によってしか制御できない。このため、Ge 基板内の p - n 接合のパラメータを制御することが非常に難しくなる。

【0023】

したがって、 $t_1 = 0$ である図 2 A に示すような構造、すなわち、 $650 \sim 730$ の範囲の温度及び $0.8 \mu\text{m}/\text{時}$ の成長速度で直接 Ge 基板上に蒸着させた G a I n p を有する構造は、良くない形態的品質を示すだけでなく、Ge 基板中へのほぼ制御不可能な深

10

20

30

40

50

い n 型ドーピングをも有する。ドーピングプロファイルが受け入れられる場合、得られるデバイスの形態が良くないと、通常は、より低い光電子性能がもたらされることになる。

【0024】

図6は、図2Bのテスト構造30、すなわち、Ge基板20の上面に $t_1 = 4$ 単分子層(A1Asの)を有するサンプルに対して行われたSIMS測定を示す。線50は、Ge基板20とIII/V化合物の間の境界を示す。図6のSIMSのグラフから分かるように、原子質量72(Ge)、75(As)、 $31 + 31 + 31$ (三重イオンP)、69(Ga)及び115(In)が、3kVの電圧によって加速されたCs原子のビームに対する照射時間の関数として測定されている。

【0025】

明らかに、Ge基板内のPの拡散は、図5に示す拡散よりずっと小さい。Ge基板内のPの拡散深さは約 $0.02 \mu m$ であり、Ge基板内のAsの拡散は約 $0.10 \mu m$ である。したがって、太陽電池、LED又はその他の光電子又は電子デバイス向けに構造18に類似した構造を製作するときに、A1Asなど、高Al含有合金を核形成層用に使用すると、Ge基板内のドーピングプロファイルを制御することがずっと容易になる。

【0026】

図7は、図1の構造18などの構造の加工ステップを示す。ステップ60で、A1Asを含む核形成層をp型IV族基板上に形成する。ステップ62で、リンを含有するIII/V層のエピタキシャル蒸着を行うとともに、基板の表面近くにp-n接合を形成させる。これに続くステップ64で、必要に応じて追加の半導体材料のエピタキシャル蒸着を行う。

【0027】

図8~10は、構造18に類似の構造上でとった、A1As層22の4つの異なる厚さ t_1 に対する追加のSIMSデータを示す。図8は、A1Asの厚さがわずか1.4である場合に、Ge基板内へのリンの拡散の低減がどの程度になるかを示すPのプロファイルである。図9は、Ge基板中へのAsの拡散が非常に少ないことを示すAsのプロファイルである。図10は、A1As層が存在すると、III/V層の底部中へのGeの外部拡散が大幅に低減することを示すGeのプロファイルである。Geは、通常、III/V材料内ではn型ドーパントである。Geの外部拡散が高まると、核形成層近くにp-n接合を配置することが妨げられる。図8~10は、それぞれ、 $t_1 = 1.4 \text{ \AA} \sim t_1 = 5.6 \text{ \AA}$ で蒸着させた構造の界面の位置を確認するためのA1As質量プロファイルのトレースを示す。 $t_1 = 0$ で蒸着させた構造18の場合、界面でAlが検出されないことは明らかであるが、半導体内のAlの位置を72Ge又は31Pのプロファイルから近似的に求めることができる。図11~13は、同じ1組のデータを示すが、この場合は、スパッタ時間からプロファイル深さへ及び計数率から原子濃度への変換(サンプリングされた同位体の相対存在量に関して補正済み)を可能にする材料規格と突き合わせて分析した。図8~10の場合と同様に、これらの図は、P、Ge及びAsのそれぞれの原子濃度に対するA1As層の厚さの影響をサンプル深さの関数として示す。垂直の点描線は、III-V層とGe基板の間の境界を示す。図11は、A1As層の厚さが増加するにつれて、Ge基板中へのPの拡散がどのように低減するかを示す。図12は、A1As層の適切な厚さを選択することによって、Ge基板中へのAsの拡散をどのように調整できるかを示す。図13は、A1As層の厚さが増加するにつれて、III-V層中へのGeの拡散がどのように低減するかを示す。Ge基板との界面から150nm以内でGe原子濃度を $1 \times 10^{17} \text{ cm}^{-3}$ まで又はそれ未満に低下させるのに、1単分子層のA1Asで十分である。

【0028】

図14は、18に類似の構造を有するGe太陽電池の電圧の関数として電流をプロットしたグラフを示す。このGe太陽電池は、開路電圧(V_{oc})が 0.247 mV 、 V_{oc} における抵抗が7.2オーム、短絡回路電流密度(J_{sc})が -36 mA/cm^2 、直列抵抗が2オームであり、電流/電圧グラフの直角度の測度である曲線因子が60.5%で

10

20

30

40

50

ある。これらのパラメータは、Geダイオードが良好な性能を有することを示す。

【0029】

図15は、AlAs核形成層を設けて及びこれなしに製作したGe太陽電池の電圧の関数として電流をプロットした一連のグラフを示す。AlAs核形成がない太陽電池の2つの電流/電圧グラフを矢印で示す。これらの電池では、 $V_{oc} = 280\text{ mV}$ 、 $J_{sc} = -36\text{ mA/cm}^2$ 、直列抵抗が2オーム、曲線因子が63%である。これも順方向バイアスのダイオード性能が良好であることを示しているが、矢印で示すように、逆方向ブレークダウン電圧が非常に良くない(約 -0.2 V)。AlAs核形成層を有する太陽電池の電流/電圧グラフは、ブレークダウン電圧を示していないグラフであり、AlAsを有する核形成が全体的に優れたダイオード性能をもたらすことを示している。さらに重要なこと、AlAs核形成層を使用した場合、より滑らかな形態が得られる。何故なら、このことは、例えば太陽電池の場合に通常行われるように、このp/n接合の上部に成長させる他の活性元素の性能にとって通常決定的に重要となるからである。

10

【0030】

上記の例示的な諸実施形態は、Ge基板上でのIII/V構造の成長を示すが、他の種類のIV族基板も使用できることが、当業者には容易に理解されよう。同様に、2元AlAs化合物を核形成層として述べているが、本発明の範囲を逸脱することなく、AlAsを含む3元又は4元III/V化合物も核形成層として使用できることが理解されるはずである。当業者に理解されるように、本発明は、p-n接合を含む、又は含まない、全ての種類のIV族基板上でのデバイスの製作に等しく適用することができる。さらに、当業者に理解されるように、III族とV族の原子間でサイズ、又は表面結合の電気化学ポテンシャルの著しい相違があるとき、III-V化合物の他の組合せをAlAsに置き換えることができる。このようなIII-V化合物には、例えば、AlN、AlSb、又は、BAs、BSb、GaN、GaSb、InN、又はInAsが含まれる。

20

【0031】

当業者に理解されるように、上記の説明ではp型IV族基板を引き合いに出したが、他の型のIV族基板を使用することもできる。このような基板には、n型の、非ドーピングの、半絶縁基板が含まれる。

【0032】

本発明は、上層にIII/V層構造が蒸着されたIV族基板を有する電子又は光電子デバイスを製作する方法を提供する。この方法により、IV族基板中へのV族成分及びIII/V層中へのIV族成分の改善された形態及び制御されたドーピングプロファイルを有するデバイスの製造が可能となる。本発明に従って製作したデバイスは、核形成シーケンス時に得られる又は得られないp/n接合の上部の追加の活性層のエピタキシに理想的である滑らかな形態に加えて、非常に良好な逆方向ブレークダウン電圧特性及び優れた順方向バイアス特性を有する。

30

【0033】

本発明の上記の諸実施形態は、例にすぎないことを意図している。当業者は、本明細書に添付の特許請求の範囲によってのみ定義される本発明の範囲を逸脱することなく、具体的な諸実施形態に変更、修正、及び改変を加えることができる。

40

【図面の簡単な説明】

【0034】

【図1】本発明の一実施形態の側面図である。

【図2A】AlAs核形成層の厚さが互いに異なる本発明の諸実施形態の写真である。

【図2B】AlAs核形成層の厚さが互いに異なる本発明の諸実施形態の写真である。

【図3】AlAs核形成層の厚さの関数としての図1の実施形態のヘイズ測定値を示すグラフである。

【図4A】微傾斜Ge基板上へのAlAsの蒸着プロセスを示す図である。

【図4B】微傾斜Ge基板上へのAlAsの蒸着プロセスを示す図である。

【図5】AlAs層の厚さがいないときの、図1の実施形態の構造の様々な原子種のSIM

50

S データを示すグラフである。

【図 6】A l A s 層の厚さが 1 1 . 6 であるときの、図 1 の実施形態の構造の様々な原子種の S I M S データを示すグラフである。

【図 7】本発明の方法のフロー図である。

【図 8】リンに関する S I M S データを、図 1 の実施形態の構造における A l A s の厚さの関数として表したグラフである。

【図 9】ヒ素に関する S I M S データを、図 1 の実施形態の構造における A l A s の厚さの関数として表したグラフである。

【図 1 0】G e に関する S I M S データを、図 1 の実施形態の構造における A l A s の厚さの関数として表したグラフである。

10

【図 1 1】リンの濃度を、図 1 の実施形態の構造における A l A s の 4 つの異なる厚さに対するサンプル深さの関数として示すグラフである。

【図 1 2】ヒ素の濃度を、図 1 の実施形態の構造における A l A s の 4 つの異なる厚さに対するサンプル深さの関数として示すグラフである。

【図 1 3】G e の濃度を、図 1 の実施形態の構造における A l A s の 4 つの異なる厚さに対するサンプル深さの関数として示すグラフである。

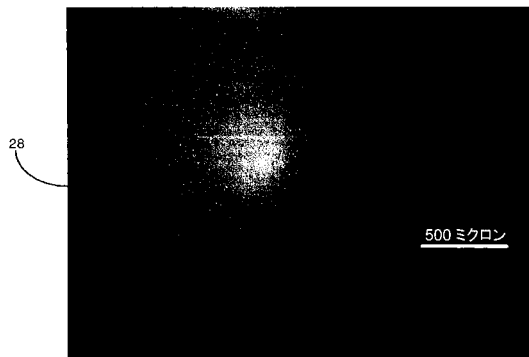
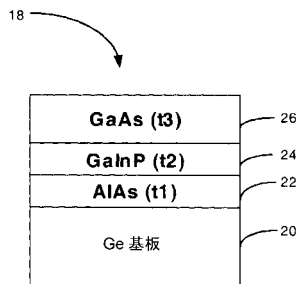
【図 1 4】図 1 の実施形態に示す構造に類似した構造を有する太陽電池の電流を電圧に対してプロットしたグラフである。

【図 1 5】A l A s 核形成層を設けずに製作した太陽電池と、A l A s 核形成層を設けて製作した太陽電池の、電流を電圧に対してプロットした一連のグラフである。

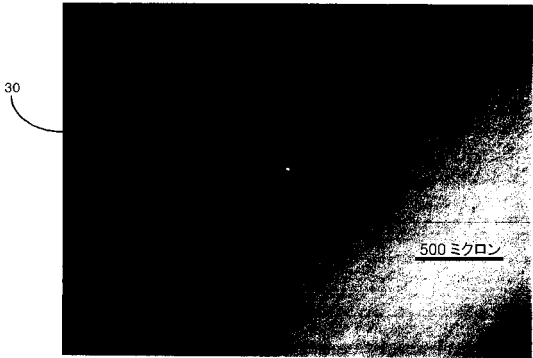
20

【図 1】

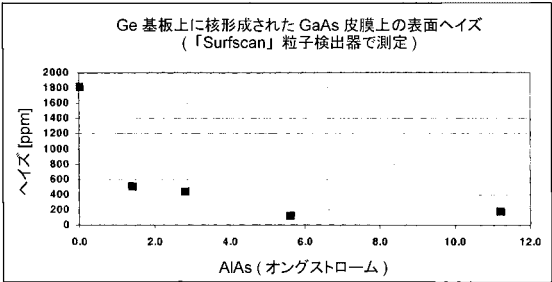
【図 2 A】



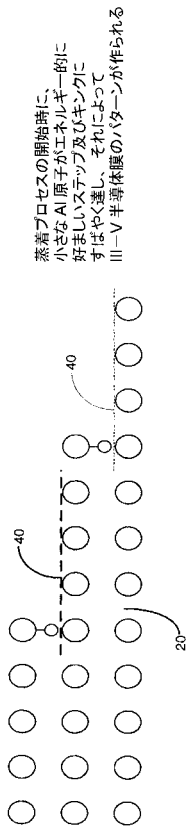
【 図 2 B 】



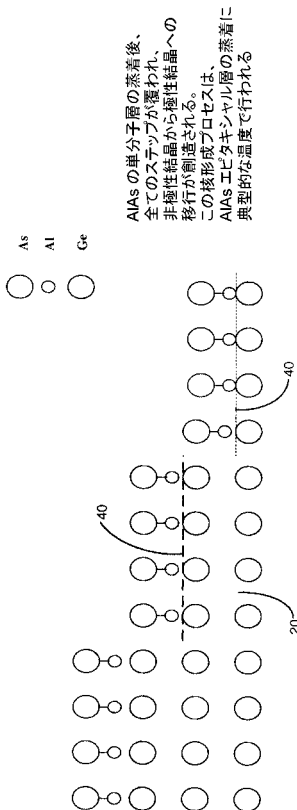
【 図 3 】



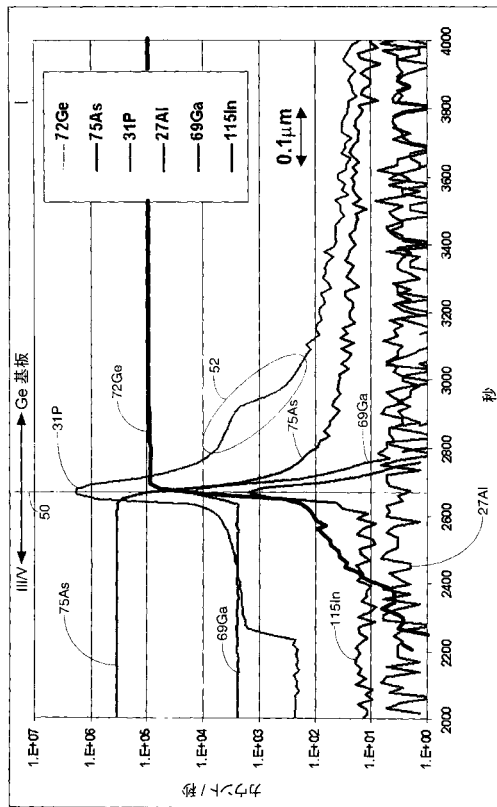
【 図 4 A 】



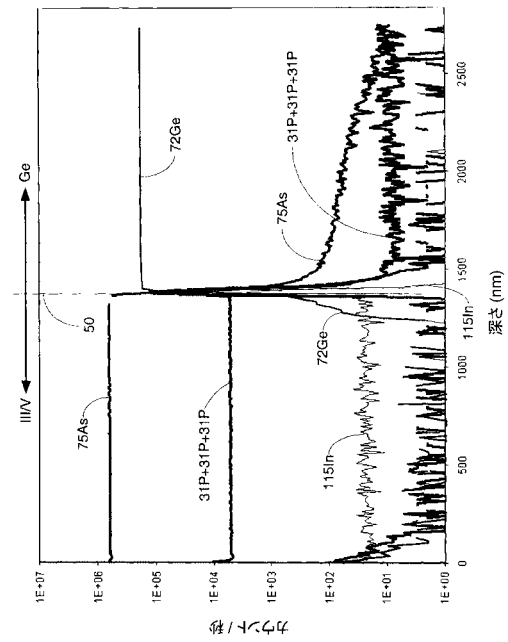
【 図 4 B 】



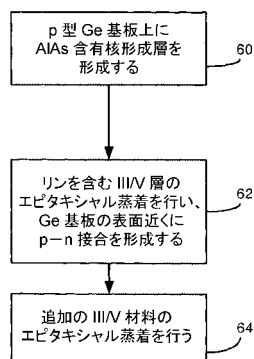
【図 5】



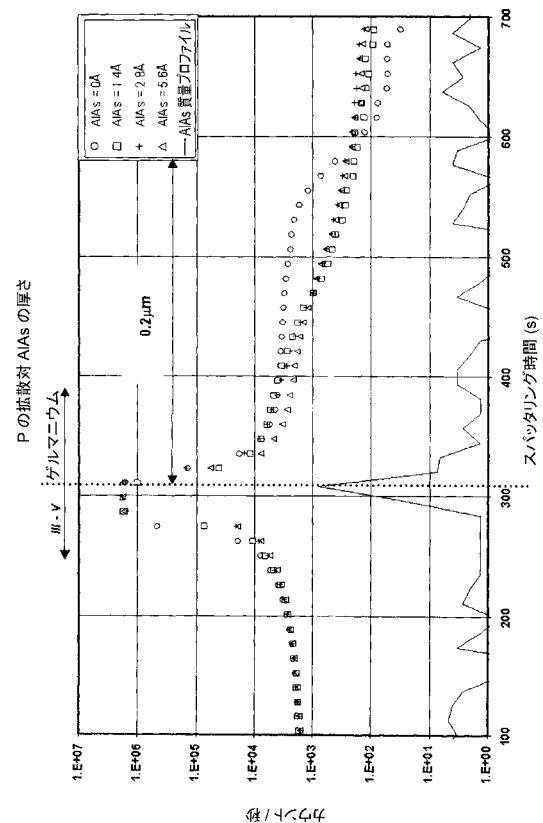
【図 6】



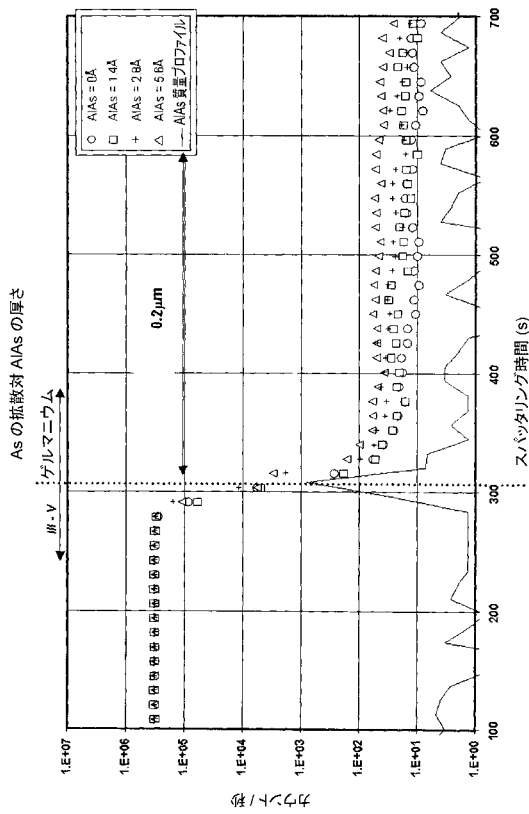
【図 7】



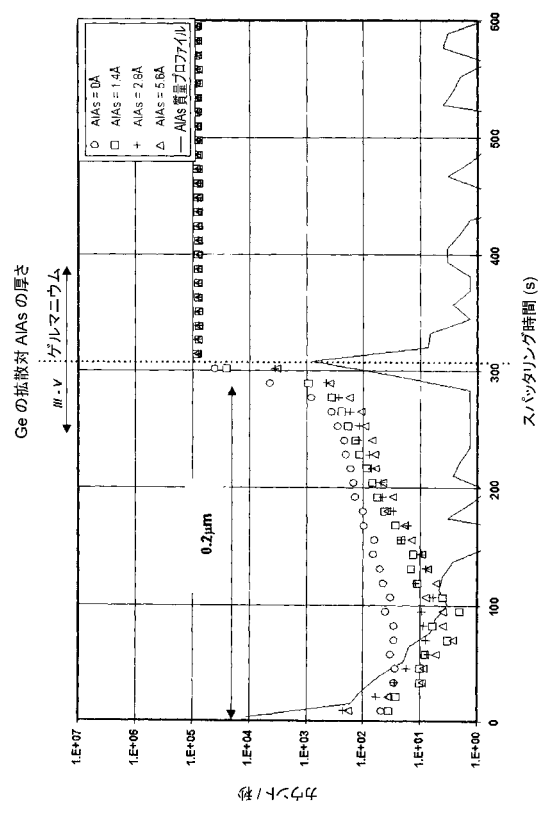
【図 8】



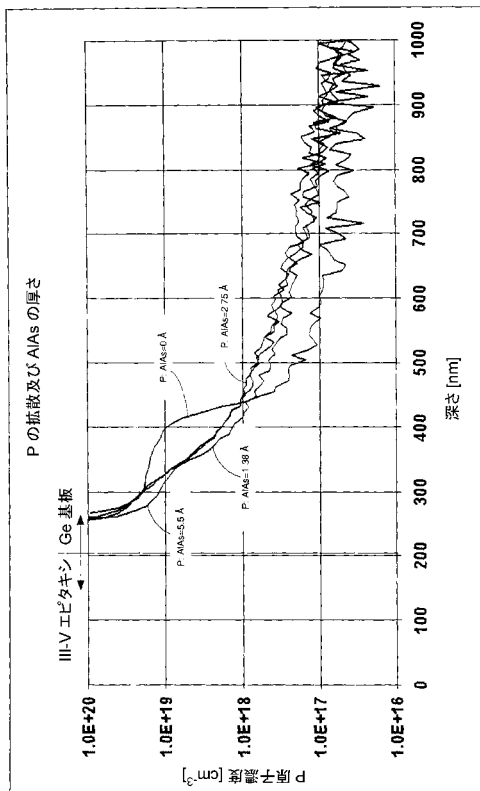
【図 9】



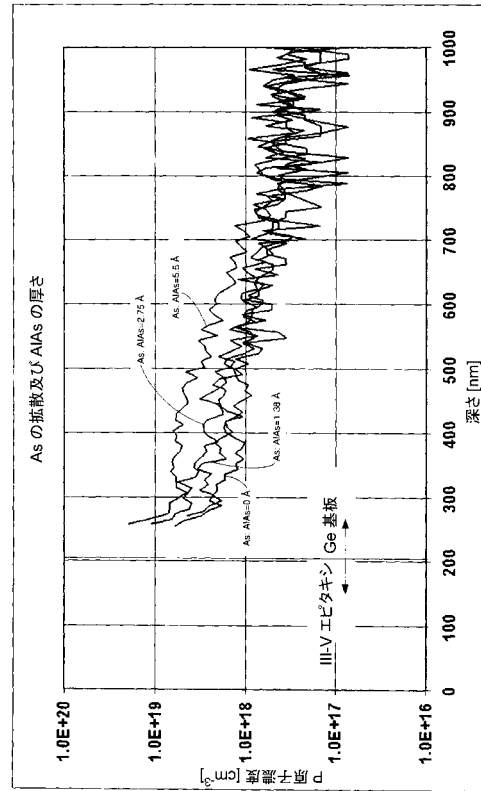
【図 10】



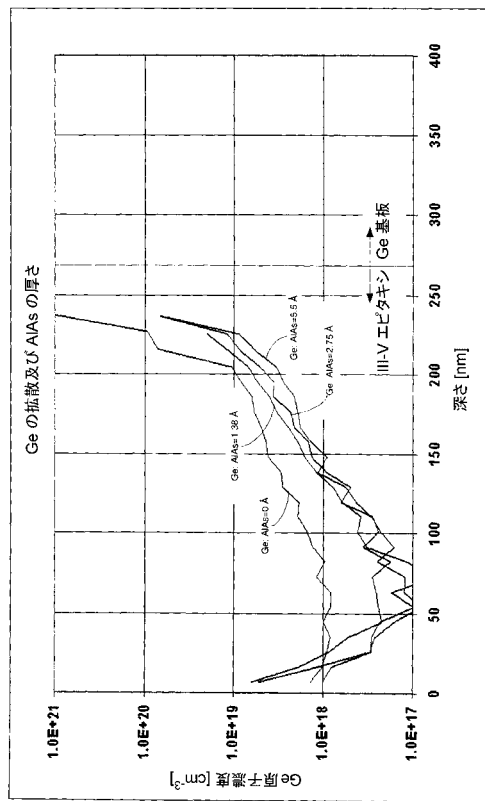
【図 11】



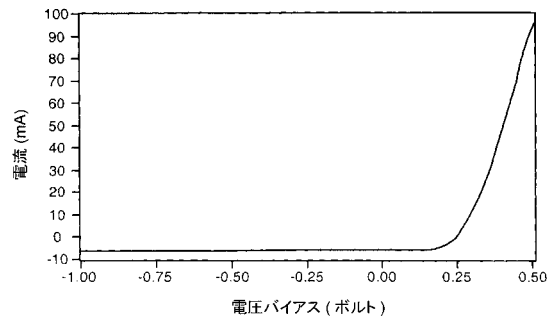
【図 12】



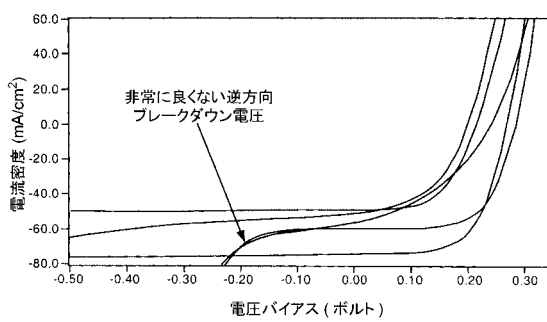
【図 13】



【図 14】



【図 15】



【手続補正書】

【提出日】平成20年5月30日(2008.5.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲルマニウム (Ge) 及びシリコンゲルマニウム (SiGe) のうちの一種を含む I V 族層と、

前記 I V 族層上に形成された核形成層であり、I I I 族元素として少なくともアルミニウム (Al) と、V 族元素としてヒ素 (As)、窒素 (N) 及びアンチモン (Sb) のうちの少なくとも一種とを有する、I I I - V 化合物を含む前記核形成層と、

を備える半導体デバイス。

【請求項 2】

前記 I I I - V 化合物が、I I I 族元素としてガリウム (Ga) 及びインジウム (In) のうちの少なくとも一種をさらに含む、請求項 1 に記載のデバイス。

【請求項 3】

前記核形成層上に形成された第 1 の I I I - V 化合物層をさらに備える、請求項 1 に記載のデバイス。

【請求項 4】

前記第 1 の I I I / V 化合物層が、GaInP、AlInP、及び AlGaInP のうちの少なくとも一種を含む、請求項 3 に記載のデバイス。

【請求項 5】

前記第 1 の I I I / V 化合物層上に形成された第 2 の I I I - V 化合物層をさらに備える、請求項 3 に記載のデバイス。

【請求項 6】

前記第 2 の I I I - V 化合物層が GaAs を含む、請求項 5 に記載のデバイス。

【請求項 7】

前記 I V 族層が、前記核形成層に隣接した p - n 接合を有する、請求項 1 に記載のデバイス。

【請求項 8】

前記 I V 族層が、p 型層、n 型層及び非ドープ層のうちの一つである、請求項 1 に記載のデバイス。

【請求項 9】

前記デバイスが電子デバイスである、請求項 1 に記載のデバイス。

【請求項 10】

前記電子デバイスが光電子デバイスである、請求項 9 に記載のデバイス。

【請求項 11】

前記光電子デバイスが太陽電池又は発光ダイオードである、請求項 10 に記載のデバイス。

【請求項 12】

前記 I V 族層が I V 族基板である、請求項 1 に記載のデバイス。

【請求項 13】

前記 I V 族基板が微傾斜基板である、請求項 12 に記載のデバイス。

【請求項 14】

前記微傾斜基板が 0 ° ~ 20 ° の範囲の角度を有する、請求項 13 に記載のデバイス。

【請求項 15】

前記核形成層、前記第 1 の I I I / V 化合物層及び前記第 2 の I I I / V 化合物層のう

ちの少なくとも1つが、エピタキシャル成長プロセスによって形成される、請求項5に記載のデバイス。

【請求項16】

前記核形成層の厚さが1～20単分子層の範囲にある、請求項1に記載の方法。

【請求項17】

半導体構造を製作する方法であって、

I V族層上に核形成層を形成するステップと、

前記核形成層上に第1のIII-V化合物層を形成するステップと、
を備え、

前記I V族層がゲルマニウム(Ge)及びシリコンゲルマニウム(SiGe)のうちの一種を含み、前記核形成層が、III族元素として少なくともアルミニウム(Al)と、V族元素としてヒ素(As)、窒素(N)及びアンチモン(Sb)のうちの少なくとも一種とを有するIII-V化合物を含む、方法。

【請求項18】

前記第1のIII/V化合物層上に第2のIII/V化合物層構造を形成するステップをさらに備える、請求項16に記載の方法。

【請求項19】

基板内に形成されたp-n接合のドーピングプロファイルを制御する方法であって、

ゲルマニウム(Ge)及びシリコンゲルマニウム(SiGe)のうちの一種を含むI V族基板上に、III族元素として少なくともアルミニウム(Al)と、V族元素としてヒ素(As)、窒素(N)及びアンチモン(Sb)のうちの少なくとも一種とを有するIII-V化合物を含む核形成層を形成するステップと、

前記I V族基板中への複数のV族元素の拡散を制御し、且つ前記I V族基板からの複数のI V族元素の拡散を制御するための前記核形成層上に、III-V化合物層を形成するステップと、

を備える、方法。

【請求項20】

シリコン(Si)及びシリコンカーバイド(SiC)のうちの一種を含むI V族層と、

前記I V族層上に形成された核形成層であり、III族元素として少なくともアルミニウム(Al)と、V族元素としてヒ素(As)及びアンチモン(Sb)のうちの少なくとも一種とを有する、III-V化合物を含む前記核形成層と、
を備える半導体デバイス。

【請求項21】

前記III-V化合物が、III族元素としてガリウム(Ga)及びインジウム(In)のうちの少なくとも一種をさらに含む、請求項20に記載のデバイス。

【請求項22】

前記核形成層上に形成された第1のIII-V化合物層をさらに備える、請求項20に記載のデバイス。

【請求項23】

前記第1のIII/V化合物層が、GaInP、AlInP、及びAlGaInPのうちの少なくとも一種を含む、請求項22に記載のデバイス。

【請求項24】

前記第1のIII/V化合物層上に形成された第2のIII-V化合物層をさらに備える、請求項22に記載のデバイス。

【請求項25】

前記第2のIII-V化合物層がGaAsを含む、請求項24に記載のデバイス。

【請求項26】

前記I V族層が、前記核形成層に隣接したp-n接合を有する、請求項20に記載のデバイス。

【請求項27】

前記 I V 族層が、p 型層、n 型層及び非ドーブ層のうちの 1 つである、請求項 20 に記載のデバイス。

【請求項 28】

前記デバイスが電子デバイスである、請求項 20 に記載のデバイス。

【請求項 29】

前記電子デバイスが光電子デバイスである、請求項 28 に記載のデバイス。

【請求項 30】

前記光電子デバイスが太陽電池又は発光ダイオードである、請求項 29 に記載のデバイス。

【請求項 31】

前記 I V 族層が I V 族基板である、請求項 20 に記載のデバイス。

【請求項 32】

前記 I V 族基板が微傾斜基板である、請求項 31 に記載のデバイス。

【請求項 33】

前記微傾斜基板が $0^{\circ} \sim 20^{\circ}$ の範囲の角度を有する、請求項 32 に記載のデバイス。

【請求項 34】

前記核形成層、前記第 1 の I I I / V 化合物層及び前記第 2 の I I I / V 化合物層のうちの少なくとも 1 つが、エピタキシャル成長プロセスによって形成される、請求項 24 に記載のデバイス。

【請求項 35】

前記核形成層の厚さが 1 ~ 20 単分子層の範囲にある、請求項 20 に記載の方法。

【請求項 36】

半導体構造を製作する方法であって、

I V 族層上に核形成層を形成するステップと、

前記核形成層上に第 1 の I I I - V 化合物層を形成するステップと、
を備え、

前記 I V 族層がシリコン (S i) 及びシリコンカーバイド (S i C) のうちの一種を含み、前記核形成層が、I I I 族元素として少なくともアルミニウム (A l) と、V 族元素としてヒ素 (A s) 及びアンチモン (S b) のうちの少なくとも一種とを有する I I I - V 化合物を含む、方法。

【請求項 37】

前記第 1 の I I I / V 化合物層上に第 2 の I I I / V 化合物層構造を形成するステップをさらに備える、請求項 36 に記載の方法。

【請求項 38】

基板内に形成された p - n 接合のドーピングプロファイルを制御する方法であって、

シリコン (S i) 及びシリコンカーバイド (S i C) のうちの一種を含む I V 族基板上に、I I I 族元素として少なくともアルミニウム (A l) と、V 族元素としてヒ素 (A s) 及びアンチモン (S b) のうちの少なくとも一種とを有する I I I - V 化合物を含む核形成層を形成するステップと、

前記 I V 族基板中への複数の V 族元素の拡散を制御し、且つ前記 I V 族基板からの複数の I V 族元素の拡散を制御するための前記核形成層上に、I I I - V 化合物層を形成するステップと、

を備える、方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

図 8 ~ 10 は、構造 18 に類似の構造上でとった、AlAs 層 22 の 4 つの異なる厚さ t_1 に対する追加の SIMS データを示す。図 8 は、AlAs の厚さがわずかに 1.4 である場合に、Ge 基板内へのリンの拡散の低減がどの程度になるかを示す P のプロファイルである。図 9 は、Ge 基板中への As の拡散が非常に少ないことを示す As のプロファイルである。図 10 は、AlAs 層が存在すると、III/V 層の底部中への Ge の外部拡散が大幅に低減することを示す Ge のプロファイルである。Ge は、通常、III/V 材料内では n 型ドーパントである。Ge の外部拡散が高まると、核形成層近くに p-n 接合を配置することが妨げられる。図 8 ~ 10 は、それぞれ、 $t_1 = 1.4$ ~ $t_1 = 5.6$ で蒸着させた構造の界面の位置を確認するための AlAs 質量プロファイルのトレースを示す。 $t_1 = 0$ で蒸着させた構造 18 の場合、界面で Al が検出されないことは明らかであるが、半導体内の Al の位置を 72 Ge または 31 P のプロファイルから近似的に求めることができる。図 11 ~ 13 は、同じ 1 組のデータを示すが、この場合は、スパッタ時間からプロファイル深さへ及び計数率から原子濃度への変換（サンプリングされた同位体の相対存在量に関して補正済み）を可能にする材料規格と突き合わせて分析した。図 8 ~ 10 の場合と同様に、これらの図は、P、Ge 及び As のそれぞれの原子濃度に対する AlAs 層の厚さの影響をサンプル深さの関数として示す。垂直の点描線は、III-V 層と Ge 基板の間の境界を示す。図 11 は、AlAs 層の厚さが増加するにつれて、Ge 基板中への P の拡散がどのように低減するかを示す。図 12 は、AlAs 層の適切な厚さを選択することによって、Ge 基板中への As の拡散をどのように調整できるかを示す。図 13 は、AlAs 層の厚さが増加するにつれて、III-V 層中への Ge の拡散がどのように低減するかを示す。Ge 基板との界面から 150 nm 以内で Ge 原子濃度を $1 \times 10^{17} \text{ cm}^{-3}$ まで又はそれ未満に低下させるのに、1 単分子層の AlAs で十分である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

上記の例示的な諸実施形態は、Ge 基板上での III/V 構造の成長を示すが、他の種類の IV 族基板も使用できることが、当業者には容易に理解されよう。同様に、2 元 AlAs 化合物を核形成層として述べているが、本発明の範囲を逸脱することなく、AlAs を含む 3 元又は 4 元 III/V 化合物も核形成層として使用できることが理解されるはずである。当業者に理解されるように、本発明は、p-n 接合を含む、又は含まない、全ての種類の IV 族基板上でのデバイスの製作に等しく適用することができる。さらに、当業者に理解されるように、III 族と V 族の原子間でサイズ、又は表面結合の電気化学ポテンシャルの著しい相違があるとき、III-V 化合物の他の組合せを AlAs に置き換えることができる。このような III-V 化合物には、例えば、AlN、AlSb、又は、BAS、BSb、GaN、GaSb、InN、又は InAs が含まれる。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CA2007/001278
A. CLASSIFICATION OF SUBJECT MATTER IPC: <i>H01L 21/20</i> (2006.01) , <i>H01L 21/3205</i> (2006.01) , <i>H01L 29/12</i> (2006.01) , <i>H01L 31/0256</i> (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC: <i>H01L 21/20</i> , <i>H01L 21/3205</i> , <i>H01L 29/12</i> , <i>H01L 31/0256</i>		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic database(s) consulted during the international search (name of database(s) and, where practicable, search terms used) Databases: Delphion Keywords: nucleating, nucleat, iv, iii-v, iii, v, aluminum, layer, semiconductor		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X -- Y	US6849882 (1-02-2005) Chavarkar et al. *whole document*	1-3, 5, 7, 9, 16, 18-20 4, 6, 8, 10-13, 17
Y	US6996150 (7-02-2006) Shakuda *whole document*	4, 6, 8, 10-13, 17
A	US6900067 (31-05-2005) Kobayashi et al. *whole document*	1-20
A	US6813296 (2-11-2004) Goyal et al. *whole document*	1-20
A	US7001791 (21-02-2006) Kryliouk et al. *whole document*	1-20
A	US7038284 (2-05-2006) Haukka et al. *whole document*	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance, the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance, the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 29 October 2007 (29-10-2007)		Date of mailing of the international search report 2 November 2007 (02-11-2007)
Name and mailing address of the ISA/CA Canadian Intellectual Property Office Place du Portage I, C114 - 1st Floor, Box PCT 50 Victoria Street Gatineau, Quebec K1A 0C9 Facsimile No.: 001-819-953-2476		Authorized officer Coralie Gill 819- 934-5143

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CA2007/001278

Patent Document Cited in Search Report	Publication Date	Patent Family Member(s)	Publication Date
US6849882	01-02-2005	CA2447068 A1 CN1596477 A EP1390983 A1 JP2005509274T T TW579600B B WOC2093650 A1	21-11-2002 16-03-2005 25-02-2004 07-04-2005 11-03-2004 21-11-2002
US6996150	07-02-2006	JP3010412B2 B2 JP3340859B2 B2 JP8097468 A JP8097469 A JP8097503 A US5751752 A US6084899 A US6115399 A US2005230696 A1	21-02-2000 05-11-2002 12-04-1996 12-04-1996 12-04-1996 12-05-1998 04-07-2000 05-09-2000 20-10-2005
US6900067	31-05-2005	EP1429374 A2 JP2004193617 A	16-06-2004 08-07-2004
US6813296	02-11-2004	WOC03092132 A1	06-11-2003
US7001791	21-02-2006	NONE	
US7038284	02-05-2006	AU1180902 A JP2004511909T T TW516168B B US6660660 B2 WOC231875 A2	22-04-2002 15-04-2004 01-01-2003 09-12-2003 18-04-2002

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ブエッツ, ノベルト

カナダ, オンタリオ州 ケー 2 ケー 3 イー 5, カナタ, ケニス クレッセント 9 0

(72)発明者 ファファルド, サイモン

カナダ, オンタリオ州 ケー 1 ダヴリュ 1 ジー 3, オリンズ, ロングリーフ ドライヴ
6 0 9 0

(72)発明者 リール, ジョセフ, リネー, ブルーノ

カナダ, オンタリオ州 ケー 1 ジェイ 7 シー 7, オタワ, カイマー ドライヴ 4 2

F ターム(参考) 5F041 AA31 CA03 CA34 CA35 CA65 CA77 CB36

5F045 AA04 AB09 AB10 AB11 AB12 AB17 AB18 AF02 CA10 CA13

5F051 AA08 BA11 CB12 DA03 DA20 GA04 GA20