



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I485831 B

(45)公告日：中華民國 104 (2015) 年 05 月 21 日

(21)申請案號：100133543

(22)申請日：中華民國 100 (2011) 年 09 月 19 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2010/09/30 日本

2010-220481

(71)申請人：兆探晶股份有限公司(日本) TERA PROBE, INC. (JP)

日本

(72)發明人：新井一能 ARAI, KAZUYOSHI (JP)

(74)代理人：何金塗；丁國隆

(56)參考文獻：

JP 2006-310419A

JP 2008-047734A

審查人員：湯欽全

申請專利範圍項數：17 項 圖式數：20 共 35 頁

(54)名稱

具有多層配線構造之半導體裝置及其製造方法

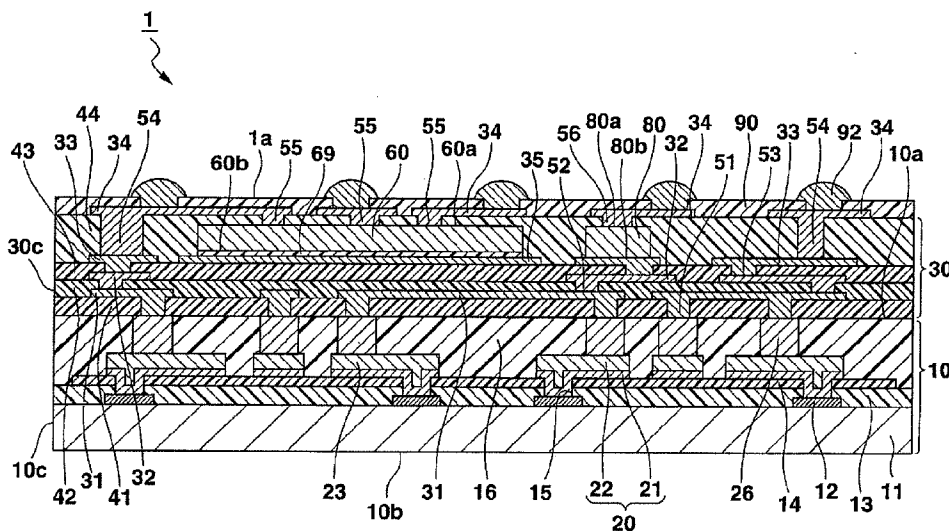
SEMICONDUCTOR DEVICE HAVING MULTILAYER WIRING STRUCTURE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

半導體裝置 1 具備半導體晶片 10、層積於半導體晶片 10 上的多層配線構造 30、及埋設於多層配線構造 30 中的電子零件 60、80。

Disclosed is a semiconductor device 1 comprising: a semiconductor chip 10; a multilayer wiring structure 30 stacked on the semiconductor chip 10; and an electronic component 60,80 embedded in the multilayer wiring structure 30.

圖 2



1 . . . 半導體裝置

1a . . . 半導體裝置

1 表面的面

10 . . . 半導體晶片

10a . . . 半導體晶片

10 表面的面

10c . . . 半導體晶片

10 的側面

11 . . . 半導體基板

12 . . . 內部端子

13 . . . 鈍化膜

14 . . . 絕緣膜

15 . . . 開口

16 . . . 密封層

20 . . . 內部配線
21、35 . . . 基底
22 . . . 導體層
23 . . . 連接盤
26 . . . 外部端子
30 . . . 多層配線構造
30c . . . 多層配線構造 30 的側面(周面)
31 ~ 34 . . . 配線圖案
41 ~ 44 . . . 絕緣層
51 ~ 56 . . . 層間連接導體
60、80 . . . 電子零件
60a . . . 電子零件
60 表面的面
60b . . . 電子零件
60 背面的面
69 . . . 黏接劑
80a . . . 電子零件
80 表面的面
80b . . . 電子零件
80 背面的面
90 . . . 頂塗層
92 . . . 焊錫凸塊

發明專利說明書

PD1118120(3)

(本說明書格式、順序，請勿任意更動，※記號部份請勿填寫)

※申請案號：100133543

※申請日：100.9.19

※IPC 分類：

H01L 23/52 :2006.01

H01L 21/60 :2006.01

一、發明名稱：(中文/英文)

具有多層配線構造之半導體裝置及其製造方法
SEMICONDUCTOR DEVICE HAVING MULTILAYER WIRING
STRUCTURE AND METHOD FOR MANUFACTURING THE
SAME

二、中文發明摘要：

半導體裝置 1 具備半導體晶片 10、層積於半導體晶片 10 上的多層配線構造 30、及埋設於多層配線構造 30 中的電子零件 60、80。

三、英文發明摘要：

Disclosed is a semiconductor device 1 comprising: a semiconductor chip 10; a multilayer wiring structure 30 stacked on the semiconductor chip 10; and an electronic component 60, 80 embedded in the multilayer wiring structure 30.

四、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件符號簡單說明：

1	半 導 體 裝 置
1 a	半 導 體 裝 置 1 表 面 的 面
10	半 導 體 晶 片
10 a	半 導 體 晶 片 10 表 面 的 面
10 c	半 導 體 晶 片 10 的 側 面
11	半 導 體 基 板
12	內 部 端 子
13	鈍 化 膜
14	絕 緣 膜
15	開 口
16	密 封 層
20	內 部 配 線
21、35	基 底
22	導 體 層
23	連 接 盤
26	外 部 端 子
30	多 層 配 線 構 造
30 c	多 層 配 線 構 造 30 的 側 面 (周 面)
31 ~ 34	配 線 圖 案
41 ~ 44	絕 緣 層
51 ~ 56	層 間 連 接 導 體
60、80	電 子 零 件

60a	電子零件 60 表面的面
60b	電子零件 60 背面的面
69	黏接劑
80a	電子零件 80 表面的面
80b	電子零件 80 背面的面
90	頂塗層
92	焊錫凸塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有多層配線構造的半導體裝置及其製造方法。

【先前技術】

特開 2008-047734 號公報上記載了一種埋設有複數個半導體晶片的 SIP(System In Package; 系統級封裝)型的半導體封裝(半導體裝置)。如專利文獻 1 上所記載，在未形成電路的基板(1)上層積兩層的絕緣層(6、7)，於各絕緣層(6、7)上形有配線(9、13)圖案，裸晶片(5)埋設於下層的絕緣層(6)，且上層的絕緣層(6、7)上層積厚的緩衝層(17)，用氧化矽膜(16d)保護的別的裸晶片(16)埋設於緩衝層(17)中。

在特開 2008-047734 號公報上所記載的技術方面，由於在層積於基板(1)上的絕緣層(6)或緩衝層(17)中埋設有晶片(5、16)，所以導致半導體封裝變厚。

此外，基板(1)為切開晶圓而成者。由於將晶片(5)搭載於晶圓上後，最後切斷晶圓，所以被切開的基板(1)的尺寸會比晶片(5)的尺寸更大。因此，導致半導體封裝的尺寸也大型化。

於是，本發明欲解決之課題為謀求半導體封裝等的半導體裝置的薄型化及小型化。

【發明內容】

依據本發明之一態樣，其特徵在於具備：半導體晶片、層積於前述半導體晶片上的多層配線構造、及埋設

於前述多層配線構造中的電子零件。

此外，依據本發明之其他態樣，其特徵在於：係在半導體晶圓的上方層積多層配線構造，並且在前述多層配線構造中嵌入電子零件，將前述半導體晶圓及前述多層配線構造切成晶片尺寸的方法。

【實施方式】

以下，就用以實施本發明的形態，使用圖面進行說明。其中，對於以下所述的實施形態，雖然為了實施本發明而附上技術上較佳的各種限定，但並不是將本發明的範圍限定於以下的實施形態及圖示例。

圖 1 為半導體裝置 1 的斜視圖。圖 2 為半導體裝置 1 的剖面圖。

如圖 1、圖 2 所示，半導體裝置 1 為 SIP(System In Package；系統級封裝)，具備半導體晶片 10、多層配線構造 30 及電子零件 60、80 等。多層配線構造 30 層積於半導體晶片 10 表面的面 10a 上，電子零件 60、80 埋設於多層配線構造 30 中。

首先，參閱圖 2、圖 3，就半導體晶片 10 進行詳細說明。圖 3 為顯示半導體晶片 10 部份斷裂的狀態的斜視圖。在圖 3 中，顯示在半導體晶片 10 上未層積有多層配線構造 30 的狀態。

半導體晶片 10 乃封裝成晶片尺寸者，係所謂的 CSP(Chip Size Package；晶片尺寸封裝)。特別是此半導體晶片 10 為在用樹脂密封單片化前的半導體晶圓的表面後，將其單片化成晶片尺寸而成者。即，在半導體晶

片 10 是在 CSP 中的特別是 WLP(Wafer Level Package ; 晶圓級封裝)。

半導體晶片 10 具備半導體基板 11、鈍化膜 13、絕緣膜 14、密封層 16、內部配線 20 及外部端子 26 等。

半導體基板 11 係由矽之類的半導體材料等構成。在半導體基板 11 表面的表層形成有積體電路。在半導體基板 11 表面的面上形成有複數個內部端子 12。內部端子 12 為形成於半導體基板 11 表層的積體電路的配線的一部份，或為各種電氣元件(例如二極體、電晶體、電阻、電容器等)的電極。

半導體基板 11 表面的面被鈍化膜 13 所覆蓋。鈍化膜 13 含有氧化矽或氮化矽。鈍化膜 13 被絕緣膜 14 所覆蓋。絕緣膜 14 含有環氧系樹脂、聚醯亞胺系樹脂及其他樹脂。例如，在於絕緣膜 14 方面，可使用聚醯亞胺(PI)、聚苯噁唑(PBO)、環氧系、苯酚系、矽系等的塑膠材料或此等材料的複合材料等。

在鈍化膜 13 及絕緣膜 14 之中與內部端子 12 重疊的位置形成有開口 15。內部端子 12 的一部份或全體位於開口 15 內，內部端子 12 的一部份或全體未被鈍化膜 13 及絕緣膜 14 所覆蓋。再者，也可以未形成絕緣膜 14。

內部配線 20 形成於絕緣膜 14 上(無絕緣膜 14 時是在鈍化膜 13 上)。內部配線 20 為基底 21 與導體層 22 的積層體，基底 21 形成於絕緣膜 14 上(無絕緣膜 14 時，是在鈍化膜 13 上)，導體層 22 形成於基底 21 上。基底 21 是由導體所構成。例如，基底 21 為銅(Cu)的薄膜、鈦

(Ti)的薄膜、鈦上層積銅的薄膜及其他金屬薄膜。導體層 22 係將成長於種子層上的鍍覆圖案化而成者。導體層 22 是由銅及其他金屬構成。俯視時的導體層 22 的形狀與基底 21 的形狀大致相同。導體層 22 比基底 21 更厚。再者，內部配線 20 也可以不是導體的積層體。例如，內部配線 20 可以是導體的單層，也可以是層積有更多的導體層者。

內部配線 20 連接於內部端子 12。具體而言，內部配線 20 橫過開口 15 上，內部配線 20 的基底 21 的一部份層積於內部端子 12 上。內部配線 20 的數量可以比內部端子 12 的數量更多，也可以更少，亦可相等。連接於 1 條內部配線 20 的內部端子 12 的數量為 1 或 2 個以上。較佳為每 1 條內部配線 20 連接 1 個內部端子 12。

內部配線 20 的一部份成為連接盤 23。在連接盤 23 上形成有外部端子 26，內部配線 20 連接於外部端子 26。因此，外部端子 26 利用內部配線 20 與內部端子 12 導通。連接於 1 條內部配線 20 的外部端子 26 的數量為 1 或 2 個以上。較佳為，每 1 條內部配線 20 連接 1 個外部端子 26。此外，關於 1 個外部端子 26，係以 1 個內部端子 12 是利用內部配線 20 導通更好。

外部端子 26 為設置成突起狀的柱狀電極。外部端子 26 由銅及其他金屬構成。外部端子 26 的高度(厚度)比導體層 22 的厚度更大。再者，雖然在圖 3 中，外部端子 26 排列成縱 6 列×橫 6 列的格子狀，但外部端子 26 的排列及數量未受限於此。

遮光性的密封層 16 形成於絕緣膜 14 上，內部配線

20 被密封層 16 所覆蓋。雖然外部端子 26 的頭頂面未被密封層 16 所覆蓋，但外部端子 26 的周面卻被密封層 16 所覆蓋而受到保護。密封層 16 的表面設置成與外部端子 26 的頭頂面齊平面、或在比外部端子 26 的頭頂面稍高的位置。

密封層 16 含有環氧系樹脂、聚醯亞胺系樹脂及其他絕緣性樹脂，最好是由絕緣性樹脂(環氧系樹脂、聚醯亞胺系樹脂等)中摻合有填充物(例如玻璃填充物)的纖維強化樹脂所構成。

再者，半導體晶片 10 可以是 LGA(Land Grid Array; 地柵陣列)方式的封裝。亦即，可以是作為端子的連接盤在半導體晶片 10 表面的面 10a 上排列成格子狀。

茲參閱圖 1、圖 2，就多層配線構造 30 進行說明。

多層配線構造 30 具有配線圖案 31~34 及絕緣層 41~44。絕緣層 41、絕緣層 42、絕緣層 43 及絕緣層 44 從半導體晶片 10 起依絕緣層 41、絕緣層 42、絕緣層 43、絕緣層 44 的順序層積於半導體晶片 10 表面的面 10a 上。配線圖案 31 位於絕緣層 41 與絕緣層 42 之間，配線圖案 32 位於絕緣層 42 與絕緣層 43 之間，配線圖案 33 位於絕緣層 43 與絕緣層 44 之間，配線圖案 34 形成於絕緣層 44 上。配線圖案 31 與配線圖案 32 被絕緣層 42 所隔開，配線圖案 32 與配線圖案 33 被絕緣層 43 所隔開，配線圖案 33 與配線圖案 34 被絕緣層 44 所隔開。

絕緣層 41~44 的邊緣與半導體晶片 10 的側面(周面)10c 一致，多層配線構造 30 的側面(周面)30c 與半導

體晶片 10 的側面 10c 一致。

在絕緣層 44 上開有複數個通孔，在通孔內嵌入有層間連接導體 54，層間連接導體 54 貫穿絕緣層 44，配線圖案 34 與配線圖案 33 藉由層間連接導體 54 而導通。同樣地，配線圖案 33 與配線圖案 32 藉由貫穿絕緣層 43 的層間連接導體 53 而導通，配線圖案 32 與配線圖案 31 藉由貫穿絕緣層 42 的層間連接導體 52 而導通。

層間連接導體 54 與配線圖案 34 一體形成，層間連接導體 53 與配線圖案 33 一體形成，層間連接導體 54 與配線圖案 32 一體形成。此等導體與圖案也可以分開形成而互相接觸。

此外，在絕緣層 41 上開設有到達外部端子 26 的複數個通孔，在通孔內嵌入有層間連接導體 51，層間連接導體 51 貫穿絕緣層 41，配線圖案 31 與外部端子 26 藉由層間連接導體 51 而導通。

配線圖案 31、32、33、34 及層間連接導體 51、52、53、54 係由銅及其他金屬所構成。絕緣層 41、42、43、44 含有環氧系樹脂、聚醯亞胺系樹脂及其他絕緣性樹脂，較佳為，是由玻璃纖維強化環氧樹脂、玻璃布基材環氧樹脂、碳纖維強化環氧樹脂、碳布基材環氧樹脂，即由玻璃纖維強化聚醯亞胺樹脂、玻璃布基材聚醯亞胺樹脂、碳纖維強化聚醯亞胺樹脂、碳布基材聚醯亞胺樹脂及其他纖維強化樹脂等所構成。再者，雖然在圖 2 中，多層配線構造 30 具有 4 層的絕緣層 41、42、43、44 及 4 層的配線圖案 31、32、33、34，但多層配線構造 30 的

絕緣層及配線圖案的層數為 2 層以上即可。

在如以上的多層配線構造 30 中埋設有電子零件 60、80。更具體而言，係電子零件 60、80 埋設於絕緣層 44 中。電子零件 60 為半導體晶片。電子零件 60 可以是裸晶片，也可以是已封裝化的半導體晶片。在電子零件 60 是已封裝化的半導體晶片的情況，不追究電子零件 60 的封裝方式。

在電子零件 60 是 CSP 中的特別是 WLP 的情況，電子零件 60 係建構成如圖 4 所示。圖 4 為顯示電子零件 60 一部份斷裂的狀態的斜視圖。如圖 4 所示，電子零件 60 具備半導體基板 61、鈍化膜 63、絕緣膜 64、密封層 66、內部配線 70 及外部端子 76 等。由於電子零件 60 與半導體晶片 10 只是外部端子 76 的數量、內部配線 70 的形狀及位置、形成於半導體基板 61 上的積體電路等不同，並且電子零件 60 與半導體晶片 10 同樣是 WLP，所以對於電子零件 60 的詳細說明省略。電子零件 60 的尺寸比半導體晶片 10 的尺寸更小。再者，雖然在圖 4 中，外部端子 76 排列成縱 3 列×橫 3 列的格子狀，但外部端子 76 的排列及數量未受限於此。

如圖 2 所示，電子零件 60 被黏晶 (die bonding) 於絕緣層 43 上。具體而言，由導體構成的基底 35 形成於絕緣層 43 上，在電子零件 60 背面的面 60b 與基底 35 之間夾有黏接劑 69，黏接劑 69 黏附於電子零件 60 背面的面 60b 與基底 35 上。基底 35 係連同配線圖案 33 一起被圖案化者。基底 35 和配線圖案 33 互相疏離，基底 35 和

配線圖案 33 不導通。再者，也可以沒有基底 35，而黏接劑 69 直接黏附於絕緣層 43 上。

絕緣層 44 係成膜於絕緣層 43 上，以覆蓋電子零件 60 全體，電子零件 60 埋設於絕緣層 44 中。

如圖 4 所示，在電子零件 60 背面的面 60b 上未形成端子，外部端子 76 的頭頂面在表面的面 60a 露出。因此，外部端子 76 未連接於配線圖案 33。另一方面，如圖 2 所示，在絕緣層 44 上開設有複數個通孔，通孔內嵌入有層間連接導體 55，層間連接導體 55 貫穿絕緣層 44，配線圖案 34 與外部端子 76 藉由層間連接導體 55 而導通。

再者，也可以在電子零件 60 表面的面 60a 是朝向絕緣層 43 的狀態下，將電子零件 60 利用倒裝晶片 (flip chip) 方式等表面安裝於絕緣層 43 上。在此情況，沒有基底 35，配線圖案 33 被圖案化成到達電子零件 60 的下方，外部端子 76 係藉由例如焊錫、導電糊、導電片、各向異性導電糊或各向異性導電梯台 (pace) 而與配線圖案 33 導通。由於外部端子 76 與配線圖案 33 導通，所以沒有層間連接導體 55，而供層間連接導體 55 嵌入的通孔亦未開設在絕緣層 44 上。

電子零件 80 為主動零件 (例如二極體、電晶體) 或被動零件 (例如電阻器、電容器)。此外，電子零件 80 為晶片電阻器、晶片電容器、晶片二極體、晶片電晶體及其他表面安裝型晶片零件。在電子零件 80 表面的面 80a 與背面的面 80b 上分別設有端子。在電子零件 80 背面的面 80b 是朝向絕緣層 43 的狀態下，電子零件 80 被黏晶於

配線圖案 33 上，設於背面的面 80b 的端子與配線圖案 33 導通。

絕緣層 44 成膜於絕緣層 43 上，以覆蓋電子零件 80 全體，電子零件 80 埋設於絕緣層 44 中。在絕緣層 44 上開設有通孔，層間連接導體 56 嵌入通孔內，層間連接導體 56 貫穿絕緣層 44，設於電子零件 80 表面的面 80a 上的端子與配線圖案 34 係藉由層間連接導體 56 而導通。

絕緣層 44 及配線圖案 34 為頂塗層 90 所覆蓋。在頂塗層 90 上形成有複數個開口，在開口內形成有焊錫凸塊 92，焊錫凸塊 92 固定在配線圖案 34 上。雖然如圖 1 所示，焊錫凸塊 92 排列成縱 5 列×橫 5 列的格子狀，但焊錫凸塊 92 的排列及數量未受此所限。再者，也可以沒有焊錫凸塊 92。

如圖 2 所示，由於電子零件 60 與電子零件 80 埋設於相同的絕緣層 44 中，所以只要加厚絕緣層 44 即可解決，而不加厚絕緣層 41、42、43 也可以。因此，可謀求半導體裝置 1 的薄型化。再者，埋設電子零件 60 的絕緣層與埋設電子零件 80 的絕緣層也可以不同。此外，電子零件 60、80 亦可不埋設絕緣層 44，而是以埋設於絕緣層 42 或絕緣層 43 中。即使是多層配線構造 30 的絕緣層及配線圖案的層數為 4 層以外的情況，電子零件 60、80 也埋設於最下層的絕緣層以外的絕緣層中即可。

雖然埋設於多層配線構造 30 中的電子零件的數量為 2 個，但可以為 1 個，也可以為 3 個以上。電子零件的數量為 2 個以上的情況，全部的電子零件宜埋設於相

同的絕緣層中。這是因為如上述，要謀求半導體裝置 1 的薄型化之緣故。

此半導體裝置 1 係表面安裝於印刷基板上而作使用。具體而言，若將半導體裝置 1 表面的面 1a，即頂塗層 90 的表面朝向印刷基板，並使焊錫凸塊 92 接觸印刷基板的端子而將半導體裝置 1 載置於印刷基板上，而進行迴焊(reflow)焊錫凸塊 92 時，則可將半導體裝置 1 表面安裝於印刷基板上。

也可以將半導體裝置 1 用作電路基板。將半導體裝置 1 用作電路基板的情況，將電子零件表面安裝在頂塗層 90，將該電子零件的端子藉由焊錫凸塊 92 而接合於配線圖案 34。

再者，半導體裝置 1 的用途並不限於表面安裝於印刷基板上的電子零件、或表面安裝電子零件的電路基板。

如以上說明，由於半導體晶片 10 並不是搭載於尺寸比其更大的基板上，並且電子零件 60、80 埋設於層積於該半導體晶片 10 上的多層配線構造 30 中，所以可使半導體裝置 1 成為晶片尺寸(半導體晶片 10 的尺寸)。因此，可將半導體裝置 1 小型化。此外，由於多層配線構造 30 層積於半導體晶片 10 上，而不是層積於成為基底的基板上，所以僅該成為基底的基板的部份就可將半導體裝置 1 小型化。

接著，就半導體裝置 1 的製造方法進行說明。

當製造半導體裝置 1 時，使用進行單片化之前的半導體晶圓 11A(圖示於圖 5)。如圖 5 所示，半導體晶圓 11A

係藉由作為分割預定線的格子狀的切割道(dicing street)(境界線)11B而區分為複數個晶片區域11C。此等晶片區域11C排列成矩陣狀。在半導體晶圓11A表面的表層，積體電路形成於各晶片區域11C上。在半導體晶圓11A表面的面上形成有複數個內部端子12。鈍化膜13形成於半導體晶圓11A表面的面上。在鈍化膜13上形成有開口15，內部端子12在開口15內露出。半導體(例如矽)在半導體晶圓11A背面的面上露出。

如圖6所示，將絕緣膜14圖案化於鈍化膜13上後，利用無電電鍍法或氣相成長法(例如濺鍍法)或者此等方法的組合，在絕緣膜14上全體形成種子層21A的膜。種子層21A也成長於開口15的內壁面或內部端子12上。在將絕緣膜14圖案化時，將絕緣膜14區分為各晶片區域11C，並將通到內部端子12的開口15形成於絕緣膜14上。種子層21A為銅(Cu)的薄膜、鈦(Ti)的薄膜、將銅層積於鈦上的薄膜及其他的金屬薄膜。再者，也可以不形成絕緣膜14，而在鈍化膜13上形成種子層21A。

其次，如圖7所示，將導體層22圖案化。具體而言，將光阻劑等的光罩20B設置於種子層21A上，在將種子層21A用該光罩20B作部份覆蓋的狀態下，以種子層21A為電極而進行電鍍。在光罩20B上形成有符合要形成的導體層22的位置、形狀的狹縫，藉由電鍍使導體層22成長於種子層21A上且光罩20B的狹縫內。使導體層22成長得比種子層21A更厚。再者，若是光罩20B為光阻劑(例如乾膜光阻劑、溼式光阻劑)的情況，則藉由用曝

光、顯影方式在光罩 20B 上形成狹縫。導體層 22 形成後，去除光罩 20B。

其次，如圖 8 所示，將外部端子 26 圖案化。具體而言，將厚膜的光罩(例如乾膜光阻劑)30B 設置於種子層 21A 及導體層 22 上，在將種子層 21A 及導體層 22 用光罩 30B 部份覆蓋的狀態下，以種子層 21A 及導體層 22 為電極而進行電鍍。在光罩 30B 上形成有符合要形成的外部端子 26 的位置、形狀的開口。藉由電鍍使外部端子 26 成長於開口內且導體層 22 上。再者，若是光罩 30B 為乾膜光阻劑、溼式光阻劑的情況，則藉由曝光、顯影將開口形成在光罩 30B 上。

外部端子 26 形成後，去除光罩 30B。

其次，藉由用蝕刻去除種子層 21A 之中未與導體層 22 重疊的部份，而將種子層 21A 形狀加工成基底 21。此時，雖然導體層 22 及外部端子 26 的表面一部份被蝕刻，但因導體層 22 及外部端子 26 相較於種子層 21A 仍相當地厚，所以導體層 22 及外部端子 26 會殘留。

其次，如圖 9 所示，藉由印刷法、液滴噴出法(噴墨法)、旋轉塗布法、滴下法及其他塗布法將密封層 16 形成於絕緣膜 14(無絕緣膜 14 時，形成在鈍化膜 13)上。當密封層 16 形成時，藉由密封層 16 覆蓋導體層 22 及外部端子 26。再者，也可以藉由將半固化片(prepreg)貼附於絕緣膜 14 上，並使該半固化片硬化，而從半固化片形成密封層 16，以取代塗布法。

其次，如圖 10 所示，研磨密封層 16 的表面，使外

部端子 26 的頭頂面露出。

藉由使用圖 5～圖 10 說明的步驟，製造進行單片化前的狀態之半導體晶片 10。電子零件 60 為 WLP 的情況，要製作電子零件 60 時，在經過與使用圖 5～圖 10 說明的步驟同樣的步驟後，進行切割處理等的單片化處理。藉此，可從一片晶圓製作複數個電子零件 60。

外部端子 26 露出後，如圖 11 所示，藉由將半固化片熱壓接合於密封層 16 及外部端子 26，從該半固化片形成絕緣層 41。就半固化片而言，宜使用玻璃纖維強化環氧樹脂、玻璃布基材環氧樹脂、碳纖維強化環氧樹脂、碳布基材環氧樹脂，即使用使玻璃纖維強化聚醯亞胺樹脂、玻璃布基材聚醯亞胺樹脂、碳纖維強化聚醯亞胺樹脂、碳布基材聚醯亞胺樹脂及其他纖維強化樹脂半硬化而成者。再者，也可以用印刷法、液滴噴出法(噴墨法)、旋塗法、滴下法及其他塗布法形成絕緣層 41 的膜。

其次，如圖 12 所示，在絕緣層 41 上形成複數個通孔 41a。通孔 41a 的形成處為與外部端子 26 重疊的位置，並使通孔 41a 貫穿到外部端子 26。通孔 41a 的形成方法可以是將雷射光照射於絕緣層 41 的方法，也可以是在絕緣層 41 上設置有光罩(例如金屬光罩、光阻劑、乾膜光阻劑)的狀態蝕刻絕緣層 41 的方法。

其次，如圖 13 所示，藉由電鍍法使層間連接導體 51 在通孔 41a 內成長，並且使導體膜 31A 在絕緣層 41 上成長。再者，層間連接導體 51 的形成法不限於電鍍法，也可以是將導電性構件(例如導電糊)嵌入通孔 41a

內的方法。

其次，如圖 14 所示，藉由以在導體膜 31A 上設置有光罩(圖示省略)的狀態蝕刻導體膜 31A，而去除導體膜 31A 的一部份。藉此，從導體膜 31A 製作配線圖案 31。配線圖案 31 形成後，去除光罩。再者，配線圖案 31 的形成方法不限於如圖 13、圖 14 所示的減法(subtract)，也可以是加法(additive)(半加法、全加法及其他加法)。

之後，同樣地依序形成絕緣層 42、層間連接導體 52、配線圖案 32、絕緣層 43、層間連接導體 53 及配線圖案 33(參閱圖 15)。於配線圖案 33 形成之際，基底 35 亦圖案化。再者，也可以不形成基底 35。

其次，如圖 16 所示，將電子零件 60 黏晶於絕緣層 42 上，將電子零件 80 黏晶於配線圖案 33 上。關於電子零件 60，使無端子的面 60b 向下，利用黏接劑 69 將該面 60b 黏接於基底 35(無基底 35 時黏接於絕緣層 43)。關於電子零件 80，使一面 80b 向下，將形成於該面 80b 上的端子利用例如焊錫或導電性黏接劑等接合於配線圖案 33。再者，關於電子零件 60，也可以使用有端子的面 60a 向下，將電子零件 60 倒裝晶片安裝於配線圖案 33 及絕緣層 42 上。此情況，將形成於該面 60a 上的端子(例如外部端子 76)用焊錫或導電性黏接劑等接合於配線圖案 33，以取得端子與配線圖案 33 的導通。

其次，如圖 17 所示，將絕緣層 44 成膜於絕緣層 43 及配線圖案 33 上，藉以使用絕緣層 44 覆蓋電子零件 60、80。然後，在絕緣層 44 上形成複數個通孔後，將層間連

接導體 54、55、56 分別形成於通孔內，並且形成配線圖案 34。絕緣層 44、層間連接導體 54、55、56、配線圖案 34 的形成法與絕緣層 41、層間連接導體 51、配線圖案 31 的形成法同樣。再者，將電子零件 60 的端子(例如外部端子 76)連接於配線圖案 33 時，不形成層間連接導體 55 及其所使用的通孔。

其次，如圖 18 所示，將頂塗層 90 圖案化後，在形成於頂塗層 90 上的開口內形成焊錫凸塊 92。

其次，如圖 19 所示，藉由沿著切割道 11B 將半導體晶圓 11A、密封層 16、多層配線構造 30 及頂塗層 90 切斷成格子狀，而將半導體晶圓 11A、密封層 16、多層配線構造 30 及頂塗層 90 切成晶片尺寸。藉此，完成複數個半導體裝置 1。分割半導體晶圓 11A 後的製品為半導體基板 11。

再者，較佳為，在單片化之前，藉由研磨半導體晶圓 11A 的背面而將半導體晶圓 11A 薄型化。較佳為，半導體晶圓 11A 的研磨是在形成密封層 16 後進行。

如以上說明，由於在半導體晶圓 11A 的切斷前進行封裝(密封層 16 的形成)、多層配線構造 30 的形成、電子零件 60、80 的嵌入，之後進行切成晶片尺寸，所以可使半導體裝置 1 的尺寸成為半導體晶片 10 的尺寸。因此，可將半導體裝置 1 小型化。此外，由於在半導體晶圓 11A 上層積多層配線構造 30，而不是在不同於形成有電路的半導體晶圓 11A 的晶圓上層積多層配線構造 30，所以不需要與半導體晶圓 11A 不同的晶圓。因此，可謀

求半導體裝置 1 的薄型化。

〔變形例〕

再者，可適用本發明的實施形態不限於上述的實施形態，可在不脫離本發明要旨的範圍內適當變更。

例如，也可以建構成圖 20 所示的半導體裝置 101。在圖 20 所示的半導體裝置 101 與圖 2 所示的半導體裝置 1 之間互相對應的部份上附上同一符號。

如圖 20 所示，外部端子未形成於半導體晶片 10 上，而密封層 16 比圖 2 所示的情況更薄。形成於絕緣層 41 上的通孔開設到密封層 16，層間連接導體 51 貫穿絕緣層 41 及密封層 16 而連接於內部配線 20。

除了以上所說明的以外，於圖 20 所示的半導體裝置 101 與圖 2 所示的半導體裝置 1 之間互相對應的部份被同樣地設置。

圖 20 所示的半導體裝置 101 的製造方法與圖 2 所示的半導體裝置 1 的製造方法大致同樣。然而，當製造半導體晶片 10 時，形成密封層 16 而不形成外部端子，將層間連接導體 51 用的通孔藉由雷射光的照射而形成於密封層 16 上這點是與第 1 實施形態的情況不同。

【圖式簡單說明】

圖 1 為關於本發明實施形態的半導體裝置的斜視圖。

圖 2 為關於同一實施形態的半導體裝置的剖面圖。

圖 3 為顯示關於同一實施形態的半導體晶片之部份斷裂的狀態的斜視圖。

圖 4 為顯示關於同一實施形態的電子零件之部份斷裂的狀態的斜視圖。

圖 5 為製造關於同一實施形態的半導體裝置的方法的一步驟之剖面圖。

圖 6 為圖 5 的步驟後的步驟之剖面圖。

圖 7 為圖 6 的步驟後的步驟之剖面圖。

圖 8 為圖 7 的步驟後的步驟之剖面圖。

圖 9 為圖 8 的步驟後的步驟之剖面圖。

圖 10 為圖 9 的步驟後的步驟之剖面圖。

圖 11 為圖 10 的步驟後的步驟之剖面圖。

圖 12 為圖 11 的步驟後的步驟之剖面圖。

圖 13 為圖 12 的步驟後的步驟之剖面圖。

圖 14 為圖 13 的步驟後的步驟之剖面圖。

圖 15 為圖 14 的步驟後的步驟之剖面圖。

圖 16 為圖 15 的步驟後的步驟之剖面圖。

圖 17 為圖 16 的步驟後的步驟之剖面圖。

圖 18 為圖 17 的步驟後的步驟之剖面圖。

圖 19 為圖 18 的步驟後的步驟之剖面圖。

圖 20 為關於變形例的半導體裝置之剖面圖。

【主要元件符號說明】

1	半導體裝置
1a	半導體裝置 1 表面的面
10	半導體晶片
10a	半導體晶片 10 表面的面
10c	半導體晶片 10 的側面

11	半 導 體 基 板
12	內 部 端 子
13	鈍 化 膜
14	絕 緣 膜
15	開 口
16	密 封 層
20	內 部 配 線
21、35	基 底
22	導 體 層
23	連 接 盤
26	外 部 端 子
30	多 層 配 線 構 造
30c	多 層 配 線 構 造 30 的 側 面 (周 面)
31~34	配 線 圖 案
41~44	絕 緣 層
51~56	層 間 連 接 導 體
60、80	電 子 零 件
60a	電 子 零 件 60 表 面 的 面
60b	電 子 零 件 60 背 面 的 面
69	黏 接 劑
80a	電 子 零 件 80 表 面 的 面
80b	電 子 零 件 80 背 面 的 面
90	頂 塗 層
92	焊 錫 凸 塊

七、申請專利範圍：

1. 一種半導體裝置，其包含以下：

半導體晶片；

層積於該半導體晶片上的多層配線構造；及

埋設於該多層配線構造中的電子零件，

該多層配線構造具有交替層積於該半導體晶片上的複數個絕緣層及複數個配線圖案，

該多層配線構造的周面與半導體晶片的周面一致。

2. 一種半導體裝置，其包含以下：

半導體晶片；

層積於該半導體晶片上的多層配線構造；及

埋設於該多層配線構造中的電子零件，

該多層配線構造，在俯視時的該半導體晶片的外緣的內側中，具有交替層積於半導體晶片上的複數個絕緣層及複數個配線圖案，

該複數個配線圖案及該電子零件係配置在俯視時的該半導體晶片的外緣的內側。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該半導體晶片已被封裝。

4. 如申請專利範圍第 3 項之半導體裝置，其中該半導體晶片具有：

半導體基板；及

形成於該半導體基板上的內部配線；與

為覆蓋該內部配線而形成於該半導體基板上的

密封層；

該多層配線構造層積於該密封層上。

5.如申請專利範圍第 1 或 2 項之半導體裝置，其中該複數個絕緣層係藉由使半固化片 (prepreg) 硬化所形成的絕緣層。

6.如申請專利範圍第 1 或 2 項之半導體裝置，其更具備形狀和該電子零件不同的別的電子零件，

該別的電子零件係埋設於在該複數個絕緣層之中埋設該電子零件的絕緣層。

7.如申請專利範圍第 1 或 2 項之半導體裝置，其中該多層配線構造係以貫穿該絕緣層的方式設置在該絕緣層，更具有使該複數個配線圖案導通的層間連接導體，

該半導體晶片的端子和該電子零件的端子係透過該配線圖案及該層間連接導體導通。

8.如申請專利範圍第 1 或 2 項之半導體裝置，其中該電子零件係被動零件的表面安裝型晶片零件。

9.如申請專利範圍第 1 或 2 項之半導體裝置，其中該電子零件係藉由將半導體晶圓及覆蓋該半導體晶圓的密封層單片化成為晶片尺寸所得到的 WLP。

10.如申請專利範圍第 1 或 2 項之半導體裝置，其中該電子零件係埋設在該複數個絕緣層之中最下層以外者。

11.如申請專利範圍第 1 或 2 項之半導體裝置，其中該複數個絕緣層之中埋設該電子零件的絕緣層係上面被形成為平坦的絕緣層。

12.如申請專利範圍第 11 項之半導體裝置，其中該複數個配線圖案之中被形成在比該電子零件還上層的配線圖案，係直接形成在該複數個絕緣層之中埋設該電子零件的絕緣層上，且以俯視時從該電子零件的內側起到達外側的方式形成。

13.如申請專利範圍第 1 或 2 項之半導體裝置，其中該複數個絕緣層之中比埋設該電子零件的絕緣層還下層的絕緣層係上面被形成為平坦的絕緣層，

該複數個配線圖案之中被形成在比該電子零件還下層的配線圖案，係以俯視時從該電子零件的內側起到達外側的方式形成，且由該上面被形成為平坦的絕緣層所覆蓋。

14.一種半導體裝置之製造方法，其包含以下：

第一步驟，係在具有積體電路並且上面具有複數片端子的半導體晶圓的上方，交替層積絕緣層和配線圖案，藉此形成由這些絕緣層和配線圖案所構成的多層配線構造，並且當形成該多層配線構造時在該多層配線構造中嵌入電子零件；及

第二步驟，係將該半導體晶圓及該多層配線構造單片化成為晶片尺寸。

15.如申請專利範圍第 14 項之半導體裝置之製造方法，其中該第一步驟包含將該絕緣層的上面平坦化的步驟。

16.如申請專利範圍第 15 項之半導體裝置之製造方法，其中將該絕緣層的上面平坦化的步驟係利用熱壓接

合使該絕緣層的材料硬化，藉此形成該絕緣層。

17. 如申請專利範圍第 14 項之半導體裝置之製造方法，其中該第一步驟包含以下步驟：利用熱壓接合使該絕緣層的材料硬化，藉此形成該複數個絕緣層之中埋設該電子零件的絕緣層，

該複數個配線圖案之中被形成在比該電子零件還上層的配線圖案，係直接形成在該複數個絕緣層之中埋設該電子零件的絕緣層上，且以俯視時從該電子零件的內側起到達外側的方式形成。

八、圖式：

圖 1

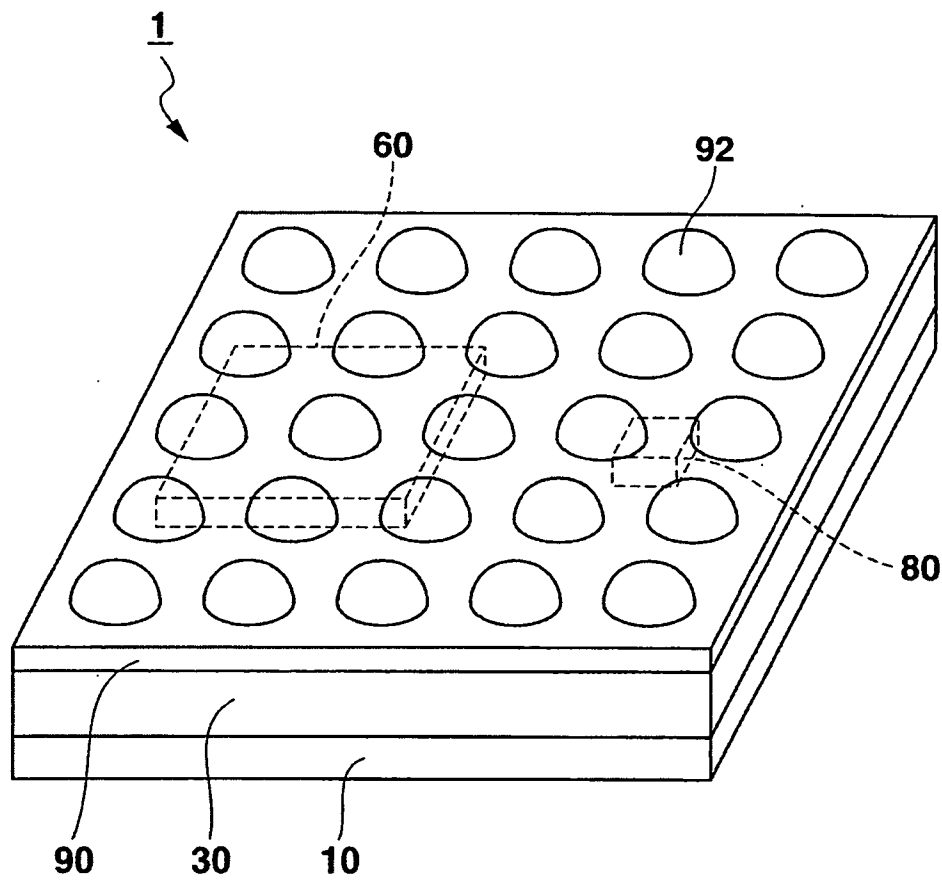


圖 2

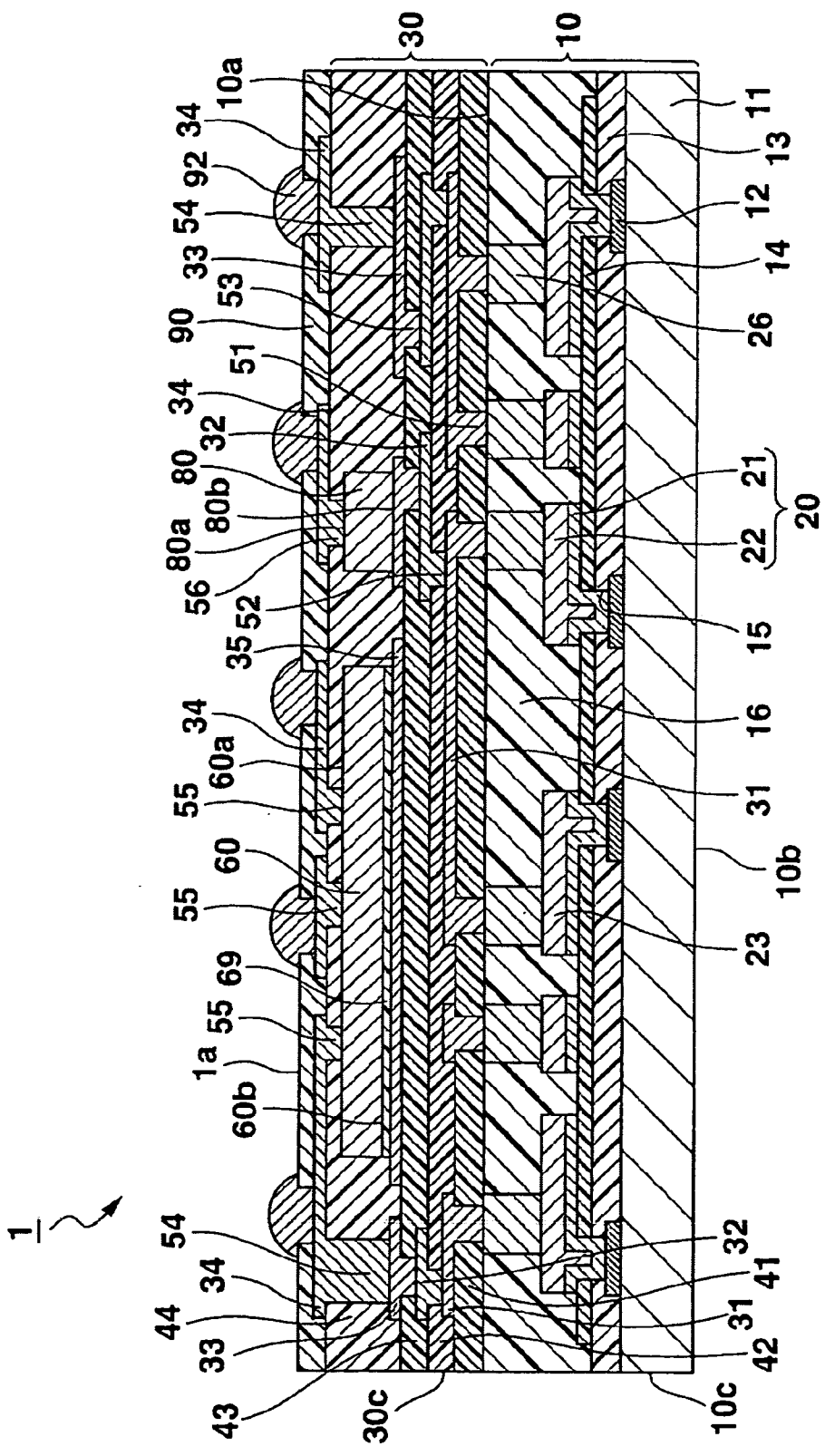


圖 3

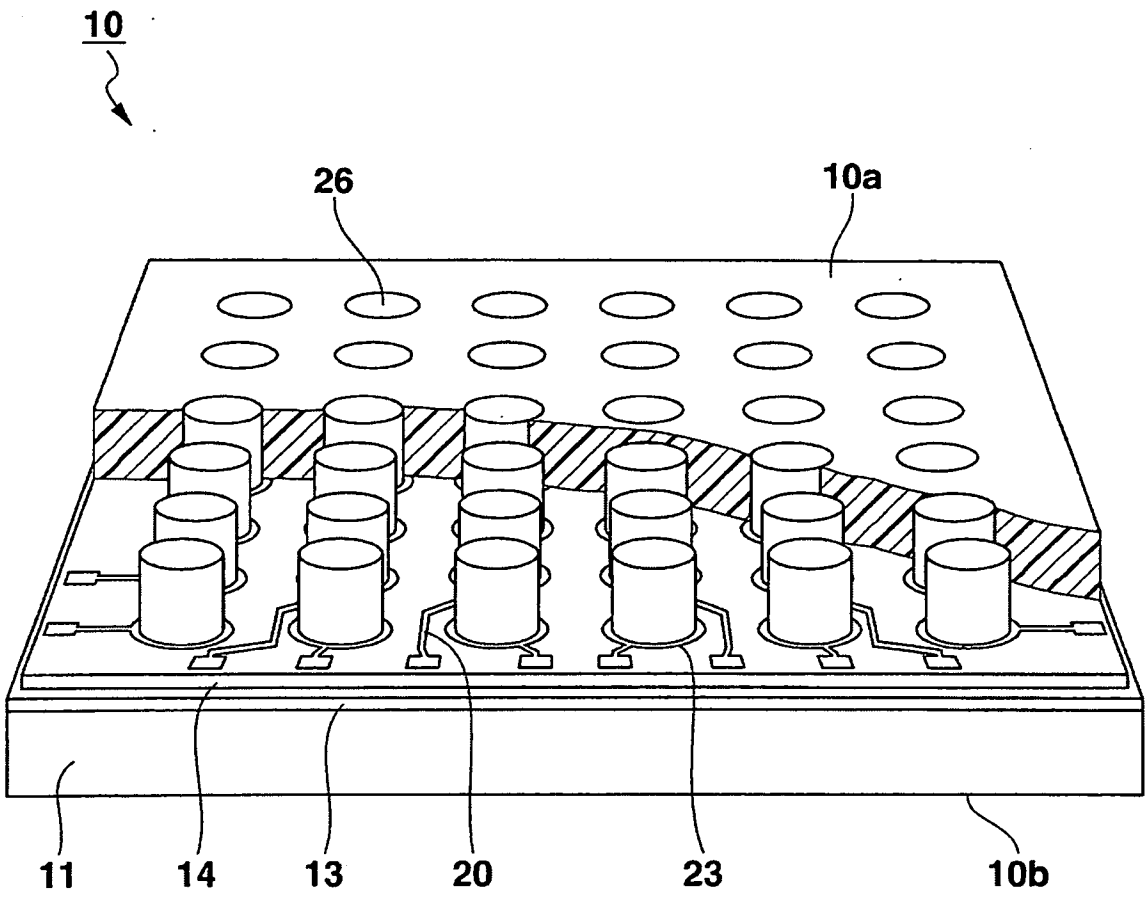


圖 4

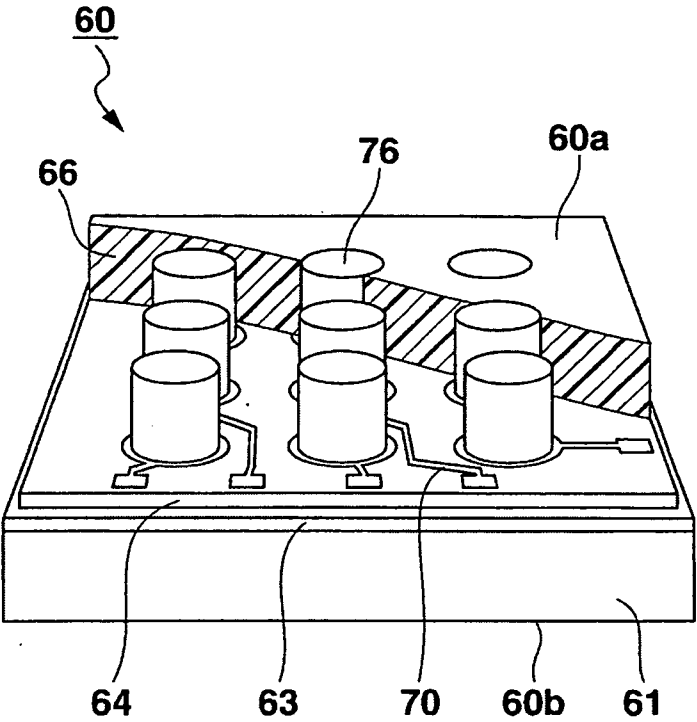


圖 5

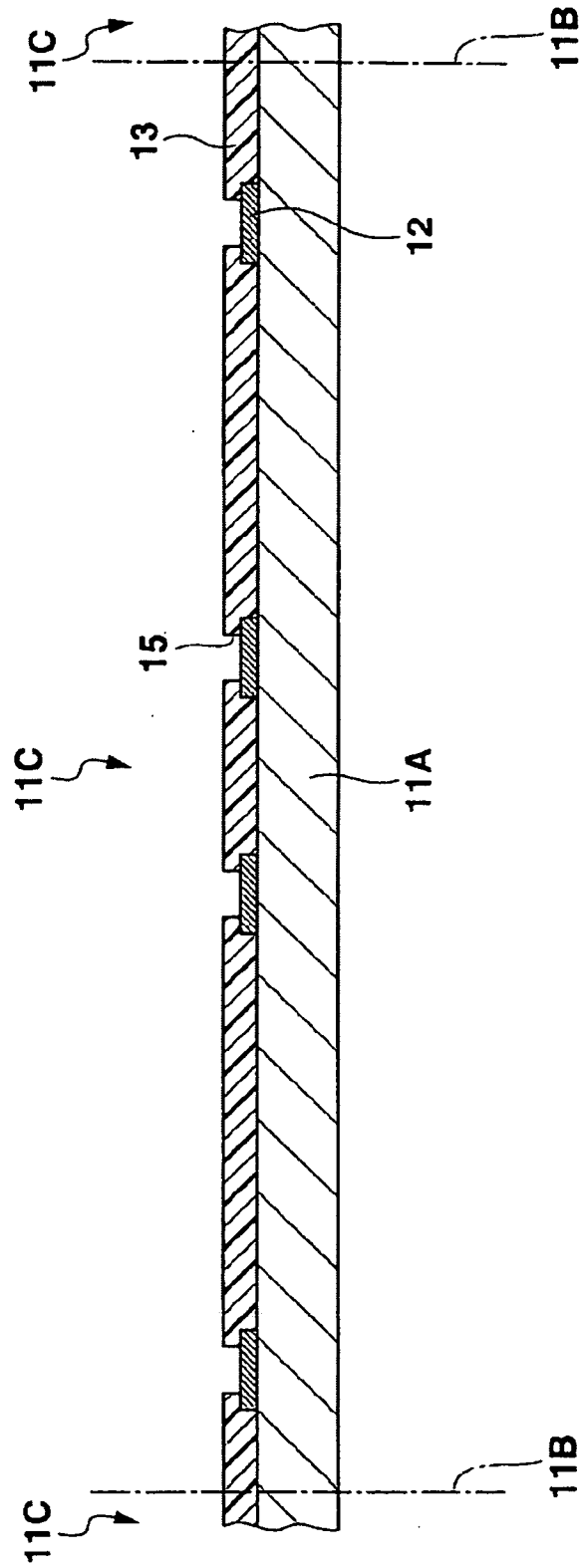


圖 6

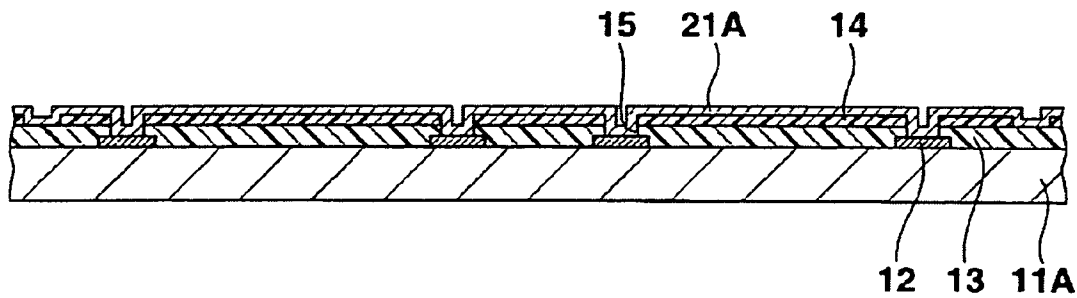


圖 7

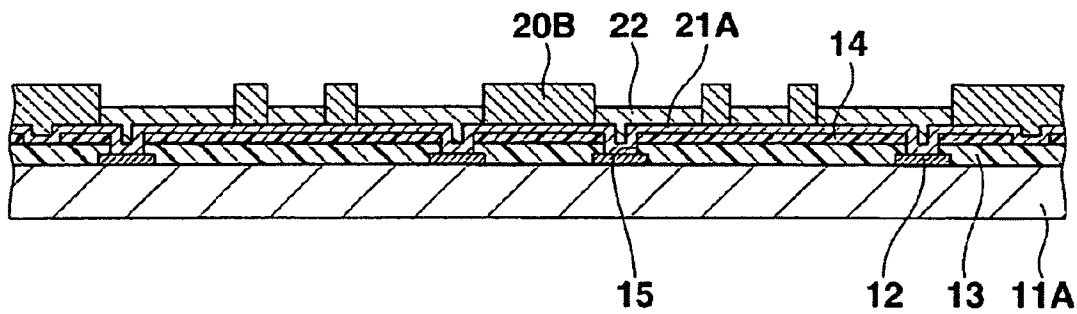


圖 8

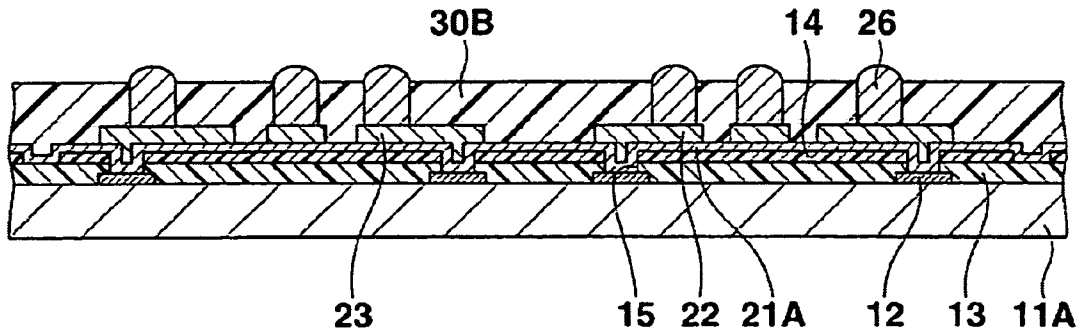


圖 9

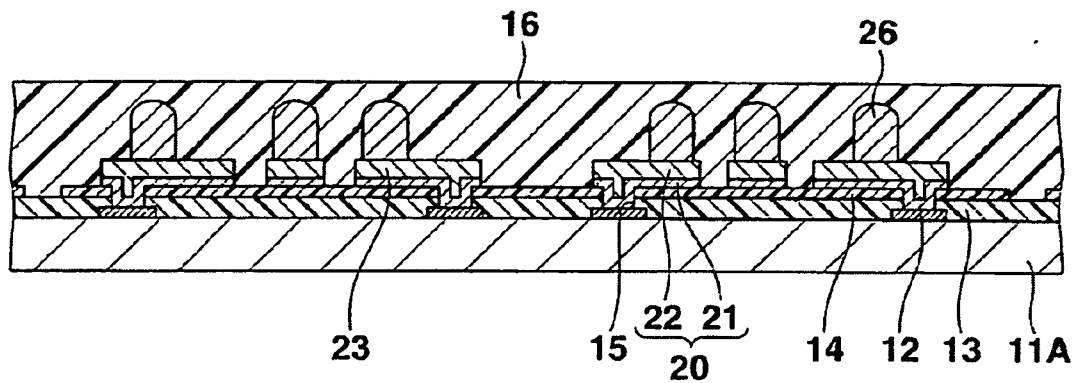


圖 10

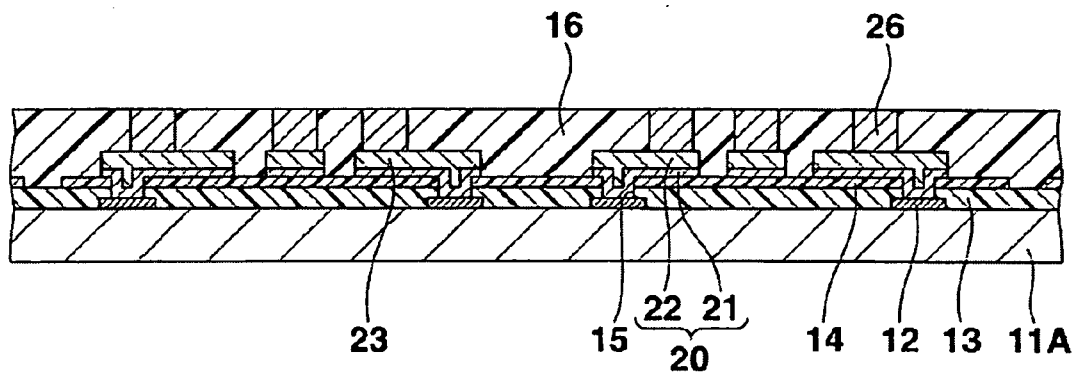


圖 11

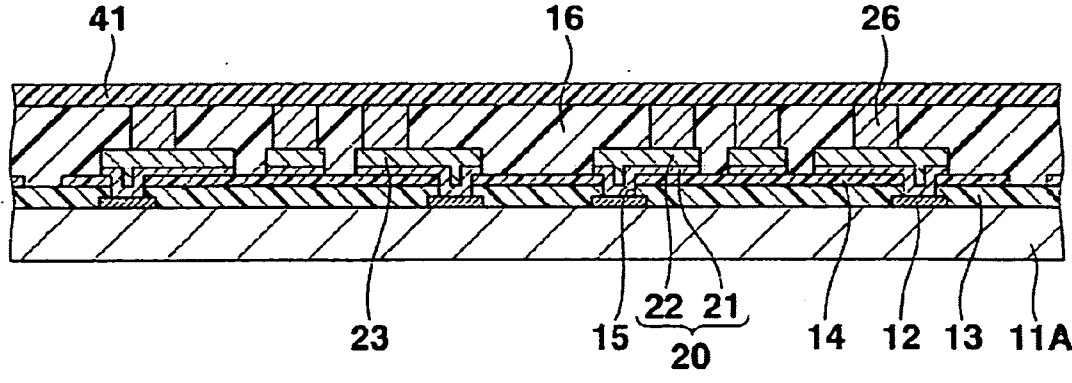


圖 12

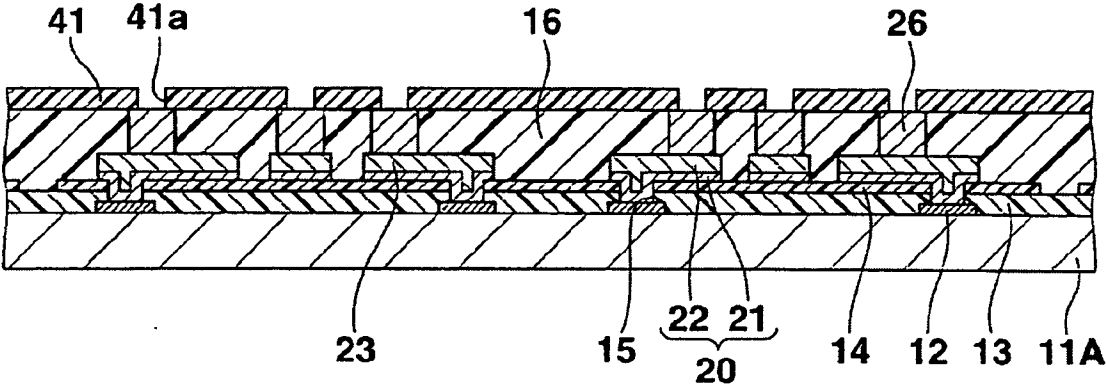


圖 13

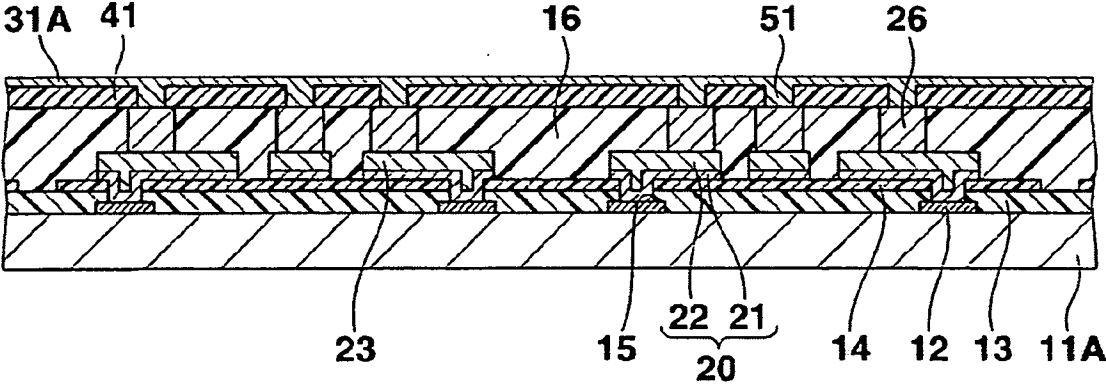


圖 14

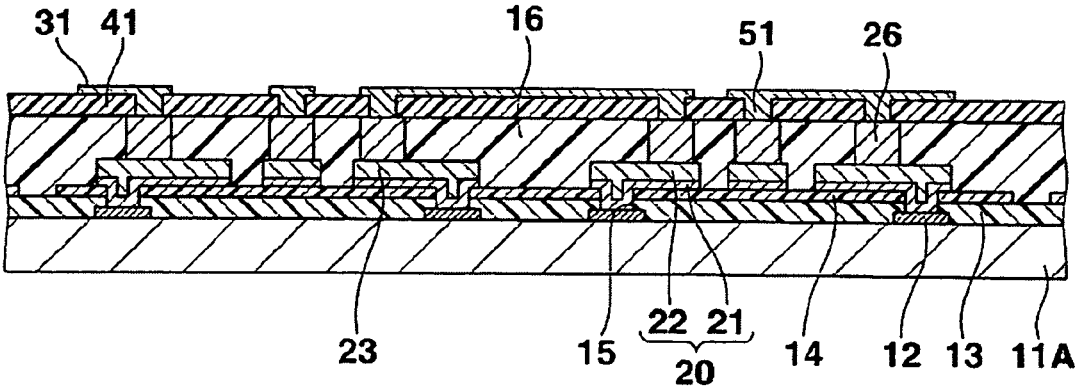


圖 15

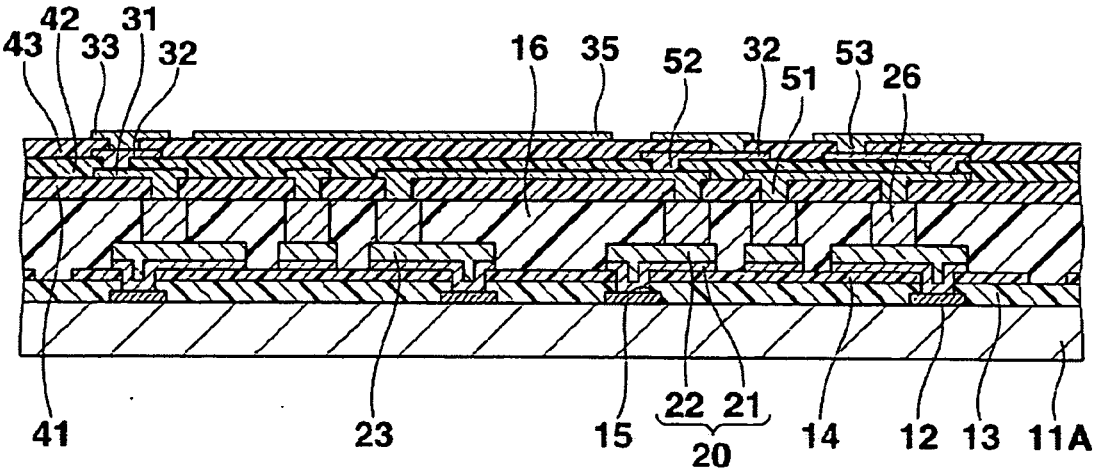


圖 18

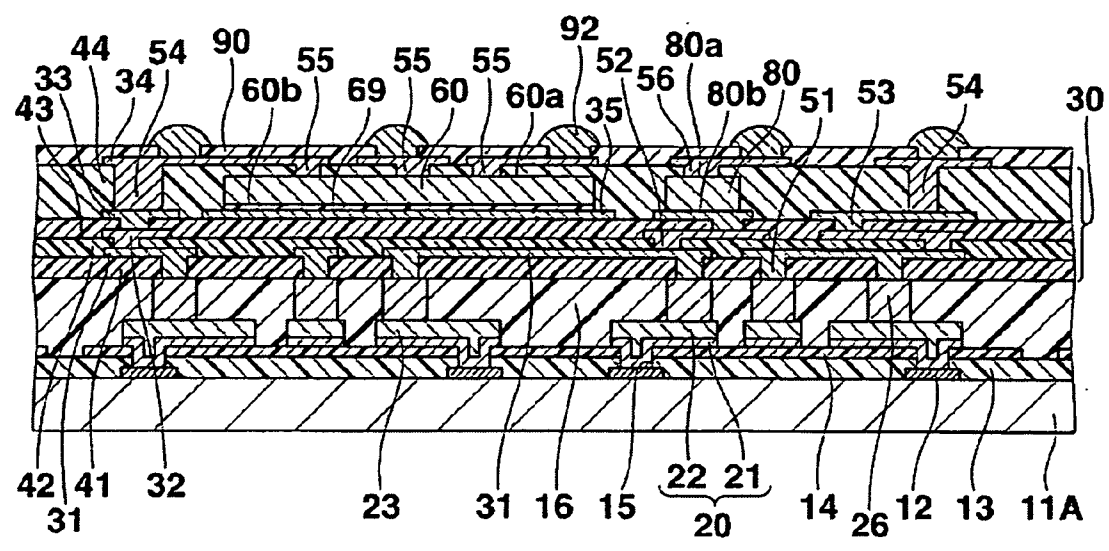


圖 19

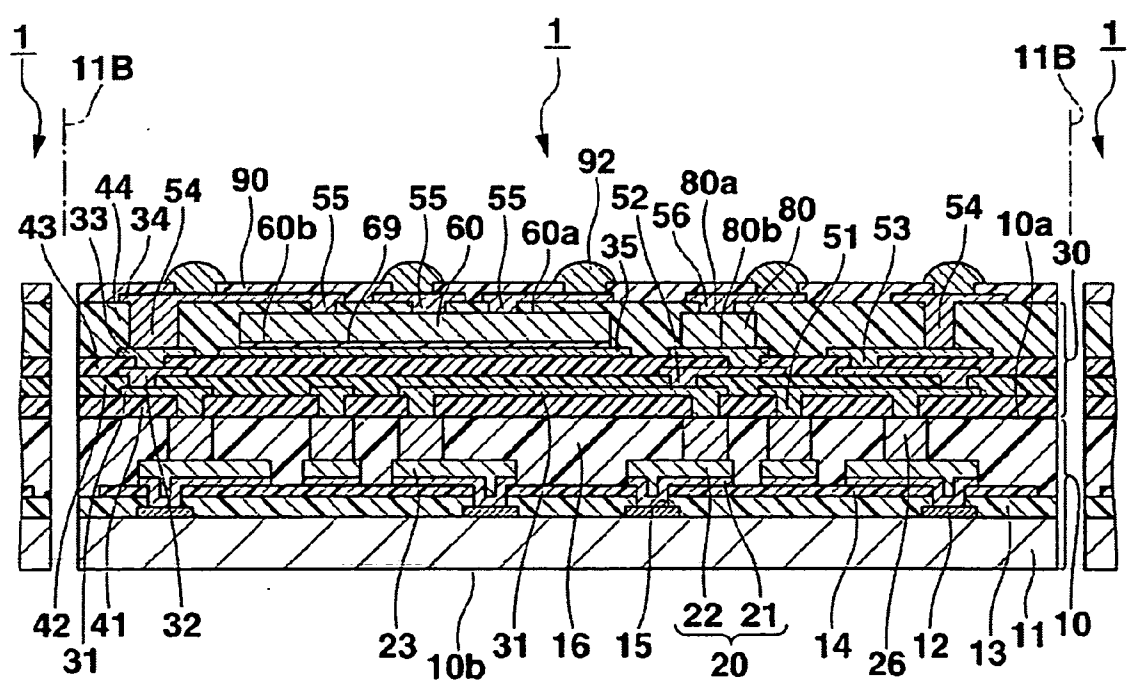


圖 20

