

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92132939

※ 申請日期：92-11-24

※IPC 分類：G11C 7/00

壹、發明名稱：(中文/英文)

從資料儲存媒體中讀取資料之裝置及方法

APPARATUS AND METHOD TO READ INFORMATION FROM AN
INFORMATION STORAGE MEDIUM

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

傑拉德 羅森賽

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504 U. S. A.

國籍：(中文/英文)

美國 U. S. A.

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 詹姆斯 J 霍華斯
HOWARTH, JAMES J.
2. 羅伯特 A 杭琴斯
HUTCHINS, ROBERT A.

住居所地址：(中文/英文)

1. 美國亞歷桑那州土孫市北堡路3850號
3850 NORTH BORG LANE, TUCSON, ARIZONA 85716, U.S.A.
2. 美國亞歷桑那州土孫市北坦克區517號
517 NORTH TANQUE VERDE LOOP, TUCSON, ARIZONA 85748,
U.S.A.

國 籍：(中文/英文)

- 1.-2. 均美國 U. S. A.

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年11月27日；10/306,300
- 2.
- 3.
- 4.
- 5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年11月27日；10/306,300
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

申請人之發明係關於一種從資料儲存媒體中讀取資料之裝置及方法。申請人之發明進一步關於一種即時調整一資料讀取通道中一或更多組件之作業的方法。

【先前技術】

吾人知道，自動化媒體儲存館係用以提供具有成本效益之大數目儲存媒體存取。通常，媒體儲存館包括用以存放可攜式資料儲存媒體之大數目儲存器擴充槽。典型可攜式資料儲存媒體為：一磁帶匣、一光學匣、一磁碟匣、電子儲存媒體等。對於"電子儲存媒體"，申請人指像是一可程式化唯讀記憶體(PROM)、可抹除可程式化唯讀記憶體(EPROM)、電子可抹除可程式化唯讀記憶體(EEPROM)、快閃可程式化唯讀記憶體(PROM)、緊密快閃記憶體、智慧媒體等。

通常一(或更多)存取器係從儲存器擴充槽存取資料儲存媒體，且將存取之媒體投遞給一資料儲存裝置，以便在存取之媒體上讀取與/或寫入資料。適當之電子裝置將操作存取器以及操作資料儲存裝置，以便於一附接之連線主機電腦系統提供資訊與/或擷取資訊。

無論磁性、光學或電子之可移除媒體均具有可變性。這類可變性例如包括媒體製造商間之不一致性。此外，某些磁性/光學媒體包含使用脈衝位置調變之編碼資訊。其他磁性/光學媒體包含使用脈衝寬度調變之編碼資訊。某些媒體

包含同時使用脈衝位置調變及脈衝寬度調變所編碼之資訊。此外，這類可變性可來自媒體之現代化。

為了最小化這類媒體可變性之不利效應，需要一種從一資訊儲存媒體讀取資訊之裝置及方法，其中該方法即時，亦即於讀取媒體時動態調整讀取通道的一或更多組件之作業參數。

【發明內容】

申請人之發明包含一種使用一讀取通道從一資訊儲存媒體讀取資訊之方法及裝置，其中該讀取通道包括一資料快取記憶體。申請人之方法於一時間區間讀取一資訊儲存媒體，而且於該時間區間產生包含該儲存媒體中之編碼資訊的一類比波形，且於該時間區間期間將該類比波形提供給申請人之讀取通道。該讀取通道與具有該讀取通道其一或更多第一作業參數的一控制器進行通信。於該時間區間的第一部分期間，申請人之方法使用該等一或更多第一作業參數從類比波形產生一數位信號。

申請人之方法設定一錯誤校正率門限。當使用第一之一或更多作業參數而形成數位信號時，申請人之方法以一實際錯誤校正率進行該數位信號的錯誤校正，且於該時間區間的第一部分期間，決定實際錯誤校正率是否大於錯誤校正率門限。如果實際錯誤校正率不大於錯誤校正率門限，則申請人之方法於該時間區間期間繼續使用一或更多第一作業參數產生數位信號。

替代上，如果實際錯誤數目大於錯誤校正門限，則於該

時間區間的第一部分期間，申請人之方法捕捉數位信號，將捕捉之資料儲存於資料快取記憶體，從快取記憶體讀取資料，使用捕捉之資料產生一或更多第二作業參數，將該等一或更多第二作業參數提供給讀取通道。其後，申請人之方法使用一或更多第二作業參數從類比波形產生數位信號。

【實施方式】

參照圖解，相似之號碼對應圖式中描繪的相似部分。本發明係以一磁帶驅動單元中所配置的一讀取通道組合之具體實施加以說明。然而並不表示申請人之裝置及方法的以下說明意圖將申請人之發明限制於從一磁帶讀取資訊或者資料處理應用程式，因為此處一般可將本發明應用於從一資訊儲存媒體讀取資訊。

圖3圖解實作本發明之較佳具體實施例的硬體及軟體環境。主機電腦390中特別包括一儲存器管理程式310。在某些具體實施例中，主機電腦390包含一單一電腦。在替代之具體實施例中，主機電腦390包含一或更多大型電腦、一或更多工作站、一或更多個人電腦、及其組合等。

資訊經由通信鏈結350、352和356在主機電腦390與像是資料儲存及擷取系統320的一資料儲存及擷取系統所管理之次要儲存裝置間轉移。通信鏈結350、352和356包含像是一RS-232電纜或一RS-422電纜的一串列互連、一乙太互連、一小電腦系統介面(SCSI)互連、一光纖通道互連、一企業系統連接(ESCON)互連、一FICON互連、一區域網路

(LAN)、一私用廣域網路(WAN)、一公共廣域網路、儲存器區域網路(SAN)、傳輸控制協定/網際網路協定(TCP/IP)、網際網路及其組合。

於圖3所述之具體實施例中，資料儲存及擷取系統320包括資料儲存裝置130和140。在替代之具體實施例中，申請人之資料儲存及擷取系統320包括兩個以上之資料儲存裝置。

複數個可攜式資料儲存媒體360以移動方式配置於申請人之資料儲存及擷取系統內。在某些具體實施例中，複數個資料儲存媒體360貯藏於複數個可攜式資料儲存匣370中。每一可攜式資料儲存匣以可移除方式配置於一適當之資料儲存裝置中。

資料儲存及擷取系統320進一步包括程式邏輯，用以管理資料儲存裝置130和140以及複數個可攜式資料儲存匣370。在替代之具體實施例中，資料儲存及擷取系統320和主機電腦390可共同放置於一單一裝置中。此情況下，主機電腦390可連接至另一主機電腦，例如用以將一組媒體儲存館命令或協定翻譯成另一組命令/協定，或者將媒體儲存館命令從一通信介面轉換成另一通信介面，抑或作為安全或其他用途。

主機電腦390包含像是一大型電腦、個人電腦、工作站的一電腦系統，其中包括像是視窗、AIX、Unix、MVS、LINUX的一作業系統(視窗係微軟公司的一註冊商標；AIX和MVS係IBM公司的一註冊商標；而且UNIX係於美國及其他國家

經由開放群組所壟斷特許的一註冊商標)。主機電腦390中之儲存器管理程式310包括技藝中已知之儲存器管理類型程式的功能，用以管理將資料轉移至像是IBM MVS作業系統中實作之IBM DFSMS的一資料儲存及擷取系統。

資料儲存及擷取系統320包含例如用以管理複數個磁帶驅動和磁帶匣的一電腦系統。在這類磁帶驅動之具體實施例中，磁帶驅動130和140可為像是TotalStorage™ 3590磁帶驅動(TotalStorage係IBM公司的一商標)之技藝中已知的任何適當磁帶驅動。同樣地，磁帶匣370可為像是ECCST、Magstar、TotalStorage™ 3420、3480、3490E、3580、3590磁帶匣等技藝中已知的任何適當磁帶匣裝置。

現在參照圖1，自動化資料儲存及擷取系統100已知具有儲存器擴充槽的第一牆102和儲存器擴充槽的第二牆104。可攜式資料儲存媒體個別儲存於此等儲存器擴充槽中。在某些具體實施例中，這類資料儲存媒體個別貯藏於可攜式容器，亦即一匣中。這類資料儲存媒體之例示包括：磁帶、各種磁碟類型、各種光學磁碟類型、電子儲存媒體等。

申請人之自動化資料儲存及擷取系統包括像是存取器110和120的一或更多存取器。如圖1所示，存取器110和120沿著儲存器擴充槽之第一牆102和儲存器擴充槽之第二牆104間配置的一走道之鐵軌170以雙向行進。一存取器係一機器人裝置，其從儲存器的第一牆102或儲存器的第二牆104存取可攜式資料儲存媒體，將存取之媒體傳輸至資料儲存裝置130/140，以便於其中讀取與/或寫入資料，而且將媒

體轉回一適當之儲存器擴充槽。資料儲存裝置130包括資料儲存裝置控制器134。資料儲存裝置140包括資料儲存裝置控制器144。

裝置160包含一媒體儲存館控制器。在某些具體實施例中，媒體儲存館控制器160整合於一電腦中。操作員輸入站150准許一使用者與申請人之自動化資料儲存及擷取系統100進行通信。電源組件180和電源組件190各包含一或更多電源供應單元，用以供應電源給申請人之自動化資料儲存及擷取系統內所配置的個別組件。匯入/匯出站172包括存取門174，其以樞紐附接於系統100之旁側。可攜式資料儲存匣可放置於系統中，或者替代上經由匯入/匯出站172/存取門174從系統移除。

尤其在資料儲存器驅動130與/或140包含一磁帶驅動單元之具體實施例中，該磁帶驅動單元包括一磁帶頭。現在參照圖2，多重元件磁帶頭200包括在一磁帶上記錄及讀取資訊之複數個讀取/寫入元件。在某些具體實施例中，磁帶頭200包含一薄膜磁阻轉換器。在一圖解之具體實施例中，磁帶頭200可如圖2所示加以建構。本質上，磁帶頭200長度對應於一磁帶寬度。在某些具體實施例中，磁帶頭200包括三十二對讀取/寫入元件(標示為"RD"和"WR")及三組伺服讀取元件，LS1和RS6例如對應於被寫入磁帶之三個伺服區域。在圖解之具體實施例中，三十二對讀取/寫入元件被分割成以八個為一群組，亦即群組201、221、241和261。

磁帶頭200進一步包括複數個伺服感測器，用以偵測包含

磁帶上之預記錄線性伺服邊緣的伺服信號。在圖2之具體實施例中，各具有8個讀取/寫入對之相鄰群組係以具有四個伺服感測器的一群組所佔用之兩軌道加以分離。具有四個伺服感測器的各群組稱為一"伺服群組"，例如：伺服群組211、伺服群組231和伺服群組251。

在圖解之具體實施例中，磁帶頭200包括分開加工然後焊於一起的左與右模組。寫入及讀取元件從左模組位置中的一寫入元件以及右模組之對應位置中的一讀取元件開始，向下交替橫過每一模組之長度(亦即：跨越磁帶寬度)。因此，左模組中的每一寫入元件和右模組之對應位置中的一讀取元件成對，而且左模組中的每一讀取元件和右模組之對應位置中的一寫入元件成對，使寫入/讀取元件對與讀取/寫入元件對橫向交替。

圖4顯示申請人之非同步讀取通道組合其一具體實施例之組件。在圖4之圖解具體實施例中，申請人之非同步讀取通道組合包括：微處理器介面401、資料快取記憶體403、以及將微處理器介面401與快取記憶體403互連的通信鏈結402。在某些具體實施例中，資料快取記憶體403包含一或更多靜態隨機存取記憶體(SRAM)裝置。在某些具體實施例中，資料快取記憶體403包含大約4仟位元組之儲存空間。在某些具體實施例中，資料快取記憶體403包含大約4仟位元組以上之儲存空間。

申請人之讀取通道進一步包括類比轉數位轉換器405、等化器415、中間線性濾波器425、抽樣內插器435、增益控制

模組 445、相位錯誤產生器 455、鎖相迴圈(PLL)電路 465、相位內插器 475、相位矩陣模組 486及路徑記憶體 489。路徑矩陣模組 486與路徑記憶體 489組合而形成所謂的一最大似然性偵測器 485。在某些具體實施例中，申請人之讀取通道包括一PR4最大似然性偵測器。在某些具體實施例中，申請人之讀取通道包括一EPR4最大似然性偵測器。

在某些具體實施例中，申請人之裝置包括一單一讀取通道。在某些具體實施例中，申請人之裝置包括複數個讀取通道。在某些具體實施例中，申請人之裝置包括8個讀取通道。在某些具體實施例中，申請人之裝置包括與2個伺服通道相組合的8個讀取通道。

當使用像是讀取/寫入頭 200從一磁帶讀取資訊時，先形成包含該資訊的一類比波形。像是類比轉數位轉換器(ADC)405的一類比轉數位轉換器將該類比波形轉換成一第一數位信號。該第一數位信號係使用通信鏈結 409提供給等化器 415。通信鏈結 409包括測試埠 410。在某些具體實施例中，等化器 415包含一有限脈衝響應("FIR")濾波器。此一有限脈衝響應("FIR")濾波器將第一數位信號成形，以產生一第二數位信號。

通信鏈結 411將測試埠 410與資料快取記憶體 403互連。在某些具體實施例中，通信鏈結 411包括將測試埠 410與一或更多資料埠互連的一或更多通信鏈結、將一或更多資料埠與一或更多多工器互連的一或更多通信鏈結、將一或更多多工器與一或更多多工解訊器互連的一或更多通信鏈結、

以及將一或更多多工解訊器與資料快取記憶體403互連的一或更多通信鏈結。

等化器415中所成形之第二數位信號係使用通信鏈結419提供給中間線性濾波器425。通信鏈結419包括測試埠420。中間線性濾波器425決定於抽樣細胞中間之等化信號的數值。中間線性濾波器425產生一第三數位信號，其包括抽樣細胞中間之等化信號及等化信號值。

通信鏈結421將測試埠420與資料快取記憶體403互連。在某些具體實施例中，通信鏈結421包括將測試埠420與一或更多資料埠互連的一或更多通信鏈結、將一或更多資料埠與一或更多多工器互連的一或更多通信鏈結、將一或更多多工器與一或更多多工解訊器互連的一或更多通信鏈結，以及將一或更多多工解訊器與資料快取記憶體403互連的一或更多通信鏈結。

中間線性濾波器425中所形成之第三數位信號係經由通信鏈結429提供給抽樣內插器435。通信鏈結429包括測試埠430。抽樣內插器435接收來自中間線性濾波器425之第三數位信號，且於同步抽樣時間使用鎖相迴圈(PLL)電路465之輸出估計等化信號。對於同步抽樣時間，申請人指：位元細胞時脈到達之時間。鎖相迴圈(PLL)電路465提供此一時間。抽樣內插器435提供一第四同步數位信號。

通信鏈結431將測試埠430與資料快取記憶體403互連。在某些具體實施例中，通信鏈結431包括將測試埠430與一或更多資料埠互連的一或更多通信鏈結、將一或更多資料埠

與一或更多多工器互連的一或更多通信鏈結、將一或更多多工器與一或更多多工解訊器互連的一或更多通信鏈結，以及將一或更多多工解訊器與資料快取記憶體403互連的一或更多通信鏈結。

抽樣內插器435所形成之第四數位信號係經由通信鏈結439提供給增益控制模組445。通信鏈結439包括測試埠440。增益控制模組445調整第四信號之振幅，以形成一第五數位信號，其具有最大似然性偵測器485用以設定預設定位準所需的一振幅。第五數位信號係經由通信鏈結448提供給最大似然性偵測器485。通信鏈結448包括測試埠480。通信鏈結481將測試埠480與資料快取記憶體403互連。最大似然性偵測器之輸出為通信鏈結492上的資料，以及通信鏈結493上的一資料有效信號。

通信鏈結481將測試埠480與資料快取記憶體403互連。在某些具體實施例中，通信鏈結481包括將測試埠480與一或更多資料埠互連的一或更多通信鏈結、將一或更多資料埠與一或更多多工器互連的一或更多通信鏈結、將一或更多多工器與一或更多多工解訊器互連的一或更多通信鏈結，以及將一或更多多工解訊器與資料快取記憶體403互連的一或更多通信鏈結。

增益控制模組445所形成之第五數位信號同樣經由通信鏈結449提供給相位錯誤產生器455。通信鏈結449包括測試埠450。相位錯誤產生器455估計第五數位信號之相位，並且產生一錯誤信號。

通信鏈結 451 將測試埠 450 與資料快取記憶體 403 互連。在某些具體實施例中，通信鏈結 451 包括將測試埠 450 與一或更多資料埠互連的一或更多通信鏈結、將一或更多資料埠與一或更多多工器互連的一或更多通信鏈結、將一或更多多工器與一或更多多工解訊器互連的一或更多通信鏈結，以及將一或更多多工解訊器與資料快取記憶體 403 互連的一或更多通信鏈結。

相位錯誤產生器 455 經由通信鏈結 459 將一相位錯誤信號提供給鎖相迴圈 (PLL) 電路 465。通信鏈結 459 包括測試埠 460。通信鏈結 461 將測試埠 460 與資料快取記憶體 403 互連。在某些具體實施例中，通信鏈結 461 包括將測試埠 460 與一或更多資料埠互連的一或更多通信鏈結、將一或更多資料埠與一或更多多工器互連的一或更多通信鏈結、將一或更多多工器與一或更多多工解訊器互連的一或更多通信鏈結，以及將一或更多多工解訊器與資料快取記憶體 403 互連的一或更多通信鏈結。

相位錯誤產生器 455 所提供之相位錯誤係由鎖相迴圈 (PLL) 電路 465 加以處理，其過濾該相位錯誤，而且決定同步位元細胞邊界之位置。同步位元細胞邊界之位置分別經由通信鏈結 469 和 478 提供給相位內插器 475 和抽樣內插器 435。通信鏈結 469 包括測試埠 470。通信鏈結 478 包括測試埠 479。

通信鏈結 471 將測試埠 470 與資料快取記憶體 403 互連。在某些具體實施例中，通信鏈結 471 包括將測試埠 470 與一或

更多資料埠互連的一或更多通信鏈結、將一或更多資料埠與一或更多多工器互連的一或更多通信鏈結、將一或更多多工器與一或更多多工解訊器互連的一或更多通信鏈結，以及將一或更多多工解訊器與資料快取記憶體403互連的一或更多通信鏈結。

圖5顯示8個讀取通道，即通道0、1、2、3、4、5、6和7與資料快取記憶體403間之互連。在某些具體實施例中，靜態隨機存取記憶體(SRAM)裝置590包含資料快取記憶體403。通道0、1、2、3、4、5、6和7各包括一等化器415、一中間線性濾波器425、一抽樣內插器435、一增益控制模組445、一相位錯誤產生器455、一鎖相迴圈(PLL)電路465、一相位內插器475，以及一最大似然性偵測器485。通道0、1、2、3、4、5、6和7各進一步包括通信鏈結407、409、417、419、427、429、437、439、447、448、449、457、459、467、469、477、487、492和493。通道0、1、2、3、4、5、6和7各進一步包括測試埠410、420、430、440、450、460、470、479、480和490。

通道0、1、2、3、4、5、6和7各進一步包括通信鏈結411、421、431、441、451、461、471、481和491。在圖5之圖解具體實施例中，通道0中所配置之通信鏈結411、421、431、441、451、461、471、481和491與資料埠502和504互連。同樣地，通道1、2、3、4、5、6和7中所配置之通信鏈結411、421、431、441、451、461、471、481和491分別與資料埠512/514、522/524、532/534、542/544、552/554、562/564，

及 572/574 互連。

資料埠 502/504 分別經由通信鏈結 506/508 與多工器模組 580 通信。資料埠 512/514 分別經由通信鏈結 516/518 與多工器模組 580 通信。資料埠 522/524 分別經由通信鏈結 526/528 與多工器模組 580 通信。資料埠 532/534 分別經由通信鏈結 536/538 與多工器模組 580 通信。資料埠 542/544 分別經由通信鏈結 546/548 與多工器模組 580 通信。資料埠 552/554 分別經由通信鏈結 556/558 與多工器模組 580 通信。資料埠 562/564 分別經由通信鏈結 566/568 與多工器模組 580 通信。資料埠 572/574 分別經由通信鏈結 576/578 與多工器模組 580 通信。

多工器模組 580 在一或更多通信鏈結上與多工解訊器模組 581 進行通信。多工解訊器模組 581 經由將靜態隨機存取記憶體 (SRAM) 590 分別與靜態隨機存取記憶體 (SRAM) 區塊 591、592、593、594、595、596、597 和 598 互連之通信鏈結 582、583、584、585、586、587、588 和 589 將資料提供給靜態隨機存取記憶體 (SRAM) 590。關於多工器 580 和多工解訊器模組 581 之設計，將多工器模組 580 與多工解訊器模組 581 互連之通信鏈結數目係用以捕捉資料之測試埠數目的一函數。

例如，如果使用申請人之裝置即時從 8 個通道捕捉資料，則使用圖 6 之具體實施例，其中多工器 580 包含多工器 600、610、620、630、640、650、660 和 670。此 8 個通道資料捕捉之具體實施例中並未使用多工解訊器。如果使用申請人

之裝置即時從4個通道捕捉資料，則使用圖7之具體實施例，其中多工器模組580包含多工器700、710、720和730，且其中多工解訊器模組581包括多工解訊器705、715、725和735。多工器700、710、720和730分別使用通信鏈結707、717、727和737而分別將資料提供給多工解訊器705、715、725和735。

如果使用申請人之裝置即時從2通道捕捉資料，則使用圖8之具體實施例，其中多工器580包含多工器800和810，且其中多工解訊器模組581包括多工解訊器805和815。多工器800和810分別使用通信鏈結807和817而分別將資料提供給多工解訊器805和815。如果使用申請人之裝置即時從1通道捕捉資料，則使用圖9之具體實施例，其中多工器模組580包含多工器900，且其中多工解訊器模組581包含多工解訊器905。多工器900使用通信鏈結907將資料提供給多工解訊器905。

在某些具體實施例中，圖4、5、6、7、8和9所述之裝置、測試埠、通信鏈結等係於硬佈線電路中實作。在某些具體實施例中，圖4、5、6、7、8和9所述之某些或全部裝置、測試埠、通信鏈結等可於特殊用途處理器中實作。在某些具體實施例中，圖4、5、6、7、8和9所述之某些或全部裝置、測試埠、通信鏈結等可於高速多用途程式規劃處理器中實作。在某些具體實施例中，圖4、5、6、7、8和9所述之某些或全部裝置、測試埠、通信鏈結等可包含一或更多專用積體電路，亦即"ASIC"。

申請人之發明包括一種使用申請人之讀取通道從一資訊儲存媒體讀取資訊的方法。現在參照圖10，於步驟1005中，申請人之方法提供其中具有編碼資訊的一資訊儲存媒體。在某些具體實施例中，此一資訊儲存媒體包含一磁性儲存媒體、一光學儲存媒體、一電子儲存媒體及其組合。對於"磁性儲存媒體"，申請人指：其一或更多磁性性質可差別調整而將資訊加以編碼的一媒體。對於"光學儲存媒體"，申請人指：其一或更多光學性質可差別調整而將資訊加以編碼的一媒體。對於"電子儲存媒體"，申請人指：像是一可程式化唯讀記憶體(PROM)、可抹除可程式化唯讀記憶體(EPROM)、電子可抹除可程式化唯讀記憶體(EEPROM)、快閃可程式化唯讀記憶體(PROM)、緊密快閃記憶體、智慧媒體之類的一裝置。

於步驟1010中，申請人之方法選擇包含申請人之讀取通道其一或更多組件的一或更多初始作業參數，即第一作業參數。對於"讀取通道"，申請人指：用以從一資訊儲存媒體擷取資訊、將資訊調整/放大/錯誤校正以及將資訊通信至一或更多要求之電腦的裝置。在某些具體實施例中，申請人之讀取通道包括圖4、5、6、7、8和9所列舉的裝置及通信鏈結。

在某些具體實施例中，步驟1010係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1010係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實

施例中，步驟1010係由一資料儲存器及像是控制器160(圖1)之擷取系統控制器所執行。在某些具體實施例中，步驟1010係由一使用者使用像是輸入站150(圖1)的一作業輸入站所執行。

在某些具體實施例中，步驟1010之初始作業參數包含在一讀取通道裝置製造階段所設置的該等作業參數。在某些具體實施例中，步驟1010之初始作業參數包含在讀取通道製造階段所設置的該等作業參數。在某些具體實施例中，步驟1010之初始作業參數包含在一或更多讀取通道裝置製造階段所設置的該等作業參數結合在讀取通道製造時所決定的一或更多作業參數。在某些具體實施例中，該等一或更多初始作業參數儲存於像是控制器134(圖1、3)與/或144(圖1、3)的一資料儲存裝置控制器中。

於步驟1020，申請人之方法設定一錯誤校正門限。如以上所述，申請人之讀取通道包括錯誤校正模組495。步驟1020之錯誤校正門限包含最大可接受錯誤率，亦即對提供給錯誤校正模組之數位信號進行一或更多校正的最大可接受率。在某些具體實施例中，錯誤校正門限係由使用者所決定。在某些具體實施例中，錯誤校正門限係在一資料儲存裝置控制器所配置之韌體中設定。在某些具體實施例中，錯誤校正門限係在一資料儲存及擷取系統控制器所配置之韌體中設定。在某些具體實施例中，錯誤校正門限係由系統使用者所設定。在某些具體實施例中，錯誤校正門限係由一主機電腦所決定。

熟習此項技藝者將明白：資訊係於一段時間中從一資訊儲存媒體所讀取。如以上所述，申請人之方法先形成包含資訊儲存媒體中之編碼資訊的一類比波形。該類比波形係於該時間區間連續形成。於該時間區間，一數位信號係從該類比波形形成。於步驟1025，於該時間區間的一第一部分，申請人之方法使用步驟1010的第一作業參數從資訊儲存媒體讀取資訊。

於步驟1030，申請人之方法對使用第一作業參數所形成之數位信號進行錯誤校正。步驟1030進一步包括決定一實際錯誤校正率。在某些具體實施例中，步驟1030係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1030係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實施例中，步驟1030係由像是控制器160(圖1)的一資料儲存及擷取系統控制器所執行。

於步驟1040，申請人之方法決定步驟1030之實際錯誤校正率是否大於步驟1020之錯誤校正門限。在某些具體實施例中，步驟1040係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1040係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實施例中，步驟1040係由像是控制器160(圖1)的一資料儲存及擷取系統控制器所執行。在某些具體實施例中，步驟1040係由一使用者使用像是輸入站150(圖1)的一操作員輸入站所執行。

如果於步驟1040，申請人之方法決定：實際錯誤校正率不大於錯誤校正門限，則申請人之方法從步驟1040變遷至步驟1005，而且繼續使用第一作業參數從資訊儲存媒體讀取資訊。替代上，如果於步驟1040，申請人之方法決定：實際錯誤校正率大於門限錯誤校正門限，則申請人之方法調整一或更多讀取通道裝置之作業參數，以降低實際錯誤校正率。

尤其如果於步驟1040，申請人之方法決定：實際錯誤校正率大於錯誤校正門限，則申請人之方法從步驟1040變遷至步驟1050，其中申請人之方法選擇最佳化的一或更多讀取通道裝置。在某些具體實施例中，該等一或更多讀取通道裝置係從等化器415、中間線性濾波器425、抽樣內插器435、增益控制模組445、相位錯誤產生器455、鎖相迴圈(PLL)電路465、相位內插器475以及最大似然性偵測器485所構成之群組中選擇。

在某些具體實施例中，步驟1050係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1050係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實施例中，步驟1050係由像是控制器160(圖1)的一資料儲存及擷取系統控制器所執行。在某些具體實施例中，步驟1050係由一使用者使用像是輸入站150(圖1)的一操作員輸入站所執行。

於步驟1060，申請人之方法從步驟1050中選定的一或更

多測試埠蒐集資料。在某些具體實施例中，步驟1060包括啟動像是一或更多測試埠410、420、430、440、450、460、470、479、480和490的一或更多測試埠。在某些具體實施例中，步驟1060包括將資料從此等一或更多測試埠通信至像是資料快取記憶體403的一資料快取記憶體。

在某些具體實施例中，步驟1060包括從一單一讀取通道中配置的一單一測試埠蒐集資訊。在某些具體實施例中，步驟1060包括從一單一讀取通道中配置的複數個測試埠蒐集資訊。在某些具體實施例中，步驟1060包括從複數個讀取通道中配置的複數個測試埠蒐集資訊。

在某些具體實施例中，步驟1060係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1060係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實施例中，步驟1060係由像是控制器160(圖1)的一資料儲存及擷取系統控制器所執行。

於步驟1070，申請人之方法將步驟1060中蒐集之資訊儲存於像是資料快取記憶體403的一資料快取記憶體。於步驟1080，步驟1070中儲存之資訊係由一控制器加以讀取。在某些具體實施例中，步驟1080係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1080係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實施例中，步驟1080係由像是控制器160(圖1)的一資料儲存及擷取系

統控制器所執行。

於步驟1090，申請人之方法使用步驟1080中所讀取資訊產生步驟1050中所選定裝置的已調整作業參數。在某些具體實施例中，步驟1090係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1090係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實施例中，步驟1090係由像是控制器160(圖1)的一資料儲存及擷取系統控制器所執行。

於步驟1095，將步驟1090之已調整作業參數提供給步驟1050中的選定裝置。在某些具體實施例中，步驟1095係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1095係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實施例中，步驟1095係由像是控制器160(圖1)的一資料儲存及擷取系統控制器所執行。

在某些具體實施例中，步驟1095包括使用一或更多通信鏈結407、417、427、437、447、457、467、477和487通信已調整作業參數。申請人之方法從步驟1095變遷至步驟1040，而且繼續。

圖11彙總申請人之方法的步驟，其中使用一或更多測試埠從一或更多讀取通道捕捉資料。申請人之方法從選擇一或更多測試埠的步驟1050(圖10)變遷至申請人之方法將該等一或更多選定測試埠之輸出設定為單一來源的步驟

1110。在某些具體實施例中，步驟1110係由像是裝置控制器134(圖1、3、4)或裝置控制器144(圖1、3、4)的一儲存裝置控制器所執行。在某些具體實施例中，步驟1110係由像是主機電腦390(圖1、3)的一主機電腦所執行。在某些具體實施例中，步驟1110係由像是控制器160(圖1)的一資料儲存及擷取系統控制器所執行。

於步驟1115，申請人之方法致能靜態隨機存取記憶體(SRAM)核心。在某些具體實施例中，步驟1115係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1115係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1115係由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1120，申請人之方法選擇用以輸入靜態隨機存取記憶體(SRAM)的(N個)資料通道。在某些具體實施例中，(N)係大於或等於1且小於或等於8的一整數。如果資料係從一單一讀取通道中的一單一測試埠所捕捉，則(N)被設定為1。如果資料係從8個不同之讀取通道所捕捉，則(N)被設定為8。在某些具體實施例中，步驟1120係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1120係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1120係由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1125，申請人之方法選擇觸發器。對於"觸發器"，申請人指用以啟動資料捕捉之信號。在某些具體實施例

中，觸發器包含來自實際錯誤校正率大於門限錯誤校正率之錯誤校正模組495的一信號。在某些具體實施例中，觸發器包含來自其讀取頭位於記錄媒體之校正欄位上之錯誤校正模組495的一信號，亦即一"DSS"觸發器。在某些具體實施例中，觸發器包含來自像是控制器134(圖1、3、4)的一資料儲存裝置控制器的一信號。在某些具體實施例中，觸發器包含來自像是控制器160(圖1)的一資料儲存及擷取系統控制器的一信號。在某些具體實施例中，觸發器包含來自像是主機390(圖1、3)的一主機電腦的一信號。在某些具體實施例中，觸發器包含來自像是輸入站150(圖1)的一操作員輸入站的一信號。

於步驟1130，申請人之方法設定靜態隨機存取記憶體(SRAM)於每第 $8/(N)$ 時脈捕捉資料。在某些具體實施例中，步驟1135係由像是裝置控制器134/144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1135係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1135係由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1135，申請人之方法選擇一多工器/多工解訊器模組，供資料捕捉用。例如，如果資料係從8個不同之測試埠所捕捉，則申請人之方法選擇圖6所示的多工器模組。如果資料係從4個不同之測試埠所捕捉，則申請人之方法選擇圖7所示的多工器/多工解訊器模組。如果資料係從2個不同之測試埠所捕捉，則申請人之方法選擇圖8所示的多工器/多

工解訊器模組。如果資料係從1測試埠所捕捉，則申請人之方法選擇圖8所示的多工器/多工解訊器模組。在某些具體實施例中，步驟1135係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1135係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1135係由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1140，申請人之方法將外部靜態隨機存取記憶體(SRAM)寫入特性去能。在某些具體實施例中，步驟1140由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1140係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1140係由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1145，當偵測得選定之觸發器時，申請人之方法設定靜態隨機存取記憶體(SRAM)介面起動抽樣。在某些具體實施例中，步驟1145係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1145係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1145係由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1150，申請人之方法致能選定的觸發器。在某些具體實施例中，步驟1150係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例

中，步驟1150係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1150係由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1155，申請人之方法等待到偵測得選定的觸發器為止。在某些具體實施例中，步驟1155係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1155係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1155係由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1160，申請人之方法決定是否已偵測得選定的觸發器。在某些具體實施例中，步驟1160係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1160係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1160係由像是控制器160的一資料儲存及擷取系統控制器所執行。如果於步驟1160，申請人之方法決定：並未偵測得選定的觸發器，則申請人之方法從步驟1160變遷至步驟1155。

替代上，如果於步驟1160，申請人之方法決定：偵測得選定的觸發器，則申請人之方法從步驟1160變遷至步驟1165，其中申請人之方法在步驟1050(圖10)中的選定測試埠上蒐集資料。在某些具體實施例中，步驟1165係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1165係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1165係

由像是控制器160的一資料儲存及擷取系統控制器所執行。

於步驟1170，申請人之方法決定資料快取記憶體是否被填充。在某些具體實施例中，步驟1170係由像是裝置控制器134或裝置控制器144的一儲存裝置控制器所執行。在某些具體實施例中，步驟1170係由像是主機電腦390的一主機電腦所執行。在某些具體實施例中，步驟1170係由像是控制器160的一資料儲存及擷取系統控制器所執行。如果於步驟1170，申請人之方法決定資料快取記憶體被填充，則申請人之方法從步驟1170變遷至步驟1080(圖10)。替代上，如果於步驟1170申請人之方法決定資料快取記憶體未被填充，則申請人之方法從步驟1170變遷至步驟1165，其中申請人之方法繼續在選定通道上蒐集資料。

圖10與11中列舉之申請人之方法的具體實施例可分開實作。再者，在某些具體實施例中，圖10與/或11中列舉之個別步驟可以組合、排除或重排序。

所呈現之例示I與II係用以對熟習此項技藝者進一步圖解如何製作及使用本發明，以及如何識別其中某些具體實施例。然而，此等例示不希望被視為本發明其範圍之限制，其範圍僅以附加之申請專利範圍加以定義。

例示I

於例示I中，第一數位信號，即等化器415之輸入係使用一DSS觸發器從八個不同讀取通道上所配置的測試埠410加以捕捉。表I列舉各種暫存器、暫存器設定，以及用以捕捉第一數位信號供以後分析用之步驟的說明。在某些具體

實施例中，表I所示之暫存器係配置於一微處理器介面401中。如果於此例示中，資料快取記憶體大約包含4KB記憶體，則8個信號來源大約各分配500 B記憶體。

在某些具體實施例中，表I所述之暫存器係配置於一資料儲存及擷取系統控制器中。在某些具體實施例中，表I所述之暫存器係配置於一主機電腦中。

表 I

暫存器	設定	說明
XR_TPSEL0_M	X'00'	將測試埠0之輸出設定為等化器輸入
XR_RAMCTL1_M	X'20'	致能靜態隨機存取記憶體(SRAM)核心
XR_RAMCTL2_M	X'A8'	選擇用以輸入靜態隨機存取記憶體(SRAM)之資料通道 去能微處理器觸發器 致能DSS觸發器 去能位元組比較之觸發器 將靜態隨機存取記憶體(SRAM)介面保持在一重置模式中 去能靜態隨機存取記憶體(SRAM)之任何外部微處理器寫入 設定靜態隨機存取記憶體(SRAM)於每一時脈捕捉資料
XR_RAMMUX1_M	X'00'	選擇MUX-B作為靜態隨機存取記憶體(SRAM)來源 選擇測試埠0作為MUX-B輸入
XR_RAMADDIH_M	X'00'	去能外部靜態隨機存取記憶體(SRAM)寫入特性
XR_RAMTRIGX_M	X'00'	當偵測得DSS時，設定靜態隨機存取記憶體(SRAM)介面起動抽樣
XR_RAMCTL2_M	X'A0'	致能靜態隨機存取記憶體(SRAM)介面

XR_RAMSTAT_M	如果=X'80'	則靜態隨機存取記憶體(SRAM)已被填充
	如果=X'00'	則靜態隨機存取記憶體(SRAM)未被填充

例示 II

於例示 II 中，第一數位信號，即等化器 415 係使用一儲存裝置微處理器觸發器從讀取通道 5 上之測試埠 410 所捕捉。表 II 列舉各種暫存器、暫存器設定，以及用以捕捉第一數位信號供以後分析用之步驟的說明。在某些具體實施例中，表 II 所示之暫存器係配置於一微處理器介面 401 中。於此例示中，資料快取記憶體之所有記憶體功能被分配給從單一信號來源所捕捉的資料。

在某些具體實施例中，表 II 所述之暫存器係配置於一資料儲存及擷取系統控制器中。在某些具體實施例中，表 II 所述之暫存器係配置於一主機電腦中。

表 II

暫存器	設定	說明
XR_TPSEL0_M	X'00'	將測試埠 0 之輸出設定為等化器輸入
XR_RAMCTL1_M	X'20'	致能靜態隨機存取記憶體 (SRAM) 核心
XR_RAMCTL2_M	X'CB'	設定用以輸入靜態隨機存取記憶體 (SRAM) 之資料通道 致能微處理器觸發器 去能 DSS 觸發器 致能位元組比較之觸發器 將靜態隨機存取記憶體 (SRAM) 介面保持在一重置模式中 去能靜態隨機存取記憶體 (SRAM) 之任何外部微處理器

		寫入 設定靜態隨機存取記憶體 (SRAM)於每第8時脈捕捉資料
XR_RAMMUX1_M	X'4A'	選擇MUX-C作為靜態隨機存取 記憶體(SRAM)來源 選擇測試埠0作為MUX-B輸入
XR_RAMADDIH_M	X'00'	去能外部靜態隨機存取記憶體 (SRAM)寫入特性
XR_RAMTRIGX_M	X'00'	當偵測得DSS時,則設定靜態隨 機存取記憶體(SRAM)介面起 動抽樣
XR_RAMCTL2_M	X'C3'	致能靜態隨機存取記憶體 (SRAM)介面
XR_RAMTRIGX_M	X'80'	起動通道5之資料蒐集
XR_RAMSTAT_M	如果=X'80' 如果=X'00'	則靜態隨機存取記憶體 (SRAM)已被填充 則靜態隨機存取記憶體 (SRAM)未被填充

申請人之發明包括一種包含一電腦可使用媒體之製造物品，其中具有配置於其中且使用申請人之讀取通道組合從一資訊儲存媒體讀取資料之電腦可讀取程式碼。申請人之發明進一步包括可由一可程式規劃之電腦處理器加以使用的一電腦程式產品，其中具有電腦可讀取程式碼，用以具體實施使用申請人之讀取通道組合從一資訊儲存媒體讀取資料之方法。

雖然已經詳細圖解本發明之較佳具體實施例，但應明白：於沒有偏離以下申請專利範圍所陳述之本發明的範圍下，熟習此項技藝者可對該等具體實施例加以修正及改編。

【圖式簡單說明】

藉由閱讀以下詳細之說明且結合圖式，可以更了解本發明，其中相似之參考指定符用以指示相似之元件，且其中：

圖1係申請人之資料儲存及擷取系統其一具體實施例的一透視圖；

圖2係一磁帶頭之磁軌布局的一圖形；

圖3係顯示申請人之資料儲存及擷取系統其一具體實施例之組件的一方塊圖；

圖4係顯示申請人之讀取通道組合之組件的一方塊圖；

圖5係顯示將複數個讀取通道與一資料快取記憶體互連之通信鏈結的一方塊圖；

圖6係顯示從8個不同測試埠捕捉資訊之多工器/多工解訊器電路及通信鏈結的一方塊圖；

圖7係顯示從4個不同測試埠捕捉資訊之多工器/多工解訊器電路及通信鏈結的一方塊圖；

圖8係顯示從2個不同測試埠捕捉資訊之多工器/多工解訊器電路及通信鏈結的一方塊圖；

圖9係顯示用以從1測試埠捕捉資訊之多工器/多工解訊器電路及通信鏈結的一方塊圖；

圖10係彙總從一資訊儲存媒體讀取資訊之申請人之方法步驟的一流程；以及

圖11係彙總從(N個)測試埠捕捉資料之申請人之方法步驟的一流程。

【圖式代表符號說明】

102	儲存器擴充槽的第一牆
104	儲存器擴充槽的第二牆
150	操作員輸入站

160	媒體儲存館控制器
170	鐵軌
172	匯入/匯出站
174	存取門
200	磁帶頭
110, 120	存取器
130, 140	資料儲存裝置
134, 144	資料儲存裝置控制器
310	儲存器管理程式
360	資料儲存媒體
370	資料儲存匣
180, 190	電源組件
390	主機電腦
401	微處理器介面
403	資料快取記憶體
405	類比轉數位轉換器
415	等化器
100, 320	資料儲存及擷取系統
425	中間線性濾波器
445	增益控制模組
455	相位錯誤產生器
465	鎖相迴圈電路
485	最大似然性偵測器
486	相位矩陣模組

489
495
211 , 231 , 251
132 , 134 , 142 ,
144 , 322
435 , 475
201 , 221 , 241 , 261 ,
500 , 510 , 520 , 530 ,
540
550 , 560 , 570
410 , 420 , 430 , 440 ,
450 , 460 , 470 , 479 ,
480 , 490
350 , 352 , 354 , 356 ,
358 , 402 , 404 , 407 ,
409 , 411 , 417 , 419 ,
421 , 427 , 429 , 431 ,
437 , 439 , 441 , 447 ,
448 , 449 , 451 , 457 ,
459 , 461 , 467 , 469 ,
471 , 477 , 478 , 481 ,
487 , 491 , 492 , 493 ,
506 , 508 , 516 , 518 ,
526 , 528 , 536 , 538 ,

路徑記憶體

錯誤校正模組

伺服群組

裝置控制器

抽樣內插器

讀取/寫入元件群組

通道

測試埠

546 , 548 , 556 , 558 ,
566 , 568 , 576 , 578 ,
582 , 583 , 584 , 585 ,
586 , 587 , 588 , 589 ,
707 , 717 , 727 , 737 ,
807 , 817 , 907
590 , 591 , 592 , 593 ,
594 , 595 , 596 , 597 ,
598
581 , 705 , 715 , 725 ,
735 , 805 , 815 , 905
502 , 504 , 512 , 514 ,
522 , 524 , 532 , 534 ,
542 , 544 , 552 , 554 ,
562 , 564 , 572 , 574
580 , 600 , 610 , 620 ,
630 , 640 , 650 , 660 ,
670 , 700 , 710 , 720 ,
730 , 800 , 810 , 900

通信鏈結

靜態隨機存取記憶體區塊

多工解訊器

資料埠

多工器

伍、中文發明摘要：

一種使用一讀取通道從一資訊儲存媒體讀取資訊之方法及裝置，其中該讀取通道包括一資料快取記憶體。本發明產生包含該資訊的一類比波形，且將該類比波形提供給一讀取通道，並使用一或更多第一作業參數從該類比波形產生一數位信號。該方法以一實際錯誤校正率進行該數位信號之錯誤校正，而且決定該實際錯誤校正率是否大於一錯誤校正率門限。如果實際錯誤校正率超越錯誤校正率門限，則該方法捕捉數位信號，將捕捉之資料儲存於一資料快取記憶體，從該快取記憶體讀取該數位信號，產生一或更多第二作業參數，且將該等一或更多第二作業參數提供給該讀取通道。其後，該方法使用該等一或更多第二作業參數從資訊儲存媒體讀取資訊。

陸、英文發明摘要：

A method and apparatus to read information from an information storage medium using a read channel, where that read channel includes a data cache. The invention generates an analog waveform comprising the information, and provides that analog waveform to a read channel, and generates a digital signal from that analog waveform using one or more first operating parameters. The method error corrects that digital signal at an actual error correction rate, and determines if the actual error correction rate is greater than an error correction rate threshold. If the actual error correction rate exceeds the error correction rate threshold, then the method captures the digital signal, stores that captured data in a data cache, reads that digital signal from the cache, generates one or more second operating parameters, and provides those one or more second operating parameters to the read channel. Thereafter, the method uses those one or more second operating parameters to read the information from the information storage medium.

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

100	資料儲存及擷取系統
102	儲存器擴充槽的第一牆
104	儲存器擴充槽的第二牆
150	操作員輸入站
160	媒體儲存館控制器
170	鐵軌
172	匯入／匯出站
174	存取門
110，120	存取器
130，140	資料儲存裝置
134，144	資料儲存裝置控制器
180，190	電源組件
390	主機電腦
350，352，356	通信鏈結

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

拾、申請專利範圍：

1. 一種讀取通道，包含：

一類比轉數位轉換器；

一等化器；

將該等化器與該類比轉數位轉換器互連的一第一通信鏈結，其中該第一通信鏈結包含一第一測試埠；

一資料快取記憶體；

將該第一測試埠與該資料快取記憶體互連的一第二通信鏈結；

一微處理器介面；

將該資料快取記憶體與該微處理器互連的一第三通信鏈結；

將該微處理器介面與該等化器互連的一第四通信鏈結。

2. 如申請專利範圍第1項之讀取通道，進一步包含：

一中間線性濾波器；

將該中間線性濾波器與該等化器互連的一第五通信鏈結，其中該第五通信鏈結包含一第二測試埠；

將該中間線性濾波器與該資料快取記憶體互連的一第六通信鏈結；

將該微處理器介面與該中間線性濾波器互連的一第七通信鏈結。

3. 如申請專利範圍第2項之讀取通道，進一步包含：

一抽樣內插器；

將該中間線性濾波器與該抽樣內插器互連的一第八通信鏈結，其中該第八通信鏈結包含一第三測試埠；

將該抽樣內插器與該資料快取記憶體互連的一第九通信鏈結；

將該微處理器介面與該抽樣內插器互連的一第十通信鏈結。

4. 如申請專利範圍第3項之讀取通道，進一步包含：

一增益控制模組；

將該增益控制模組與該抽樣內插器互連的一第十一通信鏈結，其中該第十一通信鏈結包含一第四測試埠；

將該增益控制模組與該資料快取記憶體互連的一第十二通信鏈結；

將該微處理器介面與該增益控制模組互連的一第十三通信鏈結。

5. 如申請專利範圍第4項之讀取通道，進一步包含：

一相位錯誤產生器；

將該增益控制模組與該相位錯誤產生器互連的一第十四通信鏈結，其中該第十四通信鏈結包含一第五測試埠；

將該相位錯誤產生器與該資料快取記憶體互連的一第十五通信鏈結；

將該微處理器介面與該相位錯誤產生器互連的一第十六通信鏈結。

6. 如申請專利範圍第5項之讀取通道，進一步包含：

鎖相迴圈(PLL)電路；

將該相位錯誤產生器與鎖相迴圈(PLL)電路互連的一第十七通信鏈結，其中該第十七通信鏈結包含一第六測試埠；

將該鎖相迴圈(PLL)電路與該資料快取記憶體互連的一第十八通信鏈結，

將該微處理器介面與該鎖相迴圈(PLL)電路互連的一第十九通信鏈結。

7. 如申請專利範圍第6項之讀取通道，進一步包含：

一相位內插器；

將該鎖相迴圈(PLL)電路與該相位內插器互連的一第二十通信鏈結，其中該第二十通信鏈結包含一第七測試埠；

將該第七測試埠與該資料快取記憶體互連的一第二十一通信鏈結；

將該相位內插器與該抽樣內插器互連的一第二十二通信鏈結，其中該第二十二通信鏈結包含一第八測試埠；

將該第八測試埠與該資料快取記憶體互連的一第二十三通信鏈結；

將該微處理器介面與該相位內插器互連的一第二十四通信鏈結。

8. 如申請專利範圍第7項之讀取通道，進一步包含：

一最大似然性偵測器；

將該增益控制模組與該最大似然性偵測器互連的一第二十五通信鏈結，其中該第二十五通信鏈結包含一第九

測試埠；

將該第九測試埠與該資料快取記憶體互連的一第二十六通信鏈結；

將該微處理器介面與該最大似然性偵測器互連的一第二十七通信鏈結。

9. 如申請專利範圍第8項之讀取通道，進一步包含：

一錯誤校正模組；

將該錯誤校正模組與該最大似然性偵測器互連的一第二十八通信鏈結，其中該第二十八通信鏈結包含一第十測試埠；

將該第十測試埠與該資料快取記憶體互連的一第二十九通信鏈結；

將該微處理器介面與該錯誤校正模組互連的一第三十通信鏈結。

10. 一種專用積體電路，包含：

(N個)讀取通道；

一靜態隨機存取記憶體(SRAM)記憶體裝置，其中該靜態隨機存取記憶體(SRAM)記憶體裝置能夠與(N個中)每一讀取通道進行通信；

一微處理器介面，其中該微處理器介面能夠讀取該靜態隨機存取記憶體(SRAM)記憶體裝置，且其中該微處理器介面能夠與(N個中)每一讀取通道進行通信，其中(N)大於或等於1且小於或等於8。

11. 如申請專利範圍第10項之專用積體電路，其中(N)為8。

12. 如申請專利範圍第10項之專用積體電路，其中(N個中)每一讀取通道包含：

一類比轉數位轉換器；

一等化器；

將該等化器與該類比轉數位轉換器互連的一第一通信鏈結，其中該第一通信鏈結包含一第一測試埠；

將該第一測試埠與該資料快取記憶體互連的一第二通信鏈結；

將該資料快取記憶體與該微處理器介面互連的一第三通信鏈結；

將該微處理器介面與該等化器互連的一第四通信鏈結。

13. 如申請專利範圍第12項之專用積體電路，其中(N個中)每一讀取通道進一步包含：

一中間線性濾波器；

將該中間線性濾波器與該等化器互連的一第五通信鏈結，其中該第五通信鏈結包含一第二測試埠；

將該中間線性濾波器與該資料快取記憶體互連的一第六通信鏈結；

將該微處理器介面與該中間線性濾波器互連的一第七通信鏈結。

14. 如申請專利範圍第13項之專用積體電路，其中(N個中)每一讀取通道進一步包含：

一抽樣內插器；

將該中間線性濾波器與該抽樣內插器互連的一第八通信鏈結，其中該第八通信鏈結包含一第三測試埠；

將該抽樣內插器與該資料快取記憶體互連的一第九通信鏈結；

將該微處理器介面與該抽樣內插器互連的一第十通信鏈結。

15. 如申請專利範圍第14項之專用積體電路，其中（N個中）每一讀取通道進一步包含：

一增益控制模組；

將該增益控制模組與該抽樣內插器互連的一第十一通信鏈結，其中該第十一通信鏈結包含一第四測試埠；

將該增益控制模組與該資料快取記憶體互連的一第十二通信鏈結；

將該微處理器介面與該增益控制模組互連的一第十三通信鏈結。

16. 如申請專利範圍第15項之專用積體電路，其中（N個中）每一讀取通道進一步包含：

一相位錯誤產生器；

將該增益控制模組與該相位錯誤產生器互連的一第十四通信鏈結，其中該第十四通信鏈結包含一第五測試埠；

將該相位錯誤產生器與該資料快取記憶體互連的一第十五通信鏈結；

將該微處理器介面與該相位錯誤產生器互連的一第十六通信鏈結。

17. 如申請專利範圍第16項之專用積體電路，其中（N個中）每一讀取通道進一步包含：

鎖相迴圈(PLL)電路；

將該相位錯誤產生器與鎖相迴圈(PLL)電路互連的一第十七通信鏈結，其中該第十七通信鏈結包含一第六測試埠；

將該鎖相迴圈(PLL)電路與該資料快取記憶體互連的一第八通信鏈結；

將該微處理器介面與該鎖相迴圈(PLL)電路互連的一第十九通信鏈結。

18. 如申請專利範圍第17項之專用積體電路，其中（N個中）每一讀取通道進一步包含：

一相位內插器；

將該鎖相迴圈(PLL)電路與該相位內插器互連的一第二十通信鏈結，其中該第二十通信鏈結包含一第七測試埠；

將該第七測試埠與該資料快取記憶體互連的一第二十一通信鏈結；

將該相位內插器與該抽樣內插器互連的一第二十二通信鏈結，其中該第二十二通信鏈結包含一第八測試埠；

將該第八測試埠與該資料快取記憶體互連的一第二十三通信鏈結，

將該微處理器介面與該相位內插器互連的一第二十四通信鏈結。

19. 如申請專利範圍第18項之專用積體電路，其中（N個中）每一讀取通道進一步包含：

一最大似然性偵測器；

將該增益控制模組與該最大似然性偵測器互連的一第二十五通信鏈結，其中該第二十五通信鏈結包含一第九測試埠；

將該第九測試埠與該資料快取記憶體互連的一第二十六通信鏈結；

將該微處理器介面與該最大似然性偵測器互連的一第二十七通信鏈結。

20. 如申請專利範圍第19項之專用積體電路，其中（N個中）每一讀取通道進一步包含：

一錯誤校正模組；

將該錯誤校正模組與該最大似然性偵測器互連的一第二十八通信鏈結，其中該第二十八通信鏈結包含一第十測試埠；

將該第十測試埠與該資料快取記憶體互連的一第二十九通信鏈結，

將該微處理器介面與該錯誤校正模組互連的一第三十通信鏈結。

21. 一種使用一讀取通道從一資訊儲存媒體讀取資訊之方法，其中包含以下步驟：

於一時間區間產生包含該資訊的一類比波形；

於該時間區間將該類比波形提供給該讀取通道；

提供包含該讀取通道其一或更多第一作業參數的一控制器；

將該一或更多第一作業參數提供給該讀取通道；

於該時間區間之一第一部分期間使用該一或更多第一作業參數從該類比波形產生一數位信號；

設定一錯誤校正率門限；

於該時間區間之第一部分期間以一實際錯誤校正率進行該數位信號的錯誤校正；

決定該實際錯誤校正率是否大於該錯誤校正率門限；

如果該實際錯誤校正率不大於該錯誤校正率門限，則進行：於該時間區間期間使用該一或更多第一作業參數繼續產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間將該數位信號儲存於該資料快取記憶體中；於時間區間之第一部分期間藉由該控制器從該快取記憶體讀取該數位信號；於該時間區間之第一部分期間藉由該控制器產生一或更多第二作業參數；

於該時間區間之第一部分期間將一或更多第二作業參數提供給該讀取通道；

於該時間區間之一第二部分期間使用該一或更多第二作業參數產生該數位信號。

22. 如申請專利範圍第21項之方法，其中該讀取通道包含一

等化器，且其中該控制器包含一或更多第一等化器作業參數，進一步包含以下步驟：

將該一或更多第一等化器作業參數提供給該等化器；

於該時間區間之第一部分期間使用該一或更多第一等化器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二等化器作業參數；

於該時間區間之第一部分期間將一或更多第二等化器作業參數提供給該等化器；

於該時間區間之第二部分期間使用該一或更多第二作業參數產生該數位信號。

23. 如申請專利範圍第21項之方法，其中該讀取通道包含一中間線性濾波器，且其中該控制器包含一或更多第一中間線性濾波器作業參數，其進一步包含以下步驟：

將該一或更多第一等化器作業參數提供給該中間線性濾波器；

於該時間區間之第一部分期間使用該一或更多第一中間線性濾波器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二中間線性濾波器作業參數；

於該時間區間之第一部分期間將該一或更多第二中線性濾波器作業參數提供給該中間線性濾波器；

於該時間區間之第二部分期間使用該一或更多第二中間線性濾波器作業參數產生該數位信號。

24. 如申請專利範圍第21項之方法，其中該讀取通道包含一抽樣內插器，且其中該控制器包含一或更多第一抽樣內插器作業參數，其進一步包含以下步驟：

將該一或更多第一抽樣內插器作業參數提供給該抽樣內插器；

於該時間區間之第一部分期間使用該一或更多第一抽樣內插器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二抽樣內插器作業參數；

於該時間區間之第一部分期間將一或更多第二抽樣內插器作業參數提供給該抽樣內插器；

於該時間區間之第二部分期間使用該一或更多第二抽樣內插器參數產生該數位信號。

25. 如申請專利範圍第21項之方法，其中該讀取通道包含一增益控制模組，且其中該控制器包含一或更多第一增益控制模組作業參數，其進一步包含以下步驟：

將一或更多第一增益控制模組作業參數提供給該增益控制模組；

於該時間區間之第一部分期間使用該一或更多第一增益控制模組作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二增益控制模組作業參數；

於該時間區間之第一部分期間將該一或更多第二增益控制模組作業參數提供給該增益控制模組；

於該時間區間資訊第二部分期間使用該一或更多第二增益控制模組作業參數產生該數位信號。

26. 如申請專利範圍第21項之方法，其中該讀取通道包含一相位錯誤產生器，且其中該控制器包含一或更多第一相位錯誤產生器作業參數，其進一步包含以下步驟：

將該一或更多第一相位錯誤產生器作業參數提供給該相位錯誤產生器；

於該時間區間之第一部分期間使用該一或更多第一相位錯誤產生器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多相位錯誤產生器作業參數；

於該時間區間之第一部分期間將該一或更多第二相位錯誤產生器作業參數提供給該相位錯誤產生器；

於該時間區間之第二部分期間使用該一或更多第二相

位錯誤產生器作業參數產生該數位信號。

27. 如申請專利範圍第21項之方法，其中該讀取通道進一步包含一鎖相迴圈(PLL)電路，且其中該控制器包含一或更多第一鎖相迴圈(PLL)電路作業參數，其進一步包含以下步驟：

將該一或更多第一鎖相迴圈(PLL)電路作業參數提供給該一鎖相迴圈(PLL)電路；

於該時間區間之第一部分期間使用該一或更多第一鎖相迴圈(PLL)電路作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二鎖相迴圈(PLL)電路作業參數；

於該時間區間之第一部分期間將該一或更多第二鎖相迴圈(PLL)電路作業參數提供給該鎖相迴圈(PLL)電路；

於該時間區間之第二部分期間使用該一或更多第二鎖相迴圈(PLL)電路作業參數產生該數位信號。

28. 如申請專利範圍第21項之方法，其中該讀取通道包含一相位內插器，且其中該控制器包含一或更多第一相位內插器作業參數，其進一步包含以下步驟：

將該一或更多第一相位內插器作業參數提供給該相位內插器；

於該時間區間之第一部分期間使用該一或更多第一相位內插器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二相位內插器作業參數；

於該時間區間之第一部分期間將該一或更多第二相位內插器作業參數提供給該相位內插器；

於該時間區間之第二部分期間使用該一或更多第二相位內插器作業參數產生該數位信號。

29. 如申請專利範圍第21項之方法，其中該讀取通道包含一最大似然性偵測器，且其中該控制器包含一或更多第一最大似然性偵測器作業參數，其進一步包含以下步驟：

將該一或更多第一最大似然性偵測器作業參數提供給該最大似然性偵測器；

於該時間區間之第一部分期間使用該一或更多第一最大似然性偵測器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二最大似然性偵測器作業參數；

於該時間區間之第一部分期間將該一或更多第二最大似然性偵測器作業參數提供給該抽樣內插器；

於該時間區間之一第二部分期間使用該一或更多第二最大似然性偵測器作業參數產生該數位信號。

30. 一種包含一電腦可使用媒體之製造物品，其中具有配置

於其中且使用一讀取通道從一資訊儲存媒體讀取資訊之電腦可讀取程式碼，其中該製造物品進一步包含一控制器和該讀取通道的一或更多第一作業參數，且其中該讀取通道包含一資料快取記憶體，該電腦可讀取程式碼包含一連串電腦可讀取程式步驟，致使：

於一時間區間產生包含該資訊的一類比波形；

於該時間區間將類比波形提供給該讀取通道；

將該一或更多第一作業參數提供給該讀取通道；

於該時間區間之一第一部分期間使用該一或更多第一作業參數從該類比波形產生一數位信號；

設定一錯誤校正率門限；

於該時間區間之第一部分期間以一實際錯誤校正率進行該數位信號的錯誤校正；

決定該實際錯誤校正率是否大於該錯誤校正率門限；

如果該實際錯誤校正率不大於該錯誤校正率門限，則進行：於該時間區間繼續使用該一或更多第一作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間將該數位信號儲存於該資料快取記憶體；

於該時間區間之第一部分期間藉由該控制器從該快取記憶體讀取該數位信號；

於該時間區間之第一部分期間藉由該控制器產生一或

更多第二作業參數；

於該時間區間之第一部分期間將該一或更多第二作業參數提供給該讀取通道；

於該時間區間之一第二部分期間使用該一或更多第二作業參數產生該數位信號。

31. 如申請專利範圍第30項之製造物品，其中該讀取通道包含一等化器，且其中該控制器包含一或更多第一等化器作業參數，該電腦可讀取程式碼進一步包含一連串電腦可讀取程式步驟，致使：

將該一或更多第一等化器作業參數提供給該等化器；

於該時間區間之第一部分期間使用該一或更多第一等化器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二等化器作業參數；

於該時間區間之第一部分期間將一或更多第二等化器作業參數提供給該等化器；

於該時間區間之第二部分期間使用該一或更多第二等化器作業參數產生該數位信號。

32. 如申請專利範圍第30項之製造物品，其中該讀取通道包含一中間線性濾波器，且其中該控制器包含一或更多第一中間線性濾波器作業參數，該電腦可讀取程式碼進一步包含一連串電腦可讀取程式步驟，致使：

將該一或更多第一等化器作業參數提供給該中間線性濾波器；

於該時間區間之第一部分期間使用該一或更多第一中間線性濾波器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二中間線性濾波器作業參數；

於該時間區間之第一部分期間將該一或更多第二中間線性濾波器作業參數提供給該中間線性濾波器；

於該時間區間之第二部分期間使用該一或更多第二中間線性濾波器作業參數產生該數位信號。

33. 如申請專利範圍第30項之製造物品，其中該讀取通道包含一抽樣內插器，且其中該控制器包含一或更多第一抽樣內插器作業參數，該電腦可讀取程式碼進一步包含一連串電腦可讀取程式步驟，致使：

將該一或更多第一抽樣內插器作業參數提供給該抽樣內插器；

於該時間區間之第一部分期間使用該一或更多第一抽樣內插器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二抽樣內插器作業參數；

於該時間區間之第一部分期間將該一或更多第二抽樣內插器作業參數提供給該抽樣內插器；

於該時間區間之第二部分期間使用該一或更多第二抽樣內插器參數產生該數位信號。

34. 如申請專利範圍第30項之製造物品，其中該讀取通道包含一增益控制模組，且其中該控制器包含一或更多第一增益控制模組作業參數，該電腦可讀取程式碼進一步包含一連串電腦可讀取程式步驟，致使：

將該一或更多第一增益控制模組作業參數提供給該增益控制模組；

於該時間區間之第一部分期間使用該一或更多第一增益控制模組作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二增益控制模組作業參數；

於該時間區間之第一部分期間將該一或更多第二增益控制模組作業參數提供給該增益控制模組；

於該時間區間之第二部分期間使用該一或更多第二增益控制模組作業參數產生該數位信號。

35. 如申請專利範圍第30項之製造物品，其中該讀取通道包含一相位錯誤產生器，且其中該控制器包含一或更多第一相位錯誤產生器作業參數，該電腦可讀取程式碼進一步包含一連串電腦可讀取程式步驟，致使：

將該一或更多第一相位錯誤產生器作業參數提供給該相位錯誤產生器；

於該時間區間之第一部分期間使用該一或更多第一相位錯誤產生器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二相位錯誤產生器作業參數；

於該時間區間之第一部分期間將該一或更多第二相位錯誤產生器作業參數提供給該相位錯誤產生器；

於該時間區間之第二部分期間使用該一或更多第二相位錯誤產生器作業參數產生該數位信號。

36. 如申請專利範圍第30項之製造物品，其中該讀取通道包含一鎖相迴圈(PLL)電路，且其中該控制器包含一或更多第一鎖相迴圈(PLL)電路作業參數，該電腦可讀取程式碼進一步包含一連串電腦可讀取程式步驟，致使：

將該一或更多第一鎖相迴圈(PLL)電路作業參數提供給該鎖相迴圈(PLL)電路；

於該時間區間之第一部分期間使用該一或更多第一鎖相迴圈(PLL)電路作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二鎖相迴圈(PLL)電路作業參數；

於該時間區間之第一部分期間將一或更多第二鎖相迴圈(PLL)電路作業參數提供給該鎖相迴圈(PLL)電路；

於該時間區間之第二部分期間使用該一或更多第二鎖相迴圈(PLL)電路作業參數產生該數位信號。

37. 如申請專利範圍第30項之製造物品，其中該讀取通道包含一相位內插器，且其中該控制器包含一或更多第一相位內插器作業參數，該電腦可讀取程式碼進一步包含一連串電腦可讀取程式步驟，致使：

將該一或更多第一相位內插器作業參數提供給該相位內插器；

於該時間區間之第一部分期間使用該一或更多第一相位內插器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二相位內插器作業參數；

於該時間區間之第一部分期間將該一或更多第二相位內插器作業參數提供給該相位內插器；

於該時間區間之第二部分期間使用該一或更多第二相位內插器作業參數產生該數位信號。

38. 如申請專利範圍第30項之製造物品，其中該讀取通道包含一最大似然性偵測器，且其中該控制器包含一或更多第一最大似然性偵測器作業參數，該電腦可讀取程式碼進一步包含一連串電腦可讀取程式步驟，致使：

將該一或更多第一最大似然性偵測器作業參數提供給該最大似然性偵測器；

於該時間區間之第一部分期間使用該一或更多第一最大似然性偵測器作業參數產生該數位信號；

如果該實際錯誤校正率大於該錯誤校正率門限，則進行：

於該時間區間之第一部分期間藉由該控制器產生一或更多第二最大似然性偵測器作業參數；

於該時間區間之第一部分期間將該一或更多第二最大似然性偵測器作業參數提供給該抽樣內插器；

於該時間區間的一第二部分期間使用一或更多第二最大似然性偵測器作業參數產生該數位信號。

39. 一種可與一可程式電腦處理器一起使用之電腦程式產品，其中具體實施使用一讀取通道從一資訊儲存媒體讀取資訊之電腦可讀取程式碼，其中該讀取通道包含一資料快取記憶體，包含：

造成該可程式電腦處理器於一時間區間產生包含該資訊的一類比波形之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間將該類比波形提供給一讀取通道之電腦可讀取程式碼，其中該讀取通道包含一資料快取記憶體；

造成該可程式電腦處理器將一或更多第一作業參數提供給該讀取通道之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間的一第一部分

期間使用該一或更多第一作業參數從該類比波形產生一數位信號之電腦可讀取程式碼；

造成該可程式電腦處理器擷取一錯誤校正率門限之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間以一實際錯誤校正率進行該數位信號的錯誤校正之電腦可讀取程式碼；

造成該可程式電腦處理器決定該實際錯誤校正率是否大於該錯誤校正率門限之電腦可讀取程式碼；

如果該實際錯誤校正率不大於該錯誤校正率門限則造成該可程式電腦處理器於該時間區間使用該一或更多第一作業參數繼續產生該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限則造成該可程式電腦處理器於該時間區間之第一部分期間將該數位信號儲存於該資料快取記憶體之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間從該快取記憶體讀取該數位信號之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二作業參數提供給該讀取通道之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之一第二部分期間使用該一或更多第二作業參數產生該數位信號之電腦可讀取程式碼。

40. 如申請專利範圍第39項之電腦程式產品，其中該讀取通道進一步包含一等化器，其進一步包含：

一或更多第一等化器作業參數；

造成該可程式電腦處理器將該一或更多第一等化器作業參數提供給該等化器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間使用該一或更多第一等化器作業參數產生該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限，則造成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二等化器作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二等化器作業參數提供給該等化器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第二部分期間使用該一或更多第二等化器作業參數產生該數位信號之電腦可讀取程式碼。

41. 如申請專利範圍第39項之電腦程式產品，其中該讀取通道進一步包含一中間線性濾波器，其進一步包含：

一或更多第一中間線性濾波器作業參數；

造成該可程式電腦處理器將一或更多第一中間線性濾

波器作業參數提供給該中間線性濾波器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間使用該一或更多第一中間線性濾波器作業參數產生該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限，則造成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二中間線性濾波器作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二中間線性濾波器作業參數提供給該中間線性濾波器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第二部分期間使用該一或更多第二中間線性濾波器作業參數產生該數位信號之電腦可讀取程式碼。

42. 如申請專利範圍第39項之電腦程式產品，其中該讀取通道進一步包含一抽樣內插器，其進一步包含：

一或更多第一抽樣內插器作業參數；

造成該可程式電腦處理器將該一或更多第一抽樣內插器作業參數提供給該抽樣內插器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間使用該一或更多第一抽樣內插器作業參數產生該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限，則造

成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二抽樣內插器作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二抽樣內插器作業參數提供給該抽樣內插器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第二部分期間使用該一或更多第二抽樣內插器作業參數產生該數位信號之電腦可讀取程式碼。

43. 如申請專利範圍第39項之電腦程式產品，其中該讀取通道進一步包含一增益控制模組，其進一步包含：

一或更多第一增益控制模組作業參數；

造成該可程式電腦處理器將該一或更多第一增益控制模組作業參數提供給該增益控制模組之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間使用該一或更多第一增益控制模組作業參數產生該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限，則造成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二增益控制模組作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二增益控制模組作業參數提供給該增

益控制模組之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第二部分期間使用該一或更多第二增益控制模組作業參數產生該數位信號之電腦可讀取程式碼。

44. 如申請專利範圍第39項之電腦程式產品，其中該讀取通道進一步包含一相位錯誤產生器，其進一步包含：

一或更多第一相位錯誤產生器作業參數；

造成該可程式電腦處理器將該一或更多第一相位錯誤產生器作業參數提供給該相位錯誤產生器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間使用該一或更多第一相位錯誤產生器作業參數產生該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限，則造成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二相位錯誤產生器作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二相位錯誤產生器作業參數提供給該相位錯誤產生器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第二部分期間使用該一或更多第二相位錯誤產生器作業參數產生該數位信號之電腦可讀取程式碼；

於該時間區間之第一部分期間，將該一或更多第二相

位錯誤產生器作業參數提供給該相位錯誤產生器；

於該時間區間之第二部分期間使用該一或更多第二相位錯誤產生器作業參數產生該數位信號。

45. 如申請專利範圍第39項之電腦程式產品，其中該讀取通道進一步包含一鎖相迴圈(PLL)電路，其進一步包含：

一或更多第一鎖相迴圈(PLL)電路作業參數；

造成該可程式電腦處理器將一或更多第一鎖相迴圈(PLL)電路作業參數提供給該鎖相迴圈(PLL)電路之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間使用該一或更多第一鎖相迴圈(PLL)電路作業參數產生該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限，則造成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二鎖相迴圈(PLL)電路作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二鎖相迴圈(PLL)電路作業參數提供給該鎖相迴圈(PLL)電路之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第二部分期間使用該一或更多第二鎖相迴圈(PLL)電路作業參數產生該數位信號之電腦可讀取程式碼。

46. 如申請專利範圍第39項之電腦程式產品，其中該讀取通道進一步包含一相位內插器，其進一步包含：

一或更多第一相位內插器作業參數；

造成該可程式電腦處理器將一或更多第一相位內插器作業參數提供給該相位內插器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間使用該一或更多第一相位內插器作業參數產生該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限，則造成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二相位內插器作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二相位內插器作業參數提供給該相位內插器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第二部分期間使用該一或更多第二相位內插器作業參數產生該數位信號之電腦可讀取程式碼。

47. 如申請專利範圍第39項之電腦程式產品，其中該讀取通道進一步包含一最大似然性偵測器，其進一步包含：

一或更多第一最大似然性偵測器作業參數；

造成該可程式電腦處理器將該一或更多第一最大似然性偵測器作業參數提供給該最大似然性偵測器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間使用該一或更多第一最大似然性偵測器作業參數產生

該數位信號之電腦可讀取程式碼；

如果該實際錯誤校正率大於該錯誤校正率門限，則造成該可程式電腦處理器於該時間區間之第一部分期間產生一或更多第二最大似然性偵測器作業參數之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第一部分期間將該一或更多第二最大似然性偵測器作業參數提供給該最大似然性偵測器之電腦可讀取程式碼；

造成該可程式電腦處理器於該時間區間之第二部分期間使用該一或更多第二最大似然性偵測器作業參數產生該數位信號之電腦可讀取程式碼。

拾壹、圖式：

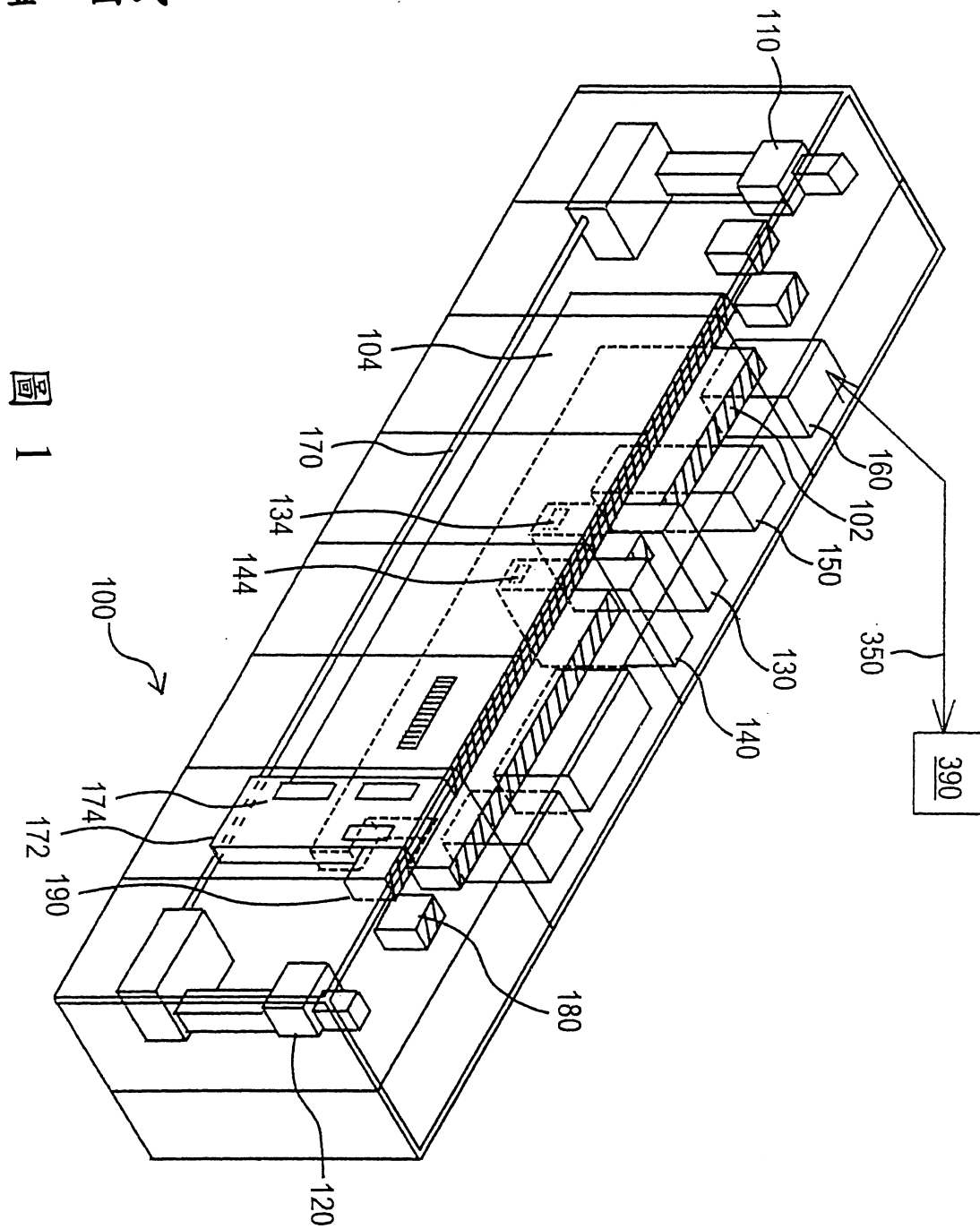


圖 1

磁帶頭 磁軌號碼	磁帶頭模組		
	L	R	
201	1	WR	RD
	2	RD	WR
	3	WR	RD
	4	RD	WR
	5	WR	RD
	6	RD	WR
	7	WR	RD
	8	RD	WR
211	伺服	LS1	RS1
	伺服	LS2	RS2
221	9	WR	RD
	10	RD	WR
	11	WR	RD
	12	RD	WR
	13	WR	RD
	14	RD	WR
	15	WR	RD
	16	RD	WR
231	伺服	LS3	RS3
	伺服	LS4	RS4
241	17	WR	RD
	18	RD	WR
	19	WR	RD
	20	RD	WR
	21	WR	RD
	22	RD	WR
	23	WR	RD
	24	RD	WR
251	伺服	LS5	RS5
	伺服	LS6	RS6
261	25	WR	RD
	26	RD	WR
	27	WR	RD
	28	RD	WR
	29	WR	RD
	30	RD	WR
	31	WR	RD
	32	RD	WR

200

圖 2

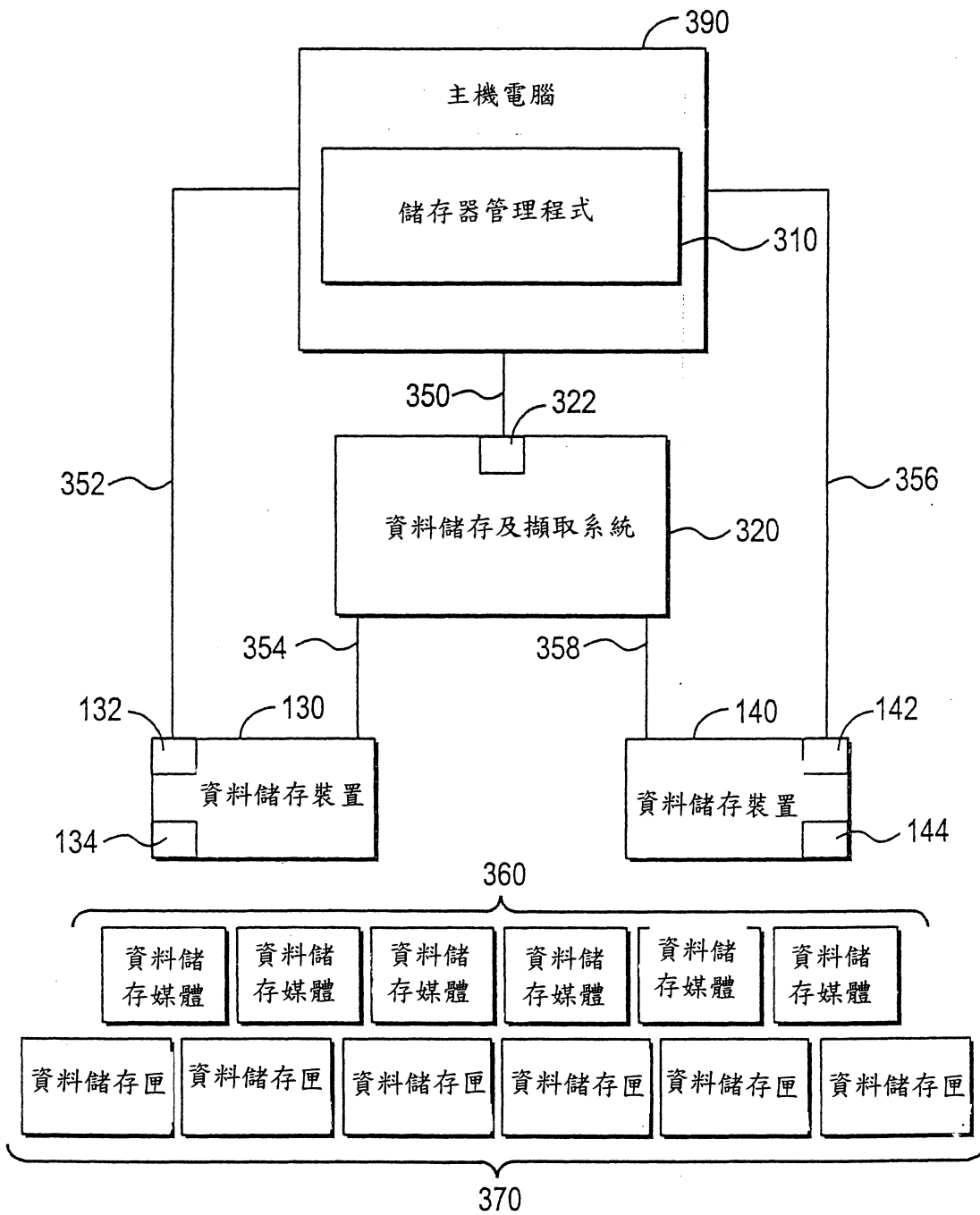


圖 3

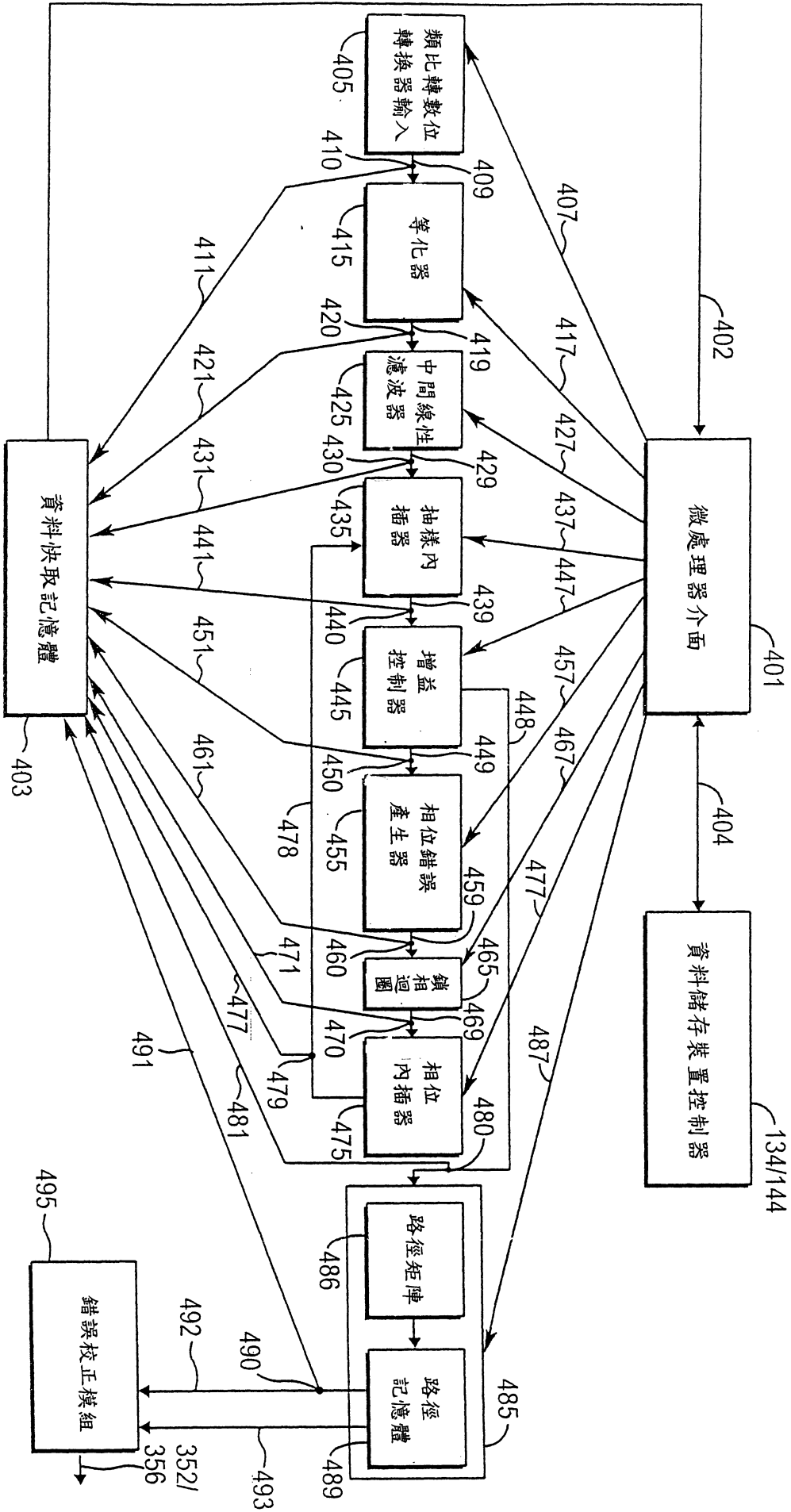


圖 4

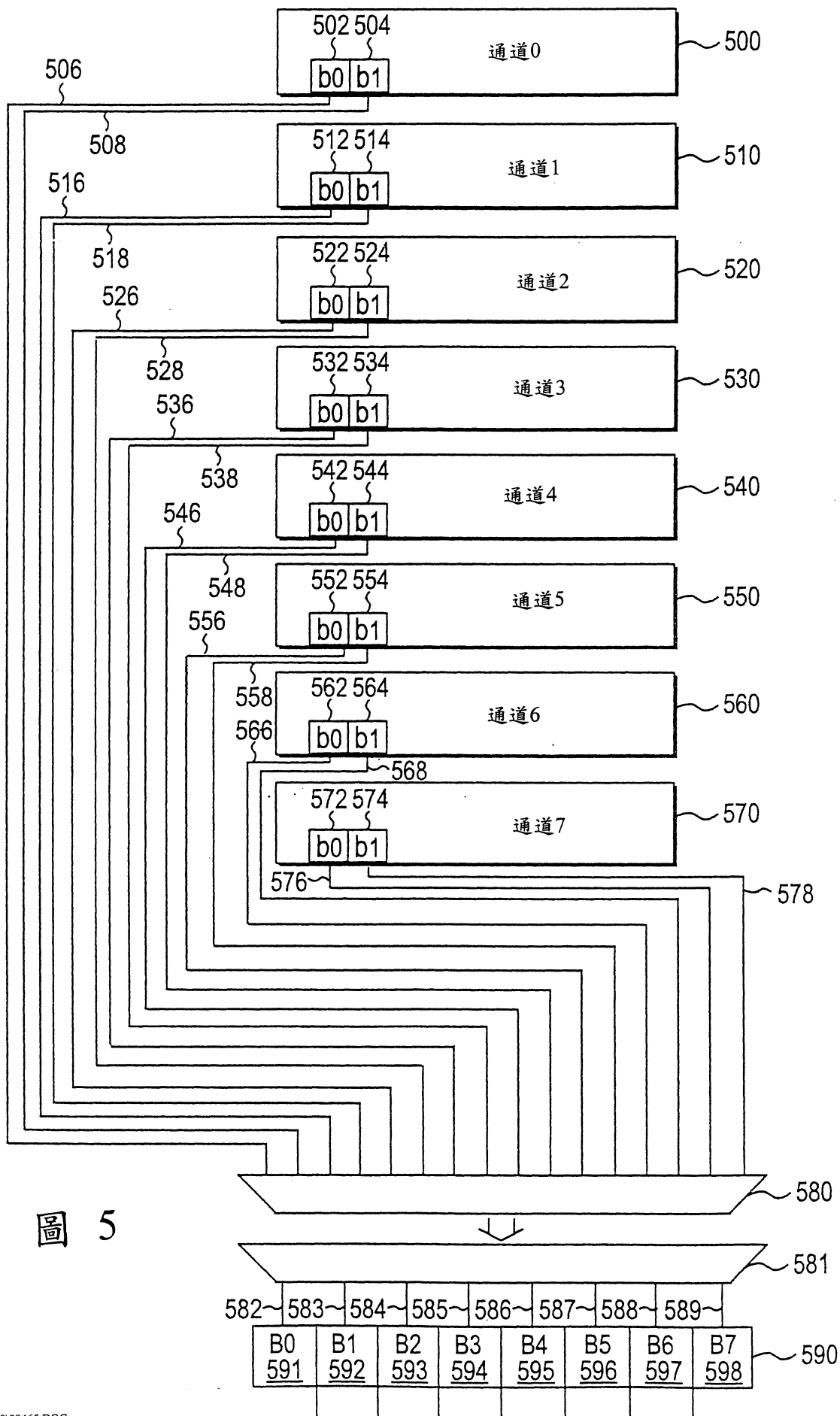


圖 5

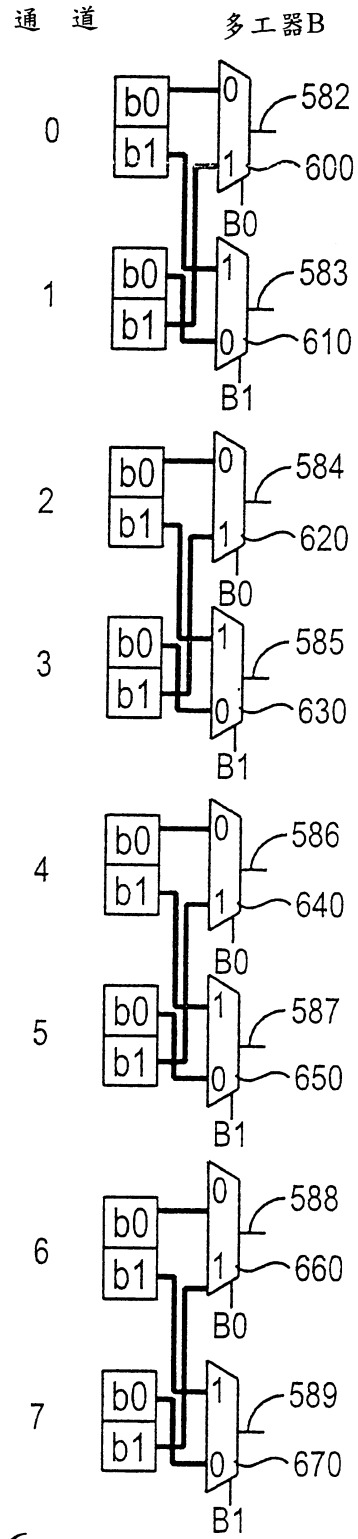


圖 6

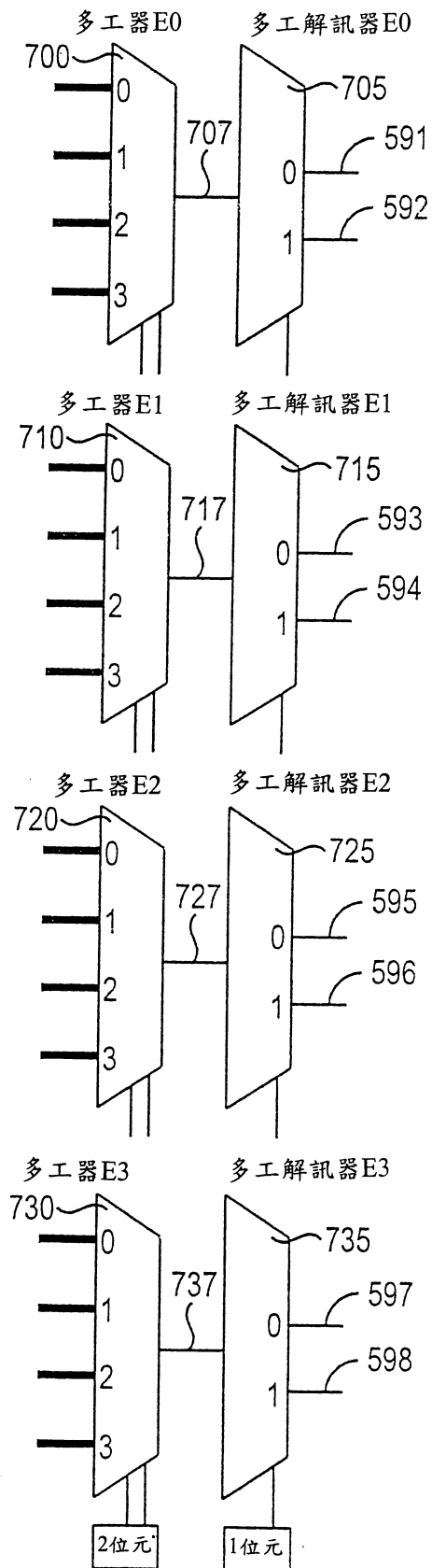


圖 7

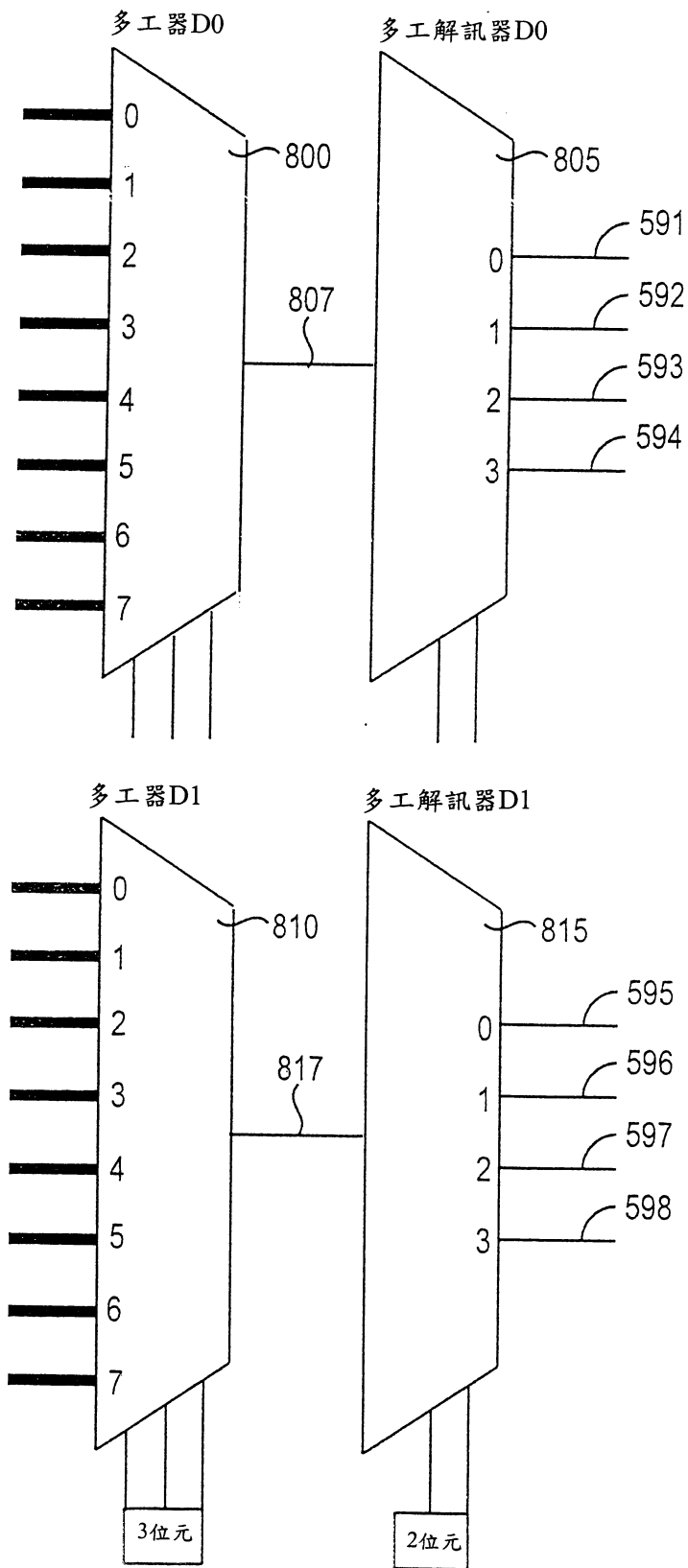


圖 8

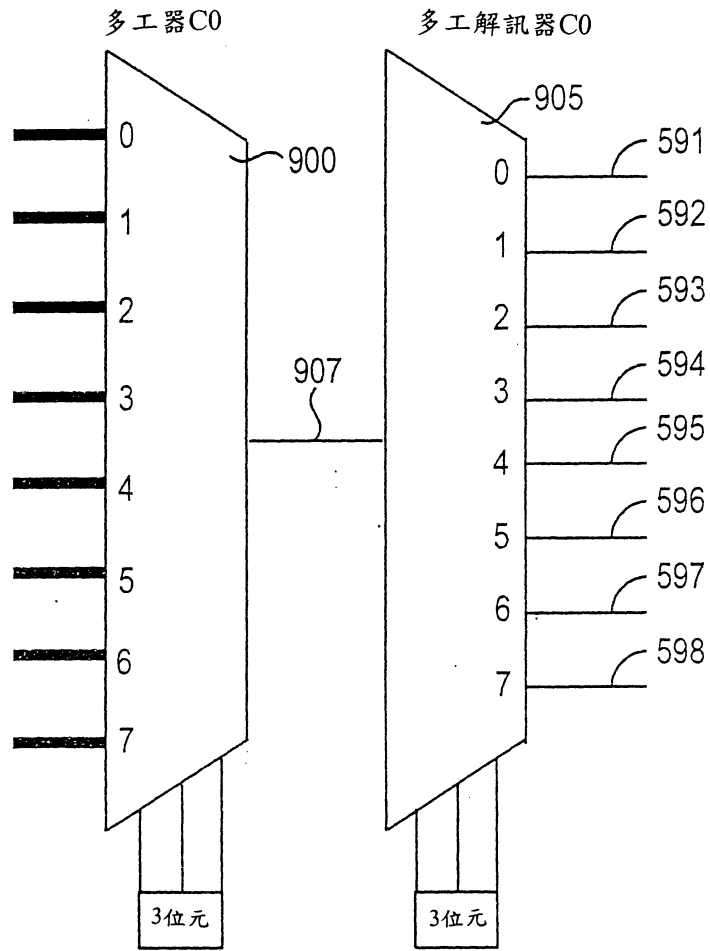


圖 9

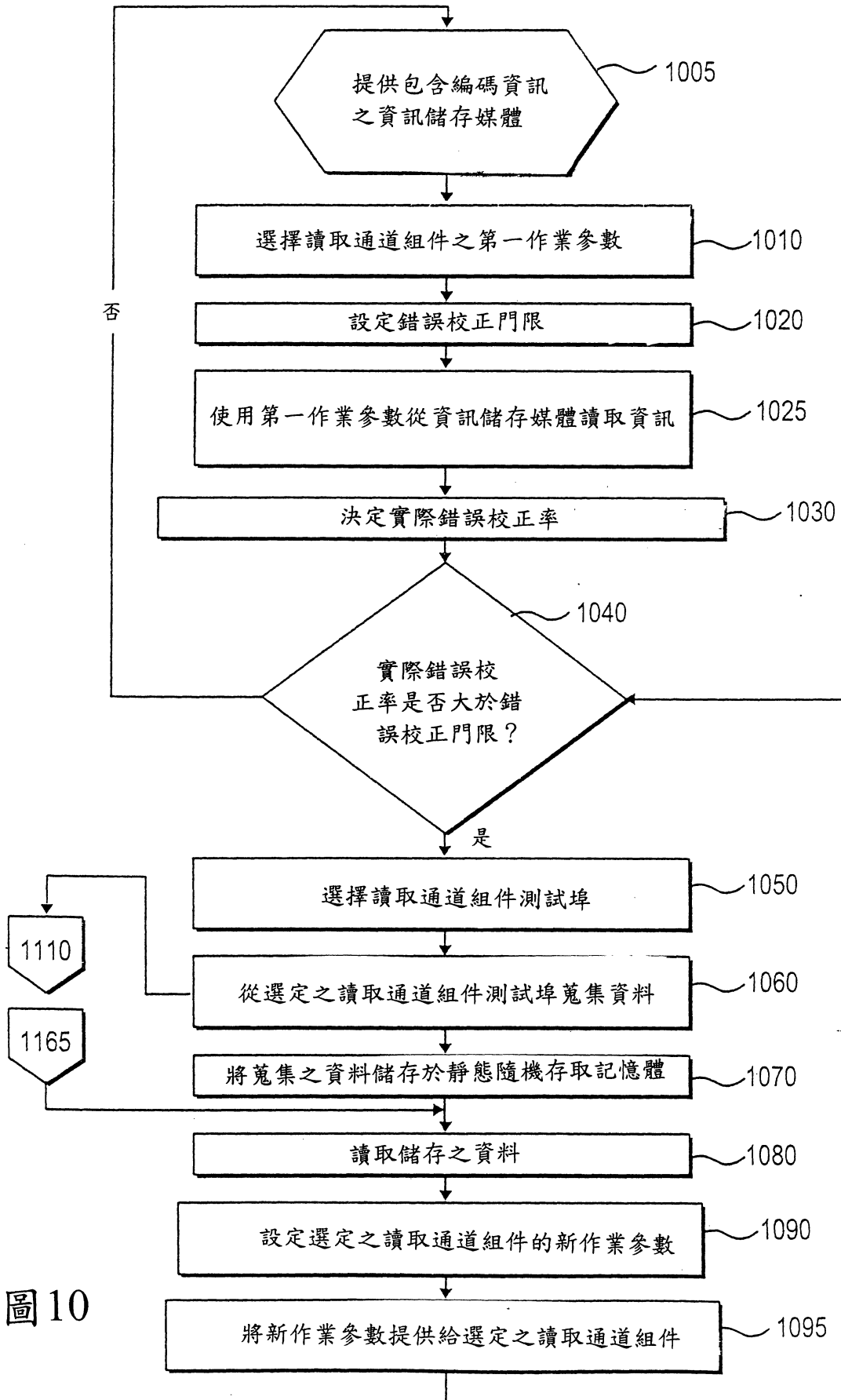


圖 10

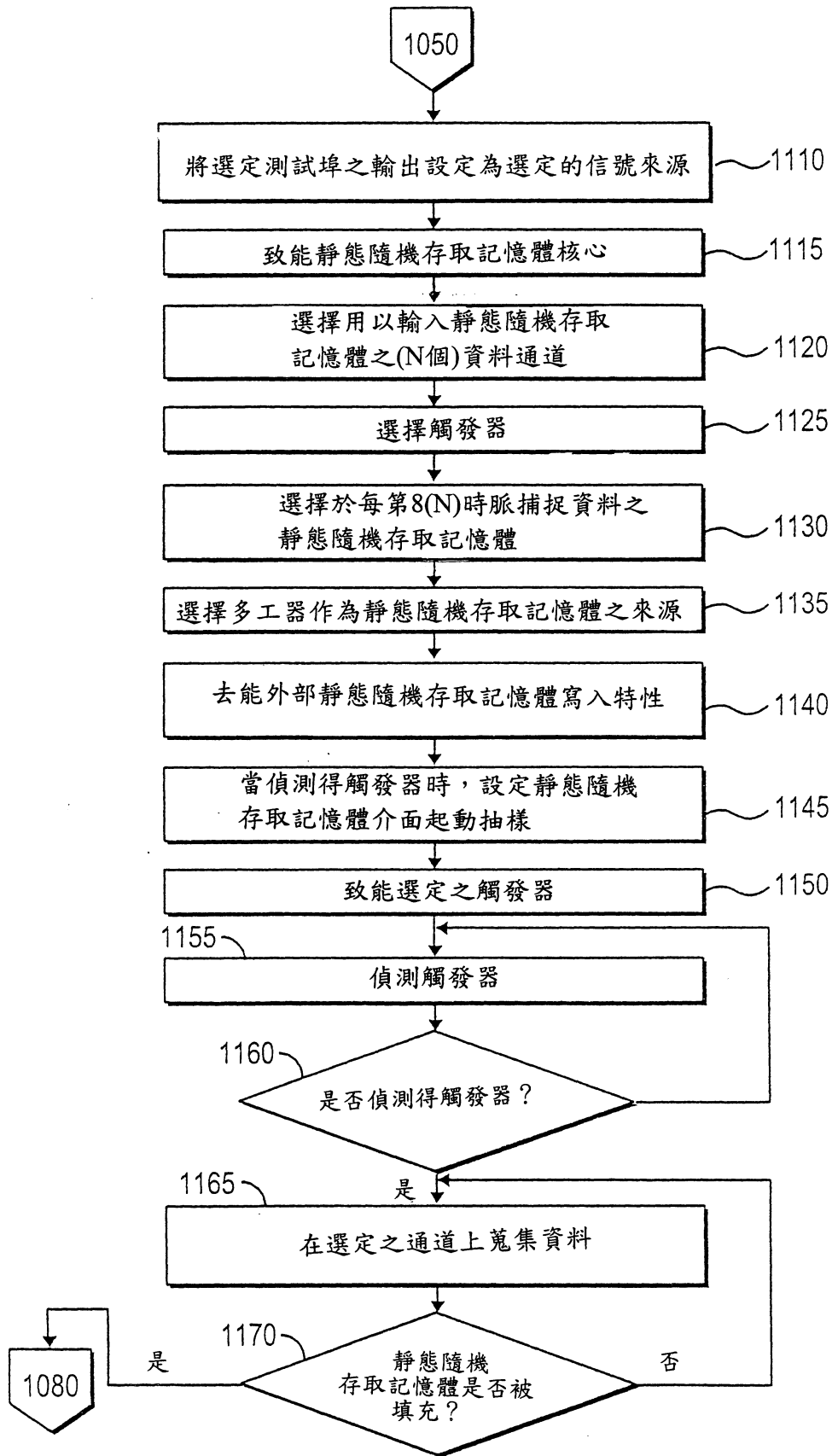


圖 11