

修正本
89年7月28日
補充

公告本

申請日期	87.3.10
案 號	87103496
類 別	H01L 27/60

A4
C4

中文說明書修正本(89年7月)

494566

(以上各欄由本局填註)

發 明 專 利 說 明 書
~~新 型~~

一、 <u>發明 名稱</u>	中 文	差動線驅動器
	英 文	"A DIFFERENTIAL LINE DRIVER"
二、 <u>發明 創作</u>	姓 名	1.譚年熊 2.喬漢 俄蘭德斯 3.賈寇 魏克納
	國 籍	1.中國大陸 2.3.均瑞典
	住、居所	1.瑞典索倫圖納市羅姆瓦根路39號 2.瑞典林寇平市史寇馬卡瑞瓦根路6號 3.瑞典林寇平市雷德史瓦根路378號
三、申請人	姓 名 (名稱)	瑞典商LM艾瑞克生電話公司
	國 籍	瑞典
	住、居所 (事務所)	瑞典斯德哥爾摩市S-12625
	代 表 人 姓 名	俄林·比洛米 漢斯 赫葛蘭

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 瑞典 1998年3月2日 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

本發明係關於CMOS差動線驅動器，尤其適用於驅動包含有雙絞銅線對之線路，它具有兩個差動輸入端及兩個差動類比輸出端，其每一輸出端具備有一終端電阻。本發明主要考慮用於繞銅線對或用於高速應用中之如高速存取。

傳統型全差動線驅動器大略地示於圖1。雙絞銅線對1經由變壓器2供得功率。為了獲得阻抗匹配，雙絞銅線對之變換阻抗必需與終端電阻 R_t 匹配。

對此先前技藝具體實例的完整說明已由Khorramabadi, IEEE J. Solid-State Circuits, Vol. 27 No. 4, (1992) p. 539揭示，在此提出供參考。線驅動器之一般問題在Johns and Essig, Integrated Circuits For Data Transmission Over Twisted-Pair Channels, (經由雙絞線通路做數據傳輸之積體電路), IEEE J. Solid-State Circuits, Vol. 32 No. 3 (1997) p. 398一文中陳述。

已知之設計存在某些缺點。由於銅線中很高之電壓可以通過寄生電容作為共模信號耦合回來，所以線驅動器必需有一個低輸出阻抗及高共模抑制。為了得到低失真，線驅動器輸出阻抗中之輸入相關變化也必需是很小的。所以，在線驅動器中有效反饋是必要的。線驅動器中不適當之補償可導致信號頻寬下降及/或不穩定。

為將高功率供給線驅動器，高電源電壓通常是必要的。

現有之線驅動器通常處理來自高速網際網路存取用之高速數位類比轉換器(DAC)的信號。這類高速DACs一般用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

做電流輸出裝置，這表示差驅動型DAC會有一個高輸出阻抗。為了使DAC內失真減到極小，線驅動器之輸入阻抗必需低。

本發明之一個目的是得到能免除上述困難的全差動線驅動器。另一個目的是想得到一個能用標準5-V CMOS製程來製做的驅動器。這甚至應該能將驅動型DAC積體化於單一晶片上。更進一層之目的是達成無穩定性問題、高帶寬下之極低失真。

發明概要

根據本發明，用所提到的這類線驅動器達到了上述種種目的及優點，它具備

- (i) 該驅動器之輸入是電流輸入，
- (ii) 驅動器包括有兩個電流放大器(A_p , A_n)每一個分別形成一個輸入端(I_{inp} , I_{inn})及一個輸出端(I_{op} , I_{on})，並以一驅動電壓(V_{cc})供電，
- (iii) 兩終端電阻(R_t)以其一端接到輸出端(I_{op} , I_{on})而其另一端可接到驅動電壓(V_{ddh})。

解決方案係使用了電流放大電路，使能取得低輸入阻抗及高輸出阻抗。為取得高共模抑制能力和阻抗匹配，配置了終端電阻。

附圖簡要說明

現將參照附圖對本發明作說明，以下附圖是非限制性的。

圖1為前已提及的先前技藝之線驅動器。

五、發明說明 (3)

圖 2 為本發明解決方案略圖。

圖 3 為具體實例簡圖，並適於標準 5-V CMOS 製造技術之應用。

發明之詳細說明

由圖 2 可以理解本發明之大致概念。線驅動器備有一對電流輸入 I_{inp} 及 I_{inn} ，線驅動器(在圖中虛線框內)有一對電流輸出，它們備有終端電阻 R_t 接到驅動電壓 V_{ddh} 及變壓器繞組，變壓器之另一組接雙絞銅線對。很明顯，虛線框內有一組兩個電流 A_p 及 A_n 。

為了易於與驅動 DAC 耦接，該線驅動器本身要有一個很低之輸入阻抗。與圖 1 所示之傳統方法不同，所揭之線驅動器有很高的輸出阻抗。正因為具有低輸入阻抗及高輸出阻抗，本線驅動器屬於電流型線驅動器。線驅動器輸出處之終端電阻將提供高之共模抑制及阻抗匹配。

為了匹配阻抗，有效阻抗必需等於變壓之線阻抗 Z_T 。如假設線驅動器之阻抗非常大，則我們可給出終端電阻 R_t 之值

$$R_t = 2 \times Z_T = 2 \times Z_l / n^2 \quad (1)$$

其中， Z_T 是變壓之線阻抗， Z_l 是線阻抗， n 為變壓器匝數比。

由於 DAC 常用偏置二進碼，DAC 之輸出也即線驅動器之輸入電流，可表示為

$$I_{inp} = I_{os} + i_{ac} / 2 \quad (2)$$

$$I_{inn} = I_{os} - i_{ac} / 2 \quad (3)$$

其中， I_{os} 為定值， i_{ac} 是 DAC 數位輸入信號之類比表示。假

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

設線驅動器之增益對正及負分路來說均為A，則輸出電流式

$$I_{op} = A \times (I_{os} + i_{ac} / 2) \quad (4)$$

$$I_{on} = A \times (I_{os} - i_{ac} / 2) \quad (5)$$

假定線驅動器之輸出阻抗極大，則流進變壓器之交流電流為

$$i_T = k \times A \times i_{ac} \quad (6)$$

其中，常數K由變壓線阻抗 Z_T 及終端電阻 R_t 所決定

$$K = R_t / (2 R_t + Z_T) \quad (7)$$

注意式(6)中電流常數 I_{os} 消失。事實上，任何共模信號對流進變壓器之電流沒有影響，且式(7)與任何共模信號無關。

為了得到阻抗匹配，式(1)必需滿足，因此有

$$K = R_t / (2 R_t + Z_T) = 2 Z_T / (4 Z_T + Z_T) = 0.4 \quad (8)$$

供給線路之功率等於供給變壓器之功率，由下式給出

$$\begin{aligned} P_l = P_t - i_T^2 \times Z_T &= K^2 \times A^2 \times i_{ac}^2 \times Z_l / n^2 \\ &= 0.16 \times A^2 \times i_{ac}^2 \times Z_l / n^2 \end{aligned} \quad (9)$$

這很清楚線驅動器能以電阻為終端之電流放大器來實現。用這樣的解決方案獲得了若干優點。

電流放大器由於其低內部阻抗而具固有之高帶寬，因而本方案適合於高速應用。還有，電流放大器中無需全域反饋，這樣就整體而言線驅動器可無條件地穩定。圖2所示之架構另一大優點是，為容納輸出電壓之擺幅，加於終端電阻之電源電壓能遠高於線驅動器之電源電壓。只要線驅動器輸出電壓擺幅是不致於大到使線驅器內所有電晶體損

五、發明說明(5)

壞，則線驅動器能用標準CMOS製程將其與DAC積體化在一個元件內。

可要注意的是終端電阻使用額外之高電壓源有利於將大的共模信號與該額外高電壓源連接而不會干擾DAC和電流放大器之電源電壓。其缺點是在功率效率上，因由於匹配需要，部分功率將損耗在終端電阻上。

在以上討論中，曾假設電流放大器之輸出阻抗為無限大。如果電流放大器之輸出阻抗因輸入電流而改變，則導致失真。為確保低失真，希望電流放大器有極高之輸出阻抗。這可通過恰當設計來保證。

較佳之具體實例

圖3顯示了一電流放大器之例子，也即圖2虛線框中放大器之一， A_p 。因放大器 A_n 與 A_p 嚴格相似，所以只在圖2中顯示首次提到之電流放大器，並顯示了輸入與輸出。

為了有高帶寬，在信號路經中最好僅用NMDS電晶體。為了得大的增益係數A，最好用多級串聯以便保持高帶寬。電流放大器由兩級組成，第一級包括電晶體M1，M2及M3，該級之增益由M2與M1之尺寸比決定。第二級包括電晶體M4，M5，M6和M7，該級的增益由M5和M4之尺寸比決定。

所有PMOS電晶體M8-M18用作偏壓電流源並供以合適之偏壓/源電壓。PMOS電晶體之並聯/串聯組合，例如M10-M18是用標準CMOS製程以適當罩幕技術達成，也是安排M2-M1及M5-M4各尺寸比之要點。這些，對CMOS結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

構有技藝知識者是一看即明白的。

由於電流增加時，MOS電晶體之輸出阻抗降低，用雙重串聯法使具大電流，如圖3中所示。

輸入阻抗，取決於電晶體M1之跨導，是很低的。輸出阻抗，近似取決於電晶體M5和輸出阻抗及電晶體M6和M7增益係數之乘積，是很高的。

在圖3中可看到，可能損壞之電晶體是M7。只要其汲極電壓不太大，開-汲極電壓或汲-源極電壓小於它們各自之崩潰電壓，電晶體M7是安全的。所以，整個線驅動器就可積體在標準CMOS製程如5V製程中，而較高之電源電壓能夠用於終端電阻上。

作為一個數值例子，雙絞銅線對之阻抗為 100Ω ，終端電阻 R_t 為 50Ω ，變壓器匝數比 $n=2$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要 (發明之名稱： 差動線驅動器)

一個對雙絞銅線對尤為適用的全差動線驅動器。它包括兩個用 CMOS (互補型金屬氧化物半導體) 技術做成的電流放大器 (A_p , A_n)，每一放大器具有一個輸入 (I_{inp} , I_{inn}) 及一個輸出 (I_{op} , I_{on})，其輸出由經終端電阻 (R_t) 接到電壓源，該電壓源的電壓可設置得比用於驅動 CMOS 放大器的電壓為高。本發明能使低輸出阻抗與大的輸出擺幅相結合。另外，由於無需反饋，本發明避免例如電位不穩定性等問題。一個較佳的具體實例還具有極低阻抗之輸入，使之適合於接到數位類比轉換器 (DAC)，從而降低了 DAC 輸出信號之失真。本發明適用於極高速數位用戶線調制解調器。

英文發明摘要 (發明之名稱： "A DIFFERENTIAL LINE DRIVER")

A fully differential line driver, especially for twisted copper pairs. It comprises two current amplifiers (A_p , A_n), made in standard CMOS technique, each having an input (I_{inp} , I_{inn}) and an output (I_{op} , I_{on}), which latter are connected via terminal resistors (R_t) to a voltage source, which may be set to a larger voltage than that used for driving the CMOS amplifiers. With this invention, a low output impedance can be combined with a large swing. Further, feedback is not necessary, avoiding problems like potential instability. A preferred embodiment also has a very low-impedance input, making it appropriate for connecting to a DAC, thus reducing distortion of its output signal. The invention is suitable for very-high-speed-digital-subscriber-line modems.

六、申請專利範圍

p0 p13

1. 一種 CMOS 差動線驅動器，尤其用於驅動包括有一雙絞銅線對之線路，該驅動器具有兩個輸入端之差動輸入及有兩個輸出端之差動類比輸出，每個輸出端有一終端電阻 (R_t)，該 CMOS 差動線驅動器之特徵為：
 - (i) 該輸入是電流輸入；
 - (ii) 驅動器包括兩個電流放大器 (A_p , A_n)，每個放大器各自形成一個輸入端 (I_{inp} , I_{inn}) 及一個輸出端 (I_{op} , I_{on})，並以一驅動電壓 (V_{cc}) 供電；以及
 - (iii) 各終端電阻 (R_t) 之第一端接到輸出端 (I_{op} , I_{on}) 而第二端可接一驅動電壓 (V_{ddh})。
2. 如申請專利範圍第 1 項之 CMOS 差動線驅動器，其中該等電流放大器係以一第一驅動電壓 (V_{cc}) 供電，而該等終端電阻之第二端連接一第二驅動電壓 (V_{ddh})，第二驅動電壓高於第一驅動電壓。
3. 如申請專利範圍第 1 或 2 項之 CMOS 差動線驅動器，另包含一變壓器，其具有一第一繞組連接該等輸出端 (I_{op} , I_{on})，以及一第二繞組其兩端用於連接一對稱之線對如雙絞銅線對。
4. 如申請專利範圍第 1 或 2 項之 CMOS 差動線驅動器，其中每個電流放大器具有：
 - 一輸入級，該級包括第一電流源 (M_8 , M_9)，一第一 NMOS 電晶體 (M_1)，其閘極和汲極與第一電流源相接而其源極則接地；
 - 一第二電流源 (M_{10} - M_{18}) 配置來供給比第一電流源更大之

六、申請專利範圍

電流，一第二NMOS電晶體(M₂)，其汲極與第二電流源相接，其閘極與第一NMOS電晶體之閘極相接而其源極則接地；及

一輸出級，該級包括一第三NMOS電晶體(M₄)，其閘極及汲極與第二電流源相接，而其源極接地，一第四NMOS電晶體(M₅)，其源極接地，其閘極與第三NMOS電晶體之閘極相接而其汲極接一輸出；

該第二NMOS電晶體之尺寸比第一NMOS電晶體之尺寸大，且第四NMOS電晶體之尺寸比第三NMOS電晶體之尺寸大。

5. 如申請專利範圍第3項之CMOS差動線驅動器，其中每個電流放大器具有：

一輸入級，該級包括一第一電流源(M₈，M₉)，第一NMOS電晶體(M₁)，其閘極和汲極與第一電流源相接而其源極則接地；

第二電流源(M₁₀-M₁₈)配置來供給比第一電流源更大之電流，一第二NMOS電晶體(M₂)，其汲極與第二電流源相接，其閘極與第一NMOS電晶體之閘極相接而其源極則接地；及

一輸出級，該級包括一第三NMOS電晶體(M₄)，其閘極及汲極與第二電流源相接，其源極接地，一第四NMOS電晶體(M₅)，其源極接地，其閘極與第三NMOS電晶體之閘極相接而其汲極接一輸出；

該第二NMOS電晶體之尺寸比第一NMOS電晶體之尺寸

六、申請專利範圍

大，且第四NMOS電晶體之尺寸比第三NMOS電晶體之尺寸大。

裝

訂

線

52155

先前技藝

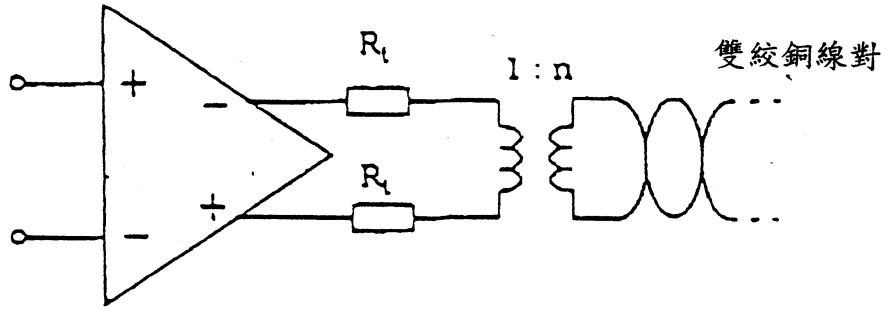


圖 1

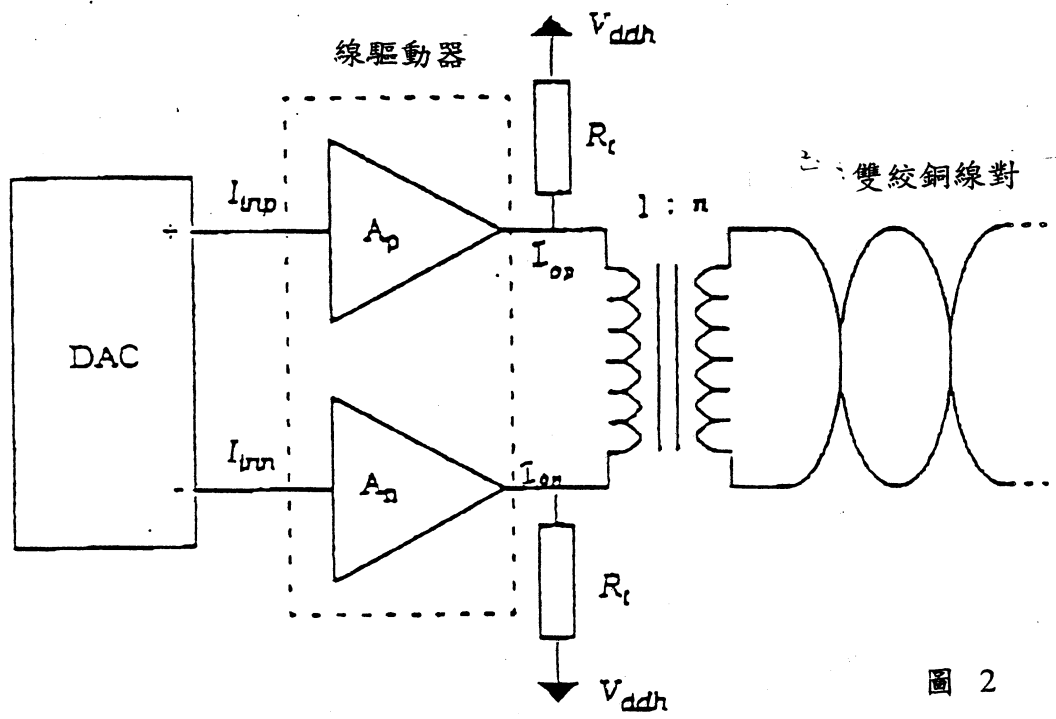


圖 2

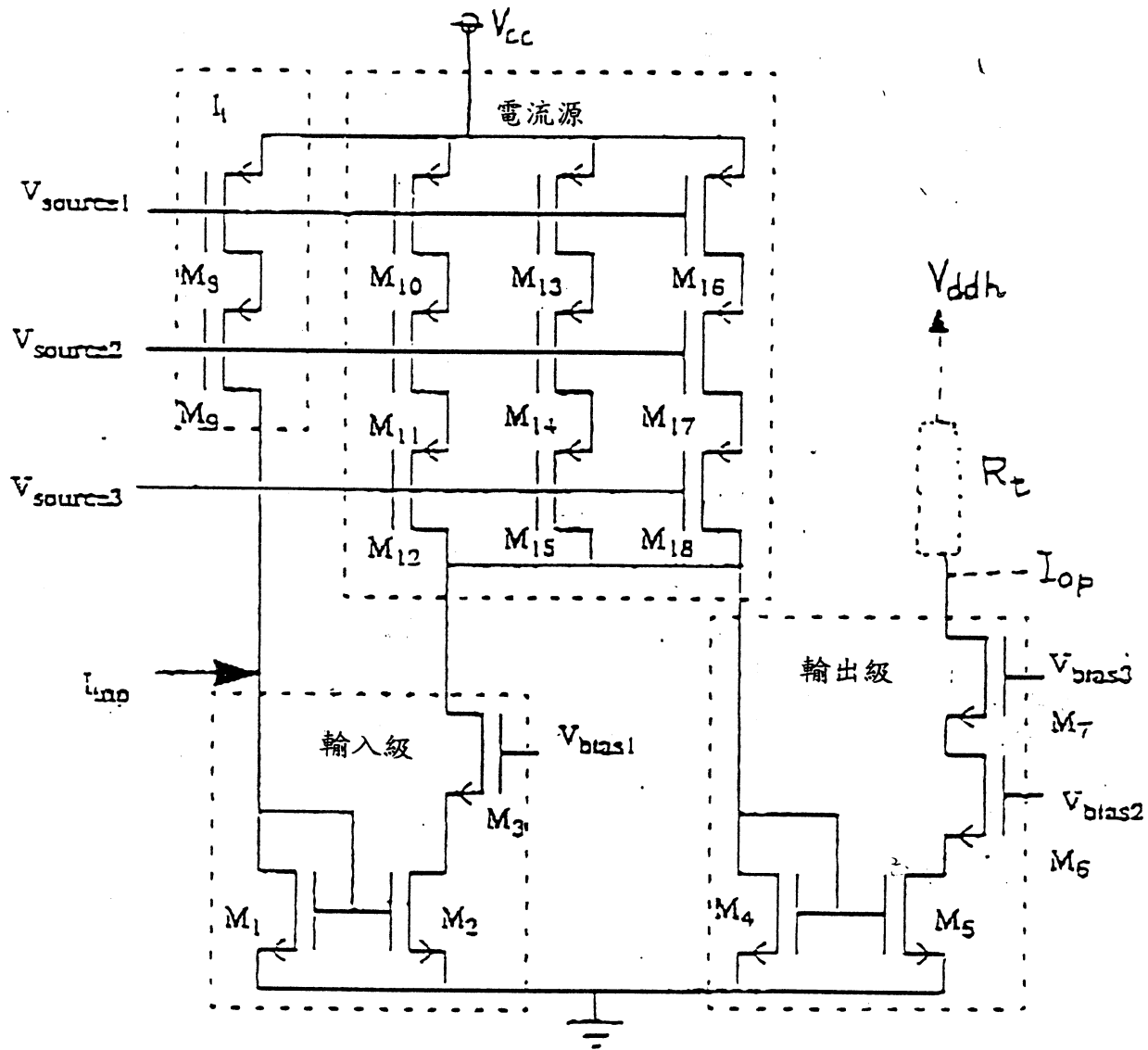


圖 3