



(12)发明专利

(10)授权公告号 CN 104754254 B

(45)授权公告日 2018.07.31

(21)申请号 201410808890.9

(22)申请日 2014.12.23

(65)同一申请的已公布的文献号

申请公布号 CN 104754254 A

(43)申请公布日 2015.07.01

(30)优先权数据

2013-269673 2013.12.26 JP

(73)专利权人 佳能株式会社

地址 日本东京

(72)发明人 国米和夫 大贯裕介 成濑裕章

楠川将司 广田克范 远藤信之

山崎和男 小林広明

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 袁明

(51)Int.Cl.

H04N 5/374(2011.01)

H04N 5/3745(2011.01)

H04N 5/378(2011.01)

H01L 27/146(2006.01)

(56)对比文件

CN 1925162 A, 2007.03.07,

CN 101118915 B, 2011.08.10,

CN 102376725 A, 2012.03.14,

JP 特开2012-79860 A, 2012.04.19,

JP 特开2013-69864 A, 2013.04.18,

审查员 王健

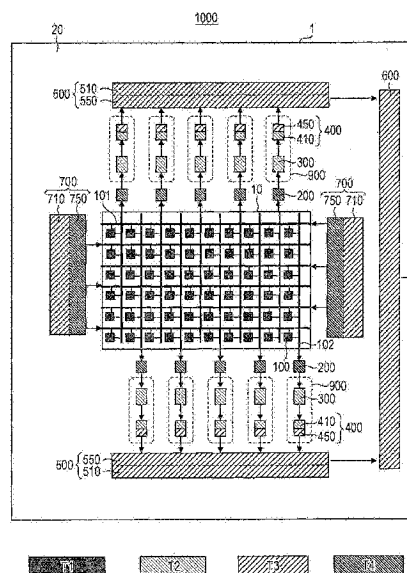
权利要求书3页 说明书13页 附图4页

(54)发明名称

成像设备和成像系统

(57)摘要

公开了成像设备和成像系统。多个像素电路中的每一个都是绝缘栅晶体管，并包括第一种晶体管，所述第一种晶体管具有要施加的等于或高于第一值的栅极电势差的最大值。多个模拟信号处理电路中的每一个是绝缘栅晶体管，并包括第二种晶体管，所述第二种晶体管具有要施加的等于或低于比所述第一值低的第二值的栅极电势差的最大值。多个模拟信号处理电路中的每一个不包括具有要施加的不比第二值高的栅极电势差的最大值的绝缘栅晶体管。



1. 在单一半导体衬底上具有像素电路单元和外围电路单元的成像设备,所述成像设备包括:

在所述像素电路单元中以矩阵形式排列的多个像素电路,所述多个像素电路中的每一个包括光电转换元件、被配置成转移在所述光电转换元件中生成的电荷载流子的转移元件,以及被配置为基于在所述光电转换元件中生成的所述电荷载流子而生成信号的放大元件;以及

多个模拟信号处理电路,每一个模拟信号处理电路在外围电路单元中是为所述像素电路的每一列而提供的,所述多个模拟信号处理电路中的每一个被配置成处理从对应的像素电路输出的模拟信号;以及

在所述外围电路单元中提供的并被配置成处理数字信号的数字信号处理单元,

其中,所述多个像素电路中的每一个包括第一种晶体管,所述第一种晶体管是绝缘栅场效应晶体管并且其栅极的电势和其体的电势之间的电势差的最大值等于或高于第一值,

其中,所述多个模拟信号处理电路中的每一个包括第二种晶体管,所述第二种晶体管是绝缘栅场效应晶体管,并且其栅极的电势和其体的电势之间的电势差的最大值等于或低于第二值,所述第二值低于所述第一值,

并且所述多个模拟信号处理电路中的每一个不包括其栅极的电势和其体的电势之间的电势差的最大值高于所述第二值的绝缘栅场效应晶体管,

其中,所述数字信号处理单元包括第三种晶体管,所述第三种晶体管是绝缘栅晶体管,并且其栅极的电势和其体的电势之间的电势差的最大值等于或低于第三值,所述第三值低于所述第二值,

并且所述数字信号处理单元不包括其栅极的电势和其体的电势之间的电势差的最大值高于所述第三值的绝缘栅场效应晶体管,以及

其中,所述转移元件是所述第一种晶体管。

2. 根据权利要求1所述的成像设备,其中,所述第一值和所述第二值之间的差值 ΔV 满足下列表达式:

$$\Delta V \geq \Phi_{ms} + \frac{2kT}{q} \ln \left(\frac{N_A}{n_i} \right) + \frac{2}{C_o} \sqrt{\epsilon_s N_A kT \ln \left(\frac{N_A}{n_i} \right)}$$

其中, Φ_{ms} 是以V为单位的、所述放大元件的栅电极和所述放大元件的体之间的功函数差, q 是以C为单位的元电荷, k 是以J/K为单位的玻耳兹曼常数, T 是300K, n_i 是所述放大元件的体的本征载流子密度, N_A 是以 cm^{-3} 为单位的、所述放大元件的所述体的杂质浓度, C_o 是以 F/cm^2 为单位的、所述放大元件的栅极绝缘膜的电容,而 ϵ_s 是以 F/cm 为单位的、所述放大元件的体的介电常数。

3. 根据权利要求1所述的成像设备,其中,所述第三种晶体管的所述栅极绝缘膜的厚度小于所述第一种晶体管的所述栅极绝缘膜的厚度和所述第二种晶体管的所述栅极绝缘膜的厚度。

4. 根据权利要求1所述的成像设备,其中,所述第二种晶体管的栅极长度小于所述第一种晶体管的栅极长度。

5. 根据权利要求1所述的成像设备,其中,所述第一种晶体管的栅极绝缘膜的厚度等于所述第二种晶体管的栅极绝缘膜的厚度。

6. 根据权利要求1所述的成像设备,其中,所述放大元件是第一种晶体管。

7. 根据权利要求1所述的成像设备,其中,所述转移元件是抑制型,而所述放大元件是增强型。

8. 根据权利要求1所述的成像设备,其中,所述多个像素电路中的每一个包括被配置成复位由所述光电转换元件所生成的电载流子的复位元件,而所述复位元件是所述第一种晶体管。

9. 根据权利要求1所述的成像设备,其中,所述多个像素电路中的每一个包括被配置成选择来自所述像素电路的输出的接通状态或关闭状态的选择元件,而所述选择元件是所述第一种晶体管。

10. 根据权利要求1所述的成像设备,其中,在所述像素电路和所述模拟信号处理电路之间提供了配置电平移动电路的电容。

11. 根据权利要求1所述的成像设备,所述模拟信号处理电路具有放大器和在其输入级具有差分对的比较器中的至少一个,所述差分对包括所述第二种晶体管。

12. 根据权利要求1所述的成像设备,其中,所述模拟信号处理电路具有开关,而所述开关是所述第二种晶体管。

13. 根据权利要求1所述的成像设备,其中

在所述外围电路单元中,与像素电路的列对应地提供了多个读出电路中的每一个;

所述多个读出电路中的每一个包括第四种晶体管,所述第四种晶体管是配置电流源的绝缘栅场效应晶体管;以及

所述第四种晶体管的栅极长度大于所述第二种晶体管的栅极长度。

14. 根据权利要求13所述的成像设备,其中,所述第四种晶体管的栅极长度大于所述第一种晶体管的栅极长度。

15. 根据权利要求1所述的成像设备,其中

多个驱动电路,每一个驱动电路在外围电路单元中与所述像素电路的行对应地提供,并且每一个驱动电路驱动对应的像素电路;

所述多个驱动电路中的每一个包括其栅极的电势和要施加的其体的电势之间的电势差的最大值高于第二值的绝缘栅场效应晶体管;

向所述对应的像素电路中的第一种晶体管的栅极施加基于所述驱动电路的所述绝缘栅场效应晶体管的输出的信号。

16. 根据权利要求1所述的成像设备,其中,所述第一种晶体管没有LDD结构;

所述第二种晶体管具有LDD结构;

所述第二种晶体管没有Halo结构;以及

所述第三种晶体管具有Halo结构。

17. 根据权利要求1所述的成像设备,其中,所述第一值和所述第二值之间的差等于或高于0.50V。

18. 根据权利要求1所述的成像设备,其中,所述第一值等于或高于4.0V,而所述第二值低于4.0V。

19. 根据权利要求1所述的成像设备, 其中, 所述多个模拟信号处理电路中的每一个包括模数转换电路, 并且从所述模数转换电路输出所述数字信号。

20. 一种成像系统, 包括:

根据权利要求1到19中的任何一个所述的成像设备; 以及
被配置成处理从所述成像设备输出的信号的信号处理设备。

成像设备和成像系统

技术领域

[0001] 各实施例的一个公开的方面涉及在单一半导体衬底上包括像素电路单元和外围电路单元的成像设备。

背景技术

[0002] 为改善性能,在单一半导体衬底上包括像素电路单元和外围电路单元的成像设备中,考虑了在外围电路单元中提供模拟信号处理电路或数字信号处理单元(例如,逻辑电路)。

[0003] 日本专利公开No.2007-27711公开了比数字区域的栅极绝缘膜较厚的传感器区域和模拟区域的栅极绝缘膜。

[0004] 日本专利公开No.2011-54832公开了晶体管的绝缘膜的膜厚度在光接收单元和外围电路单元之间不同。

[0005] 为改善图像质量,需要以尽可能高的电压驱动像素电路单元。另一方面,外围电路单元的功能性提高的成像设备的功耗一直是个问题。根据日本专利公开No.2011-54832,以相等的电压驱动光接收单元和外围电路单元。意味着,可能没有充分考虑功耗的降低。本公开提供尝试较高图像质量和较低的功耗的成像设备。

发明内容

[0006] 在单一半导体衬底上具有像素电路单元和外围电路单元的成像设备包括:在所述像素电路单元中以矩阵形式排列的多个像素电路,所述多个像素电路中的每一个包括光电转换元件、被配置成转移在所述光电转换元件中生成的电载流子的转移元件,以及被配置为基于在所述光电转换元件中生成的所述电载流子而生成信号的放大元件,以及多个模拟信号处理电路,每一个模拟信号处理电路在外围电路单元中是为所述像素电路的每一列而提供的,所述多个模拟信号处理电路中的每一个被配置成处理从对应的像素电路输出的模拟信号,以及在所述外围电路单元中提供的并被配置成处理数字信号的数字信号处理单元。在这种情况下,所述多个像素电路中的每一个包括第一种晶体管,所述第一种晶体管是绝缘栅场效应晶体管并且其栅极的电势和其体的电势之间的电势差的最大值等于或高于第一值。所述多个模拟信号处理电路中的每一个包括第二种晶体管,所述第二种晶体管是绝缘栅场效应晶体管,并且其栅极的电势和其体的电势之间的电势差的最大值等于或低于第二值,所述第二值低于所述第一值,并且所述多个模拟信号处理电路中的每一个不包括其栅极的电势和其体的电势之间的电势差的最大值高于所述第二值的绝缘栅场效应晶体管。所述数字信号处理单元包括第三种晶体管,所述第三种晶体管是绝缘栅晶体管,并且其栅极的电势和其体的电势之间的电势差的最大值等于或低于第三值,所述第三值低于所述第二值,并且所述数字信号处理单元不包括其栅极的电势和其体的电势之间的电势差的最大值高于所述第三值的绝缘栅场效应晶体管。转移元件是所述第一种晶体管。

[0007] 通过下列参考附图对示例性实施例的描述,本发明的其他功能将变得显而易见。

附图说明

- [0008] 图1是示出了成像设备的示例的电路块图示。
- [0009] 图2是示出了成像设备的示例的电路图。
- [0010] 图3是示出了成像设备的操作的时序图。
- [0011] 图4是示出了成像设备的示例的示意剖面图示。

具体实施方式

[0012] 下面将参考附图来描述示例性实施例。在下面的描述以及说明中可以相互参考多个附图。在多个附图中,相同的附图标记表示相同的部分。将适当地省略对共同的部分的描述。

[0013] 图1是示出了根据示例性实施例的成像设备1000的电路块图示。成像设备1000在单一半导体衬底上1包括像素电路单元10和外围电路单元20。

[0014] 像素电路单元10具有以矩阵形式排列的多个像素电路100。一行的像素电路100共同连接到行线101,而一列的像素电路100共同连接到列线102。

[0015] 外围电路单元20具有多个模拟信号处理电路900,每一电路900为一列像素电路100而提供。在此实施例中,包括多个模拟信号处理电路900的组位于像素电路单元10的上侧及下侧。然而,多个模拟信号处理电路900可以只位于像素电路单元10的上侧及下侧之一。模拟信号处理电路900中的每一个都包括放大电路300和AD转换电路400(模-数转换电路)。外围电路单元20还可以包括多个读出电路200、水平输出电路500、数字信号处理电路600、垂直驱动电路700,以及信号生成电路。外围电路单元20的配置不仅限于此,那些电路中的某些不是必需的。

[0016] 多个读出电路200中的每一个为一列像素电路100而提供,并且其通过列线102连接到像素电路100。读出电路200中的每一个都连接到对应于同一列像素电路100的模拟信号处理电路900。

[0017] 将描述电路的功能和操作。垂直驱动电路700中的扫描单元710顺次选择输出单元750,并逐列地驱动像素电路100。像素电路100基于来自垂直驱动电路700中的输出单元750的信号进行操作,像素电路100根据入射光生成像素信号。读出电路200操作,以便从像素电路100读出像素信号。那些像素信号是模拟信号。由读出电路200读出的像素信号由模拟信号处理电路900处理。在模拟信号处理电路900中的每一个都具有AD转换电路400的情况下,来自模拟信号处理电路900的输出信号是数字信号。在模拟信号处理电路900中的每一个都没有AD转换电路400的情况下,来自模拟信号处理电路900的输出信号是模拟信号。AD转换电路400中的每一个都具有模拟单元410和数字单元450。模拟信号被输入到模拟单元410,而数字单元450输出数字信号。

[0018] 从模拟信号处理电路900输出的数字信号被读出到水平输出电路500中的存储器单元550,并保存在存储器单元550中。水平输出电路500中的扫描单元510顺次选择存储器单元550,并逐列地输出保存在存储器单元550中的信号。从水平输出电路500输出的数字信号是由数字信号处理电路600处理的信号。数字信号处理电路600对数字信号执行噪声消减处理或诸如加法之类的算术运算处理。

[0019] 成像设备1000包括具有像素电路单元10和外围电路单元20的单一半导体衬底。成像设备1000还可以包括被配置成容纳半导体衬底的容器(封装)。

[0020] 成像设备1000可以被用来构建成像系统。成像系统可以包括被配置成将光引导到成像设备1000的光学系统。成像系统可以包括被配置成处理从成像设备1000输出的信号的信号处理设备。成像系统可以包括被配置成显示由成像设备1000捕捉到的图像的显示设备。成像系统通常可以是诸如视频摄像机和静态照相机之类的摄像机,或可以是具有摄像机(照相机)功能的信息终端或在分离的位置具有成像设备和显示设备的监测摄影机系统。

[0021] 电路包括绝缘栅场效应晶体管(MOSFET)。可以根据要向其施加的“栅极电势差”的最大值,将电路中所包括的晶体管分类为多个种类。下面将描述其中电路中的每一个都包括第一种晶体管、第二种晶体管、第三种晶体管,以及第四种晶体管中的至少一种的情况。

[0022] 术语“栅极电势差”是指在某一时刻栅电极的电势和对应于栅电极的体的电势之间的电势差。在一个阱中提供晶体管的源极和漏极的情况下,体的电势表示阱的电势。体的电势有时可以被称作背栅电势。在电路中所包括的许多晶体管中,体的电势可以等于源极的电势,或者,体的电势可以等于参考电势(地电势)。然而,实施例不仅限于此。因此,栅电极的电势和源极的电势之间的电势差,通常叫做“栅电压”,在下文可以不始终等于“栅极电势差”。基于栅电极的电势和体的电势之间的差值(绝对值),独立于它们的高度关系,评估栅极电势差的大小关系。在许多晶体管中,栅电极的电势可以充当用于在一个时段接通晶体管的电势,并且栅电极的电势可以充当用于在另一时段关闭晶体管的电势。如此,按时间序列方式向栅电极施加不同的电势。因此,栅极电势差可以在时间序列方式方面不同。

[0023] 在第一种晶体管中,要施加的栅极电势差的最大值等于或高于第一电势差 V_1 (第一值)。在第二种晶体管中,要施加的栅极电势差的最大值等于或低于第二电势差 V_2 (第二值)。在第二种晶体管中,要施加的栅极电势差的最大值等于或高于电势差 V_2' 。在第三种晶体管中,要施加的栅极电势差的最大值等于或低于第三电势差 V_3 (第三值)。在第三种晶体管中,要施加的栅极电势差的最大值等于或高于电势差 V_3' 。在第四种晶体管中,要施加的栅极电势差的最大值等于或低于第四电势差 V_4 (第四值)。在第四种晶体管中,要施加的栅极电势差的最大值等于或高于0V。

[0024] 根据此示例性实施例,第二电势差 V_2 低于第一电势差 V_1 。电势差 V_2' 低于第二电势差 V_2 ,第三电势差 V_3 低于第二电势差 V_2 和电势差 V_2' 。电势差 V_3' 低于第三电势差 V_3 。第四电势差 V_4 低于第三电势差 V_3 和 V_3' 。换言之,满足关系 $V_1 > V_2 > V_2' > V_3 > V_3' > V_4$ 。可以提供第一到第四种晶体管之外的其他种的晶体管。更具体而言,可以提供具有下列任一栅极电势差的最大值的晶体管:(a) 低于第一电势差 V_1 并高于第二电势差 V_2 , (b) 低于电势差 V_2' 并高于第三电势差 V_3 ,以及(c) 低于电势差 V_3' 并高于第四电势差 V_4 。

[0025] 根据此示例性实施例的示例,第一种晶体管的栅极电势差的最大值可以等于5V,而第二种晶体管的栅极电势差的最大值可以等于4V或3V。第三种晶体管的栅极电势差的最大值可以是2V,而第四种晶体管的栅极电势差的最大值可以等于1V。上文所描述的电势差的值是通过舍入到整数所获得的值,这表示,例如,3V落在从2.5到3.4V的范围内。

[0026] 第一电势差 V_1 和第二电势差 V_2 之间的显著差值等于或高于0.10V。第一电势差 V_1 和第二电势差 V_2 之间的差值优选地等于或高于0.50V,更优选地等于或高于1.0V。第三电势差 V_2' 和第三电势差 V_3 之间的显著差值等于或高于0.10V。电势差 V_2 和第三电势差 V_3 之间的

差值优选地等于或高于0.50V,更优选地等于或高于1.0V。电势差V3'和电势差V4之间的显著差值等于或高于0.10V。电势差V3'和电势差V4之间的差值优选地等于或高于0.50V,更优选地等于或高于1.0V。

[0027] 根据此示例性实施例的示例,为定义第一种晶体管要参考的第一电势差V1可以例如设置为4.5V,而为定义第三种晶体管要参考的电势差V3可以,例如,设置为2.0V。如此,在等于或高于2.5V($=V3+0.5$)且等于或低于4.0V($=V1-0.5$)的范围中具有其栅极电势差的最大值的晶体管可以是第二种晶体管。将第一电势差V1设置为4.0V或更高,将第二电势差V2设置为4.0V或更低,对于实现低功耗并获取高质量的图像是实际的。

[0028] 根据此示例性实施例,晶体管的种根据成像设备1000中所包括的电路而不同。将参考图2比较详细地描述其中包括的晶体管的电路和种。图2是示出了电路的特定的配置的电路图。在图2中,每一个电路都由虚线包围。

[0029] 图2还示出了第一到第四种晶体管的位置。在图2中所示出的示例中,由被V1指出的交替的点划线包围的区域中的电路包括至少第一种晶体管。在图2中,由被V2指出的双点划线包围的区域中的电路包括至少第二种晶体管。在图2中,由被V3指出的短划虚线包围的区域中的电路包括至少第三种晶体管。在图2中,由被V4指出的交替的长划虚线包围的区域中的电路包括至少第四种晶体管。

[0030] 由那些线中的一个划分的区域中的电路的某些晶体管的栅极电势差的最大值可以不同于其他晶体管的栅极电势差的最大值。第一到第四种晶体管之中的多个种的晶体管可以被包括在一个电路中。应该指出的是,多个晶体管可以可能在不同时间段具有栅极电势差的相等的最大值。

[0031] 像素电路单元10只包括N型晶体管。另一方面,外围电路单元20包括P型晶体管,与N型晶体管一起构成互补电路(CMOS电路)。体的电势和栅极的电势之间的大小关系在N型晶体管和P型晶体管之间是相反的,但是,可以比较栅极电势差的最大值,该最大值是绝对值。

[0032] 参考图2,由交替的长和短划线包围的区域中的像素电路100包括第一种晶体管。第四种晶体管还被包括在图1中所示出的垂直驱动电路700的输出单元750的一部分中和读出电路200中。具体而言,像素电路100中的每一个,被配置成转移在光电转换元件110中所生成的信号电荷的转移元件120可以是第一种晶体管。向其转移信号电荷的转移元件120具有漏极,该漏极是构成连接到放大元件130的栅极的节点125(浮动节点)的一部分的浮动扩散区域。放大元件130具有连接到读出电路200的电流源的源极,并形成源极跟随器。在此实施例中,被配置成复位节点125的电势的复位元件140和置于放大元件130的后面的级并被配置成选择从像素电路100到垂直输出线的输出的接通/关闭状态的选择元件150也是第一种晶体管。在此实施例中,为在像素电路中添加信号,节点125可连接到另一像素电路的浮动节点。被配置成控制节点125和另一像素电路的浮动节点之间的连接的接通/关闭状态的控制元件160也是第一种晶体管。放大元件130也可以是第一种晶体管。放大元件130的栅极电势差基于信号电荷的量,根据节点125的电势而变化。

[0033] 第一电势差V1和第二电势差V2之间的差值可以等于或高于放大元件130的阈值电压 V_{THA} 。这里,术语“阈值电压”是指表示在源极和漏极之间形成沟道的情况和不形成沟道的情况之间的边界条件的栅电压。当栅电压等于或高于阈值电压时,形成沟道。当栅电压低

于阈值电压时,在它们之间不形成沟道。术语“栅电压”是指栅电极的电势和源极的电势之间的差值的绝对值(电势差)。如果N型MOS晶体管是增强型,则意味着,关于阈值电压,栅电极的电势高于源极的电势。另一方面,如果N型MOS晶体管是抑制型,则意味着,关于阈值电压,栅电极的电势高于源极的电势。在此实施例中,放大元件130可以是增强型。

[0034] 绝缘栅场效应晶体管中的阈值电压 V_{TH} 可以通过下列表达式(1)来获取。

$$V_{TH} = \Phi_{MS} + 2\psi_B + \frac{\sqrt{2\varepsilon_s q N_A (2\psi_B + V_B)}}{C_O} \quad \dots (1)$$

[0036] 这里, Φ_{MS} [V]是,例如,多晶硅的栅电极,以及,例如,单晶硅的体之间的功函数差值。 $2\psi_B$ [V]是费米能级和本征费米能级之间的能量差。 C_O [F/cm²]是栅极绝缘膜的电容, ε_s [F/cm]是体的介电常数, q [C]是元电荷, N_A [cm⁻³]是体的杂质浓度。 ψ_B 通过 $(kT/q) * \ln(N_A/n_i)$ 来表达。 k [J/K]是玻耳兹曼常数, T [K]是体的温度, n_i [cm⁻³]是体的本征载流子密度。在通常在常温(300K)下使用的硅设备中, $2\psi_B$ [V]典型地等于0.6到0.9[V]。当使用N型硅栅电极和硅衬底时, $\Phi_{MS} + 2\psi_B$ 约等于-0.1[V]。 V_B [V]表示衬底反向偏压,并施加衬底反向偏压,以便通过将源极的电势设置为参考电势,体的电势可以等于 $-V_B$ [V] ($V_B > 0$)。当施加这样的衬底反向偏压时,扩展衬底的耗尽区,以增大阈值电压。阈值电压的典型范围等于或高于0.4V,并且等于或低于1.0V。假设在表达式(1)中, $V_B = 0$,不管存在还是不存在衬底反向偏压,都获得阈值电压 V_{TH} 的下限值。相应地,根据表达式(1)中的 $V_B = 0$ 的结果,获得放大元件130的阈值电压 V_{TH} 的下限。从此,应该理解,可能需要第一电势差 V_1 和第二电势差 V_2 之间的差值 ΔV 满足对于放大元件130的下列表达式(2)。在表达式(2)中,表达式(1)中的 ψ_B 被替换为温度 T 的函数。温度 T 是指操作中的体的温度,但是,在实践中,可以等于常温300[K]。

$$\Delta V \geq \Phi_{MS} + \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{2}{C_O} \sqrt{\varepsilon_s N_A kT \ln\left(\frac{N_A}{n_i}\right)} \quad \dots (2)$$

[0038] 放大元件130是第一种晶体管的这一事实表示,为定义第一种晶体管要参考的电势差 V_1 等于或低于放大元件130的栅极电势差的最大值。如此,第一电势差 V_1 是根据像素电路100的输出的动态范围确定的。鉴于此,放大元件130的栅极电势差的最大值可以被设置为定义第一种晶体管的电势差 V_1 。换言之,栅极电势差的最大值等于或高于放大元件130的栅极电势差的最大值的晶体管可以被定义为第一种晶体管。

[0039] 转移元件120的栅电极接收转移信号TX。复位元件140的栅电极接收复位信号RS,选择元件150的栅电极接收选择信号SL,而控制元件160的栅电极接收控制信号CT。

[0040] 在图2中在电路上方和下方指出了在外部提供的电势。DVDD、SVDD,以及AVDD是电源电势。DGND、SGND,以及AGND是参考电势(地电势)。TXH是信号TX的电势的最高电势,而TXL是信号TX的电势的最低电势,并可以是,例如,负电势。PXH是信号RS、SL,以及SW之中的最高电势。PXL是信号RS、SL,以及SW之中的最低电势。

[0041] 参考图2,垂直驱动电路700具有被配置成在垂直驱动电路700的输出单元750中输

出转移信号TX的缓冲区752。进一步提供了被配置成输出复位信号RS的缓冲区754、被配置成输出选择信号SL的缓冲区755,以及被配置成输出控制信号CT的缓冲区756。

[0042] 缓冲区752、754、755,以及756中的每一个都具有P型晶体管和N型晶体管,它们的漏极连接到共同的输出节点。当P型晶体管被接通时,输出被给予P型晶体管的源极的电势PXH或电势TXH。当N型晶体管被接通时,输出被给予N型晶体管的源极的电势PXL或电势TXL。在此实施例中,缓冲区752,754,755,以及756中的每一个中所包括的P型晶体管的栅极电势差可以高于第二电势差V2,并且P型晶体管是第一种晶体管。在此实施例中,缓冲区752中所包括的N型晶体管的栅极电势差可以等于或高于第一电势差V1,并且N型晶体管是第一种晶体管。在此实施例中,缓冲区754,755,以及756中的每一个中所包括的N型晶体管的栅极电势差可以等于或低于第二电势差V2,并且N型晶体管是第二种晶体管。根据此实施例,缓冲区754,755,以及756中所包括的多个晶体管的N型晶体管的栅极电势差的最大值低于缓冲区752中所包括的N型晶体管的栅极电势差的最大值。

[0043] 在图2中,位于由交替的长和短划线包围的区域中的读出电路200中所包括的晶体管是第四种晶体管。例如,读出电路200中形成例如5到10 μ A的电流源的电流镜电路的晶体管210、220、230,以及240是第四种晶体管。

[0044] 图3是像素电路100的操作的时序图。

[0045] 在时段P1,转移元件120和复位元件140被接通。如此,通过转移元件120和复位元件140,光电转换元件110内的残余电子放电。

[0046] 当光进入光电转换元件110时,根据光的量,执行光电转换以生成信号电荷。在时段P2,像素电路100中的晶体管被关闭。如此,由于不读出电荷载流子,所生成的信号电荷在光电转换元件110中累积。

[0047] 在时段P3,复位元件140被接通。如此,节点125的电势VFD被复位。如果信号电荷是电子,则放大元件130(是N型MOSFET)的栅极电势差随着信号电荷增大而降低。因此,在当复位元件140被接通并且信号电荷被复位时的时段,放大元件130的栅极电势差可以具有最大值。换言之,基于诸如像素电路100的电源电势SVDD之类的内因,而不是诸如入射光的量之类的外因,确定放大元件130的栅极电势差的最大值。

[0048] 当放大元件130的栅极电势差具有最大值时,放大元件130的栅电极的电势等于当复位时节点125的电势,并基于电势SVDD。更具体而言,该电势具有考虑到复位元件140相对于电势SVDD所导致的电压降的值。复位元件140所导致的电压降可以通过复位元件140的阈值电压VTHR来表示。因此,放大元件130的栅极电势差的最大值可以通过SVDD-VTHR来表示。

[0049] 在时段P4到P7,从对应的垂直输出线执行读出操作的行中的选择元件150在多个像素电路100之中被接通。

[0050] 在源极跟随器中,输入电势VIN和输出电势VOUT之间的关系基于放大元件130的阈值电压VTHA来确定,并通过 $VOUT \leq VIN - VTHA$ 来表示。输入电势VIN通过 $VOUT \leq VFD - VTHA$ 来表示,因为它对应于节点125的电势VFD。对于第二电势差V2,可以满足关系 $VOUT \geq V2$,以降低功耗。因此,导出 $V2 \leq VFD - VTHA$ 。

[0051] 如上文所描述的,复位元件140的栅极电势差的最大值PXL可以等于或高于SVDD。在此情况下,满足关系 $SDVV = VFD + VTHR$ 并且 $VFD \geq VOUT + VTHA$ 。因此,关于PXL,满足关系 $PXL \geq SDVV \geq VOUT + VTHA + VTHR$ 。考虑到关系 $VOUT \geq V2$,满足关系 $PXL \geq V2 + VTHA + VTHR$,并导出关

系 $PXL-V2 \geq V_{THA} + V_{THR}$ 。换言之,复位元件140中的栅极电势差的最大值和第二电势差 $V2$ 之间的差值可以等于或高于放大元件的阈值电压 V_{THA} 和复位元件140的阈值电压 V_{THR} 的总和。

[0052] 在时段P5,除选择元件150之外,其他元件被关闭。在此状态下,从输出线读出的信号可以被视为像素电路100内的噪声。

[0053] 在时段P6,转移元件120被接通。因此,向放大元件130的栅极施加基于在光电转换元件110中累积的电载流子的量的电势差。当转移元件120被接通时,转移元件120的栅极电势差具有最大值。为了适当地转移电载流子,以便可以减少光电转换元件110中的残余电载流子,可以使在转移操作过程中的转移元件120的栅极的电势高于节点125的电势 V_{FD} 。例如,当像素电路100中的晶体管的电源电势差是5.0V时,放大元件130的栅极电势差可以在3.0到4.5V范围内,取决于信号电荷的量。

[0054] 在时段P7,根据向放大元件130的栅极施加的电势差,从放大元件130的漏极向输出线读出模拟像素信号。由于在此情况下信号包含像素电路内的噪声,因此,后面的级中的模拟信号处理电路900中的CDS电路可以取噪声分量和信号分量之间的差,以从经过光电转换的像素信号中去除噪声。

[0055] 向缓冲区752,754,755,以及756的P型晶体管的源极和体施加电势 TXH 和电势 PXH (诸如+5V)。当缓冲区752,754,755,以及756的P型晶体管的栅极电势差具有最大值时缓冲区752,754,755,以及756的P型晶体管的栅电极的电势是比体的电势较的电势(诸如0V)。

[0056] 缓冲区752,754,755,以及756中的P型晶体管的栅极电势差的最大值基本上等于像素电路100的第一种晶体管的该值,以便缓冲区可以输出电势 TXH 和电势 PXH 。相应地,缓冲区752,754,755,以及756中所包括的P型晶体管是第一种晶体管,与像素电路100的晶体管一样。

[0057] 这里,将描述缓冲区752的晶体管和转移元件120之间的关系。在此实施例中,转移元件120是抑制(depression)型。换言之,当转移元件120的栅极电势差等于0V时,转移元件120具有接通状态。假设当缓冲区752中的N型晶体管的栅极电势差具有最大值时要向缓冲区752中的N型晶体管的栅电极施加的电势是,例如, GBN (诸如+3V)。当缓冲区754,755,以及756中的N型晶体管的栅极电势差具有最大值时,也向缓冲区754,755,以及756中的N型晶体管的栅电极的电势施加等于 GBN 的电势(诸如+3V)。向缓冲区754,755,以及756的N型晶体管的源极和体施加电势 PXL (诸如0V)。如此,从缓冲区754,755,以及756输出电势 PXL 。另一方面,向缓冲区752中的N型晶体管的源极和体施加比缓冲区754,755,以及756中的N型晶体管的源极和体的电势 PXL 低的电势 TXL 。如此,从缓冲区752输出电势 TXL 。结果,向转移元件120的栅电极施加对应于电势 TXL 的负电势。由于在光电转换元件110中在电载流子累积时段P2期间施加了电势 TXL ,因此,在累积时段P2期间转移元件120的栅极可以有力地被关闭。通过向缓冲区752中的N型晶体管的源极施加负电势 TXL ,缓冲区752中的N型晶体管的体的电势是负电势 TXL ,诸如-2V。

[0058] 如此,缓冲区752中的N型晶体管的栅极电势差的最大值高于缓冲区754,755,以及756中的N型晶体管的栅极电势差的最大值。例如,缓冲区752中的N型晶体管的栅极电势差的最大值等于5V。如此,缓冲区752中的N型晶体管是第一种晶体管。上文描述了这样的示例:第一种晶体管被包括在向转移元件120输出信号 TX 的缓冲区752中。然而,当电势 PXL 是

负电势时,缓冲区754,755,以及756中所包括的N型晶体管有时可以是第一种晶体管,与缓冲区752一样。已经描述了其中电势GBN等于+3V的示例,可以考虑另一配置:其中,通过设置电势GBN等于+5V,缓冲区754,755,以及756中的N型晶体管是第一种晶体管,尽管电势PXL等于0V。然而,由于这样的配置可能会消耗不必要地高的功率,因此,缓冲区754,755,以及756可以是第一种晶体管之外的晶体管。

[0059] 参考图2,放大电路300中所包括的晶体管包括第二种晶体管。更具体地,在放大电路300中,形成反相放大电路的运算放大器310中所包括的多个(诸如5到15个)晶体管包括第二种晶体管。例如,运算放大器310中的第二种晶体管被包括在运算放大器310的输入级中的差分对中。被配置成在运算放大器310的输入端和输出端之间建立短路以复位电容321和322的晶体管320也是第二种晶体管。被配置成选择电容321和电容322的晶体管323和324也是第二种晶体管。被配置成在反相放大电路的输入端和输出端之间建立短路的CMOS开关325也是第二种晶体管。形成电压跟随器的运算放大器330中所包括的多个(诸如5到15个)晶体管也包括第二种晶体管。例如,第二种晶体管可以被包括在运算放大器330的输入级中的差分对中。被配置成控制向放大电路300的输入的CMOS开关301和被配置成控制来自放大电路300的输出的CMOS开关302也是第二种晶体管。放大电路300中所包括的晶体管或作为图2中的CMOS开关的晶体管也是第二种晶体管。放大电路300可以包括第三种晶体管和第四种晶体管。在此实施例中,运算放大器310可以执行放大操作和CDS操作中的两者。然而,模拟信号处理电路900可以具有分开的CDS电路和放大电路。

[0060] 根据此示例性实施例,为每一列像素电路100提供的放大电路300可以不包括具有高于第二电势差V2的栅极电势差的最大值的绝缘栅晶体管。相应地,放大电路300可以不包括第一种晶体管。换言之,在放大电路300中所包括的全部绝缘栅晶体管之中,具有栅极电势差的最大值中的最大一个值的晶体管的栅极电势差的最大值等于或低于第二电势差V2。应该指出的是,可以为驱动放大电路300提供的并且未为每一列像素电路100提供的晶体管也可以具有高于第二电势差V2的栅极电势差的最大值,如果它是配置放大电路300的一部分的晶体管的话。然而,甚至包括配置放大电路300的一部分的晶体管的放大电路300中的全部晶体管可以不具有高于第二电势差V2的栅极电势差的最大值。

[0061] 可以提供电平移动电路,用于使得要向第二种晶体管的栅极施加的电势具有合适的值,更具体而言,等于或低于第二电势差V2的值。参考图2,位于像素电路100和放大电路300之间的电容303配置电平移动电路。

[0062] 参考图2,AD转换电路400中所包括的部分晶体管是第二种晶体管,而AD转换电路400中所包括的其他部分晶体管是第三种晶体管。水平输出电路500中所包括的晶体管是第三种晶体管。

[0063] 为每一列像素电路100提供的AD转换电路400包括比较器420和存储器单元460。比较器420属于图1中所示出的模拟单元410,而存储器单元460属于数字单元450。比较器420作为输入信号,接收从参考信号生成单元430提供的参考信号和像素信号。当输入之间的大小关系颠倒时,比较器420的输出的逻辑电平颠倒。当比较器420的输出的逻辑电平颠倒时,存储器单元460保存从计数器单元(未示出)提供的计数信号。计数信号对应于数字化的像素信号。保存在存储器单元460中的计数信号通过开关(未示出)被转移到水平输出电路中的存储器单元550。当扫描单元510选择预定的列中的存储器单元550时,输出保存在存储器

单元550中的数字像素信号。

[0064] 尽管根据此实施例,为每一AD转换电路400提供了参考信号生成单元430,但是,多个AD转换电路400可以共享一个参考信号生成单元430。尽管根据此实施例,多个AD转换电路400共享一个计数器单元,但是,可以为每一个AD转换电路400提供计数器单元。

[0065] 比较器420可以包括第二种晶体管。例如,第二种晶体管可以被包括在比较器420的输入级中的差分对中。参考信号生成单元430、存储器单元460、存储器单元550和扫描单元510中所包括的晶体管是第三种晶体管。

[0066] 根据此示例性实施例,为每一列像素电路100提供的AD转换电路400可以不包括具有高于第二电势差 V_2 的栅极电势差的最大值的绝缘栅晶体管。相应地,AD转换电路400可以不包括第一种晶体管。换言之,在AD转换电路400中所包括的全部绝缘栅晶体管之中,具有栅极电势差的最大值中的最大一个值的晶体管的栅极电势差的最大值等于或低于第二电势差 V_2 。应该指出的是,可以为驱动AD转换电路400提供的并且未为每一列像素电路100提供的晶体管可以具有高于第二电势差 V_2 的栅极电势差的最大值,即使它是配置AD转换电路400的一部分的晶体管。然而,甚至包括配置AD转换电路400的一部分的晶体管的AD转换电路400中的全部晶体管可以不具有高于第二电势差 V_2 的栅极电势差的最大值。

[0067] 图1中所示出的数字信号处理电路600是CMOS逻辑电路,是执行高速度操作所需的。数字信号处理电路600包括第三种晶体管。例如,第三种晶体管被包括在CMOS逻辑电路中。如此,可以利用与其他晶体管相比较低的栅极电势差来驱动数字信号处理电路600,以便它可以执行高速度操作。

[0068] 根据此示例性实施例,数字信号处理电路600可以不包括具有高于第三电势差 V_3 的栅极电势差的最大值的绝缘栅晶体管。相应地,数字信号处理电路600可以不包括第一种晶体管和第二种晶体管。换言之,在数字信号处理电路600中所包括的全部绝缘栅晶体管之中,具有栅极电势差的最大值中的最大一个值的晶体管的栅极电势差的最大值等于或低于第三电势差 V_3 。

[0069] 上文已经描述了AD转换电路400中的放大电路300和模拟单元410包括第二种晶体管的示例,但是,它们可以只包括第三种晶体管,而没有第二种晶体管。然而,为了提供要由放大电路300和AD转换电路400处理的模拟信号的动态范围,可以使用具有较高栅极电势差的第二种晶体管,代替第三种晶体管。

[0070] 在数字信号处理电路600中可以使用第一种晶体管和第二种晶体管,但是,从高速度操作和功耗的降低的观点来看,可以使用第三种晶体管。

[0071] 电路中所包括的晶体管可以基于晶体管的结构被分成多种类型。在图1中的框图中,使用不同类型的阴影来表示电路中所包括的晶体管的类型,包括第一类型晶体管T1、第二类型晶体管T2、第三类型晶体管T3,以及第四类型晶体管T4。例如,第一到第四类型晶体管至少具有不同的栅极结构和源极-漏极结构,下面将描述其细节。根据此实施例,电路中所包括的晶体管都是相同类型,但是,电路可以包括第一到第四类型晶体管之外的其他类型的晶体管。

[0072] 图4是成像设备1000的截面图。图4示出了光电转换元件110和转移元件120,以及放大元件130,它们是N型第一类型晶体管。虽然未示出复位元件140,但是,复位元件140可以具有与放大元件130相同的结构。图4进一步示出了N型第二类型晶体管21、P型第二类型

晶体管22、N型第三类型晶体管31、P型第三类型晶体管32、N型第四类型晶体管41,以及P型第四类型晶体管42。N型晶体管可以与互补P型晶体管一起配置CMOS电路,但是,实施例不仅限于此。

[0073] 如前所述的种类的晶体管可以是不同类型晶体管。例如,第一种晶体管可以是第一类型晶体管或第四类型晶体管。例如,第二种晶体管可以是第二类型晶体管,第三种晶体管可以是第三类型晶体管。第四种晶体管可以是第一到第四类型晶体管中的一种。应该指出的是,电路中的每一个都可以包括第一到第四种晶体管之外的种类的绝缘栅晶体管。

[0074] 光电转换元件110具有排列在P型阱区域2中的N型积累区域3。在积累区域3和半导体衬底1的表面之间提供了P型表面区域4。浮动扩散区域5是转移元件120的漏极,并配置节点125的至少一部分。复位元件140具有与转移元件120的漏极共享扩散区的源极。在放大元件130和转移元件120之间提供了包括STI、LOCOS,以及P型杂质区域的元件隔离区域6。

[0075] 放大元件130包括图4中的侧壁间隔件SP,但是,它不是必需的。在转移元件120和放大元件130的栅电极上提供了由二氧化硅或氮化硅制成的硬掩膜HM。光电转换元件110被抗反射膜AR覆盖。反射膜AR可以具有一种结构,该结构例如具有从半导体衬底1侧顺次层叠的10nm厚的二氧化硅层、50nm厚的氮化硅层和110nm厚的二氧化硅层。

[0076] 假设诸如转移元件120和放大元件130之类的第一类型晶体管的栅极绝缘膜GI1具有厚度TG1。假设第二类型晶体管21和22的栅极绝缘膜GI2具有厚度TG2。假设第三类型晶体管31和32的栅极绝缘膜GI3具有厚度TG3。假设第四类型晶体管41和42的栅极绝缘膜GI4具有厚度TG4。根据此示例性实施例,厚度TG3可以小于厚度TG2 ($TG2 > TG3$)。厚度TG3可以小于厚度TG1 ($TG1 > TG3$)。厚度TG1和厚度TG3之间的差或厚度TG2和厚度TG3之间的差值优选地等于或大于1.0nm (10埃),更优选地等于或大于5.0nm (50埃)。

[0077] 厚度TG1可以等于厚度TG2 ($TG1 = TG2$)。厚度TG1可以不同于厚度TG2。然而,在此情况下,厚度TG2可以小于厚度TG1 ($TG1 > TG2$)。厚度TG1和TG2之间的差可以低于1.0nm。厚度TG4还大于厚度TG3 ($TG4 > TG3$),厚度TG4可以等于厚度TG1和厚度TG2中的至少一个。

[0078] 栅极绝缘膜GI1,GI2,GI3,以及GI4中的至少一个可以主要包含二氧化硅,但是可以包含氮。具体而言,当某一晶体管的栅电极包含硼时,晶体管的栅极绝缘膜可以包含氮,以抑制硼向半导体衬底1的扩散。在P型晶体管22,32,以及42中,有时可以以硼的离子注入过程将硼植入到栅电极的多晶硅中,以便形成扩散区。针对此,P型晶体管22,32,以及42的栅极绝缘膜可以包含氮。栅极绝缘膜中的氮的峰值浓度可以等于或高于1%。另一方面,该峰值浓度可以优选地等于或低于10%,并可以更优选地等于或低于5%。可以满足关系 $D1 > D2A$,其中,D1是栅极绝缘膜中的氮浓度的峰值位置与半导体衬底1的距离,D2是与栅极的距离。换言之,比起半导体衬底侧,氮可以更多地分布在栅极侧。

[0079] 假设诸如转移元件120和放大元件130之类的N型第一类型晶体管的栅极长度是LG1。假设N型第二类型晶体管21的栅极长度是LG2,N型第三类型晶体管31的栅极长度是LG3,而N型第四类型晶体管的栅极长度是LG4。栅极长度LG2可以小于栅极长度LG1 ($LG1 > LG2$)。栅极长度LG3可以小于栅极长度LG2 ($LG2 > LG3$)。栅极长度LG4可以大于栅极长度LG1 ($LG4 > LG1$)。栅极长度LG4可以大于栅极长度LG2和栅极长度LG1 ($LG4 > LG2, LG3$)。以此方式,它可以被配置,以便主要被用作第一种晶体管的第一类型晶体管的栅极长度可以大于主要被用作第二种晶体管的第二类型晶体管的栅极长度。因此,第二电势差V2可以小于第一电

势差 V_1 ，这可以提供更好的性能。

[0080] N型晶体管21, 31, 以及41的源极和漏极的杂质浓度高于N型转移元件120的漏极5以及放大元件130的源极和漏极的杂质浓度。晶体管21, 22, 31, 32, 41, 以及42中的每一个都具有自对准硅化物(salicide)结构。具有自对准硅化物结构的晶体管21, 22, 31, 32, 41, 以及42中的每一个的栅电极、源极以及漏极的上表面被硅化物层SL覆盖。另一方面, 在此实施例中, 转移元件120以及放大元件130没有自对准硅化物结构。硅化物层SL可以包含硅化钨、硅化钛、硅化钴、硅化镍等等。覆盖像素电路单元10的绝缘体膜PP在执行外围电路单元20中的晶体管的硅化的自对准硅化物工艺中充当硅化物阻挡。

[0081] 晶体管21, 22, 31, 32, 41, 以及42中的每一个具有侧壁间隔件SP, 其具有轻掺杂漏极(LDD)结构。LDD结构具有半导体区域LDD, 该半导体区域LDD具有与源极和漏极相同的导电类型, 并具有比源极和漏极低的浓度。区域LDD位于侧壁间隔物SP下面。另一方面, 放大元件130中的每一个都具有侧壁间隔物SP, 但是没有LDD结构。

[0082] 晶体管31和32中的每一个都具有Halo结构。Halo结构具有半导体区域HL, 该半导体区域HL具有与源极和漏极相反的导电类型, 并位于源极和漏极下面。提供Halo结构可以抑制耗尽层的扩展, 并可以降低击穿。另一方面, 其他晶体管120, 130, 21, 22, 41, 以及42没有Halo结构。

[0083] 在半导体衬底1上形成多层布线结构。在布线层M1、布线层M2, 以及布线层M3之间提供了层间绝缘层PMD、层间绝缘层IL1, 以及层间绝缘层IL2。在布线层M1通过接触插塞CP连接到半导体衬底1和栅电极, 而布线层M2和M3通过介层插塞VP1和VP2彼此连接。多层布线结构被包括氮化硅层的钝化膜PV覆盖。在外围电路单元20中, 覆盖晶体管21, 22, 31, 32, 41, 以及42的绝缘体膜CES充当在层间绝缘层PMD中形成用于接触插塞CP的接触孔时可使用的蚀刻终止物。

[0084] 如上文所描述的, 晶体管, 具体而言, 像素电路100中的转移元件120是具有相对较高栅极电势差的第一种晶体管。这可以改善转移性能。像素电路100中的晶体管的栅极电势差的提高的最大值可以提高饱和电子的数量。因此, 可以获得好的图像。

[0085] 另一方面, 在为每一列提供的模拟信号处理电路900中, 使用栅极电势差的最大值比第一种晶体管低的第二种晶体管。根据像素电路100的列的数量, 排列多至100到10000个模拟信号处理电路900。同时驱动许多模拟信号处理电路900, 以并行地处理模拟信号。模拟信号处理电路900对于像素电路100的任何选定行操作。换言之, 模拟信号处理电路900在一个帧周期中, 重复地操作对应于像素电路单元10的行的数量的次数。因此, 为每一列提供的模拟信号处理电路900的功耗占成像设备1000的整体功耗的很大的比例。对模拟信号处理电路900使用可以利用比像素电路100低的栅极电势差驱动的第二种晶体管, 可以允许成像设备1000的功耗大大地降低。具体而言, 开关处的功耗可以显著缩小。

[0086] 可以以上文所描述的方式实现高图像质量和低功耗两者。将描述为什么利用比像素电路100低的栅极电势差驱动的第二种晶体管可以用于模拟信号处理电路900的理由。模拟信号处理电路900中的每一个都可以利用具有等于或低于像素电路100的输出 V_{OUT} 的栅极电势差(第二电势差 V_2)的晶体管被充分地驱动。放大元件130的输出 V_{OUT} 比节点125的电势 V_{FD} 低放大元件130的阈值电压 V_{THA} 。因此, 用于驱动模拟信号处理电路900的栅极电势差(第二电势差 V_2)可以比用于驱动像素电路100的栅极电势差(第一电势差 V_1)低放大元件

130的阈值电压 V_{THA} 。

[0087] 在模拟信号处理电路900中使用的栅极长度比第一种晶体管的栅极长度短的第二种晶体管的栅极长度 LG_2 可以降低第二种晶体管的接通电流。结果,模拟信号处理电路900中的功耗可以降低。使用具有比在数字信号处理电路600和存储器单元中的第二种晶体管低的栅极电势差的最大值,低的栅极绝缘膜的厚度以及短的栅极长度,可以实现高性能的数字信号处理。在垂直驱动电路700和水平输出电路500中的扫描单元中使用第三种晶体管可以实现高速扫描。由于其较大的栅极长度而具有较高驱动力的第四种晶体管用于垂直驱动电路700和读出电路200中的输出单元750中。因此,可以以高速度将来自像素电路100的像素信号传输到后续的级中的模拟信号处理电路900。因此,可以实现高速驱动。

[0088] 根据此示例性实施例的成像设备1000可以通过使用用于制造CMOS图像传感器的半导体制造技术来制造。

[0089] 示例

[0090] 通过使用已知的CMOS工艺并将杂质植入到硅衬底中在硅衬底上形成多晶硅电极,从而形成图4中所示出的晶体管,来构建成像设备。第二类型晶体管21和22被用作放大电路300和AD转换电路400的部分,而第三类型晶体管31和32用于水平输出电路500、数字信号处理电路600和垂直驱动电路700中的扫描单元710中。第四类型晶体管41和42用于读出电路200和垂直驱动电路700中的输出单元750中。

[0091] 第一类型晶体管用于转移元件120、放大元件130、复位元件140、选择元件150,以及控制元件160中。第一类型晶体管中的每一个都被定义为具有 $TG_1=11.5\text{nm}$, $LG_1=600\text{nm}$ 。它被定义为使得转移元件120的栅极电势差的最大值等于4.8V,放大元件130的栅极电势差的最大值等于4.5V,复位元件140、选择元件150和控制元件160的栅极电势差的最大值等于5.1V。第一电势差 V_1 被定义为等于4.4V,以便那些晶体管可以是第一种晶体管。

[0092] 对于放大元件130,基于 $\Phi_{MS}=-1.0$, $2\Phi_B=0.9$,体杂质浓度 $N_A=2.0\times 10^{17}[\text{cm}^{-3}]$,以及 $C_0=3.0\times 10^{-7}[\text{F}/\text{cm}^2]$,设置 $\Delta V=0.7\text{V}$ 。

[0093] 第二电势差 V_2 被定义为3.7V,并且主要设计用于第二种晶体管的N型第二类型晶体管21被定义为具有 $TG_2=11.5\text{nm}$ 和 $LG_2=550\text{nm}$ 。第二电势差 V_2 被定义为3.7V,并且主要设计用于第二种晶体管的P型第二类型晶体管22被定义为具有 $TG_2=11.5\text{nm}$ 和 $LG_2=450\text{nm}$ 。第三电势差 V_3 被定义为2.0V,并且主要设计用于第三种晶体管的N型第三类型晶体管31被定义为具有 $TG_3=3.8\text{nm}$ 和 $LG_3=200\text{nm}$ 。第三电势差 V_3 被定义为2.0V,并且主要设计用于第三种晶体管的P型第三类型晶体管32被定义为具有 $TG_3=3.8\text{nm}$ 和 $LG_3=200\text{nm}$ 。第四电势差 V_4 被定义为1.0V,并且主要设计用于第四种晶体管的N型第四类型晶体管41被定义为具有 $TG_4=11.5\text{nm}$ 和 $LG_4=1020\text{nm}$ 。第四电势差 V_4 被定义为1.0V,并且主要设计用于第四种晶体管的P型第四类型晶体管42被定义为具有 $TG_4=11.5\text{nm}$ 和 $LG_4=670\text{nm}$ 。

[0094] N型第一到第四类型晶体管的体电势都被定义是0V,除了缓冲区252中的N型晶体管被定义为-1.4V。N型第一类型晶体管的栅极电势差的最大值对于转移元件120被定义为4.8V,并且对于放大元件130被定义为4.5V。复位元件140、选择元件150和控制元件160的栅极电势差的最大值被定义为5.1V。N型第二类型晶体管的栅电极的最高电势被定义为3.6V。N型第三类型晶体管的栅电极的最高电势被定义为1.8V。

[0095] 使用具有此配置的成像设备提供了带有低功耗的高质量的图像。

[0096] 虽然是参考示例性实施例来描述本发明的,但是应该理解,本发明不仅限于所公开的示例性实施例。下列权利要求的范围应该有最广泛的解释,以便包含所有这样的修改以及等效结构和功能。

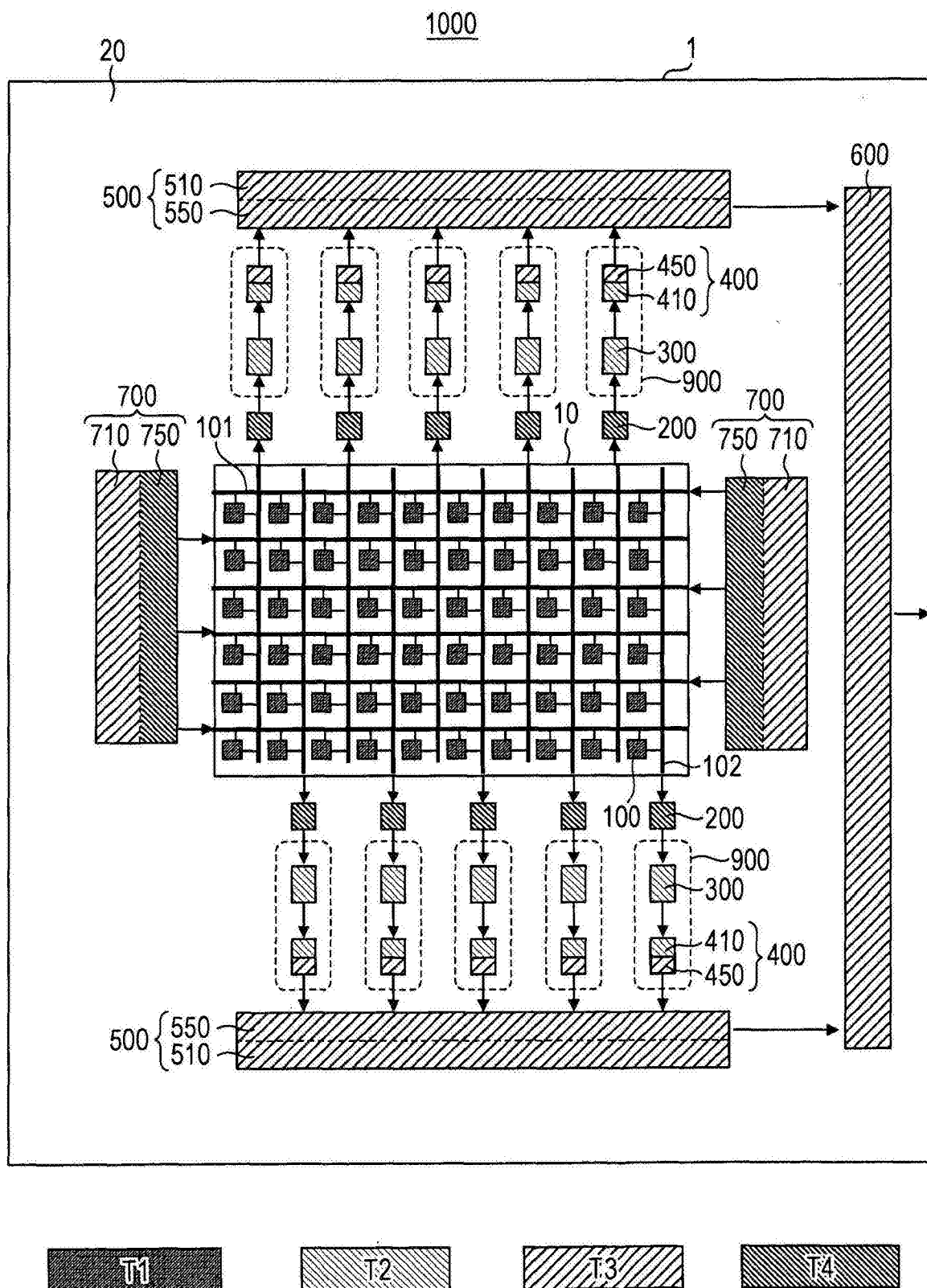


图1

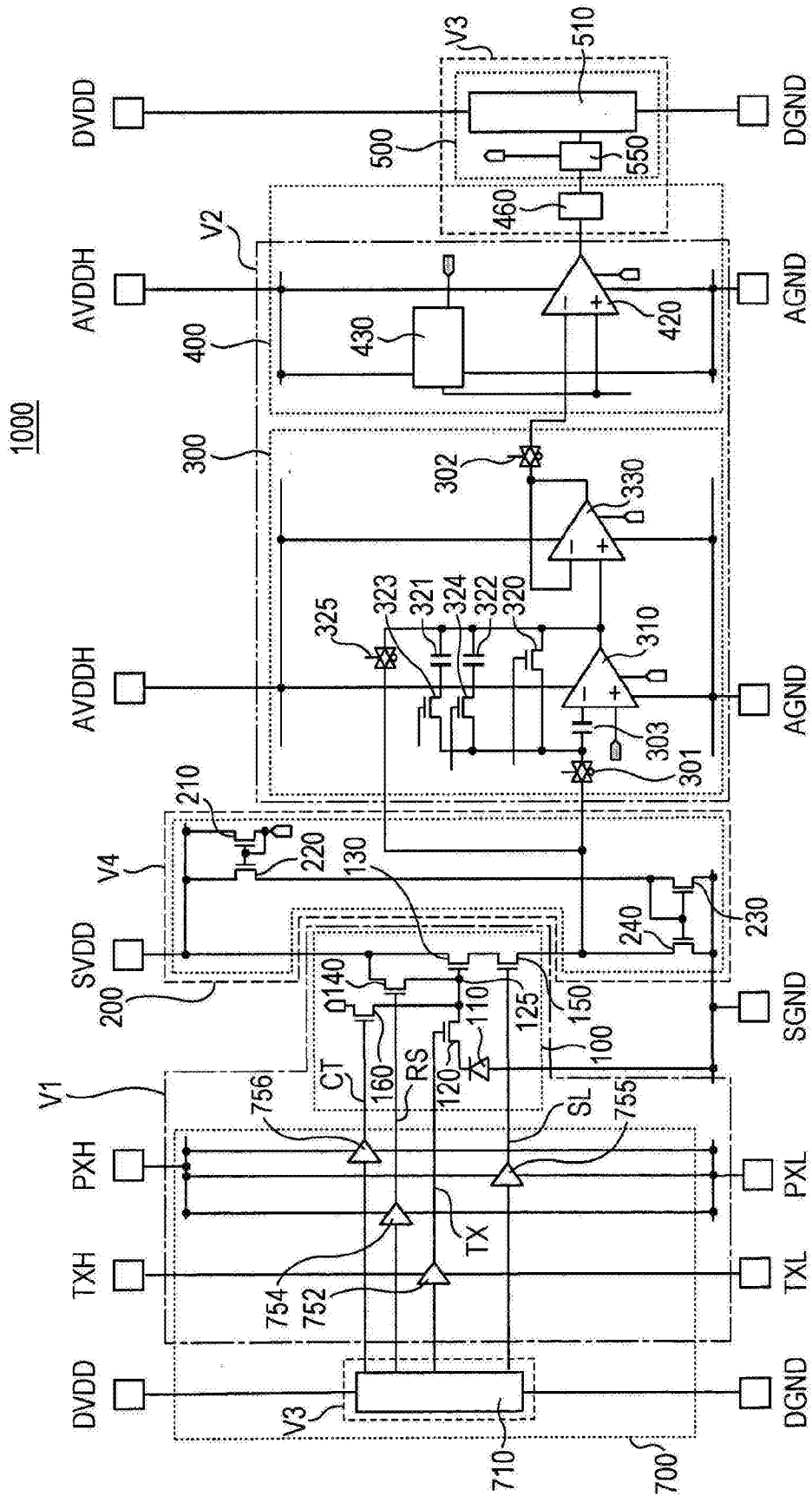


图2

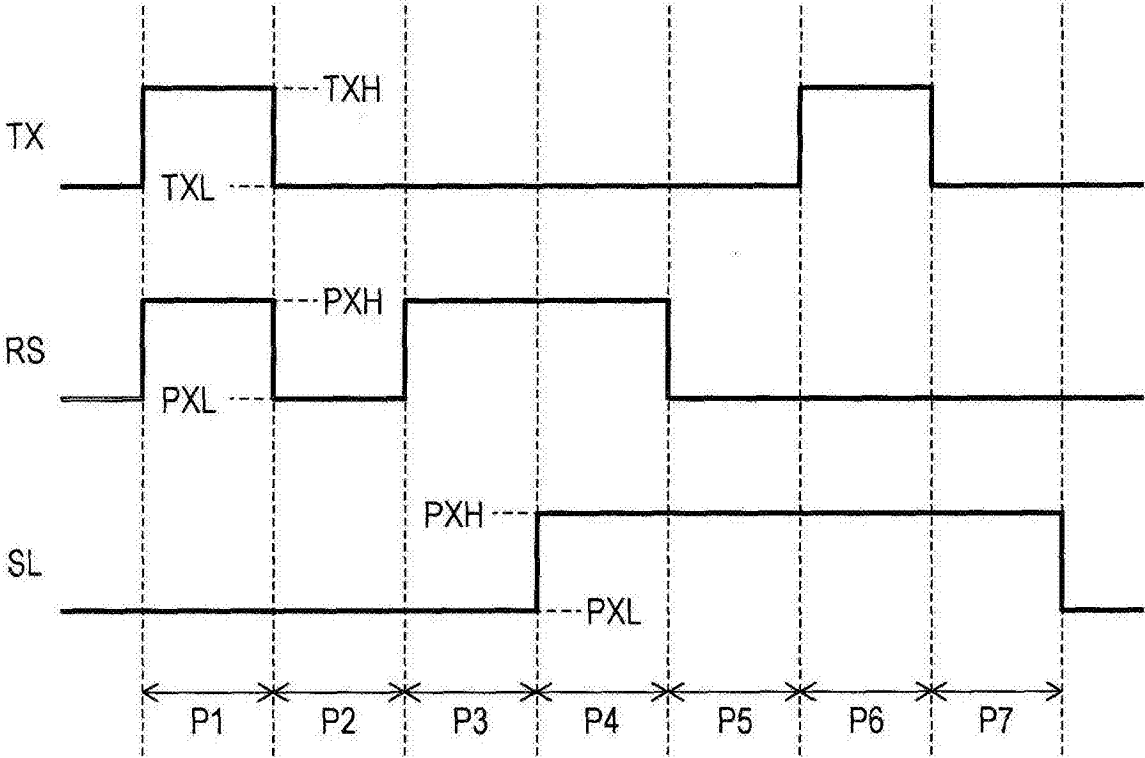


图3

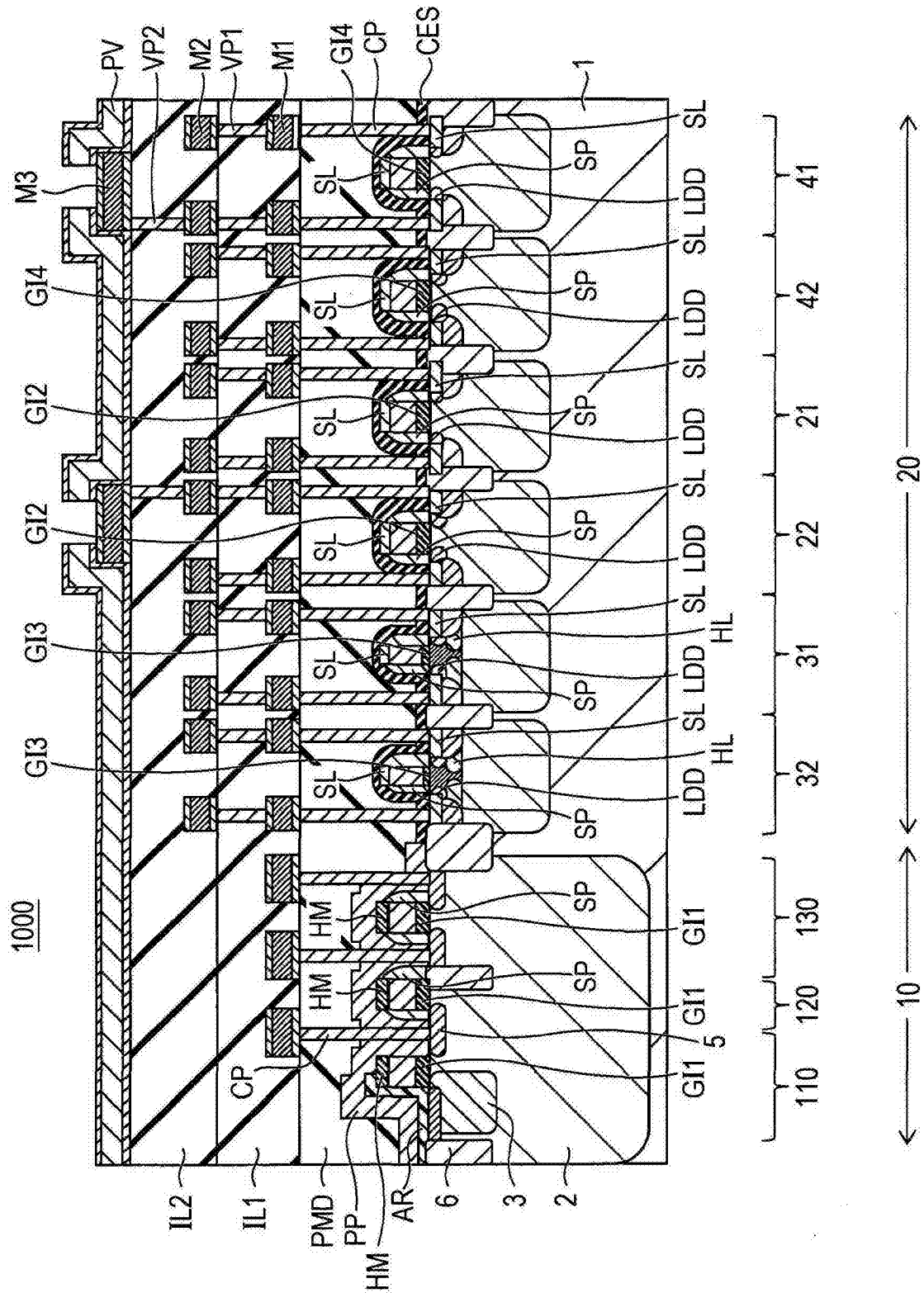


图4