(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3557011号

(P3557011)

(45)発行日　平成16年8月25日(2004.8.25)　(24)登録日　平成16年5月21日(2004.5.21)

(51)Int.Cl.[7]	F I		
H01L 33/00	H01L	33/00	C
H01L 21/203	H01L	21/203	Z
H01L 21/301	H01L	21/31	C
H01L 21/31	H01S	5/30	
H01S 5/30	H01L	21/78	R

請求項の数 7　(全 19 頁)

(21)出願番号　特願平7-235802
(22)出願日　平成7年9月13日(1995.9.13)
(65)公開番号　特開平8-330628
(43)公開日　平成8年12月13日(1996.12.13)
審査請求日　平成14年9月13日(2002.9.13)
(31)優先権主張番号　特願平7-72678
(32)優先日　平成7年3月30日(1995.3.30)
(33)優先権主張国　日本国(JP)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　山本　雅裕
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　藤本　英俊
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　国分　義弘
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

最終頁に続く

(54)【発明の名称】半導体発光素子、及びその製造方法

(57)【特許請求の範囲】

【請求項１】

多角形の平面形状を有する六方晶系の単結晶基板と、この単結晶基板上に積層された化合物半導体層と、この化合物半導体層に接続された電極とを備え、前記単結晶基板の各一辺が＜１１－２０＞方向または＜１－１００＞方向に平行であり、前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足し、かつ前記単結晶基板の裏面の凹凸が前記単結晶基板の厚さＴの３％以内にあることを特徴とする半導体発光素子。

【請求項２】

多角形の平面形状を有する六方晶系の単結晶基板と、この単結晶基板上に積層された化合物半導体層と、この化合物半導体層に接続された電極とを備え、前記単結晶基板の一辺が＜１１－２０＞方向に平行であり、他の一辺が＜１－１００＞方向に平行であり、前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足し、かつ前記単結晶基板の裏面の凹凸が前記単結晶基板の厚さＴの３％以内にあることを特徴とする半導体発光素子。

【請求項３】

前記多角形が、平行四辺形であることを特徴とする請求項１または２に記載の半導体発光素子。

【請求項４】

六方晶系の単結晶基板の表面上に化合物半導体層を積層する工程、前記化合物半導体層に

接して電極を形成する工程、前記単結晶基板の裏面を凹凸が前記単結晶基板の厚さの３％以内となるように加工する工程、前記裏面を加工した単結晶基板を切断して平面多角形状にする工程を包含し、該切断工程において、単結晶基板を＜１１－２０＞方向または＜１－１００＞方向に、かつ前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足するように切断することを特徴とする半導体発光素子の製造方法。

【請求項５】

六方晶系の単結晶基板の表面上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記単結晶基板の裏面を凹凸が前記単結晶基板の厚さの３％以内となるように加工する工程、前記裏面を加工した単結晶基板を切断して平面多角形状にする工程を包含し、該切断工程において、単結晶基板を前記多角形の一辺が＜１１－２０＞方向に平行に、および他の一辺が＜１－１００＞方向に平行になるように、かつ前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足するように切断することを特徴とする半導体発光素子の製造方法。

【請求項６】

六方晶系の単結晶基板の表面上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記単結晶基板の裏面を凹凸が前記単結晶基板の厚さの３％以内となるように加工する工程、前記裏面を加工した単結晶基板を切断して平面多角形状にする工程を包含し、該切断工程において、単結晶基板を＜１１－２０＞方向または＜１－１００＞方向に、かつ前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足するように切断することを特徴とする半導体レーザダイオードの製造方法。

【請求項７】

六方晶系の単結晶基板の表面上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記単結晶基板の裏面を凹凸が前記単結晶基板の厚さの３％以内となるように加工する工程、前記裏面を加工した単結晶基板を切断して平面多角形状にする工程を包含し、該切断工程において、単結晶基板を前記多角形の一辺が＜１１－２０＞方向に平行に、および他の一辺が＜１－１００＞方向に平行になるように、かつ前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足するように切断することを特徴とする半導体レーザダイオードの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する分野】

本発明は、半導体発光素子等の半導体素子、及びその製造方法に関する。

【０００２】

【従来の技術】

一般に、発光ダイオード、レーザダイオード等の発光素子は、閃亜鉛鉱構造を有するＧａＡｓ、ＧａＰ等の基板上に、例えばＧａＡｓ、ＩｎＧａＰ、ＧａＡｌＡｓ等の化合物半導体材料を結晶成長させ、これをチップ化して作製されている。チップ化の際には、スクライビングを行ってから基板を切断する。閃亜鉛鉱構造を有する基板は、＜１１０＞方向に劈開性を有するので、針状のスクライバーを用いてこの方向にスクライブラインを入れ、このラインに沿って基板を押し割ることによって容易にチップ状に分離することができる。

【０００３】

ところで、最近、青色発光を含む短波長発光の素子に用いる半導体材料としてＧａＮを代表とする窒化ガリウム系のＩＩＩ　－Ｖ族窒化物系化合物半導体が有望視されている。この種の素子には、基板として通常サファイアが使用される。これをチップ化する際には、円盤カッター等を用いて基板を切断するダイシングを行うか、あるいはスクライビングを行って、正方形や長方形のチップとする。

【０００４】

しかしながら、サファイアは、＜１１０＞方向に劈開性を持たないため、閃亜鉛鉱構造を有する基板に比べ、ダイシングやスクライビング時に基板に余分な力が加わり、切断がかなり強制的になる。それ故、結晶性の悪化をもたらす等チップに物理的な悪影響を及ぼし、素子の発光効率が低下するという問題がある。また、強制的な切断を行うために、切断面が鏡面とならず、切断面すなわちチップ端面の平坦性が発光に影響するレーザダイオード等の発光素子の作製が困難となるばかりでなく、歩留りが低下するという問題もある。

【０００５】

加えて、上記のようなチップは正方形や長方形なので、これらの角の部分に電極を形成すると電極の占める面積によって発光ダイオード等の発光面積が小さくなって光取り出し効率が低くなり、発光効率が低下するという問題もある。

【０００６】

ところで、ＺｎＳｅ等のＩＩ－ＶＩ族化合物半導体は、可視波長領域の青や緑の波長に相当するエネルギーと同等もしくはそれ以上の広いバンドギャップ（ワイドギャップ）を有し、可視発光素子材料として注目を集めている。特にＧａＡｌＡｓ、ＩｎＧａＡｌＰ等のＩＩＩ　－Ｖ族化合物半導体材料を用いた半導体レーザや発光ダイオードの動作波長域が緑色より長い波長域にあるのに対し、ワイドギャップＩＩ－ＶＩ族化合物半導体はより波長の短い青色や紫外光までの動作波長域を有し得る。このことにより、小型、軽量、低動作電圧、高信頼性等従来の半導体発光素子の有する利点を短波長域でも発揮できるようになり、例えば光ディスクの高密度化が期待できるばかりでなく、屋外メッセージボード等のフルカラー化も期待できることとなる。

【０００７】

このようなＺｎＳｅ等のワイドＩＩ－ＶＩ族化合物半導体を用いた青緑色半導体発光素子に関し、室温で動作する電流注入型半導体レーザが報告されている（オクヤマら、日本応用物理学会誌３０Ｌ１６２０（１９９１））。この半導体レーザは、分子線エピタキシー（ＭＢＥ）法によりＧａＡｓ基板上にＺｎＳｅ等のＩＩ－ＶＩ族化合物半導体を成長させることにより、青緑色発光を得たものである。しかしながら、この半導体レーザでは、実用的な半導体レーザとして必要な低動作電圧、長寿命、高発光効率は達成されていない。

【０００８】

これは、ＩＩ－ＶＩ族化合物半導体は、ＩＩＩ　－Ｖ族化合物半導体に比べて異種基板（例えば、ＧａＡｓ基板）との格子整合をはかることが困難であること、また基板上へ成長させる際の制御が困難であるためにその結晶（特に基板半導体との界面近傍）に欠陥が多く、キャリア濃度が低くなり、あるいは通電により欠陥が増殖することが原因であると考えられる。

【０００９】

【発明が解決しようとする課題】

上述したように、従来の半導体発光素子は、発光ダイオードであれ、レーザダイオードであれ、発光効率等の特性においてなお満足できるものではない。

【００１０】

本発明は上記の問題を解決し、発光効率等の特性が良好な半導体発光素子及びその製造方法を提供することを課題とする。

【００１１】

【課題を解決するための手段】

上記課題を解決するために、本発明は、第１に、多角形の平面形状を有する六方晶系の単結晶基板と、この単結晶基板上に積層された化合物半導体層と、この化合物半導体層に接続された電極とを備え、前記単結晶基板の各一辺が＜１１－２０＞方向または＜１－１００＞方向に平行であり、前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足し、かつ前記単結晶基板の裏面の凹凸が前記単結晶基板の厚さＴの３％以内にあることを特徴とする半導体発光素子を提供する。

【００１２】

第２に、本発明は、多角形の平面形状を有する六方晶系の単結晶基板と、この単結晶基板

上に積層された化合物半導体層と、この化合物半導体層に接続された電極とを備え、前記単結晶基板の一辺が＜１１－２０＞方向に平行であり、他の一辺が＜１－１００＞方向に平行であり、前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足し、かつ前記単結晶基板の裏面の凹凸が前記単結晶基板の厚さＴの３％以内にあることを特徴とする半導体発光素子を提供する。

【００１３】

第３に、六方晶系の単結晶基板の表面上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記単結晶基板の裏面を凹凸が前記単結晶基板の厚さの３％以内となるように加工する工程、前記裏面を加工した単結晶基板を切断して平面多角形状にする工程を包含し、該切断工程において、単結晶基板を＜１１－２０＞方向または＜１－１００＞方向に、かつ前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足するように切断することを特徴とする半導体発光素子の製造方法を提供する。

第４に、六方晶系の単結晶基板の表面上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記単結晶基板の裏面を凹凸が前記単結晶基板の厚さの３％以内となるように加工する工程、前記裏面を加工した単結晶基板を切断して平面多角形状にする工程を包含し、該切断工程において、単結晶基板を前記多角形の一辺が＜１１－２０＞方向に平行に、および他の一辺が＜１－１００＞方向に平行になるように、かつ前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足するように切断することを特徴とする半導体発光素子の製造方法を提供する。

【００１５】

第５に、本発明は、六方晶系の単結晶基板の表面上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記単結晶基板の裏面を凹凸が前記単結晶基板の厚さの３％以内となるように加工する工程、前記裏面を加工した単結晶基板を切断して平面多角形状にする工程を包含し、該切断工程において、単結晶基板を＜１１－２０＞方向または＜１－１００＞方向に、かつ前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足するように切断することを特徴とする半導体レーザダイオードの製造方法を提供する。

【００１６】

第６に、本発明は、六方晶系の単結晶基板の表面上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記単結晶基板の裏面を凹凸が前記単結晶基板の厚さの３％以内となるように加工する工程、前記裏面を加工した単結晶基板を切断して平面多角形状にする工程を包含し、該切断工程において、単結晶基板を前記多角形の一辺が＜１１－２０＞方向に平行に、および他の一辺が＜１－１００＞方向に平行になるように、かつ前記単結晶基板の厚さをＴ、前記単結晶基板の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足するように切断することを特徴とする半導体レーザダイオードの製造方法を提供する

【００１７】

本発明者らは、第１の側面において、六方晶系の基板、化合物半導体層の切断について種々検討した結果、基板等を切断して平面多角形状の発光素子を形成する際に、多角形の内角の少なくとも１つを（６０°±３°）×ｎ（ｎは自然数、すなわち、１又は２）とすることにより、切断時に余分の力をかけることなく切断できることを見い出した。このような多角形状には、１又はそれ以上の正三角形により構成される平面形状が含まれ、これら形状は、基板等を＜１１－２０＞方向に平行に切断することにより得られる。すなわち、本発明者らにより、六方晶系基板、化合物半導体は、＜１１－２０＞方向に劈開性を有することが見い出された。

【００１８】

図１に、本発明による単結晶基板及び化合物半導体層の＜１１－２０＞方向の切断を模式的に示す。図１において、六方晶系の単結晶基板１１上に化合物半導体層１２が平面平行

四辺形状に積層されている。この基板１１及び化合物半導体層１２を六方晶の＜１１－２０＞方向に平行に、すなわち、化合物半導体層１２の平行四辺形の各辺に沿って切断する。得られる素子は、一辺が六方晶の＜１１－２０＞方向にあることとなる。

【００１９】

このように、多角形の内角のうち少なくとも１つが（６０°±３°）×ｎであるようにすることにより、次のような効果が得られる。この内角部分上に電極を形成した際に、化合物半導体層の上面を発光に用いる発光ダイオード等の場合は、電極による発光面積の減少が小さくなる。また、端面を発光に用いる発光ダイオード等の場合は、正方形や長方形と上面の面積が同じとき、当該多角形の辺の長さが長くなるので発光に寄与する部分が増える。したがって、光取り出し効率が高くなり、発光効率が高くなる。レーザダイオードの場合は、端面の平坦性が向上し、その結果、良好な発振をするレーザダイオードが得られる。

【００２０】

なお、六方晶系基板としては、サファイア、炭化ケイ素、酸化亜鉛等の基板を用いることができ、また化合物半導体としては、Ｉｎ、Ｇａ、Ａｌ、Ｂ、Ｔｌ、Ｙ、Ｓｃ、ランタニド系元素及びアクチニド系元素から選ばれる少なくとも１種の元素と、Ｎ、Ａｓ、Ｐ、Ｓｂ及びＢｉから選ばれる少なくとも１種の元素との化合物半導体を用いることができる。

【００２１】

また、本発明者らは、第２の側面において、この六方晶の劈開性につき、さらに研究を続けた結果、基板裏面を所定の状態に平滑に加工することにより、＜１１－２０＞方向における劈開性がより良好になるばかりでなく、＜１－１００＞方向にも良好な劈開性が現われることを見い出した。

【００２２】

すなわち、六方晶系の基板裏面を加工しない場合には、図２（ａ）に示すように、＜１１－２０＞方向以外に割れエネルギー（割れにくさをエネルギーとして相対的に表示したもの）の低い方向が多くあり、基板は直線的には割れにくいが、基板を加工すると、図２（ｂ）に示すように、所定の２方向（＜１１－２０＞方向と＜１－１００＞方向）における割れエネルギー（低い）と他の方向における割れエネルギー（高い）との差が明確になり、＜１１－２０＞方向と＜１－１００＞方向において基板を直線的に割ることが可能となる。その結果、図３に示すように、基板１１は、基板平面に対して直線で示す方向に劈開方向を持つこととなる。なお、この加工は、基板裏面全体に対して行う必要はなく、割る部分にのみ行っても効果的である。

【００２３】

より具体的には、単結晶基板の厚さをＴ、（多角形状の）素子の最も長い一辺の長さをＬとしたとき、Ｔ／Ｌ＜２を満足させ、かつ基板裏面の凹凸が基板の厚さＴの３％以内になるまで基板裏面を加工するのである。この裏面加工は、基板裏面の凹凸の十点平均粗さＲｚが１０μｍ以下となるように行うことが好ましく、基板裏面の凹凸の中心線平均粗さＲａが１０μｍ以下となるように行うことがさらに好ましく、基板裏面の凹凸が±１μｍの範囲になるように加工することが最も好ましい。表面粗さが１０μｍとなるように加工すると、図４に示すように、レーザダイオードの場合、その発振しきい値（Ｊｔｈ）が有意に低下するのである。

また、この加工の程度を波長５００ｎｍの光の透過率で表わすと、当該透過率が５０％以上となるように基板裏面を加工するということもできる。

【００２４】

このように基板裏面を加工することにより、劈開性の出現による上記＜１１－２０＞方向切断の効果に加えて、例えばレーザダイオードにあっては基板による戻り光の効果が小さくなり、モードが安定するという効果も得られる。さらに、発光ダイオードにあっては、劈開による平滑な側面形状と裏面加工とが相俟って基板等の凹凸による光の散乱や吸収が少なくなり、チップサイズが小さくなっても光取り出し効率が高いという効果も得られる。この場合、発光素子形状は、長方形であっても発光効率や寿命が大幅に改善される。

【００２５】
さらに、本発明者らは、第３の側面において、所定の半導体基板上に、基板とは構成元素の族が異なり基板との格子整合を達成することが困難である半導体膜を成長させてなる半導体発光素子、典型的には、ＧａＡｓ等のＩＩＩ　－Ｖ族化合物半導体基板上にＺｎＳｅ等のワイドギャップＩＩ－ＶＩ族化合物半導体膜を成長させてなる半導体発光素子において、基板裏面から半導体膜に達する開口部を形成し、所定の電極をこの開口部から前記半導体膜に接するように形成することによって、発光素子にあっては発光効率の向上が図れるばかりでなく、高信頼性、低動作電圧、高動作温度を有する半導体素子が得られることを見い出した。開口部を形成する際、半導体膜をも部分的に除去するようにしてもよい。
【００２６】
このように、基板と半導体膜との間に格子定数の差があり、半導体膜の基板付近に欠陥が存在する場合でも、開口部形成によりその欠陥部分が除去され、欠陥のない良質の結晶部分に対して直接電極を形成することができるため、素子の信頼性の向上と動作電圧の低下が図られる。このように電流は基板半導体膜界面の欠陥の多い領域を流れない結果となるので、通電による欠陥の増殖も抑制できる。熱抵抗の小さい電極の場合には、温度特性の向上も図られ、高信頼性、低動作電圧、高動作温度を有する半導体素子が提供される。また半導体膜自体に電極を直接形成しているため、基板における電流の拡散が生じることがなく、本構造は、素子の電流狭窄構造として作用し得る。
【００２７】
【発明の実施の形態】
以下、本発明の実施の形態を詳しく説明する。
まず、本発明の第１の側面に係る実施の形態を説明する。
【００２８】
（第１の実施の形態）
図５～図８は、第１の実施の形態に係る発光素子の製造方法を工程順に説明するための各半導体構造を示す図である。図５において、（ａ）は、素子上面図であり、（ｂ）は、（ａ）の線ＢＢに沿った断面図である。図６は、同様の素子断面図である。図７において、（ａ）は、素子上面図であり、（ｂ）は、（ａ）の線ＢＢに沿った断面図である。図８は、同一基板上に同時に形成された複数の素子の上面図である。
【００２９】
まず、図５に示すように、サファイアからなる厚さ１００μｍの基板１１上に、厚さ３μｍのｎ型ＧａＮ層１３をＭＯＣＶＤ法によってエピタキシャル成長させた後、その上に厚さ０．８μｍのｐ型ＧａＮ層１４をＭＯＣＶＤ法によってエピタキシャル成長させる。しかる後、スパッタ法を用いてｐ型ＧａＮ層１４上に二酸化ケイ素層１５を形成し、その上に、図示しないフォトレジストを堆積する。このフォトレジストに、図５（ａ）に示すように、基板１１の＜１１－２０＞方向と一辺が重なるように平行四辺形（内角の１つが６０°）のパターンを形成し、これをマスクとして各半導体層１３および１４をエッチングする。しかる後、フォトレジストを溶剤により除去し、二酸化ケイ素層１５が形成する平行四辺形の角のうち６０°である角部の１つをリン酸によりエッチングしてｐ型ＧａＮ層１４の上面を一部露出させる。
【００３０】
続いて、図６に示すように、残存する二酸化ケイ素膜１５をマスクとして、上面が露出した部分のｐ型ＧａＮ層１４をリン酸によりエッチングし、この部分に相当するｎ型ＧａＮ層１３の上面を一部除去して露出させる。そして、二酸化ケイ素層１５の、先に露出させたｎ型ＧａＮ層１３と対向する角部をエッチング除去してｐ型ＧａＮ層１４の上面を露出させ、図７に示すように、この部分にＡｕ／Ｎｉ電極１６を、また露出させたｎ型ＧａＮ層１３上にＡｌ／Ｔｉ電極１７をそれぞれ形成する。こうして、発光ダイオードの一素子分１８が完成する。
【００３１】
そして、図８に示すような、同一基板１１上にこのように同時に複数形成された発光ダイ

オード１８の平行四辺形のパターンに沿って、針状のスクライバーを用いスクライブラインを入れる。その後、このラインに沿って基板を押し割り、第１の実施の形態に係る発光ダイオードが完成する。

【００３２】

この完成した発光ダイオード１８は、図９又は図１０に示すようにマウントすることができる。

図９では、発光ダイオード１８は反射板１９上に設置されている。発光ダイオード１８の電極１６、１７はそれぞれ各リード線２２を介して外部電極２０、２１に接続されている。反射板１９上の発光素子１８は外部電極２０、２１と絶縁された状態で外部電極２０、２１によって支持されている。

また、図１０では、電極１６、１７はそれぞれ外部電極２０、２１と直接接続されており、発光ダイオード１８は外部電極２０、２１によって直接支持されている。

【００３３】

このような第１の実施の形態に係る発光ダイオードは、基板を押し割る際の力が従来のサファイア基板を用いた発光ダイオードの１／１０程度で済む。

また、発光に寄与するｐ型ＧａＮ層の上面に形成される電極の面積が、電極を角度６０°の角の部分に形成しているため、正方形等の直角部分に形成するときよりも小さくなる。

これらにより、第１の実施の形態に係る発光ダイオードは、従来のサファイア基板を用いた発光ダイオードと比較して、輝度が３０％以上向上し、寿命は５０％以上長くなる。また、従来の発光ダイオードでは歩留りが７０％であったのが、９０％以上に向上する。

【００３４】

（第２の実施の形態）

図１１に、第２の実施の形態に係る発光ダイオードの断面図を示す。この断面は第１の実施の形態における断面と同方向断面である。この発光ダイオードは、基板１１上にｐ型ＧａＮ層１４が形成され、その上にｎ型ＧａＮ層１３が形成されている点を除いて、第１の実施の形態のの発光ダイオード同じ構造を有する。従って、同一部分には同一符号を付し、その説明を省略する。

図１１に示す第２の実施の形態の発光ダイオードでも第１の実施の形態の発光ダイオードと同様な効果が得られた。

【００３５】

（第３の実施の形態）

図１２に第３の実施の態様に係る発光ダイオードの概略上面図を示す。

この発光ダイオードが第１の実施の形態の発光ダイオードと異なる点は、基板１１の平行四辺形の辺に対して、化合物半導体層１２の平行四辺形の辺が３０°ずれている点である。このような構造は、化合物半導体層１２上にフォトレジストを堆積させる際に、基板１１の＜１１－２０＞方向と３０°ずれた方向に平行四辺形のパターンを形成することによって得られる。

本第３の実施の形態の発光ダイオードでも第１の実施の形態の発光ダイオードと同様な効果が得られた。

【００３６】

（第４の実施の形態）

図１３に本実施例に係る発光素子の上面図及び断面図を示す。図１３（ａ）は、上面図、図１３（ｂ）は、（ａ）の線ＢＢに沿う断面図である。この発光素子はレーザダイオードである。

図１３に示すように、厚さ１００μｍのサファイア基板３１上に厚さ２０ｎｍのＩｎＧａＮバッファ層３２、厚さ３μｍのｎ型ＡｌＧａＮ層３３、厚さ１００ｎｍのＧａＮ活性層３４、厚さ５００ｎｍのｐ型ＡｌＧａＮ層３５が順に積層され、ｎ型ＡｌＧａＮ層３３の上面が６０°の角を含む片側の半分程度露出されている。ｐ型ＡｌＧａＮ層３５上には、Ａｕ／Ｎｉストライプ状電極３６が形成され、ｎ型ＡｌＧａＮ層３３上にはＡｌ／Ｔｉ電極３７が形成されている。

【００３７】
従来から、サファイア基板を用いてレーザダイオードを作製する試みはなされている。しかし、従来はスクライビングを行いレーザダイオードを一素子ずつ分離してしまうと、レーザダイオードを発振させることは困難であった。これに対し、第４の実施の形態のレーザダイオードはしきい値２００ｍＡでレーザ発振した。
【００３８】
（第５の実施の形態）
図１４に第５の実施の形態に係るレーザダイオードの上面図及び断面図を示す。図１４（ａ）は上面図、図１４（ｂ）は、（ａ）の線ＢＢに沿った断面図である。
図１４に示すように、厚さ１００μｍのサファイア基板４１上に厚さ２０μｍのＩｎＧａＮバッファ層４２、厚さ３μｍのｎ型ＡｌＧａＮ層４３、厚さ１００ｎｍのＧａＮ活性層４４、厚さ５００ｎｍのｐ型ＡｌＧａＮ層４５が順に積層され、ｎ型ＡｌＧａＮ層４３の上面が６０°の角を含む両側から、ｐ型ＡｌＧａＮ層４５の上面が多少線状に残るように露出されている。ｐ型ＡｌＧａＮ層４５上には、ほぼ全面にＡｕ／Ｎｉ線状電極４６が形成され、ｎ型ＡｌＧａＮ層４３上面の２つの領域にはそれぞれＡｌ／Ｔｉ電極４７が形成されている。
【００３９】
第５の実施の形態のレーザダイオードは第４の実施の形態のレーザダイオードと比較して、光閉じ込め効率、電流閉じ込め効率がともに高くなり、しきい値１００ｍＡ以下で発振する。
【００４０】
（第６の実施の形態）
図１５に第６の実施の形態に係る発光ダイオードの上面図及び断面図を示す。図１５（ａ）は上面図、図１５（ｂ）は、（ａ）の線ＢＢに沿った断面図である。
【００４１】
図１５に示すように、厚さ１００μｍのＺｎＯ基板５１上に厚さ５０ｎｍのＡｌＮバッファ層５２、厚さ４μｍのｎ型ＡｌＩｎＧａＮ層５３、厚さ１００ｎｍのＡｌＩｎＧａＮ発光層５４、厚さ２００ｎｍのｐ型ＡｌＩｎＧａＮ層５５が順に積層されている。平行四辺形の６０°の角部の１つがｎ型ＡｌＩｎＧａＮ層５３の途中までエッチングされている。そして、ｐ型ＡｌＩｎＧａＮ層５５上にＡｕ／Ｎｉ電極５６が、ｎ型ＡｌＩｎＧａＮ層５３上にＡｌ／Ｔｉ電極３７が形成されている。
【００４２】
第６の実施の形態の発光ダイオードは従来の同様な構造の発光ダイオードと比較して、光出力が１００％以上大きくなり、寿命も１００％長くなった。
【００４３】
（第７の実施の形態）
図１６に本実施例に係る発光ダイオードの断面図及び上面図を示す。図１６（ａ）は上面図、図１６（ｂ）は、（ａ）の線ＢＢに沿った断面図である。
【００４４】
図１６に示すように、厚さ１００μｍのＳｉＣ基板６１上に厚さ５０ｎｍのＡｌＮバッファ層６２、厚さ４μｍのｎ型ＡｌＩｎＧａＮ層６３、厚さ１００ｎｍのＡｌＩｎＧａＮ発光層６４、厚さ２００ｎｍのｐ型ＡｌＩｎＧａＮ層６５が順に積層されている。ｐ型ＡｌＩｎＧａＮ層６５の上面には、平行四辺形の各角にそれぞれ向かうようなＡｕ／Ｎｉ十字状電極６６が、ＳｉＣ基板６１の下面には、Ａｌ／Ｔｉ電極６７が、それぞれ形成されている。
【００４５】
第７の実施の形態の発光ダイオードは第６の実施の形態の発光ダイオードと同様な光出力、寿命が得られた。また、第７の実施の形態の発光ダイオードでは、第６の実施の形態の発光ダイオードと異なり、化合物半導体層をエッチングする工程がないため、工程数を減らすことができる。

【００４６】
（第８の実施の形態）
図１７に第８の実施の形態に係るレーザダイオードの上面図及び断面図を示す。図１７（ａ）は上面図、図１７（ｂ）は（ａ）の線ＢＢに沿った断面図である。
【００４７】
図１７に示すように、厚さ１００μｍのＳｉＣ基板７１上に厚さ５０ｎｍのＡｌＮバッファ層７２、厚さ４μｍのｎ型ＡｌＩｎＧａＮ層７３、厚さ１００ｎｍのＡｌＩｎＧａＮ活性層７４、厚さ２００ｎｍのｐ型ＡｌＩｎＧａＮ層７５が順に積層されている。ｐ型ＡｌＩｎＧａＮ層７５上には二酸化ケイ素層７８が形成されている。また、ＳｉＣ基板７１の下面にはＡｌ／Ｔｉ電極７７が形成されている。
【００４８】
第８の実施の形態のレーザダイオードは第４の実施の形態のレーザダイオードと同様なしきい値で発振した。また、第４及び第５の実施の形態のレーザダイオードと異なり、化合物半導体層をエッチングする工程がないため、それだけ工程数を減らすことができる。
【００４９】
以上、本発明の第１の側面を実施の形態に即して説明したが、本発明では、基板の＜１１－２０＞方向に沿った方向に切断を行えば、素子形状は平行四辺形でなくてもかまわない。例えば、正三角形でもよいし、正三角形６つより構成される六角形でもよい。さらに、その他の多角形でもよい。
【００５０】
また、＜１１－２０＞方向から多少ずれてもそのずれが±３°程度の範囲であれば、切断時に必要な力はさほど大きくなることがない。したがって、この範囲であれば、スクライビングを行うのみでよい。
【００５１】
さらに、＜１１－２０＞方向からのずれが±３°よりも大きい場合でも、リン酸を用いて端面をエッチングすることにより垂直かつ平坦な端面を得ることができる。また、リン酸エッチングではなく、塩素や塩化ホウ素を用いたドライエッチングを用いることも可能である。
【００５２】
また、以上の実施例で用いたＭＯＣＶＤ法の代わりに、化合物半導体層の成長方法としてＣＶＤ法やＭＢＥ法を用いてもよい。
【００５３】
なお、本発明においては、基板の厚さは３０～５００μｍが好ましく、５０～１５０μｍの厚さがより好ましい。すなわち、基板は、薄すぎると、割れる恐れが高く、厚すぎると、切断の際に必要な力が大きくなりすぎしまうからである。
【００５４】
次に、本発明の第２の側面に係る実施の形態を説明する。
【００５５】
（第９の実施の形態）
図１８に第９の実施の形態に係るレーザダイオードの断面を示す。
図１８に示すように、サファイア基板８１上に、ｎ型ＧａＮ層８２、ｎ型ＡｌＧａＮ層８３、ＩｎＧａＮ層８４、ｐ型ＡｌＧａＮ層８５及びｐ型ＧａＮ層８６をこの順に成長させる。このウエーハ上に二酸化ケイ素膜をＣＶＤ法、プラズマＣＶＤ法、スパッタ法等により形成する。この二酸化ケイ素膜を半導体構造の中央部に位置するストライプ状にパターニングし、これをマスクとしてｎ型ＧａＮ層８２が露出するまで各半導体層をアルカリによるウエットエッチング、ＲＩＥ（反応性イオンエッチング）、ＲＩＢＥ（反応性イオンビームエッチング）等によりエッチング除去する。しかる後、二酸化ケイ素マスクを除去し、露出したｎ型ＧａＮ層８２の表面、エッチングした各半導体層側面及びｐ型ＧａＮ層８６の表面に渡って二酸化ケイ素膜を形成し、この二酸化ケイ素膜に、ｎ型ＧａＮ層８２及びｐ型ＧａＮ層８６の各電極形成部を露出するようにストライプ状開口部を形成する。

ついで、露出したｐ型ＧａＮ層８６に接してＡｕ／Ｎｉ電極８８を形成し、露出したｎ型ＧａＮ層８２にＡｕ／Ｐｔ／Ｔｉ電極８９を形成する。

【００５６】

しかる後、サファイア基板８１の裏面をダイアモンド等で鏡面化する。この鏡面化の際、酸、アルカリを使用したウエットエッチングを行っても、あるいはＲＩＥ、ＲＩＢＥ等によるドライエッチングを行ってもよい。こうして鏡面化した基板に対し、上記ストライプの長手方向（＜１－１００＞方向に平行）に１ｍｍの長さを持つように、平面形状１ｍｍ×５００μｍに注意深く劈開を行う。

【００５７】

こうして得られたレーザダイオードは、その発振しきい値が、従来のレーザダイオードの１／２となった。

【００５８】

（第１０の実施の形態）

図１９に第１０の実施の形態に係るレーザダイオードを示す。図１９（ａ）は上面図、図１９（ｂ）は、（ａ）の線ＢＢに沿った断面図である。

図１９に示すように、ＳｉＣ基板９１上に、ｎ型ＧａＮ層９２、ｎ型ＡｌＧａＮ層９３、ＩｎＧａＮ層９４、ｐ型ＡｌＧａＮ層９５及びｐ型ＧａＮ層９６をこの順に成長させる。このウエーハ上に二酸化ケイ素膜９７をＣＶＤ法、プラズマＣＶＤ法、スパッタ法等により形成する。この二酸化ケイ素膜９７にパターニングを行い、ｐ型ＧａＮ層９６をストライプ状に露出させる開口部９７ａを形成する。

【００５９】

ついで、基板９１の裏面をダイアモンド等で鏡面化した後、ストライプ状に露出したｐ型ＧａＮ層９６に接してＡｕ／Ｎｉ電極９８を、また基板裏面にＡｌ／Ｔｉ電極９９をそれぞれ形成する。しかる後、第９の実施の形態と同様に、上記ストライプの長手方向に１ｍｍの長さを持つように、１ｍｍ×５００μｍに注意深く劈開を行う。

【００６０】

こうして得られたレーザダイオードは、その発振しきい値が、従来のレーザダイオードの１／２となった。

【００６１】

（第１１の実施の形態）

図２０に第１１の実施の形態に係るレーザダイオードの断面を示す。図２０（ａ）は、その上面図、図２０（ｂ）は、電極を除いた状態での図２０（ａ）の線ＢＢに沿った断面図である。

図２０に示すように、サファイア基板１０１上に、ｎ型ＧａＮ層１０２、ｎ型ＡｌＧａＮ層１０３、ＧａＮ層／ＩｎＧａＮ層／ＧａＮ層積層構造１０４、ｐ型ＡｌＧａＮ層１０５及びｐ型ＧａＮ層１０６をこの順に成長させる。このウエーハ上に二酸化ケイ素膜１０７をＣＶＤ法、プラズマＣＶＤ法、スパッタ法等により形成する。この二酸化ケイ素膜１０７をパターニングし、これをマスクとしてｎ型ＧａＮ層１０２が一部露出するように各半導体層をアルカリによるウエットエッチング、又はＲＩＥ（反応性イオンエッチング）、ＲＩＢＥ（反応性イオンビームエッチング）等のドライエッチングによりエッチング除去する。しかる後、再び二酸化ケイ素マスク１０７をパターニングしてｐ型ＧａＮ層１０６をストライプ状に露出させる。ついで、露出したｐ型ＧａＮ層１０６に接してＡｕ／Ｎｉ電極１０８を形成し、露出したｎ型ＧａＮ層１０２にＡｕ／Ｐｔ／Ｔｉ電極１０９を形成する。

【００６２】

しかる後、サファイア基板１０１の裏面をチップ形状に沿ってダイアモンド等で鏡面化する。この鏡面化の際、酸、アルカリを使用したウエットエッチングを行っても、あるいはＲＩＥ、ＲＩＢＥ等によるドライエッチングを行ってもよい。こうして鏡面化した基板に対し、第９の実施の形態と同様に、上記ストライプの長手方向に１ｍｍの長さを持つように、１ｍｍ×５００μｍに注意深く劈開を行う。

【００６３】
こうして得られたレーザダイオードは、その発振しきい値が、従来のレーザダイオードの１／２となった。
【００６４】
（第１２の実施の形態）
図２１に第１２の実施の形態に係るレーザダイオードを示す。図２１（ａ）は、電極を除いた状態のその底面図、図２１（ｂ）は、（ａ）の線ＢＢに沿った断面図である。
図２１に示すように、サファイア基板２０１上に、ｎ型ＧａＮ層２０２、ｎ型ＡｌＧａＮ層２０３、ＧａＮ層２０４、ｐ型ＡｌＧａＮ層２０５及びｐ型ＧａＮ層２０６をこの順に成長させる。このウエーハ上に二酸化ケイ素膜２０７をＣＶＤ法、プラズマＣＶＤ法、スパッタ法等により形成する。この二酸化ケイ素膜２０７をパターニングし、ｐ型ＧａＮ層２０６をストライプ状に露出させる。
【００６５】
しかる後、サファイア基板２０１の裏面をチップ形状にあわせてその周囲及び中央部をダイアモンド等で鏡面化する。この鏡面化の際、酸、アルカリを使用したウエットエッチングを行っても、あるいはＲＩＥ、ＲＩＢＥ等によるドライエッチングを行ってもよい。このとき、二酸化ケイ素マスクを用いて基板裏面中央部からｎ型ＧａＮ層２０２に達するストライプ状開口部２０１ａを形成する。しかる後、ｐ型ＧａＮ層に接してＡｕ／Ｎｉ電極を、また基板２０１裏面から開口部２０１ａを通してｎ型ＧａＮ層２０２に接する電極２０９を形成する。ついで、チップ形状に沿って鏡面化した基板に対し、第９の実施の形態と同様に、上記ストライプの長手方向に１ｍｍの長さを持つように、１ｍｍ×５００μｍに注意深く劈開を行う。
【００６６】
こうして得られたレーザダイオードは、その発振しきい値が、従来のレーザダイオードの１／４となった。
【００６７】
次に本発明の第３の側面に係る実施の形態を説明する。
【００６８】
（第１３の実施の形態）
図２２に、第１３の実施の形態に係る半導体素子（半導体レーザ）を示す。図２２（ａ）は、その断面図、図２２（ｂ）は、電極を除いた状態でその底面から見た斜視図である。
【００６９】
図２２に示すように、高抵抗ＧａＡｓ基板３０１上に、ｐ型ＺｎＳｅ下部クラッド層３０２（厚さ２μｍ、ドーピングキャリア濃度１Ｅ１８ｃｍ$^{-3}$）、ＣｄＺｎＳｅ／ＺｎＳｅ量子井戸活性層３０３、ｎ型上部クラッド層３０４（厚さ０．５μｍ、ドーピングキャリア濃度１Ｅ１８ｃｍ$^{-3}$）からなる多重ヘテロ構造部が形成されている。このヘテロ構造部は、発光領域となる。上部クラッド層３０４上には、上部クラッド層３０４を一部露出する開口部３０５ａを有するｐ型電流阻止層３０５（厚さ１μｍ、ドーピングキャリア濃度１Ｅ１８ｃｍ$^{-3}$）が形成されている。電流阻止層３０５上には、その開口部３０５ａを通して上部クラッド層３０４にも達するように、ｎ型ＺｎＳｅ埋め込み層３０６（厚さ３μｍ、ドーピングキャリア濃度１Ｅ１８ｃｍ$^{-3}$）が形成され、その上には、ｎ型ＺｎＳｅキャップ層３０７（厚さ５００ｎｍ、ドーピングキャリア濃度１Ｅ１９ｃｍ$^{-3}$）が形成されている。このキャップ層３０７の上には、その全面に渡って、Ｔｉ（５０ｎｍ）、Ｐｔ（５０ｎｍ）及びＡｕ（３００ｎｍ）の順に積層されたｎ電極３０８が形成されている。
【００７０】
基板３０１には、図２２（ｂ）（ここでは、半導体層３０１～３０７をまとめて［ＳＬ］として表示してある）に最もよく示されているように、その裏面から、基板３０１を貫通し、下部クラッド層３０２をも部分的に除去してスロット状の開口部３０９が設けられている。この開口部３０９を通して、下部クラッド層３０２に接してＣｕＳｅ電極３１０が

形成され、さらにこの電極３１０上及び基板３０１裏面に渡ってＰｄ／Ａｕ電極３１１が形成されている。

【００７１】

このような半導体レーザは、次のようにして製造することができる。すなわち、まず、基板３０１の表面を清浄化するために、１Ｅ－８Ｔｏｒｒ以下の真空下、約５５０℃～６５０℃の温度に５分間かけて昇温する。この昇温によって、酸化膜等の表面汚染物が除去されることがＲＨＥＥＤにより観察される。

【００７２】

しかる後、３００℃において、ＭＢＥ法により、ｐ型ＺｎＳｅ下部クラッド層３０２、ＣｄＺｎＳｅ／ＺｎＳｅ量子井戸活性層３０３、ｎ型ＺｎＳｅ上部クラッド層３０４、ｐ型ＺｎＳｅ電流阻止層３０５を成長させる。ｐ型ドーパントとして窒素を、ｎ型ドーパントとして塩素を用いる。ついで、ＭＢＥ成長炉からウエーハを取り出し、フォトリソグラフィー及び臭素系溶液中でのエッチングによりｐ型ＺｎＳｅ電流阻止層３０５にｎ型ＺｎＳｅ上部クラッド層３０４に達する開口部３０５ａを形成する。ついで、ウエーハをＭＢＥ成長炉に入れ、２５０℃出ｎ型ＺｎＳｅ埋め込み層３０６、ｎ型ＺｎＳｅキャップ層３０７を形成する。ウエーハを再びＭＢＥ成長炉から取り出し、表面全面に渡りｎ電極３０８を形成する。次に、ＧａＡｓ基板３０１の裏面にＡｕを蒸着した後、このウエーハをｎ電極３０８側でワックスによりガラス板に張り付ける。しかる後、フォトリソグラフィー及びＫＩ系エッチング液により、上記蒸着Ａｕをエッチングしてスロット状開口部３０９形成用のマスクを形成する。このマスクを用いて$NaOH：H_2O_2$＝５：１の混合物からなるエッチング液でＧａＡｓ基板をエッチングずる。このエッチング液は、ＺｎＳｅに対してエッチング速度が遅いため、エッチングはＺｎＳｅ下部クラッド層３０２で停止する。ついで、臭素系エッチング液によりＺｎＳｅ下部クラッド層３０２を部分的にエッチングした後、ＣｕＳｅを水溶液中で成長させてＣｕＳｅ電極３１０を形成し、最後にＰｄ／Ａｕ電極３１１を形成する。

【００７３】

図２２に示す半導体レーザ構造を共振器長５００μｍに劈開し、銅製のヒートシンクにＩｎ半田を用いてマウントし、その特性を室温で評価した。発振波長は５２５ｎｍであり、連続動作での発振しきい値電流は４０ｍＡであった。また、この時の動作電圧は２．７５Ｖであった。連続動作での最高発振温度は１２０℃であった。すなわち、本発明に従って基板裏面にＺｎＳｅ下部クラッド層に達する開口を設けることにより、従来困難であった室温での連続発振ばかりでなく、室温において実用に十分な信頼性を確保するために必要な高温までの発振が得られる。事実、動作温度７０℃、動作光出力５ｍＷにおいて１００００時間以上の動作が確認された。

【００７４】

このように良好な信頼特性が得られた要因は、ＩＩＩ　－Ｖ族化合物半導体からなる基板とその上に形成されたＺｎＳｅ等のＩＩ－ＶＩ族化合物半導体層を有する素子において、該基板裏面から該半導体層に達する開口を設けることによって該半導体層と基板との界面近傍に存在する欠陥が除去され、該半導体層に直接接して電極を形成することにより、特性劣化の直接的な原因が取り除かれるとともに、従来のように基板を介して間接的に半導体層に電流を注入する場合に比べて界面近傍の欠陥の増殖が抑制される結果発光部への欠陥の侵入が阻止されるためである。また、本発明による素子構造により電流狭窄構造が得られるため、電流密度が向上し、低電圧動作が可能となり、また端面への電流注入がないので端面劣化が低減される。加えて、活性層近傍に電極すなわち金属が存在するため放熱効率が良好で素子の発熱を効率よく放散できる。

【００７５】

（第１４の実施の形態）

図２３に第１４の実施の形態に係る半導体素子（半導体レーザ）の断面図を示す。

図２３に示すように、ｐ型ＧａＡｓ基板４０１上に、絶縁性ＺｎＳｅバッファ層４０２（厚さ０．２μｍ、ドーピングキャリア濃度$1E16cm^{-3}$以下）を介して、ｎ型ＺｎＳ

Ｓｅ下部クラッド層４０３（厚さ２μｍ、ドーピングキャリア濃度１Ｅ１８ｃｍ$^{-3}$）、ＣｄＺｎＳｅ／ＺｎＳｅ量子井戸活性層４０４、ｐ型上部クラッド層４０５（厚さ０．５μｍ、ドーピングキャリア濃度１Ｅ１８ｃｍ$^{-3}$）からなる多重ヘテロ構造部が形成されている。このヘテロ構造部は、発光領域となる。上部クラッド層４０５上には、上部クラッド層４０５を一部露出する開口部４０６ａを有するｎ型ＺｎＳＳｅ電流阻止層４０６（厚さ１μｍ、ドーピングキャリア濃度１Ｅ１８ｃｍ$^{-3}$）が形成されている。電流阻止層４０６上には、その開口部４０６ａを通して上部クラッド層４０５にも達するように、ｐ型ＺｎＳＳｅ埋め込み層４０７（厚さ３μｍ、ドーピングキャリア濃度１Ｅ１８ｃｍ$^{-3}$）が形成され、その上には、ｐ型ＺｎＳＳｅキャップ層４０８（厚さ５００ｎｍ、ドーピングキャリア濃度１Ｅ１９ｃｍ$^{-3}$）が形成されている。このキャップ層４０８の上には、その全面に渡って、Ｐｄ（５０ｎｍ）及びＡｕ（３００ｎｍ）の順に積層されたｐ電極４０９が形成されている。

【００７６】

基板４０１には、その裏面から、基板４０１及びバッファ層４０２を貫通し、下部クラッド層４０３をも部分的に除去してスロット状の開口部４１０が設けられている。この開口部４１０は、基板に対してバッファ層４０２及び下部クラッド層４０３のエッチング速度が大きい結果、基板表面に平行な面において基板４０１における開口面積に比べバッファ層４０２における開口面積が大きくなっている。この開口部４１０を通して、下部クラッド層４０３に接してＩｎ（１０ｎｍ）及びＡｕ（３００ｎｍ）からなるｎ電極２１１が形成されている。

【００７７】

この半導体レーザについても、第１３の実施の形態に係る半導体レーザと同様良好な特性が得られた。

【００７８】

なお、上に記述したように、開口部４１０を基板における開口面積より基板に接して形成された半導体層における開口面積の方が大きくするように形成することにより、電極を良好な密着性をもって形成することができる。すなわち、例えばＩｎ電極を形成する場合、Ｉｎを被着してから加熱後の冷却時に、大開口部により内部圧力が吸収されＩｎが半導体の面に対してより一層密着することとなる。また、この際、バッファ層及び下部クラッド層のエッチング部の側面には電極が付着しないので、基板界面へのリーク電流パスが生じないという利点も得られる。

【００７９】

図２４に、ｐ型ＧａＡｓ基板界面近傍のｐ型ＺｎＳｅ層の実効アクセプタ濃度を示す。図２４に示されているように、基板界面近傍では実効アクセプタ濃度は低下しており、この状態で素子を動作させると基板とｐ型ＺｎＳｅ層との界面では電圧降下が大きくなり、素子の動作電圧は高くなる。これに対し、本発明の第３の側面に従って開口部を設けるとこのようにアクセプタ濃度が低下している部分が除去されてｐ型ＺｎＳｅ層に直接電極を形成できるので動作電圧の低下に寄与することができる。

【００８０】

以上、図２２～図２４に基づいて本発明の第３の側面を半導体レーザについて説明したが、本発明の第３の側面は、これに限らず、ＩＩＩ　－Ｖ族化合物半導体からなる半導体基板上にＩＩ－ＶＩ族半導体化合物層が形成された発光ダイオードやヘテロバイポーラトランジスタ等にも適用することができ、その場合でも同様に高い信頼性が得られる。また、基板としてもケイ素、サファイア、ＳｉＣ、ＳｒＴｉＯ２　、ダイヤモンド等を用いることもでき、さらにその上に形成する半導体層としてＩＩＩ　－Ｖ族化合物半導体例えばＧａＮ、ＩｎＧａＮ、ＡｌＧａＮ、ＢＮ、ＡｌＮを用いることもできる。

【００８１】

【発明の効果】

以上述べたように、本発明により、発光効率等の特性に優れた半導体素子及びその製造方法が提供される。なお、本発明において、第１の側面、第２の側面及び第３の側面を種々

組み合わせることができることはいうまでもない。

【図面の簡単な説明】

【図１】本発明の第１の側面に係る半導体発光素子の切断方向を一例を示す概略平面図。

【図２】本発明の第２の側面により基板裏面を加工した場合（ｂ）と加工しない場合（ａ）それぞれの基板の割れエネルギーを比較して示すグラフ図。

【図３】本発明の第２の側面により基板裏面を加工した場合の劈開方向を示す概略平面図。

【図４】基板裏面の加工精度と、発光素子の発振しきい値との関係を示す図。

【図５】本発明の第１の実施の形態に係る発光素子の製造工程を説明するための図。

【図６】本発明の第１の実施の形態に係る発光素子の製造工程を説明するための図。

【図７】本発明の第１の実施の形態に係る発光素子の製造工程を説明するための図。

【図８】本発明の第１の実施の形態に係る発光素子の製造工程を説明するための図。

【図９】本発明の発光素子をマウントした状態を示す模式図。

【図１０】本発明の発光素子を別の形態でマウントした状態を示す模式図。

【図１１】本発明の第２の実施の形態に係る発光素子の断面図。

【図１２】本発明の第３の実施の形態に係る発光素子の平面図。

【図１３】本発明の第４の実施の形態に係る発光素子を示す図。

【図１４】本発明の第５の実施の形態に係る発光素子を示す図。

【図１５】本発明の第６の実施の形態に係る発光素子を示す図。

【図１６】本発明の第７の実施の形態に係る発光素子を示す図。

【図１７】本発明の第８の実施の形態に係る発光素子を示す図。

【図１８】本発明の第９の実施の形態に係る発光素子を示す断面図。

【図１９】本発明の第１０の実施の形態に係る発光素子を示す図。

【図２０】本発明の第１１の実施の形態に係る発光素子を示す図。

【図２１】本発明の第１２の実施の形態に係る発光素子を示す図。

【図２２】本発明の第１３の実施の形態に係る発光素子を示す図。

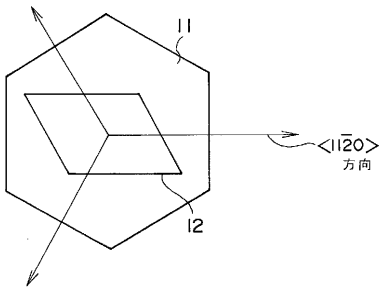
【図２３】本発明の第１４の実施の形態に係る発光素子を示す図。

【図２４】半導体基板の界面近傍における半導体層中の実効キャリア濃度を示す図。

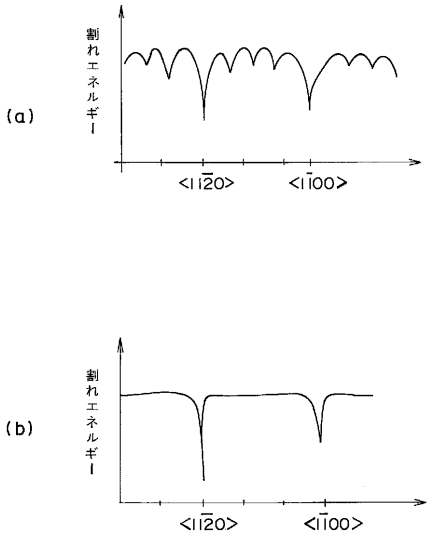
【符号の説明】

１１，３１，４１，５１，６１，７１，８１，９１，１０１，２０１，３０１，４０１…基板、１２，１３，１４，３２，３３，３４，３５，４２，４３，４４，４５５２，５３，５４，５５，６２，６３，６４，６５７２，７３，７４，７５，８２，８３，８４，８５，８６，９２，９３，９４，９５，９６，１０２，１０３，１０４，１０５，１０６，２０２，２０３，２０４，２０５，２０６，３０２，３０３，３０４，３０５，３０６，３０７，４０２，４０３，４０４，４０５，４０６，４０７，４０８…半導体層、１６，１７，３６，３７，４６，４７，５６，５７，６６，６７，７６，７７，８８，８９，９８，９９，１０８，１０９，２０８，２０９，３０８，３１１，４０９，４１１…電極、３０９，４１０…スロット状開口部。

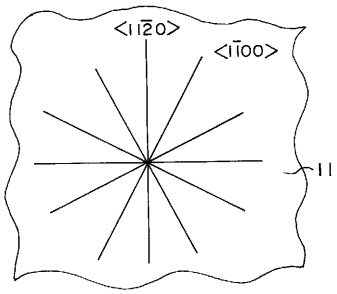
【図１】



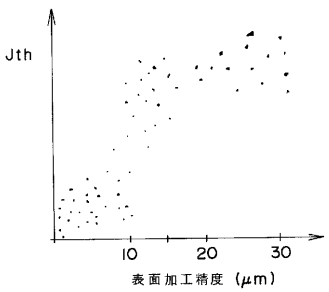
【図２】



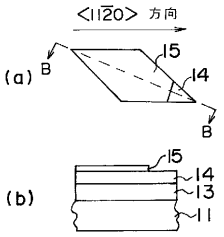
【図３】



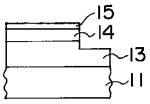
【図４】



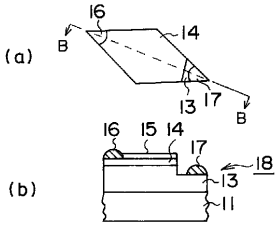
【図５】



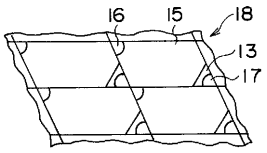
【図６】



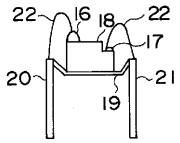
【図７】



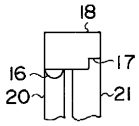
【図８】



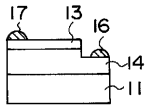
【図９】



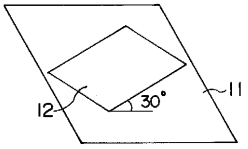
【図１０】



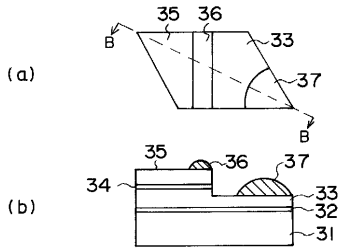
【図１１】



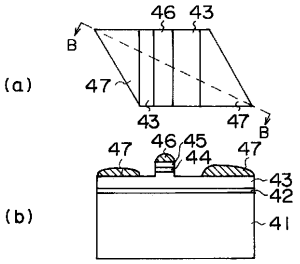
【図１２】



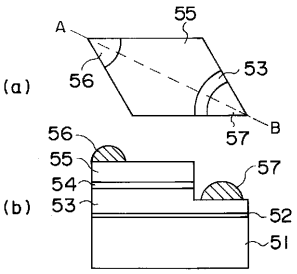
【図１３】



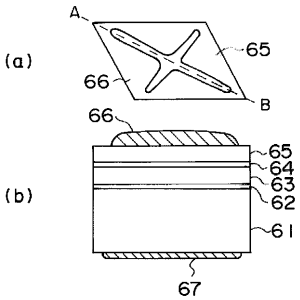
【図１４】



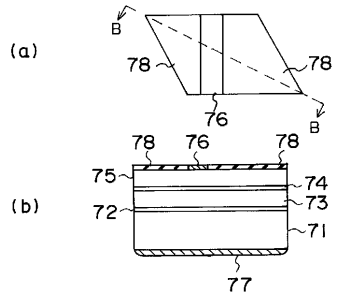
【図１５】



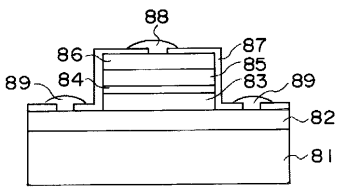
【図１６】



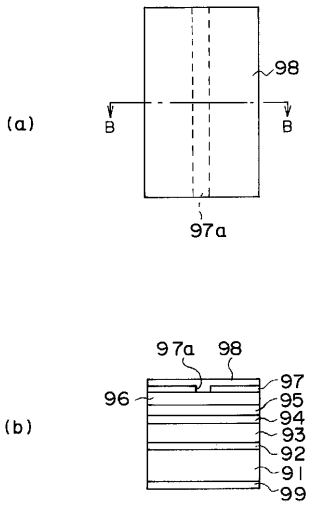
【図１７】



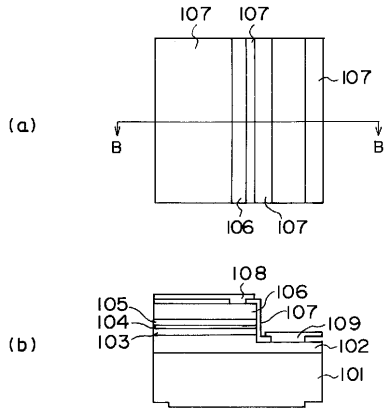
【図１８】



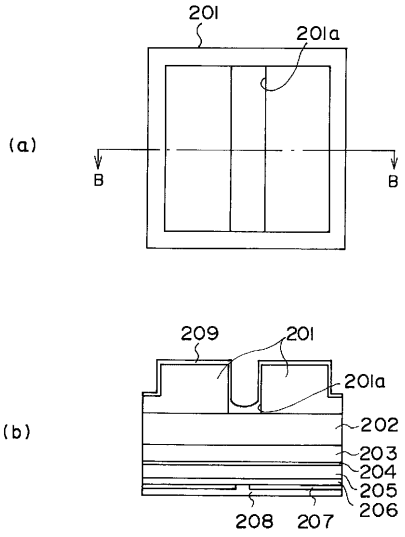
【図１９】



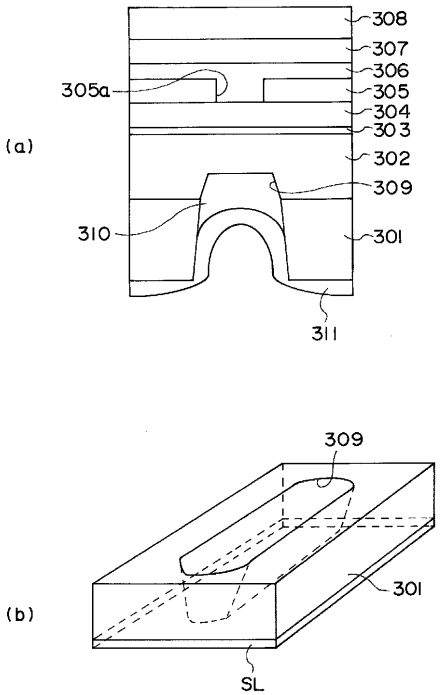
【図２０】



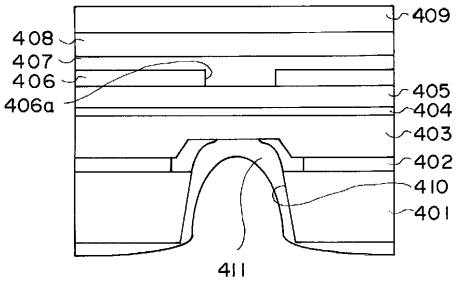
【図２１】



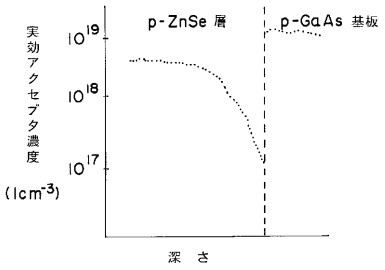
【図２２】



【図２３】


409
408
407
406
406a
405
404
403
402
410
401
411

【図２４】


実効アクセプタ濃度
(1cm-3)
10^19
10^18
10^17
p-ZnSe 層
p-GaAs 基板
深 さ

フロントページの続き

(72)発明者　石川　正行
神奈川県川崎市幸区堀川町７２番地　株式会社東芝堀川町工場内
(72)発明者　斎藤　真司
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　西川　幸江
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　ジョン・レニー
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　土屋　知久

(56)参考文献　特開平８－１８１５９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 33/00
H01S 5/00- 5/50