

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月2日(02.08.2024)



(10) 国際公開番号

WO 2024/157969 A1

(51) 国際特許分類:

H01L 21/301 (2006.01)

(21) 国際出願番号:

PCT/JP2024/001836

(22) 国際出願日:

2024年1月23日(23.01.2024)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2023-010594 2023年1月27日(27.01.2023) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)

[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 太田 真吾(**OTA, Shingo**); 〒6158585 京
都府京都市右京区西院溝崎町 2 1 番地 ロ
ーム株式会社内 Kyoto (JP).

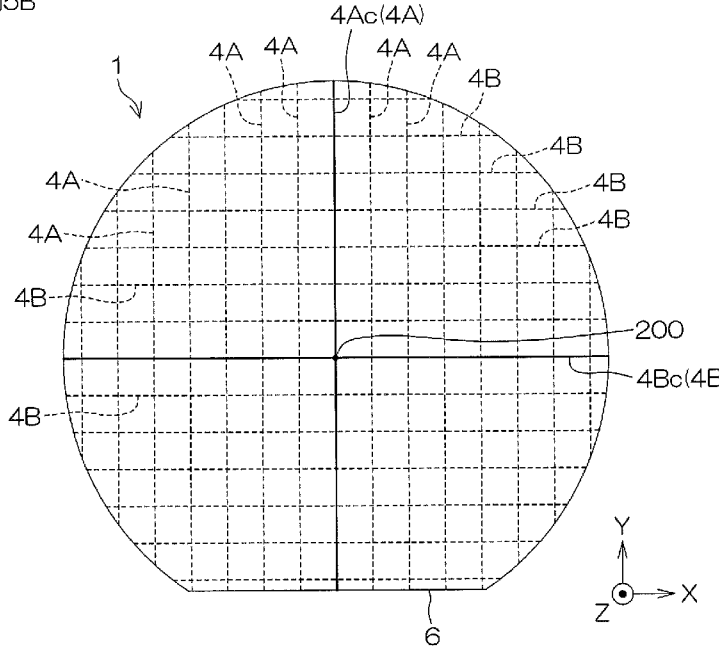
(74) 代理人: 弁理士法人 あい 特許
事務所 (**AI ASSOCIATION OF PATENT AND
TRADEMARK ATTORNEYS**); 〒5410059 大阪
府大阪市中央区博労町三丁目 2 番 8 号 岩
田東急ビル 8 階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子の製造方法

図5B



(57) Abstract: According to the present invention, a dicing step comprises: a first step of performing an A step and a B step, the A step of cutting a semiconductor wafer along a first central line which is a first planned cutting line, among a plurality of first planned cutting lines, that passes a location closest to the center of a SiC semiconductor substrate, and the B step of cutting the semiconductor wafer along a second central line which is a second planned cutting line, among a plurality of second planned cutting lines, that passes a location closest to the center of the SiC semiconductor substrate;

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

and a second step, after the first step, of cutting the semiconductor wafer along each of the plurality of planned cutting lines except for the first central line and the second central line.

(57) 要約：ダイシング工程は、複数の第1切断予定ラインのうち、SiC半導体基板の中心に最も近い箇所を通る第1切断予定ラインである第1中央ラインに沿って半導体ウエハを切断するA工程と、複数の第2切断予定ラインのうち、SiC半導体基板の中心に最も近い箇所を通る第2切断予定ラインである第2中央ラインに沿って半導体ウエハを切断するB工程とを行う第1工程と、第1工程の後、複数の切断予定ラインのうち、第1中央ラインおよび第2中央ラインを除いた各切断予定ラインに沿って半導体ウエハを切断する第2工程とを含む。

明 細 書

発明の名称：半導体素子の製造方法

関連出願

[0001] この出願は、2023年1月27日に日本国特許庁に提出された特許出願2023-010594号に基づく優先権を主張しており、この出願の全内容はここに引用により組み込まれるものとする。

技術分野

[0002] 本開示は、半導体素子の製造方法に関する。

背景技術

[0003] 半導体素子の製造方法では、ダイシングブレードを用いて半導体ウエハをチップ単位に分割する工程が実施されることがある（たとえば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-13812号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示の目的は、カットラインのずれを抑制できる半導体素子の製造方法を提供することである。

課題を解決するための手段

[0006] 本開示の一実施形態は、一方側の第1主面および他方側の第2主面を有し、複数の素子形成領域および前記複数の素子形成領域を区画する切断予定ラインが設定されたSiC半導体基板と、前記各素子形成領域に形成された半導体素子構造とを含む、ウエハプロセス後の半導体ウエハを用意する工程と、前記半導体ウエハの前記第1主面側の表面に、ダイシングテープを貼着することにより、前記半導体ウエハを前記ダイシングテープに保持させるウエ

ハ保持工程と、ダイシングブレードによって、前記半導体ウェハの前記第2主面側の表面から、前記切断予定ラインに沿って前記半導体ウェハを切断するダイシング工程とを含み、前記第1主面に沿う方向でかつ前記S i C半導体基板のオリエンテーション・フラットに直交する方向を第1方向とし、前記第1主面に沿う方向でかつ前記オリエンテーション・フラットに平行な方向を第2方向とすると、前記切断予定ラインは、前記第1方向に平行でかつ前記第2方向に間隔を空けて配置された複数の第1切断予定ラインと、前記第2方向に平行でかつ前記第1方向に間隔を空けて配置され、前記第1切断予定ラインと交差する複数の第2切断予定ラインとを含み、前記ダイシング工程は、前記複数の第1切断予定ラインのうち、前記S i C半導体基板の中心に最も近い箇所を通る第1切断予定ラインである第1中央ラインに沿って前記半導体ウェハを切断するA工程と、前記複数の第2切断予定ラインのうち、前記S i C半導体基板の中心に最も近い箇所を通る第2切断予定ラインである第2中央ラインに沿って前記半導体ウェハを切断するB工程とを行う第1工程と、前記第1工程の後、前記複数の切断予定ラインのうち、前記第1中央ラインおよび前記第2中央ラインを除いた各切断予定ラインに沿って前記半導体ウェハを切断する第2工程とを含む、半導体素子の製造方法を提供する。

[0007] この製造方法では、カットラインのずれを抑制できる。

[0008] 上述のまたはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0009] [図1]図1は、本開示の一実施形態に係る半導体装置の製造方法に用いられるウェハプロセス後の半導体ウェハの図解的な平面図である。

[図2]図2は、図1のII-II線に沿う断面図である。

[図3A]図3Aは、ウェハプロセス後の半導体ウェハから出荷用の半導体素子集合体を製造する工程の一部を説明するための断面図である。

[図3B]図3Bは、図3Aの次の工程を説明するための断面図である。

[図3C]図3 Cは、図3 Aの次の工程を説明するための平面図である。

[図3D]図3 Dは、図3 Bおよび図3 Cの次の工程を説明するための断面図である。

[図3E]図3 Eは、図3 Dの次の工程を説明するための断面図である。

[図3F]図3 Fは、図3 Eの次の工程を説明するための断面図である。

[図4]図4は、ダイシングテープの構造を説明するための図解的な断面図である。

[図5A]図5 Aは、図3 Dのダイシング工程の一部を説明するための平面図である。

[図5B]図5 Bは、図5 Aの次の工程を説明するための平面図である。

[図5C]図5 Cは、図5 Bの次の工程を説明するための平面図である。

[図5D]図5 Dは、図5 Cの次の工程を説明するための平面図である。

発明を実施するための形態

[0010] 以下では、添付図面を参照して、本開示の実施形態を詳細に説明する。

[0011] 図1は、本開示の一実施形態に係る半導体装置の製造方法に用いられるウエハプロセス後の半導体ウエハ1の図解的な平面図である。

[0012] 半導体ウエハ1は、たとえば、SiC単結晶を含むSiC（炭化珪素）半導体ウエハである。SiC単結晶は、この実施形態では、六方晶SiC単結晶である。SiC単結晶は、4H-SiC単結晶であってもよい。4H-SiC単結晶の単位セルは、1つのSi原子に対して4つのC原子が四面体配列（正四面体配列）の関係で結合された四面体構造を含む。単位セルは、四面体構造が4周期積層された原子配列を有している。

[0013] 単位セルは、正六角形のシリコン面、正六角形のカーボン面、ならびに、シリコン面およびカーボン面を接続する6つの側面を有する六角柱構造を有している。シリコン面は、Si原子によって終端された終端面である。シリコン面では、正六角形の6つの頂点に1つのSi原子がそれぞれ位置し、正六角形の中心に1つのSi原子が位置している。カーボン面は、C原子によって終端された終端面である。カーボン面では、正六角形の6つの頂点に1

つのC原子がそれぞれ位置し、正六角形の中心に1つのC原子が位置している。

[0014] 半導体ウエハ1は、複数の素子形成領域2および複数の素子形成領域2を区画するスクライプ領域（ダイシングストリート）3を含む。図1に示す平面視において、各素子形成領域2は矩形状である。図1に示す平面視において、複数の素子形成領域2は、図1に示されるX方向（横方向）およびY方向（縦方向）に間隔をおいて行列状に整列して配置されている。

[0015] 隣接する素子形成領域2の間の部分がスクライプ領域3である。半導体ウエハ1のスクライプ領域3に、切断予定ライン4が設定されている。

[0016] 各素子形成領域2には、半導体素子5が形成されている。半導体素子5は、たとえば、縦型パワー半導体素子である。具体的には、半導体素子5は、縦型ダイオードまたは縦型トランジスタである。縦型ダイオードは、縦型SBD（Schottky Barrier Diode）を含んでいてもよい。縦型トランジスタは、縦型MISFET（Metal Insulator Semiconductor Field Effect Transistor）を含んでいてもよい。

[0017] 図2は、図1のII-II線に沿う断面図である。

[0018] 図2に示されるように、半導体ウエハ1は、半導体基板11、第1電極12および第2電極13を含む。図1および図2に示されるZ方向は、半導体基板1の厚さ方向を示している。

[0019] 半導体基板11は、たとえば、SiC単結晶を含むSiC基板である。SiC単結晶は、この実施形態では、六方晶SiC単結晶である。半導体基板11は、第1主面14および第1主面とは反対側の第2主面15を有する。第1主面14が（0001）面（シリコン面）であり、第2主面15は（000-1）面（カーボン面）であることが好ましい。このような構成は、半導体素子がSiC-MOSFETやSiC-SBDを含む場合に有効である。半導体基板11の厚さは、80μm以上350μm以下であることが好ましい。

[0020] 第1電極12は、半導体基板11の第1主面14上に、素子形成領域2毎

(半導体素子 5 毎) に形成されている金属電極である。この実施形態では、第 1 電極 1 2 は、各素子形成領域 2 の第 1 主面 1 4 の中央部に形成されている。

[0021] 第 2 電極 1 3 は、半導体基板 1 1 の第 2 主面 1 5 上に一様に形成されている金属電極である。つまり、第 2 電極 1 3 は、半導体ウエハ 1 においては、複数の素子形成領域 2 に共通に形成されている。第 2 電極 1 3 は、第 2 主面 1 5 の全域を被覆していてもよい。第 2 電極 1 3 は、たとえば、チタン (T i)、ニッケル (N i)、パラジウム (P d)、金 (A u) の積層膜によって形成される。むろん、第 2 電極 1 3 は、アルミニウム、銅、銀、窒化チタンまたはタングステンなどの他の材料によって形成されてもよい。

[0022] 第 2 電極 1 3 は、T i 層、N i 層、N i 合金層および A u 層のうちの少なくとも 1 つを含む単層構造または積層構造を有していることが好ましい。第 2 電極 1 3 は、N i 層および N i 合金層のいずれか一方または双方を含む単層構造または積層構造を有していることが特に好ましい。たとえば、第 2 電極 1 3 は、第 2 主面 1 5 側からこの順に積層された T i 層、N i 層および A u 層を含む積層構造を有していてもよい。

[0023] 第 2 電極 1 3 は、第 2 主面 1 5 側からこの順に積層された N i S i 層、T i 層および N i 層を含む積層構造を有していてもよい。第 2 電極 1 3 は、第 2 主面 1 5 側からこの順に積層された N i 層、T i 層および N i 層を含む積層構造を有していてもよい。第 2 電極 1 3 は、第 2 主面 1 5 側からこの順に積層された N i 層、T i 層および N i V 層を含む積層構造を有していてもよい。第 2 電極 1 3 は、第 2 主面 1 5 側からこの順に積層された N i 層および A u 層を含む積層構造を有していてもよい。

[0024] たとえば、第 2 電極 1 3 の厚さは、5 0 0 n m 以上であってもよい。第 2 電極 1 3 の厚さは、1 5 0 0 n m 以下であってもよい。第 2 電極 1 3 は、前記積層構造において、N i 層または N i 合金層の層厚の合計が 5 0 0 n m 以上になるように構成されていてもよい。第 2 電極 1 3 は、前記積層構造において、N i 層のみで 5 0 0 n m 以上になるように構成されていてもよい。第

2 電極 1 3 が T i 層を含む場合、第 2 電極 1 3 は、T i 層が 5 0 n m 以上 1 0 0 n m 以下になるように構成されていてもよい。

[0025] ここでは、2つの電極を有する半導体素子の例（たとえばダイオード）が説明されるが、3つ以上の電極を有する半導体素子（たとえばトランジスタ）が採用されてもよい。半導体素子が3つ以上の電極を有する場合、半導体ウエハ 1 内の一つの半導体素子は第 1 主面 1 4 上に形成された2つ以上の第 1 電極 1 2 を有する。

[0026] 半導体ウエハ 1 の構成、半導体素子 5 の構成、および、それらの製造方法としては、公知の構成および製造方法が採用される。まず、S i C からなる半導体基板 1 1 が用意される。半導体基板 1 1 は、エピタキシャル成長法によって、比較的高い不純物濃度を有する半導体基板上に、当該半導体基板よりも低い不純物濃度を有する半導体層を形成した構成を有していてもよい。

[0027] 次に、半導体素子に対応する内部構造（半導体素子構造）が、半導体基板 1 1 の表層部に形成される。次に、複数の第 1 電極 1 2 が、半導体基板 1 1 の第 1 主面 1 4 上に形成される。次に、第 2 電極 1 3 が、半導体基板 1 1 の第 2 主面 1 5 上に形成される。第 2 電極 1 3 は、第 2 主面 1 5 の全域（半導体ウエハ 1 の全面）に形成される。

[0028] ここで、第 2 主面 1 5 の全域（半導体ウエハ 1 の全面）は、必ずしも第 2 主面 1 5 の全てである必要はなく、半導体ウエハ 1 の周辺部等、一部の領域に第 2 電極 1 3 が形成されていない場合も含まれる。半導体基板 1 1 は、第 2 電極 1 3 の形成工程の前に研削法などによって所定の厚みに調整されてもよい。

[0029] 半導体基板 1 1 の第 1 主面 1 4 には、素子形成領域 2 毎に第 1 電極 1 2 が形成されているので、半導体ウエハ 1 における第 1 主面 1 4 側の表面は凹凸面となる。一方、半導体基板 1 1 の第 2 主面 1 5 の全域に第 2 電極 1 3 が形成されているので、半導体ウエハ 1 における第 2 主面 1 5 側の表面は平坦面となる。

[0030] 半導体素子が I G B T の場合には、第 2 電極 1 3 の形成工程の前に、第 2

主面 1 5 の表層部にコレクタ層などの裏面構造が形成される。

[0031] 半導体ウエハ 1 は、切断予定ライン 4 に沿ってダイシングブレードにより切断（ダイシング）される。これによって、半導体ウエハ 1 は、素子形成領域 2 を含む複数の半導体素子（チップ） 5 に分割される。ダイシング方向は、X 軸および Y 軸の正方向であってもよいし、負方向であってもよい。

[0032] この実施形態では、X 方向は、半導体ウエハ 1 のオリフラ（オリエンテーション・フラット） 6 に平行な方向であり、Y 方向は、半導体ウエハ 1 の第 1 主面 1 4 に沿う方向であってかつオリフラ 6 に直交する方向である。この実施形態では、X 方向は SiC 単結晶の $[1-100]$ 方向であり、Y 方向は SiC 単結晶の $[11-20]$ 方向である。

[0033] つまり、切断予定ライン 4 は、 $[11-20]$ 方向（Y 方向）に延びた複数の第 1 切断予定ライン 4 A と、 $[1-100]$ 方向（X 方向）に沿って延びた、複数の第 2 切断予定ライン 4 B とを含む。

[0034] 図 3 A～図 3 F は、ウエハプロセス後の半導体ウエハ 1 から出荷用半導体素子集合体を製造する工程の一例を説明するための断面図である。

[0035] 図 3 A に示されるように、半導体基板 1 1、第 1 電極 1 2 および第 2 電極 1 3 を含む半導体ウエハ 1 が、ダイシングテープ 2 1 によって保持（支持）される。つまり、半導体ウエハ 1 が、ダイシングテープ 2 1 によって、リングフレーム 2 4 に固定される。この実施形態では、半導体ウエハ 1 における第 2 主面 1 5 側の表面を上に向けた姿勢で、半導体ウエハ 1 における第 1 主面 1 4 側の表面に、ダイシングテープ 2 1 が貼着されることにより、半導体ウエハ 1 がダイシングテープ 2 1 によって保持される。

[0036] つまり、この実施形態では、半導体ウエハ 1 における第 1 主面 1 4 側の表面である凹凸面に、ダイシングテープ 2 1 が貼着される。言い換えれば、半導体ウエハ 1 は、図 2 に示される姿勢から上下反転した姿勢でダイシングテープ 2 1 によって保持される。

[0037] ダイシングテープ 2 1 は、図 4 に示されるように、基材（ダイシングテープ本体） 2 2 と、基材 2 2 の片面に形成された粘着剤層 2 3 とを含む。基材

22は、たとえば、ポリエチレンテレフタレートまたはポリオレフィンを含む。基材22の厚さは、 $50\mu\text{m}$ 以上 $300\mu\text{m}$ 以下であることが好ましい。

[0038] 粘着剤層23は、紫外線照射によって硬化する粘着剤を含む。この実施形態では、半導体ウエハ1における第1主面14側の表面である凹凸面にダイシングテープ21が貼着されるので、粘着剤層23に段差吸着性を持たせる必要がある。このため、粘着剤層23の厚さは、平坦面に貼着される通常のダイシングテープの粘着剤層に比べて厚くされる。粘着剤層23の厚さは、 $30\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であることが好ましい。

[0039] 次に、図3Bおよび図3Cに示すように、ダイシングテープ21に紫外線を照射することにより、ダイシングテープ21の粘着剤を半硬化させる（半硬化工程）。

[0040] 粘着剤層23の厚さは、平坦面に貼着される通常のダイシングテープの粘着剤層に比べて厚い。そして、粘着剤は柔らかいため、後述のダイシング時に半導体素子（チップ）5が揺れるおそれがある。そこで、ダイシング時に半導体素子5の揺れを低減するために、ダイシングテープ21の粘着剤が半硬化される。

[0041] 図3Bおよび図3Cに示される半硬化工程では、半導体ウエハ1がダイシングテープ21とともに矢印100の方向に移動される。半導体ウエハ1の移動経路の下方位置には、複数のLEDライト25が、ダイシングテープ21の表面に沿う方向であってかつ矢印100の方向に直交する方向に間隔を空けて配置されている。半導体ウエハ1がLEDライト25の上方を通過する際に、LEDライト25から出射された紫外線がダイシングテープ21に照射される。

[0042] ダイシングテープ21の粘着剤を半硬化させるための紫外線照射エネルギーは、 $20\text{mJ}/\text{cm}^2$ 以上 $500\text{mJ}/\text{cm}^2$ 以下であることが好ましく、 $20\text{mJ}/\text{cm}^2$ 以上 $200\text{mJ}/\text{cm}^2$ 以下であることがより好ましい。

[0043] なお、半導体ウエハ1の下方から、水銀ランプ（図示略）によって、少な

くともダイシングテープ 21 における半導体ウエハ 1 に対向する領域の全域に、紫外線が一定期間、照射されるようにしてもよい。この場合においても、ダイシングテープ 21 の粘着剤を半硬化させるための紫外線照射エネルギーの好ましい範囲は、上述した範囲と同じである。

[0044] 次に、ダイシング工程が行なわれる。つまり、図 3 D に示されるように、ダイシングブレード（図示略）によって、半導体ウエハ 1 における第 2 主面 15 側の表面から、切断予定ライン 4 に沿って半導体ウエハ 1 が切断される。これにより、半導体ウエハ 1 が複数の半導体素子（チップ）5 に分割される。ダイシング工程の詳細な説明は後述する。

[0045] 次に、図 3 E に示されるように、半導体ウエハ 1 における第 2 主面 15 側の表面に、複数の半導体素子（チップ）5 を保持させるための素子保持用テープ（出荷用テープ）26 が貼着される。具体的には、半導体ウエハ 1 が、素子保持用テープ 26 によって、リングフレーム 24 に固定される。

[0046] 素子保持用テープ 26 の粘着力は、ダイシングテープ 21 の粘着力よりも強い。そこで、半導体ウエハ 1 における第 2 主面 15 側の表面に素子保持用テープ 26 が貼着された後に、図 3 F に示されるように、ダイシングテープ 21 が各半導体素子（チップ）5 から引き剥がされて、各半導体素子 5 が素子保持用テープ 26 に保持される。これにより、出荷用の半導体素子集合体 30 が製造される。

[0047] 出荷用の半導体素子集合体 30 が顧客に納品された後に、各半導体素子（チップ）5 が素子保持用テープ 26 から剥がされる。このようにして、個々の半導体素子（チップ）5 が得られる。

[0048] 図 5 A ～図 5 D は、図 3 D のダイシング工程の詳細な工程の一例を説明するための平面図である。図 5 においては、説明の便宜上、半導体ウエハ 1 における切断予定ライン 4（4 A，4 B）以外の構成は省略されている。

[0049] この実施形態では、ダイシング装置は、2 枚のダイシングブレードによって 2 ライン同時にカットできる機能を有しているものとする。

[0050] 図 5 A、図 5 B、図 5 C および図 5 D それぞれにおいて、実線で示される

切断予定ライン4（4 A， 4 B）は、当該工程またはそれ以前の工程で切断が行われた切断済みの切断予定ライン4（4 A， 4 B）を示す。

[0051] 図5 A、図5 B、図5 Cおよび図5 Dそれぞれにおいて、破線で示される切断予定ライン4（4 A， 4 B）は、当該工程終了時において切断が行われていない未切断の切断予定ライン4（4 A， 4 B）を示す。

[0052] ダイシング工程においては、まず、図5 Aに示されるように、複数の第1切断予定ライン4 Aのうち、半導体基板11の中心200に最も近い箇所を通る第1切断予定ライン4 A（以下、「第1中央ライン4 A c」という。）に沿って、半導体ウエハ1が切断される。半導体基板11の中心200とは、オリフラ6が形成される前の円板上の半導体基板の中心をいう。

[0053] 次に、図5 Bに示されるように、複数の第2切断予定ライン4 Bのうち、半導体基板11の中心に最も近い箇所を通る第2切断予定ライン4 B（以下、「第2中央ライン4 B c」という。）に沿って、半導体ウエハ1が切断される。

[0054] 次に、図5 Cに示されるように、複数の第2切断予定ライン4 Bのうち、第2中央ライン4 B cを除いた残りの各第2切断予定ライン4 Bに沿って半導体ウエハ1が切断される。

[0055] 具体的には、まず、第2中央ライン4 B cの外側にそれぞれ隣接する2つの第2切断予定ライン4 B-1に沿って半導体ウエハ1が切断される。次に、直前に切断が行われた2つの第2切断予定ライン4 B-1それぞれの外側に隣接する2つの第2切断予定ライン4 B-2に沿って半導体ウエハ1が切断される。以下、同様にして、残りの各第2切断予定ライン4 Bに沿って半導体ウエハ1が切断される。

[0056] 次に、図5 Dに示されるように、複数の第1切断予定ライン4 Aのうち、第1中央ライン4 A cを除いた残りの各第1切断予定ライン4 Aに沿って半導体ウエハ1が切断される。

[0057] 具体的には、まず、第1中央ライン4 A cの外側にそれぞれ隣接する2つの第1切断予定ライン4 A-1に沿って半導体ウエハ1が切断される。次に

、直前に切断が行われた2つの第1切断予定ライン4A-1それぞれの外側に隣接する2つの第1切断予定ライン4A-2に沿って半導体ウエハ1が切断される。以下、同様にして、残りの各第1切断予定ライン4Aに沿って半導体ウエハ1が切断される。このようにして、半導体ウエハ1が複数の半導体素子（チップ）5に分割される。

[0058] なお、図5Dの工程を、図5Cの工程よりも先に行うようにしてもよい。つまり、図5Bの工程の後に、図5Dの工程を行い、図5Dの工程の後に、図5Cの工程を行うようにしてもよい。

[0059] また、図5Bの工程を、図5Aの工程よりも先に行うようにしてもよい。つまり、まず、図5Bの工程を行い、図5Bの工程の後に図5Aの工程を行うようにしてもよい。この場合、図5Aの工程の後に、図5Dの工程を行い、図5Dの工程の後に図5Cの工程を行ってもよい。また、この場合、図5Aの工程の後に、図5Cの工程を行い、図5Cの工程の後に図5Dの工程を行ってもよい。

[0060] 本実施形態では、半導体ウエハ1における第2主面15側の表面からダイシング工程が実施される。これにより、半導体ウエハ1における第1主面14側の表面からダイシングを行う場合に比べ、切断面を平滑化できるとともに、チップングの発生を抑制できる。

[0061] 本実施形態では、半導体ウエハ1における第1主面14側の表面である凹凸面にダイシングテープ21が貼着されるので、半導体ウエハ1における第2主面15側の表面である平坦面にダイシングテープが貼着される場合に比べて、ダイシングテープ21に段差吸収性を持たせる必要がある。

[0062] このため、ダイシングテープ21の粘着剤層23は、平坦面に貼着される通常のダイシングテープの粘着剤層よりも厚くされる。ダイシングテープ21の粘着剤層23を厚くすると、粘着剤が柔らかいため、ダイシング時に、半導体素子（チップ）5が揺れ、チップングを誘発するおそれがある。本実施形態では、ダイシング前に、ダイシングテープ21に紫外線を照射することにより、ダイシングテープ21の粘着剤を半硬化させている。これにより

、ダイシング時に半導体素子（チップ）5の揺れが低減されるので、チップングの発生を抑制できる。

[0063] 半導体ウエハ1には反りがあるため、半導体ウエハ1は、半導体基板11の中心200に向かってストレスを有している。このため、半導体ウエハ1に反りが残っている状態で、ダイシングを行った場合、ダイシングブレードが蛇行したり、切断予定ライン4に対して斜めに移動したりするおそれがある。特に、視認性を確保するためにガラス製のチャックテーブルを用いる場合には、吸着は溝を介して行われるが、全面での十分な吸着が確保されないため、カットアウト部において切断予定ライン4に対してカットラインのずれが生じやすい。

[0064] 本実施形態では、ダイシング工程において、まず複数の第1切断予定ライン4Aのうち、半導体基板11の中心200に最も近い箇所を通る第1切断予定ライン4A（第1中央ライン4Ac）に沿って、半導体ウエハ1が切断される（以下、「A工程」という。）。次に、複数の第2切断予定ライン4Bのうち、半導体基板11の中心200に最も近い箇所を通る第2切断予定ライン4B（第2中央ライン4Bc）に沿って、半導体ウエハ1が切断される（以下、「B工程」という。）。あるいは、まず、B工程が行われてから、A工程が行われる。

[0065] この後、複数の切断予定ライン4のうちの残りの各切断予定ライン4に沿って、半導体ウエハ1が切断される。

[0066] 半導体ウエハ1は、半導体基板11の中心200に向かってストレスを有している。半導体ウエハ1をY方向に沿って切断する場合において、半導体ウエハ1のX方向中央部を切断するときには、切断方向に対して垂直方向にストレスが働くため、半導体ウエハ1のX方向の周縁部を切断するとき比べて、カットラインのずれは起こりにくい。したがって、A工程によって、半導体ウエハ1を切断する場合には、カットラインのずれは起こりにくい。

[0067] 同様に、半導体ウエハ1をX方向に沿って切断する場合において、半導体ウエハ1のY方向中央部を切断するときには、切断方向に対して垂直方向に

ストレスが働くため、半導体ウエハ１のＹ方向の周縁部を切断するとき比べて、カットラインのずれは起こりにくい。したがって、Ｂ工程によって、半導体ウエハ１を切断する場合には、カットラインのずれは起こりにくい。

[0068] Ａ工程およびＢ工程によって、半導体ウエハ１を４分割すると、半導体ウエハ１全体が有するストレスがリリースされる。

[0069] このように、半導体ウエハ１全体が有するストレスがリリースされた後に、残りの各切断予定ライン４に沿って半導体ウエハ１が切断されるので、残りの各切断予定ライン４に沿って切断を行うときにも、カットラインのずれは起こりにくくなる。これにより、ダイシングブレードが蛇行したり、切断予定ラインに対して斜めに移動したりするのを抑制できる。

[0070] なお、Ａ工程およびＢ工程の後に行われる切断工程における切断の順番は、上述した順番と異なる順番であってもよい。

[0071] 上述の実施形態では、ダイシング前に、ダイシングテープ２１の粘着剤に紫外線を照射させて半硬化させているが、この半硬化工程を省略してもよい。

[0072] 以上、本開示の実施形態について詳細に説明してきたが、これらは本開示の技術的内容を明らかにするために用いられた具体例に過ぎず、本開示はこれらの具体例に限定して解釈されるべきではなく、本開示の範囲は添付の請求の範囲によってのみ限定される。

[0073] この明細書および図面の記載から以下に付記する特徴が抽出され得る。

[0074] [付記１－１]

一方側の第１主面（１４）および他方側の第２主面（１５）を有し、複数の素子形成領域（２）および前記複数の素子形成領域（２）を区画する切断予定ライン（４）が設定されたＳｉＣ半導体基板（１１）と、前記各素子形成領域（２）に形成された半導体素子構造とを含む、ウエハプロセス後の半導体ウエハ（１）を用意する工程と、前記半導体ウエハ（１）の前記第１主面側の表面に、ダイシングテープ（２１）を貼着することにより、前記半導体ウエハ（１）を前記ダイシングテープ（２１）に保持させるウエハ保持工

程と、ダイシングブレードによって、前記半導体ウエハ（１）の前記第２主面側の表面から、前記切断予定ライン（４）に沿って前記半導体ウエハ（１）を切断するダイシング工程とを含み、

前記第１主面（１４）に沿う方向でかつ前記ＳｉＣ半導体基板（１１）のオリエンテーション・フラット（６）に直交する方向を第１方向（Ｙ方向）とし、前記第１主面（１４）に沿う方向でかつ前記オリエンテーション・フラット（６）に平行な方向を第２方向（Ｘ方向）とすると、前記切断予定ライン（４）は、前記第１方向に平行でかつ前記第２方向に間隔を空けて配置された複数の第１切断予定ライン（４Ａ）と、前記第２方向に平行でかつ前記第１方向に間隔を空けて配置され、前記第１切断予定ライン（４Ａ）と交差する複数の第２切断予定ライン（４Ｂ）とを含み、

前記ダイシング工程は、

前記複数の第１切断予定ライン（４Ａ）のうち、前記ＳｉＣ半導体基板（１１）の中心（２００）に最も近い箇所を通る第１切断予定ライン（４Ａ）である第１中央ライン（４Ａｃ）に沿って前記半導体ウエハ（１）を切断するＡ工程と、前記複数の第２切断予定ライン（４Ｂ）のうち、前記ＳｉＣ半導体基板（１１）の中心（２００）に最も近い箇所を通る第２切断予定ライン（４Ｂ）である第２中央ライン（４Ｂｃ）に沿って前記半導体ウエハ（１）を切断するＢ工程とを行う第１工程と、

前記第１工程の後、前記複数の切断予定ライン（４）のうち、前記第１中央ライン（４Ａｃ）および前記第２中央ライン（４Ｂｃ）を除いた各切断予定ライン（４）に沿って前記半導体ウエハ（１）を切断する第２工程とを含む、半導体素子の製造方法。

[0075] [付記１－２]

前記ＳｉＣ半導体基板（１１）の厚さが $80\mu\text{m}$ 以上 $350\mu\text{m}$ 以下である、[付記１－１]に記載の半導体素子の製造方法。

[0076] [付記１－３]

前記ＳｉＣ半導体基板（１１）が六方晶ＳｉＣ単結晶を含むＳｉＣ半導体

基板であり、

前記第 1 方向が $[1\ 1\ -2\ 0]$ 方向であり、

前記第 2 方向が $[1\ -1\ 0\ 0]$ 方向である、[付記 1-1] または [付記 1-2] に記載の半導体素子の製造方法。

[0077] [付記 1-4]

前記第 1 工程では、前記 A 工程が行われた後に、前記 B 工程が行われる、[付記 1-1] ~ [付記 1-3] のいずれかに記載の半導体素子の製造方法。

[0078] [付記 1-5]

前記第 2 工程は、

前記複数の第 2 切断予定ライン (4 B) のうち、前記第 2 中央ライン (4 B c) を除いた各第 2 切断予定ライン (4 B) に沿って前記半導体ウエハ (1) を切断する C 工程と、

前記 C 工程の後、前記複数の第 1 切断予定ライン (4 A) のうち、前記第 1 中央ライン (4 A c) を除いた各第 1 切断予定ライン (4 A) に沿って前記半導体ウエハ (1) を切断する D 工程とを含む、[付記 1-4] に記載の半導体素子の製造方法。

[0079] [付記 1-6]

前記第 2 工程は、

前記複数の第 1 切断予定ライン (4 A) のうち、前記第 1 中央ライン (4 A c) を除いた各第 1 切断予定ライン (4 A) に沿って前記半導体ウエハ (1) を切断する E 工程と、

前記 E 工程の後、前記複数の第 2 切断予定ライン (4 B) のうち、前記第 2 中央ライン (4 B c) を除いた各第 2 切断予定ライン (4 B) に沿って前記半導体ウエハ (1) を切断する F 工程とを含む、[付記 1-4] に記載の半導体素子の製造方法。

[0080] [付記 1-7]

前記第 1 工程では、前記 B 工程が行われた後に、前記 A 工程が行われる、

[付記 1－1] ～ [付記 1－3] のいずれかに記載の半導体素子の製造方法。

[0081] [付記 1－8]

前記第 2 工程は、

前記複数の第 1 切断予定ライン（4 A）のうち、前記第 1 中央ライン（4 A c）を除いた各第 1 切断予定ライン（4 A）に沿って前記半導体ウエハ（1）を切断する G 工程と、

前記 G 工程の後、前記複数の第 2 切断予定ライン（4 B）のうち、前記第 2 中央ライン（4 B c）を除いた各第 2 切断予定ライン（4 B）に沿って前記半導体ウエハ（1）を切断する H 工程とを含む、[付記 1－7] に記載の半導体素子の製造方法。

[0082] [付記 1－9]

前記第 2 工程は、

前記複数の第 2 切断予定ライン（4 B）のうち、前記第 2 中央ライン（4 B c）を除いた各第 2 切断予定ライン（4 B）に沿って前記半導体ウエハ（1）を切断する I 工程と、

前記 I 工程の後、前記複数の第 1 切断予定ライン（4 A）のうち、前記第 1 中央ライン（4 A c）を除いた各第 1 切断予定ライン（4 A）に沿って前記半導体ウエハ（1）を切断する J 工程とを含む、[付記 1－7] に記載の半導体素子の製造方法。

[0083] [付記 1－10]

前記半導体ウエハ（1）は、前記第 1 主面上に前記素子形成領域毎に形成された第 1 電極（1 2）と、前記第 2 主面（1 5）の全面に形成された第 2 電極（1 3）とを含む、[付記 1－1] ～ [付記 1－9] のいずれかに記載の半導体素子の製造方法。

[0084] [付記 1－11]

前記ダイシングテープ（2 1）は、紫外線照射によって硬化する粘着剤を有しており、

前記ウエハ保持工程と前記ダイシング工程との間に、前記ダイシングテープ（２１）に紫外線を照射することにより、前記粘着剤を半硬化させる工程を含む、〔付記１－１０〕に記載の半導体素子の製造方法。

[0085] 〔付記１－１２〕

前記ダイシング工程の後に、前記半導体ウエハ（１）の前記第２主面側の表面に、素子保持用テープ（２６）を貼着する貼着工程と、

前記貼着工程の後に、前記半導体ウエハ（１）の前記第１主面側の表面から、前記ダイシングテープ（２１）を剥がす工程とをさらに含む、〔付記１－１１〕に記載の半導体素子の製造方法。

[0086] 〔付記１－１３〕

前記ダイシングテープ（２１）が、基材（２２）と、前記基材（２２）の片面に形成された前記粘着剤からなる粘着剤層（２３）とを含み、

前記粘着剤層（２３）の厚さが、 $30\mu\text{m}$ 以上 $100\mu\text{m}$ 以下である、〔付記１－１１〕に記載の半導体素子の製造方法。

[0087] 〔付記１－１４〕

前記基材（２２）が、ポリエチレンテレフタレートまたはポリオレフレンを含み、

前記基材（２２）の厚さが、 $50\mu\text{m}$ 以上 $300\mu\text{m}$ 以下である、〔付記１－１３〕に記載の半導体素子の製造方法。

[0088] 〔付記１－１５〕

前記粘着剤を半硬化させる工程での紫外線照射エネルギーが、 $50\text{mJ}/\text{cm}^2$ 以上 $500\text{mJ}/\text{cm}^2$ 以下である、〔付記１－１１〕～〔付記１－１３〕のいずれかに記載の半導体素子の製造方法。

[0089] 〔付記１－１６〕

前記粘着剤を半硬化させる工程での紫外線照射エネルギーが、 $50\text{mJ}/\text{cm}^2$ 以上 $200\text{mJ}/\text{cm}^2$ 以下である、〔付記１－１１〕～〔付記１－１３〕のいずれかに記載の半導体素子の製造方法。

[0090] 〔付記１－１７〕

前記粘着剤を半硬化させる工程では、前記ダイシングテープ（２１）に保持された前記半導体ウエハ（１）が、前記ダイシングテープ（２１）とともに、前記ダイシングテープ（２１）の表面に沿う方向であってかつ所定の方向に移動され、

前記半導体ウエハ（１）の移動経路の下方に配置された複数のＬＥＤライト（２５）であって、前記前記ダイシングテープ（２１）の表面に沿う方向であってかつ前記一方と直交する方向に間隔を空けて配置された前記複数のＬＥＤライト（２５）によって、前記ダイシングテープ（２１）に紫外線が照射される、〔付記１－１１〕～〔付記１－１６〕のいずれかに記載の半導体素子の製造方法。

[0091] 〔付記１－１８〕

前記粘着剤を半硬化させる工程では、前記半導体ウエハ（１）の下方から、水銀ランプによって、少なくとも前記ダイシングテープ（２１）における前記半導体ウエハ（１）に対向する領域の全域に、紫外線が一定時間、照射される、〔付記１－１１〕～〔付記１－１６〕のいずれかに記載の半導体素子の製造方法。

符号の説明

- [0092] １ 半導体ウエハ
 ２ 素子形成領域
 ３ スクライプ領域
 ４ 切断予定ライン
 ４Ａ 第１切断予定ライン
 ４Ｂ 第２切断予定ライン
 ５ 半導体素子
 ６ オリフラ
 １１ 半導体基板
 １２ 第１電極
 １３ 第２電極

- 1 4 第 1 主面
- 1 5 第 2 主面
- 2 1 ダイシングテープ
- 2 2 基材
- 2 3 粘着剤層
- 2 4 リングフレーム
- 2 5 L E D ライト
- 2 6 素子保持用テープ（出荷用テープ）
- 3 0 半導体素子集合体
- 1 0 0 矢印
- 2 0 0 半導体基板の中心

請求の範囲

[請求項1]

一方側の第1主面および他方側の第2主面を有し、複数の素子形成領域および前記複数の素子形成領域を区画する切断予定ラインが設定されたS i C半導体基板と、前記各素子形成領域に形成された半導体素子構造とを含む、ウエハプロセス後の半導体ウエハを用意する工程と、前記半導体ウエハの前記第1主面側の表面に、ダイシングテープを貼着することにより、前記半導体ウエハを前記ダイシングテープに保持させるウエハ保持工程と、ダイシングブレードによって、前記半導体ウエハの前記第2主面側の表面から、前記切断予定ラインに沿って前記半導体ウエハを切断するダイシング工程とを含み、

前記第1主面に沿う方向でかつ前記S i C半導体基板のオリエンテーション・フラットに直交する方向を第1方向とし、前記第1主面に沿う方向でかつ前記オリエンテーション・フラットに平行な方向を第2方向とすると、前記切断予定ラインは、前記第1方向に平行でかつ前記第2方向に間隔を空けて配置された複数の第1切断予定ラインと、前記第2方向に平行でかつ前記第1方向に間隔を空けて配置され、前記第1切断予定ラインと交差する複数の第2切断予定ラインとを含み、

前記ダイシング工程は、

前記複数の第1切断予定ラインのうち、前記S i C半導体基板の中心に最も近い箇所を通る第1切断予定ラインである第1中央ラインに沿って前記半導体ウエハを切断するA工程と、前記複数の第2切断予定ラインのうち、前記S i C半導体基板の中心に最も近い箇所を通る第2切断予定ラインである第2中央ラインに沿って前記半導体ウエハを切断するB工程とを行う第1工程と、

前記第1工程の後、前記複数の切断予定ラインのうち、前記第1中央ラインおよび前記第2中央ラインを除いた各切断予定ラインに沿って前記半導体ウエハを切断する第2工程とを含む、半導体素子の製造

方法。

[請求項2] 前記 SiC 半導体基板の厚さが $80\ \mu\text{m}$ 以上 $350\ \mu\text{m}$ 以下である、請求項 1 に記載の半導体素子の製造方法。

[請求項3] 前記 SiC 半導体基板が六方晶 SiC 単結晶を含む SiC 半導体基板であり、

前記第 1 方向が $[11\bar{2}0]$ 方向であり、

前記第 2 方向が $[1\bar{1}00]$ 方向である、請求項 1 または 2 に記載の半導体素子の製造方法。

[請求項4] 前記第 1 工程では、前記 A 工程が行われた後に、前記 B 工程が行われる、請求項 1 ～ 3 のいずれか一項に記載の半導体素子の製造方法。

[請求項5] 前記第 2 工程は、

前記複数の第 2 切断予定ラインのうち、前記第 2 中央ラインを除いた各第 2 切断予定ラインに沿って前記半導体ウエハを切断する C 工程と、

前記 C 工程の後、前記複数の第 1 切断予定ラインのうち、前記第 1 中央ラインを除いた各第 1 切断予定ラインに沿って前記半導体ウエハを切断する D 工程とを含む、請求項 4 に記載の半導体素子の製造方法。

[請求項6] 前記第 2 工程は、

前記複数の第 1 切断予定ラインのうち、前記第 1 中央ラインを除いた各第 1 切断予定ラインに沿って前記半導体ウエハを切断する E 工程と、

前記 E 工程の後、前記複数の第 2 切断予定ラインのうち、前記第 2 中央ラインを除いた各第 2 切断予定ラインに沿って前記半導体ウエハを切断する F 工程とを含む、請求項 4 に記載の半導体素子の製造方法。

[請求項7] 前記第 1 工程では、前記 B 工程が行われた後に、前記 A 工程が行われる、請求項 1 ～ 3 のいずれか一項に記載の半導体素子の製造方法。

- [請求項8] 前記第2工程は、
前記複数の第1切断予定ラインのうち、前記第1中央ラインを除いた各第1切断予定ラインに沿って前記半導体ウエハを切断するG工程と、
前記G工程の後、前記複数の第2切断予定ラインのうち、前記第2中央ラインを除いた各第2切断予定ラインに沿って前記半導体ウエハを切断するH工程とを含む、請求項7に記載の半導体素子の製造方法。
- [請求項9] 前記第2工程は、
前記複数の第2切断予定ラインのうち、前記第2中央ラインを除いた各第2切断予定ラインに沿って前記半導体ウエハを切断するI工程と、
前記I工程の後、前記複数の第1切断予定ラインのうち、前記第1中央ラインを除いた各第1切断予定ラインに沿って前記半導体ウエハを切断するJ工程とを含む、請求項7に記載の半導体素子の製造方法。
- [請求項10] 前記半導体ウエハは、前記第1主面上に前記素子形成領域毎に形成された第1電極と、前記第2主面の全面に形成された第2電極とを含む、請求項1～9のいずれか一項に記載の半導体素子の製造方法。
- [請求項11] 前記ダイシングテープは、紫外線照射によって硬化する粘着剤を有しており、
前記ウエハ保持工程と前記ダイシング工程との間に、前記ダイシングテープに紫外線を照射することにより、前記粘着剤を半硬化させる工程を含む、請求項10に記載の半導体素子の製造方法。
- [請求項12] 前記ダイシング工程の後に、前記半導体ウエハの前記第2主面側の表面に、素子保持用テープを貼着する貼着工程と、
前記貼着工程の後に、前記半導体ウエハの前記第1主面側の表面から、前記ダイシングテープを剥がす工程とをさらに含む、請求項11

に記載の半導体素子の製造方法。

[請求項13] 前記ダイシングテープが、基材と、前記基材の片面に形成された前記粘着剤からなる粘着剤層とを含み、

前記粘着剤層の厚さが、 $30\mu\text{m}$ 以上 $100\mu\text{m}$ 以下である、請求項11に記載の半導体素子の製造方法。

[請求項14] 前記基材が、ポリエチレンテレフタレートまたはポリオレフインを含み、

前記基材の厚さが、 $50\mu\text{m}$ 以上 $300\mu\text{m}$ 以下である、請求項13に記載の半導体素子の製造方法。

[請求項15] 前記粘着剤を半硬化させる工程での紫外線照射エネルギーが、 $50\text{mJ}/\text{cm}^2$ 以上 $500\text{mJ}/\text{cm}^2$ 以下である、請求項11～13のいずれか一項に記載の半導体素子の製造方法。

[請求項16] 前記粘着剤を半硬化させる工程での紫外線照射エネルギーが、 $50\text{mJ}/\text{cm}^2$ 以上 $200\text{mJ}/\text{cm}^2$ 以下である、請求項11～13のいずれか一項に記載の半導体素子の製造方法。

[請求項17] 前記粘着剤を半硬化させる工程では、前記ダイシングテープに保持された前記半導体ウエハが、前記ダイシングテープとともに、前記ダイシングテープの表面に沿う方向であってかつ所定の一方向に移動され、

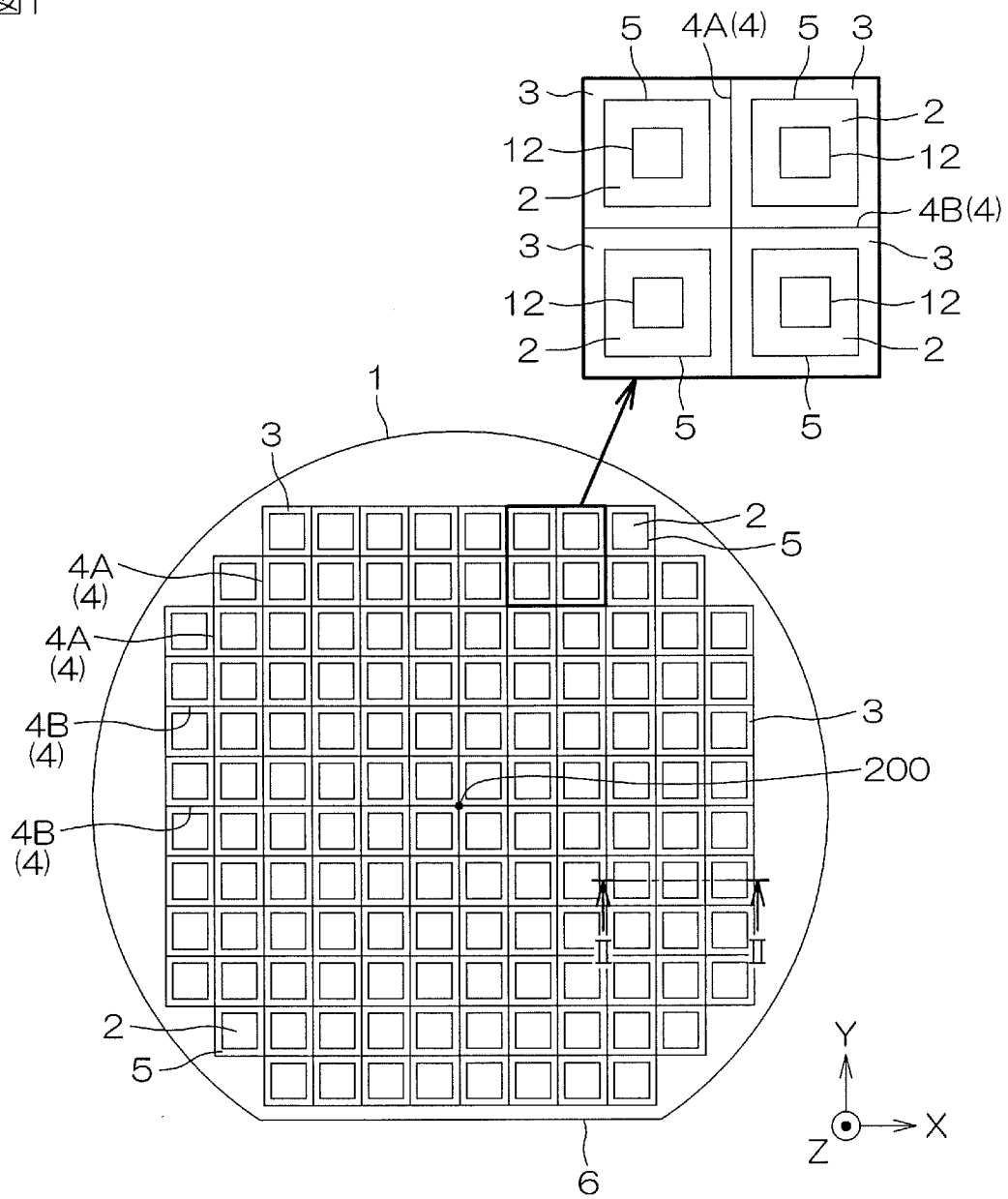
前記半導体ウエハの移動経路の下方に配置された複数のLEDライトであって、前記前記ダイシングテープの表面に沿う方向であってかつ前記一方向と直交する方向に間隔を空けて配置された前記複数のLEDライトによって、前記ダイシングテープに紫外線が照射される、請求項11～16のいずれか一項に記載の半導体素子の製造方法。

[請求項18] 前記粘着剤を半硬化させる工程では、前記半導体ウエハの下方から、水銀ランプによって、少なくとも前記ダイシングテープにおける前記半導体ウエハに対向する領域の全域に、紫外線が一定時間、照射される、請求項11～16のいずれか一項に記載の半導体素子の製造方

法。

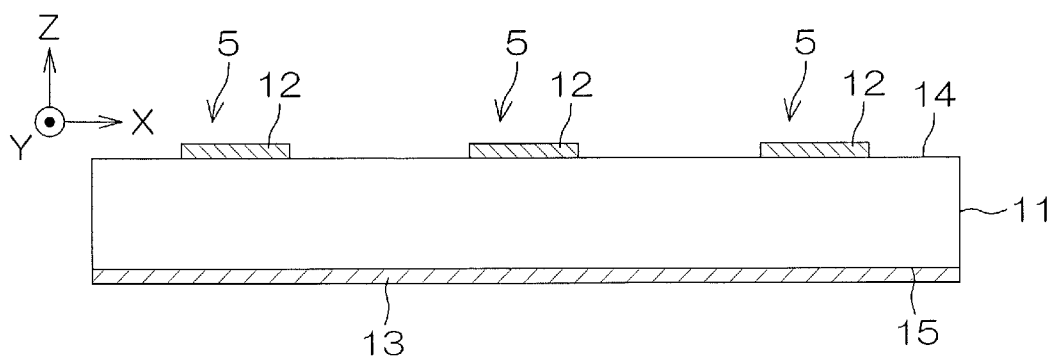
[図1]

图 1

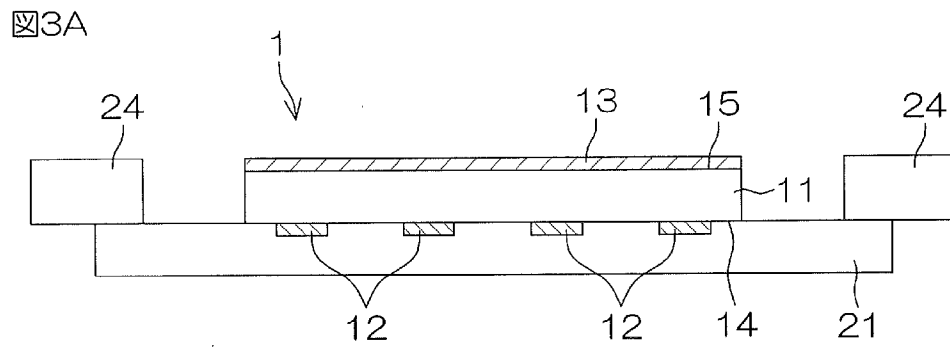


[図2]

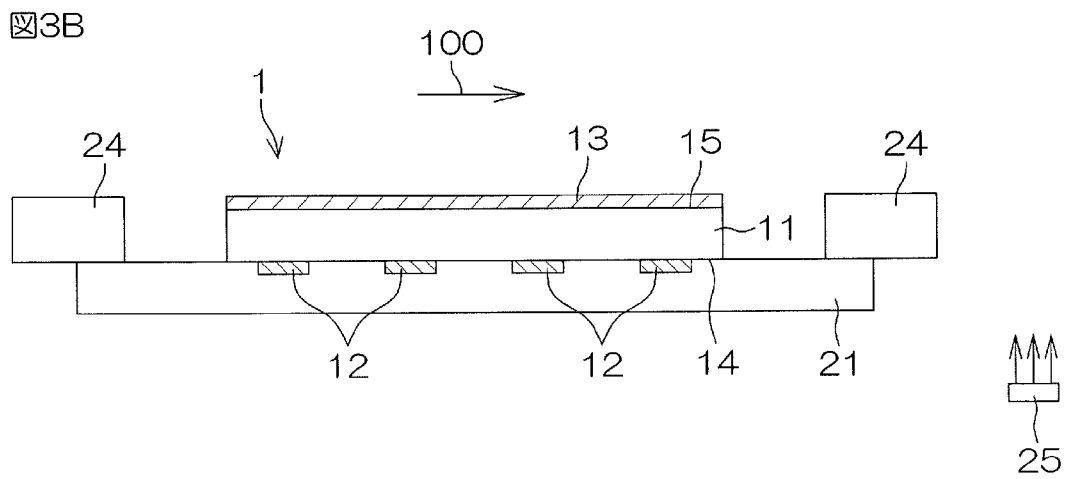
图2



[図3A]

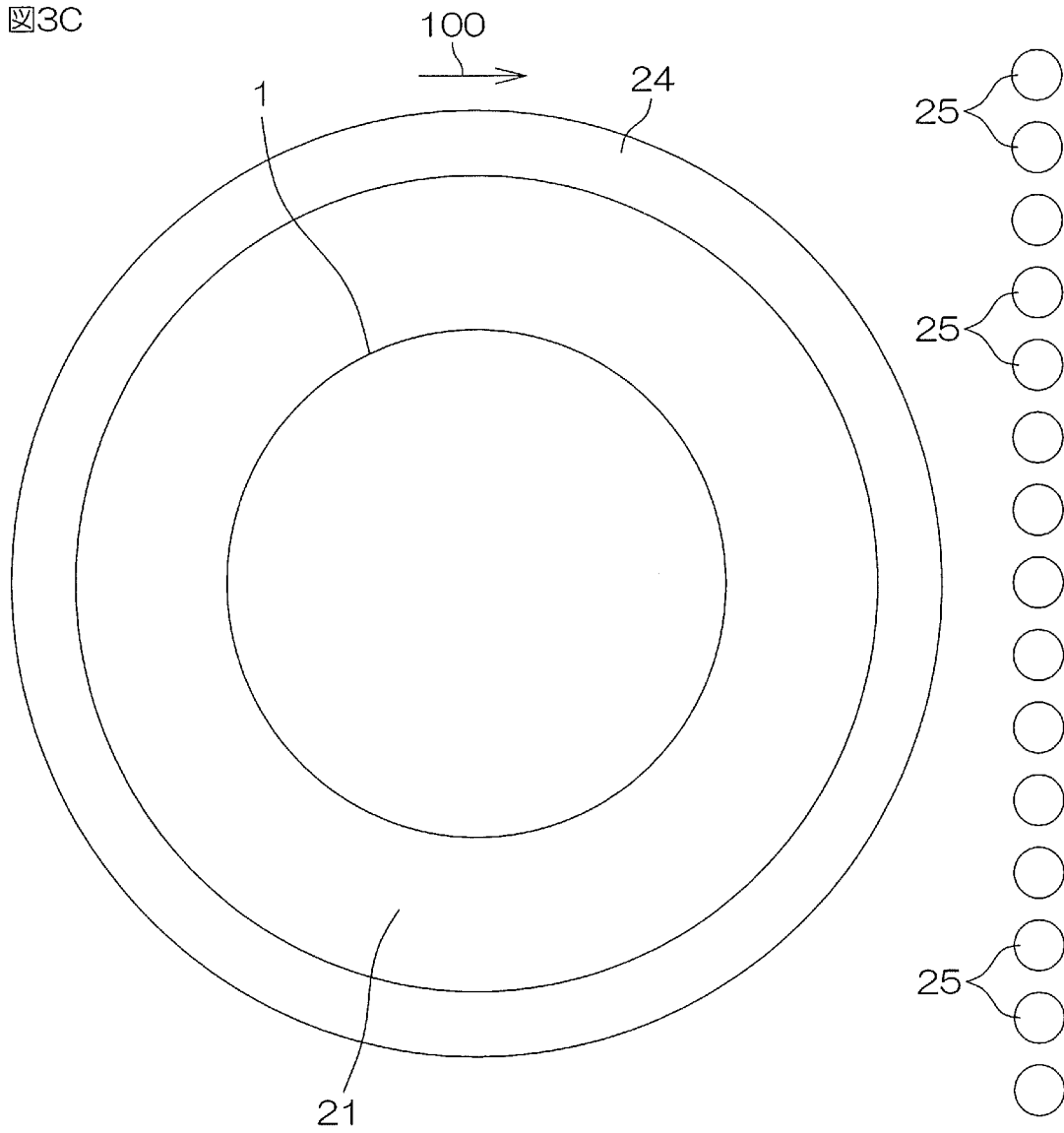


[図3B]



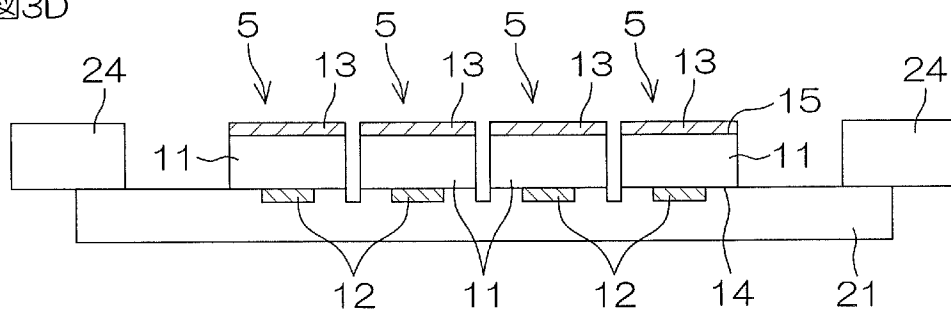
[図3C]

図3C



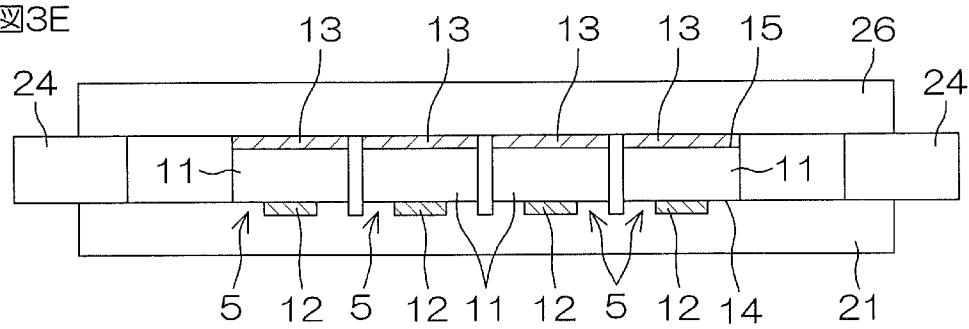
[図3D]

図3D



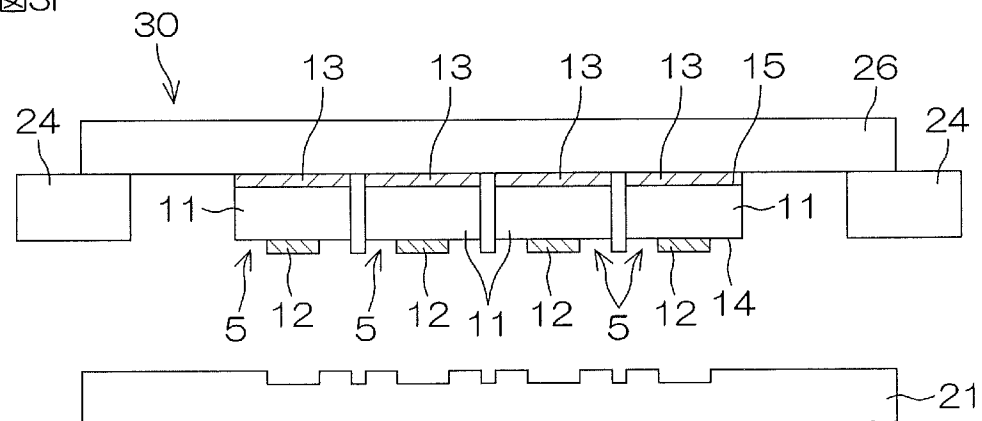
[図3E]

図3E



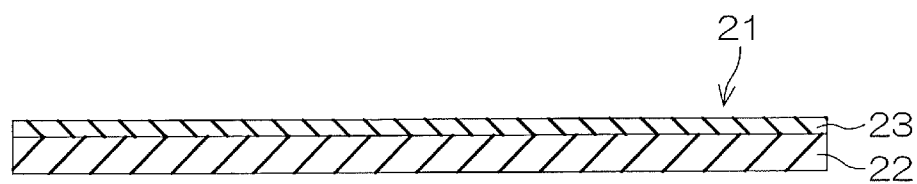
[図3F]

図3F

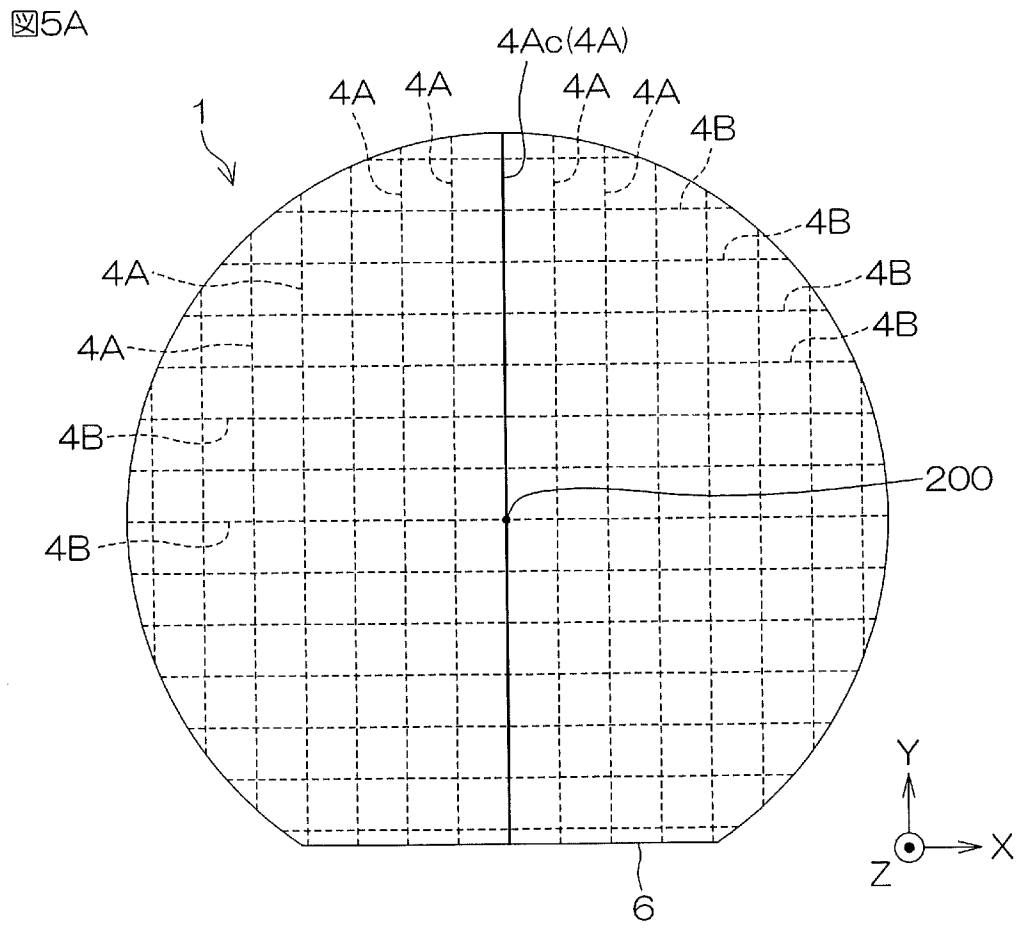


[図4]

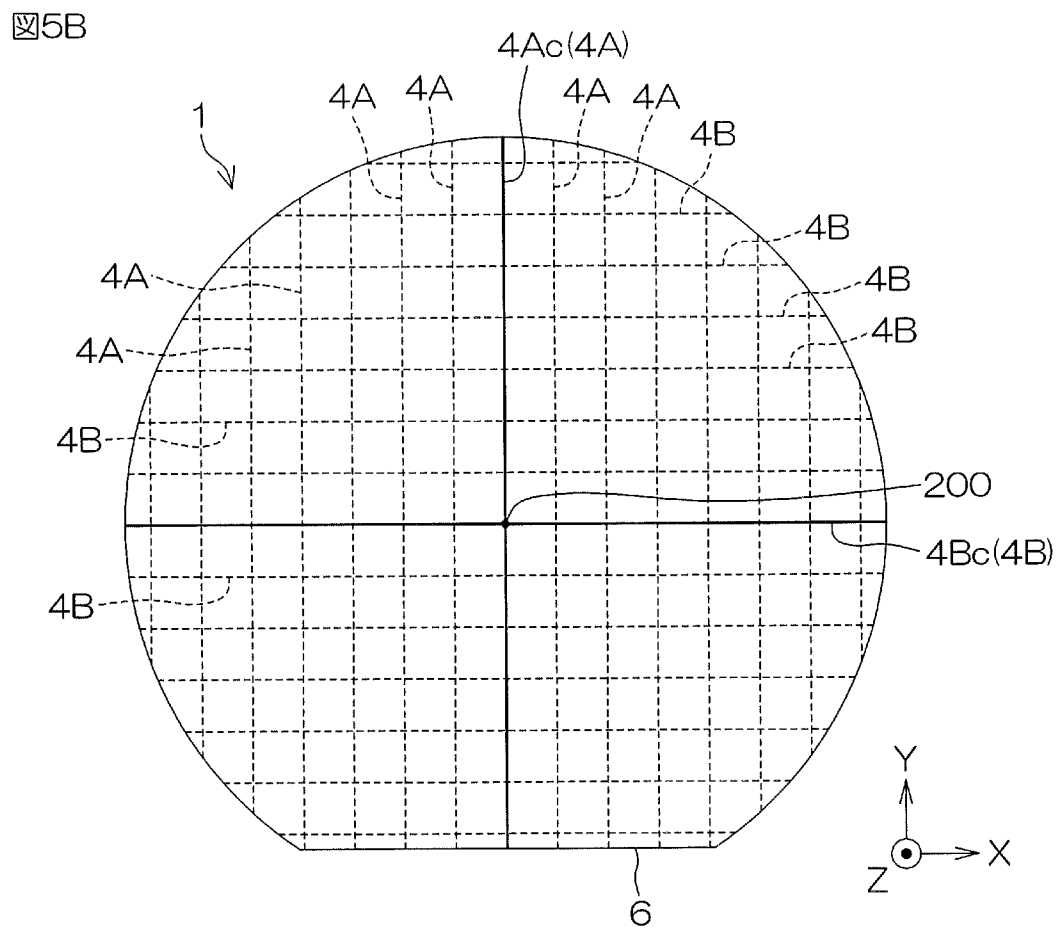
図4



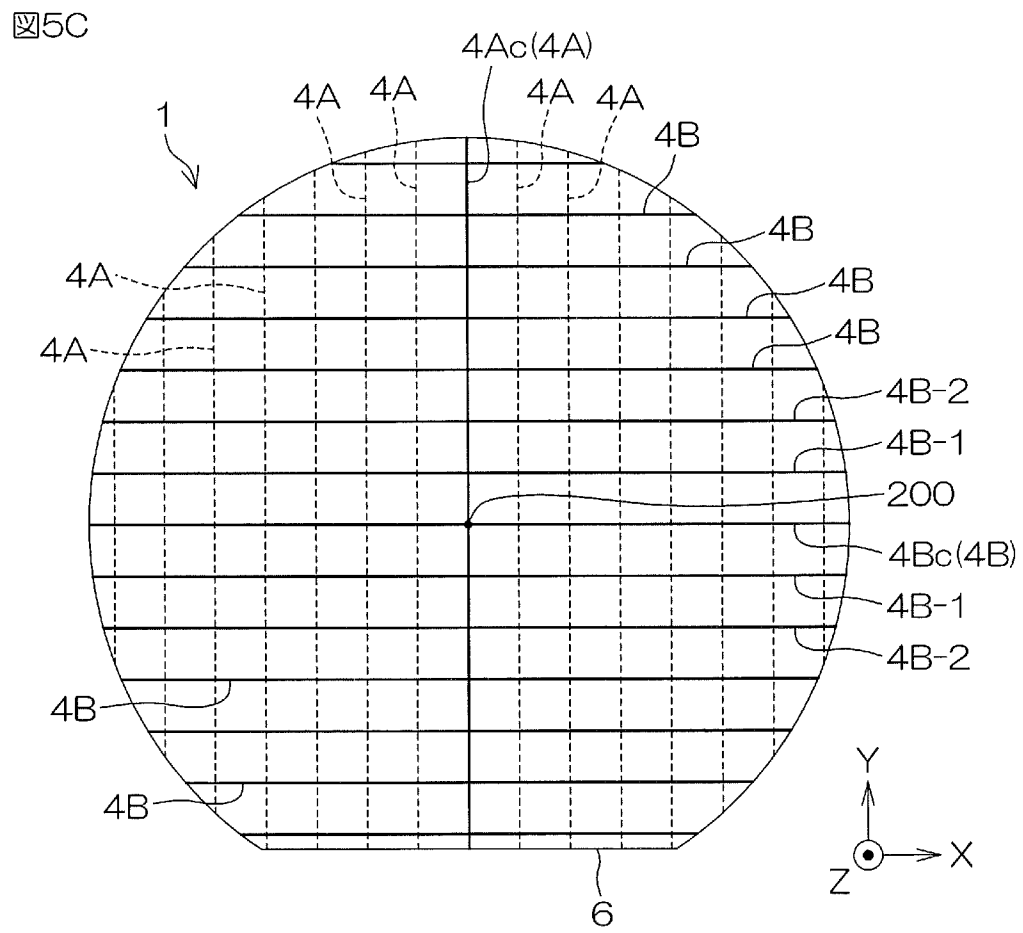
[図5A]



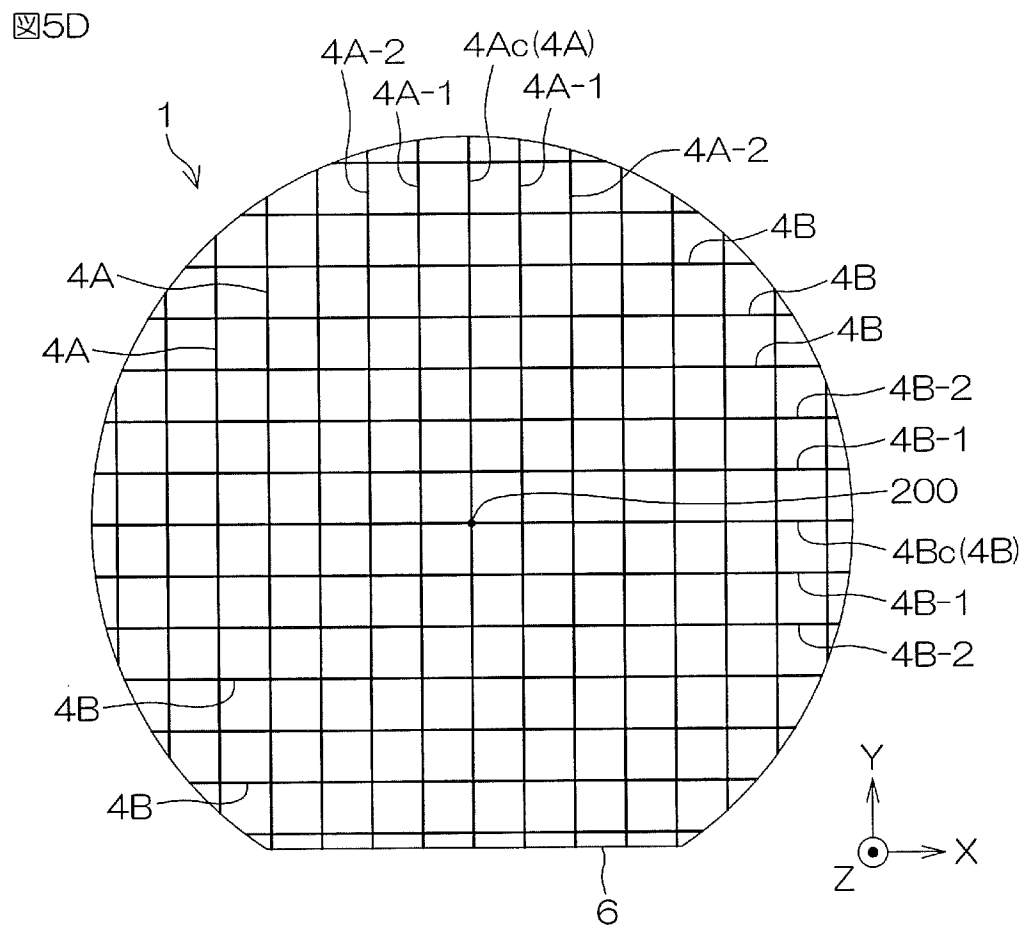
[図5B]



[図5C]



[図5D]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/001836

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/301 (2006.01)i FI: H01L21/78 F; H01L21/78 Q According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/301 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-83672 A (DISCO CORPORATION) 06 June 2022 (2022-06-06) paragraphs [0011]-[0035], fig. 1-8	1-18
Y	JP 2016-4960 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 12 January 2016 (2016-01-12) paragraphs [0030]-[0050], fig. 1-5	1-18
Y	WO 2018/190271 A1 (MITSUBISHI ELECTRIC CORPORATION) 18 October 2018 (2018-10-18) paragraphs [0016]-[0026], [0042]-[0043], fig. 1-3, 11-12	10-18
Y	JP 2005-260144 A (SEIKO EPSON CORPORATION) 22 September 2005 (2005-09-22) paragraphs [0018]-[0045], fig. 1-3	11-18
Y	WO 2021/251420 A1 (MITSUI CHEMICALS TOHCELLO, INC.) 16 December 2021 (2021-12-16) paragraphs [0016]-[0066], fig. 1	11-18
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 14 March 2024		Date of mailing of the international search report 26 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-133434 A (DISCO CORPORATION) 23 July 2015 (2015-07-23) paragraphs [0023]-[0032], fig. 2-6	11-18
Y	JP 10-242083 A (DISCO CORPORATION) 11 September 1998 (1998-09-11) paragraphs [0010]-[0014], [0024]-[0034], fig. 1-3, 6	11-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/001836

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2022-83672	A	06 June 2022	CN 114603727 A paragraphs [0020]-[0044], fig. 1-8 KR 10-2022-0072739 A TW 202221787 A	
JP	2016-4960	A	12 January 2016	US 2015/0371901 A1 paragraphs [0038]-[0062], fig. 1-5	
WO	2018/190271	A1	18 October 2018	US 2020/0058742 A1 paragraphs [0052]-[0062], [0085]-[0086], fig. 1-3, 11-12 CN 110462801 A	
JP	2005-260144	A	22 September 2005	(Family: none)	
WO	2021/251420	A1	16 December 2021	CN 115702480 A paragraphs [0054]-[0169], fig. 1 KR 10-2023-0008803 A TW 202212513 A	
JP	2015-133434	A	23 July 2015	(Family: none)	
JP	10-242083	A	11 September 1998	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/301(2006.01)i
FI: H01L21/78 F; H01L21/78 Q

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L21/301

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2022-83672 A（株式会社ディスコ）06.06.2022（2022-06-06） 段落[0011]-[0035], 図1-8	1-18
Y	JP 2016-4960 A（住友電気工業株式会社）12.01.2016（2016-01-12） 段落[0030]-[0050], 図1-5	1-18
Y	WO 2018/190271 A1（三菱電機株式会社）18.10.2018（2018-10-18） 段落[0016]-[0026], [0042]-[0043], 図1-3, 11-12	10-18
Y	JP 2005-260144 A（セイコーエプソン株式会社）22.09.2005（2005-09-22） 段落[0018]-[0045], 図1-3	11-18
Y	WO 2021/251420 A1（三井化学東セロ株式会社）16.12.2021（2021-12-16） 段落[0016]-[0066], 図1	11-18
Y	JP 2015-133434 A（株式会社ディスコ）23.07.2015（2015-07-23） 段落[0023]-[0032], 図2-6	11-18
Y	JP 10-242083 A（株式会社ディスコ）11.09.1998（1998-09-11） 段落[0010]-[0014], [0024]-[0034], 図1-3, 6	11-18

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
14. 03. 2024

国際調査報告の発送日
26. 03. 2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

渡井 高広 50 1208

電話番号 03-3581-1101 内線 3559

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/001836

引用文献			公表日	パテントファミリー文献			公表日
JP	2022-83672	A	06.06.2022	CN	114603727	A	
				段落[0020]-[0044], 図1-8			
				KR	10-2022-0072739	A	
				TW	202221787	A	
JP	2016-4960	A	12.01.2016	US	2015/0371901	A1	
				段落[0038]-[0062], 図1-5			
WO	2018/190271	A1	18.10.2018	US	2020/0058742	A1	
				段落[0052]-[0062], [0085]-[0086], 図1-3, 11-12			
				CN	110462801	A	
JP	2005-260144	A	22.09.2005	(ファミリーなし)			
WO	2021/251420	A1	16.12.2021	CN	115702480	A	
				段落[0054]-[0169], 図1			
				KR	10-2023-0008803	A	
				TW	202212513	A	
JP	2015-133434	A	23.07.2015	(ファミリーなし)			
JP	10-242083	A	11.09.1998	(ファミリーなし)			