

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G11C 5/14

G11C 11/407

H03K 17/22



# [12] 发明专利说明书

[21] ZL 专利号 99104434.7

[45] 授权公告日 2005 年 5 月 11 日

[11] 授权公告号 CN 1201331C

[22] 申请日 1999.3.26 [21] 申请号 99104434.7

[30] 优先权

[32] 1998.3.27 [33] US [31] 60/079717

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 O·维恩福尔特纳

审查员 田 竞

[74] 专利代理机构 中国专利代理(香港)有限公司

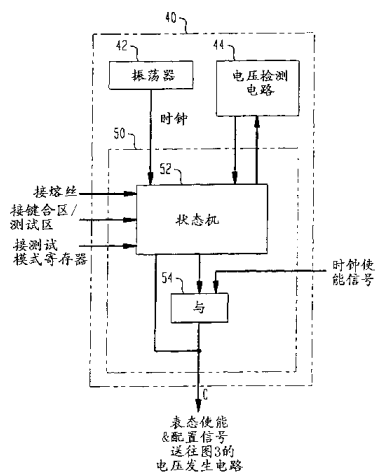
代理人 王 勇 王忠忠

权利要求书 2 页 说明书 12 页 附图 6 页

[54] 发明名称 控制多电压发生器芯片中各电压发生器的电路

[57] 摘要

芯片上构成电压发生器系统的一组电压发生电路受中央电压发生器控制电路的控制。电压发生器控制电路包括带有状态机(52)的控制器,它接收来自芯片上不同装置比如时钟发生器、电压检测器、键合区、检测区、熔丝和预定寄存器的控制信号。依据所接收的信号,控制器根据每个操作阶段中各发生电路所要求的预定程序序列产生控制信号并将之发送至电压发生器系统的各发生电路和芯片上其它电路,以便提供芯片上各电路必要的稳定电压。



ISSN 1008-4274

1. 控制多电压发生器芯片中各电压发生器的电路，其包括：

含有多个电压发生电路在内的发生器系统；和

中央发生器控制电路，所述中央发生器控制电路包括一个与所述  
5 多个电压发生电路的每一个以及该芯片上预定装置相耦合的控制器，  
该控制器响应来自芯片上预定装置的信号，对于发生器系统的至少两个  
分立操作阶段的每个阶段产生一个预定的输出控制信号序列并将之  
送往各个发生电路，以便以限定的时间周期控制芯片上的预定装置和  
所述多个发生电路的逻辑操作序列，使得从所述多个发生电路产生所  
10 需要的稳定电压输出，将之送往芯片上的预定电路。

2. 根据权利要求 1 所述的电路，其特征在于中央发生器控制电路还  
包括电压检测电路，用于检测所述多个电压发生电路中预定的电压发  
生电路内的电压阈值，以及根据所检测得到的电压电平产生输出至控  
制器的输出信号。

15 3. 根据权利要求 1 所述的电路，其特征在于控制器包括一个状态  
机，它对单独的序列起作用，用于针对每个操作阶段控制发生器  
系统。

4. 根据权利要求 1 所述的电路，其特征在于控制器包括一个状态  
机，该状态机包含：

20 输入逻辑电路，用于接收输入状态机的逻辑输入信号并且产生与  
对所接收逻辑输入信号的反应相应的预定输出控制信号；

锁存电路，对来自输入逻辑电路的输出控制信号和预定的其它输  
入信号作出反应，用于产生预定输出控制信号；以及

25 输出逻辑电路，用于接收输入状态机的逻辑输入信号和锁存电路  
输出的信号，以便产生状态机的预定输出控制信号。

5. 根据权利要求 1 所述的电路，其特征在于所述至少两个单独的  
操作阶段包括上电阶段和正常操作阶段。

6. 动态随机存取存储器芯片，它包括：

30 一个包含多个电压发生电路在内的发生器系统，用于为预定的其  
它发生电路以及芯片上的其它装置产生电压；和

中央发生器控制电路，该中央发生器控制电路包括一个与所述多  
个电压发生电路中的每一个电路以及所述芯片其它装置中的预定装置

相耦合的控制器，该控制器响应多个电压发生电路中的事件和来自芯片上预定的其它装置的信号，从而针对发生器系统操作的至少两个分立阶段的每个阶段产生一个预定的输出控制信号序列并将之送往各个发生电路，以便在限定的时间周期内控制芯片上的预定装置和所述发生电路组的逻辑操作顺序，使得从所述多个发生电路产生所需要的稳定电压输出，将之送往芯片上的预定电路。

5 7. 根据权利要求6所述的电路，其特征在于中央发生器控制电路还包括电压检测电路，其用于检测所述多个电压发生电路中预定的电压发生电路内的电压阈值，以及根据所检测得到的电压电平产生输出至控制器的输出信号。

8. 根据权利要求6所述的电路，其特征在于控制器包括一个状态机，它对单独的程序序列起作用，用于在每个操作阶段下控制发生器系统。

9. 根据权利要求6所述的电路，其特征在于控制器包括一个状态机，该状态机包含：

15 输入逻辑电路，用于接收输入状态机的逻辑输入信号并且产生与对所接收逻辑输入信号的反应相应的预定输出控制信号；

锁存电路，对来自输入逻辑电路的输出控制信号和预定的其它输入信号作出响应，用于产生预定输出控制信号；以及

20 输出逻辑电路，用于接收输入状态机的逻辑输入信号和锁存电路输出的信号，以便产生状态机的预定输出控制信号。

10. 根据权利要求6所述的电路，其特征在于所述至少两个单独的操作阶段包括上电阶段和正常操作阶段。

25

## 控制多电压发生器芯片中各电压发生器的电路

5 本申请与 1998 年 3 月 27 日提交的序列号为 60/079717 的临时申请有关，并由该临时申请引出，本申请和临时申请有着相同的发明人和受让人。

本发明涉及控制在诸如动态随机存取存储器之类的芯片中所使用的多电压发生器系统各阶段操作的电路

10 现代的芯片诸如动态随机存取存储器 (DRAM) 芯片需要由多个发生器在该芯片上产生许多不同的电压，在各个操作阶段期间必须控制这些发生器的启动时间顺序。

15 1994 年 6 月 7 日公布的美国专利 5319601 (Kawata 等人) 披露了一种 DRAM 的电源启动电路，其中使在电源接通之后过渡电压的上升时间很短，并且使电流消耗保持在低水平。该电源电路包括一个监测外加电源电压何时达到预定电压并且产生第一和第二检测信号的上电检测电路，和产生内部电源电压的内部电源电路。该电源电路还包括根据外部电源电压产生第一过渡电压并将之送往过渡电压供电节点的第一过渡电压产生电路。当产生第一检测信号并且第一过渡电压达到预定数值时，第一过渡电压产生电路停止第一过渡电压向过渡电压供电节点的提供并终止过渡电压产生功能。第二过渡电压产生电路根据内部电源电压产生第二过渡电压并且当第二检测信号产生时，将第二过渡电压送往供电节点。第一过渡电压产生电路的驱动能力高于第二过渡电压产生电路，这使得电源接通之后过渡电压的上升时间有可能缩短，同时也降低了总的电流消耗。

25 参看图 1，图中所示为现有技术的发生器控制电路 10 的框图，该电路用于控制在例如 DRAM 之类的芯片中产生电压的发生器，电路 10 分别包括上电电路 20，由参考电压发生器 (REF. VOLT.) 23 和一组电压发生器 (未示) 组成的发生器系统 (GENERATORS) 22，初始化电路 24，上拉电路 26，以及第一和第二或门电路 28 和 30。应当理解的是，  
30 上拉电路 26 和第一及第二或门电路 28 和 30 包括一或多个这样的电路或者门，这些电路或者门取决于上拉电路 26 和或门电路 28 和 30 所接收和并行处理的信号数量。

上拉电路 26 接收来自相关芯片上键合区 (bondpad) 和测试区 (testpad) 的信号。在上拉电路 26 中, 当输入区未被连接的时候输出信号被缺省上拉至逻辑高电平 (逻辑“1”), 而当从上述区或连接处接收到输入信号时则输出逻辑“0”。来自上拉电路 26 的输出信号  
5 在第一或门电路 28 中与经相关初始化电路 24 初始化的测试模式寄存器信号逻辑组合。从第一或门 28 输出的信号与上电电路 20 的第一输入端以及发生器系统 22 相耦合。测试模式寄存器信号还在相关的初始化电路 24 中初始化, 然后耦合至发生器系统 22。来自相关芯片上熔丝 (fuse) 处 (未示出) 的信号在相关初始化电路 24 中初始化, 并且  
10 耦合至发生器系统 22 的参考发生器 23 中。熔丝信号还以逻辑方式与输入测试模式寄存器信号在第二或门电路 30 中组合, 然后耦合至发生器系统 22。上电电路 20 自第一或门电路 28 接收输出信号, 自初始化电路接收各信号, 产生输出控制信号并将之送往初始化电路 24 以及发生器系统 22 的各发生器。发生器系统 22 包括含有参考发生器 23 在内  
15 的一组电压发生器, 它接收外部电压 (VEXT)、系统信号 (SYS、SIGS), 还从第一和第二或门电路 28 和 30、初始化电路 24 以及上电电路 20 接收信号, 并且产生送往初始化电路 24 的输出信号和相关芯片上远程电路所要求的各种电压 (未示)。

为了控制这些发生器的操作, 在发生器功能中引入了许多逻辑控制电路, 这些发生器功能依常规是由分散在整个发生器系统 22 内位于  
20 各独立发生器单元 (未示) 中的本地逻辑电路 (未示) 执行的。常规发生器系统 22 是工艺发展的结果, 在这种发生器系统中一旦添加了新的电压电平和相关的发生器单元, 或者控制官能需要改变, 就需要在本地添加附加的逻辑电路。

25 希望能够提供一种电路, 在该电路中采用对芯片上电压发生器的控制, 得以避免将逻辑电路分散在整个发生器系统中, 而且具有一定的灵活性能够适应任何在将来对发生器系统或芯片作修改时所需要的变化。

30 本发明涉及一种电路, 这种电路被用于控制动态随机存取存储器 (DRAM) 和其它存储器中采用的电压发生器系统的各种模式, 这些存储器由一组能产生该存储器所需的各种电压的发生器单元组成

从一方面来看, 本发明涉及一芯片, 该芯片包括一个含有一组电

压发生电路在内的发生器系统和一个中央发生器控制电路。中央发生器控制电路包括一个与电压发生电路组的每一个以及该芯片上预定装置相耦合的控制器。该控制器响应来自芯片上预定装置的信号，从而针对发生器系统操作的至少两个分立阶段的每个阶段产生一个预定的输出控制信号序列并将之送往各个发生电路。在限定的时间周期内，每个预定的输出信号控制序列对芯片上预定装置和所述发生电路组的逻辑操作序列进行控制，使得从所述发生电路组产生所需要的稳定电压输出，将之送往芯片上的预定电路。

从另一方面看，本发明涉及动态随机存取存储器（DRAM）芯片，它包括一个包含一组电压发生电路在内的发生器系统和中央发生器控制电路。电压发生电路用于为预定的其它发生电路以及芯片上的其它装置产生电压。中央发生器控制电路包括一个与电压发生电路组的每一个发生电路以及该芯片上预定的其它装置相耦合的控制器。该控制器响应电压发生电路组中的事件（occurrence）和来自芯片上其它预定装置的信号，从而针对发生器系统操作的至少两个分立阶段的每个阶段产生一个预定的输出控制信号序列并将之送往各个发生电路。在限定的时间周期内，每个预定的输出信号控制序列对芯片上的预定装置和所述发生电路组的逻辑操作顺序进行控制，使得从所述发生电路组产生所需要的稳定电压输出，将之送往芯片上的预定电路。

本发明在结合附图和权利要求书阅读下列详细说明之后能够得到更好的理解。

图1是用于控制多发生器芯片比如DRAM芯片中电压的现有技术发生器控制电路的框图；

图2是根据本发明，用于控制多发生器芯片比如DRAM芯片中各电压发生器的例示性中央发生器控制电路的框图；

图3是根据本发明的包括位于多发生器芯片比如DRAM芯片上、由图2所示中央发生器控制电路控制的多个电压发生器的例示性电压发生器系统的框图；

图4A和4B是一个上电序列列表，它示意地表示了由图2中央发生器控制电路控制图3发生器电路的上电序列；以及

图5是在图2示例性中央发生器控制电路中的状态机的示例电路。

现在参看图 2, 该图是根据本发明, 用于控制位于具有多个电压发生器电路的集成电路芯片比如 DRAM 芯片中各电压发生器 (如图 3 所示) 的例示性中央发生器控制电路 40 (位于虚线方框内) 的框图。中央发生器控制电路 40 包括一个控制器 50 (位于虚线方框内), 一个向控制器 50 提供时钟信号的振荡器 42, 以及自控制器 50 接收信号并且将所产生的控制信号送回控制器 50 的电压检测电路 44。控制器 50 包括状态机 52 和与门 54。状态机 52 是一公知装置, 它包括一个处理器, 该处理器采用存储器 (未示) 存储以预定方式操作该处理器的程序指令。

10 现在参看图 5, 状态机 52 可选地包括输入逻辑电路 70, 输出逻辑电路 72 和状态锁存电路 74。输入逻辑电路 70 和输出逻辑电路 72 一般接收输入控制器的所有输入逻辑信号 (例如, 键合区/测试区, 测试模式寄存器, 熔丝, 电压检测器电路 44 信号), 并且经各种门电路提供必要的逻辑功能, 以产生合适的输出控制信号。状态锁存电路 74 可以包括触发器 (未示), 该触发器用于接收来自输入逻辑电路 70 的信号, 和诸如复位信号和时钟信号之类的其它信号, 并且产生适当的输出信号将之送往输入和输出逻辑电路 70 和 72。

现在参看图 2, 状态机 52 接收来自振荡器 42 的时钟信号, 来自电压检测电路 44, 以及来自各熔丝、键合区和测试区以及测试模式寄存器的信号, 并且根据在其存储器中存储的程序指令产生输出信号。与门 54 接收时钟选通 (使能) 信号和来自状态机 52 的预定输出信号, 并且产生输出信号, 这些输出信号与其它来自状态机 52 的预定输出信号组合在一起, 构成从中央发生器控制电路 40 送往拟控制的各电压发生电路的静态选通和组合输出信号 "C"。下文结合图 4A 和 4B 说明控制器 50 的操作示例。

25 电压检测电路 44 测量外加电压 (图 3 所示 VEXT) 和由一组发生电路 (图 3) 中预定的发生电路所产生的某些电压, 并且一旦这些电压达到它们特定的阈值之后向控制器 50 发送相应的信号。应当理解, 可以利用任何适当的公知电压检测电路来执行这些功能。

30 现在参看图 3, 该图是根据本发明的一个例示性电压发生器系统 100 (虚线方框内) 的框图。系统 100 包括在一个多发生器芯片例如 DRAM 上的一组电压发生电路 111-124 (分别表示为 GEN. 1-GEN. 14),

这些电压发生电路由图 2 的中央发生器控制电路 40 控制。在例示性电压发生器系统 100 中，每个电压发生电路 111-124 都接收来自图 2 控制器 50 的独立控制信号“C”，和预定的外加电压（VEXT）。应当理解，为了简化附图，图中示意控制信号“C”和预定外加电压（VEXT）被经由单个输入导体加在每个电压发生电路 111-124。实际上，这些输入信号是经分立的导体加在每个电压发生电路 111-124 上，除控制信号“C”和预定外部电压（VEXT）外，图中还示意来自电压发生电路 113 的输出（V3）被加在每个电压发生电路 115-124，来自电压发生电路 116 的输出（V6）被输入到电压发生电路 123。

在例示性电压发生器系统 100 中，电压发生电路 111（GEN.1）对来自控制器 50 指定于其上的控制信号“C”和预定外加电压（VEXT）作出响应，用于产生耦合到每个电压发生电路 112（GEN.2）和 113（GEN.3）各自第一输入端的第一输出电压（V1A），和耦合到电压发生电路 112 第二输入端的第二输出电压（V1B）。电压发生电路 112 响应来自电压发生电路 111 的第一和第二电压 V1A 和 V1B，指定于其上的控制信号“C”以及预定外加电压（VEXT），用于产生耦合到电压发生电路 113 第二输入端以及电压发生电路 114（GEN.4）和 115（GEN.5）各自的输入端的输出电压（V2）。电压发生电路 113 响应指定于其上的控制信号“C”，预定外加电压（VEXT）以及分别自电压发生电路 111 和 112 接收的电压 V1A 和 V2，用于产生输出电压（V3），该输出电压 V3 作为输入提供给电压发生电路 115-124，并且作为输出信号自电压发生器系统 100 输出。

电压发生电路 114 响应被指定于其上的控制信号“C”，预定外加电压（VEXT），和接收自电压发生电路 112 的电压 V2，用于产生被作为电压发生器系统输出信号的输出电压（V4）。电压发生电路 115 响应分别来自电压发生电路 112 和 113 的电压 V2 和 V3，指定给其的控制信号“C”以及预定外加电压（VEXT），用于产生输出电压（V5）并将之作为输入信号输入到电压发生电路 116（GEN.6）。电压发生电路 116 响应指定于其上的控制信号“C”，预定外加电压（VEXT）以及分别自电压发生电路 113 和 115 接收的电压 V3 和 V5，用于产生输出电压（V6），该输出电压 V6 作为输入信号提供给电压发生电路 117（GEN.7）和 123（GEN.123）。电压发生电路 117 响应指定于其上的

控制信号“C”，预定外加电压（VEXT）以及分别自电压发生电路 113 和 116 接收的电压 V3 和 V6，用于产生输出电压（V7），该输出电压 V7 作为输入信号提供给电压发生电路 118、121、122、123 和 124。

电压发生电路 118（GEN. 8）响应被指定于其上的控制信号“C”，  
5 预定外加电压（VEXT），和分别接收自电压发生电路 113 和 117 的电压 V3 和 V7，用于产生被作为电压发生电路 119（GEN. 9）和 120（GEN. 10）输入信号的输出电压（V8）。电压发生电路 119 响应指定于其上的控制信号“C”，预定外加电压（VEXT）以及分别来自电压发生电路 113 和 118 的电压 V3 和 V8，用于产生将之作为电压发生器系统 100 输出信号的输出电压（V9）。电压发生电路 120 响应指定于其上的控制信号“C”，预定外加电压（VEXT）以及分别自电压发生电路 113 和 118 接收的电压 V3 和 V8，用于产生输出电压（V10），该输出电压 V10 作为输出信号自电压发生器系统 110 输出。电压发生电路 121（GEN. 11），122（GEN. 12）和 124（GEN. 14）各自响应指定于其上的  
10 控制信号“C”，预定外加电压（VEXT）以及分别自电压发生电路 113 和 117 接收的电压 V3 和 V7，用于分别产生输出电压 V11，V12，V13 和 V14，这些输出电压均作为电压发生器系统 100 的输出信号。电压发生电路 123（GEN. 13）响应指定于其上的控制信号“C”，预定外加电压（VEXT）以及分别自电压发生电路 113、116 和 117 接收的电压 V3、V6 和 V7，用于产生输出电压 V13，该输出电压 V13 作为输出信号自电压发生器系统 110 输出。  
15 20

电压发生器系统 100 可以等同于现代 DRAM 芯片和同步 DRAM 芯片上的发生器系统，这些发生器系统采用许多电压发生电路在芯片上产生十个以上的电压。这些电压包括数个参考电压（例如，用于输入/输出接收器，以及用于模拟电路中产生偏置电流的电压），以及数个以高或低工作电流供给 DRAM 的不同功能块（未示）的电压（例如，用于传感放大器或字线驱动器）。基本上，对于图 1 电压发生器系统 22 和图 3 电压发生器系统 100 中各发生电路来说存在三个不同的操作阶段，可以表示为（a）正常操作阶段（b）检测和熔接（burning-in）  
25 30 阶段，以及（c）上电阶段。

在“正常操作阶段”，无论是图 1 电压发生器系统 22 还是图 3 电压发生器系统 100，发生电路（比如图 3 的发生电路 111-124）必

须保证在该芯片上提供的所有电压都是稳定的,并且从数个电源网(未示)抽取的所有需要的电流均加在芯片上。此外,必须确保发生电路自身不消耗过多的电流(比如,不同放大器内的偏置电流,和流经分压电阻(resistor divider)的电流。因此,需要提供峰值电流(比如用于检测操作)的电源网通常由一或多个数种类型的发生电路比如等待发生电路、有效发生电路和峰值电流发生电路馈电。等待发生电路一般是接通的,并且只提供微弱的电流,但是其自身也仅消耗微弱电流。其目的是在那些芯片不工作的时间和阶段维持电压电平。有效发生电路仅在芯片执行需要从相应电源网提取电流的功能时才被激活。该有效发生电路可以提供大电流,但同时它也要消耗较大的电流。为了激活有效发生电路,由图1的发生器系统或图2的控制器50对来自其它芯片功能的信号(比如,激活传感放大器的传感放大器选通信号)(图中未示出)进行判断,以便激活有效发生电路。有时,利用一个峰值电流发生电路来提供自电源网抽取的电流峰值。峰值电流发生电路可以由置于相应电源网和至该电源网的外加电压源(VEXT)或电流源之间的晶体管开关构成。在从电源网中抽取峰值电流的瞬间峰值电流发生电路被接通一段较短时间。通常,峰值电流发生电路自身并不具备调节功能,但是对由此获得的电压的精细调节由上文提及的有效发生电路完成。为了使峰值电流发生电路在正确的时刻接通,来自其它芯片功能的信号被耦合到发生器系统(例如,传感放大器选通信号)。

另外,在不同电源网的电压发生电路之间存在着一定的相互作用。例如,如果电压发生电路中为DRAM芯片上字线提升提供电压的第一电压发生电路(例如,发生电路123)起作用,以恢复完全的电压电平,那么该电压发生电路将向这些预定电压发生电路中的第二个(比如,发生电路116)发送信号。这一信号将避免该第二个预定电压发生电路被关断,这是因为第一个电压发生电路自身消耗了来自第二个电压发生电路的电流。由于DRAM芯片能被用于具有不同结构因而要求某些电压发生电路具备不同的驱动能力的存储器装置,故此电压发生电路的配置必须适应这些场合。这是通过键合区或熔丝完成的,其中来自键合区和/或熔丝的信息被传递至图1的常规发生器系统22,或图2的控制器50。

在图1常规电压发生器系统22的不同运行阶段为了控制这些发生电路，在发生电路功能中引入了许多逻辑控制电路，发生电路功能通过分布在整个发生器系统22和各自发生电路单元(未示)内的本地逻辑电路(未示)执行。结果，致使常规电压发生器系统22的控制方案过于复杂。根据本发明，逻辑控制电路不再分布在发生电路111-124上。而是，控制器50的状态机52接收所有的输入信号，并且在编程的控制下向每个发生电路111-124提供单独的控制信号以便在每个可能的操作阶段期间在预定时刻将适当的发生电路111-124接通或关闭。应当理解，对于每个操作阶段来说用于状态机52的程序可以是任意的，只是设计者必须为每个可能的操作阶段定义一个理想的操作序列。如此的操作序列一经确定，可以容易被转换成用于状态机52的相应程序指令序列，它使得发生器系统100响应状态机50所接收的预定输入信号而采取相应操作。

在测试和熔接阶段，发生电路必须执行超出它们的正常操作范围的许多附加的功能。例如，其中一个功能可以是某些或全部发生电路被禁用于测试目的。第二个功能可以是某些电压被置为与正常操作不同的数值。第三个功能可以是发生电路中某些确定其动态特性的时间常数可以被改变，以便确定最佳芯片功能的最优值。第四个功能是为了强化芯片(熔接测试)，不得不将大多数内部电压设置得高于正常操作时的数值，这可以通过将VEXT设置为较高值并且允许内部参考电压随着该外部电压的上升而升高来实现。

上电阶段被定义为外部电压VEXT已施加在芯片上但内部电压还未建立的过渡状态。对上电阶段有两个主要的要求。它们是该阶段必须较短(例如，100微秒)，以及必须按很好的限定方式进行。为了使上电阶段较短，发生器系统100需要执行数个额外的功能。由于所有的电源网都需要在很短的时间内从零伏升至其各自的数值，数个发生电路单元的驱动能力是不够的。有几种可行的方案可以解决这个问题。首先，在上电阶段的第一阶段，电源网被晶体管开关短路至VEXT，直至它们几乎达到它们的期望数值。然后，这些开关被再次打开，各自的发生电路单元接手对该电压的调节工作。其次，一些发生电路(比如，泵浦电路)的驱动能力取决于驱动这些泵浦电路的振荡器的频率。在上电阶段，高频振荡器被连接到这些泵浦电路以启动快速泵浦操

作，然后在上电阶段之后采用较慢的振荡器驱动这些泵浦电路，快速振荡器被关断以节约能量。一般利用提供在控制器 50 输出端的静态选通信号启动某发生电路单元（例如，在上电阶段，或在测试模式阶段期间将其关断），并且这一信号在时间上没有太苛刻的（time  
5 critical）要求。出现在控制器 50 输出端的组合信号被用于改变一或多个预定发生电路单元特性，所采用的具体方式比如通过改变其电压电平（微调），改变其驱动能力，改变其内部时间常数，或测试模式的具体功能。这些信号在时间上也不是比较严格的，在芯片正常操作期间不会改变。应当理解，在发生器系统 100 内，产生了动态选通信号和消息信号。动态选通信号用于在某发生电路需要开始调节其输出  
10 电压或需要开始产生电流（例如，峰值发生电路）的时候激活它。这些信号在时间要求上比较苛刻，并非每个发生电路都需要这样的输入信号（例如，备用发生电路）。消息信号是用于在发生电路单元之间交流的信号，例如它可以通知一个发生电路其输入泵浦电压电平还未  
15 建立以及提供泵浦电压的泵浦发生电路还在运转。这将使该发生电路推迟其的关断步骤，尽管与此相关的动态选通信号已经关闭。这些信号也是在时间要求上比较苛刻的，并非每个发生电路都需要这样的输入信号。

现在参看图 4A 和 4B，图中所示为一个上电序列表，它解释的是  
20 图 3 发生器系统 100 在图 2 的示例性中央发生器控制电路 40 控制下的上电阶段用的上电序列表。在该表的步骤 200，外部电压（VEXT）加在芯片，从而开始了这一序列。VEXT 加在芯片上，导致控制器 50 内的状态机 52 复位控制器 50 内的预定触发器（图 2 未示），并且将“V6on”信号置于低状态，从而使所有从控制器 50 接收“V6on”信号的电路处于不工作状态。这时，发生电路 111 被激活以开始产生电压  
25 V1A 和 V1B，发生电路 112 被激活以开始产生电压 V2，发生电路 113 被激活以开始产生电压 V3，发生电路 114 被激活以开始产生电压 V4，发生电路 115 被激活以产生电压 V5 并且导致某节点（未示）的初始下拉，发生电路 117 被激活以产生电压 V7 并且提供对升压转换（未示）  
30 的初始激励，发生电路 116 被激活并被置于等待模式以产生 V6acc（V6 有效）和 V6sbm（V6 等待模式）信号，发生电路 118 被激活以开始产生电压 V8，信号 V8osb（V8 在等待状态）开始，发生电路 119 开始产

生电压 V9, 发生电路 120 开始产生电压 V10. 在控制器 50 中, “bFINIT” (bFuse 初始化) 熔丝锁存信号被置于低态, 而 “bFSET” (bFuse 置位) 信号处于高态. “bFINIT” 和 “bFSET” 信号是用于芯片上各熔丝的信号的示例. 有关这些熔丝的信息并未施加在芯片上, 但是在作为示例的上电阶段该熔丝信息可以被锁存到位于比如控制器 50 中的预定触发器 (未示). 这是两个熔丝信号, 它们需要确定关于它们何时变高或走低的时序关系, 以便组织或控制熔丝信息锁存到预定触发器中的操作. 由于熔丝是分散在整个芯片上的, 重要的是要弄清楚在熔丝信息被锁存之前电压 V6 已经很好地建立起来, 否则由于这些电路和供给这些电路的电压还未稳定, 当实际上是逻辑 “1” 时也许会锁存为逻辑 “0”, .

在表的步骤 201, 控制器 50 等待预定数量为 X 的时钟周期 (例如,  $X = 10$ ), 已知在这段时间内来自发生电路 116 (其在步骤 200 已被激活并被置于等待模式) 的电压 V6 应当已达到预定电平. 在表的步骤 202, 电压检测器 44 检测到 V13 (来自发生电路 123 的电压) 处于所需电平 (低或高), 并且电压检测器 44 检测到电压 V6 已达到预定的高阈值, 电压检测器 44 向控制器 50 发送 V6DET 信号, 该信号表明在整个芯片上电压 V6 已完全建立. 在表的步骤 203, 得知电压 V6 处于其合适电平的控制器在开始下一步骤 204 之前等待另一个 X 时钟周期. 在表的步骤 204, 控制器 50 的 “V6on” 信号变高, 电压 V3 驱动能力降低, 电压 V5 不再处于下拉状态, 升压开关对电压 V7 的激励作用被关断. 在上电阶段的初期, 发生电路被假定需要大的 V7 驱动能力, 该 V7 驱动能力由其升压开关在步骤 200 激活, 而在不再需要大的驱动能力时在步骤 204 被削弱.

在表的步骤 205, 控制器 50 产生 “V14sbct” (V12 等待电路) 信号, 发生电路 124 开始产生电压 V14. 在表的步骤 206, 控制器 50 产生 “V13acct” (V13 激活电路) 和 “V13sbct” (V13 等待电路) 信号, 后一信号促使发生电路 123 被激活并置于等待模式. 在表的步骤 207, 控制器产生熔丝锁存信号, 并且 bFINIT 信号走高. 在表的步骤 208 - 211, 控制器经历一系列的操作: 等待 Y 个时钟周期 (步骤 208), 是 bFSET 变低 (步骤 209) 并且等待 Z 个时钟周期 (步骤 210), 然后使 bFSET 变高 (步骤 211). 应当理解, bFINIT 和 bFSET 信号发

送给芯片上的其它电路而不是发生电路 111 - 124 中的任何一个, 这是由于没有给出执行标记以“发生器电路”的那列中列明的任何操作的发生电路。被 bFINIT 和 bFSET 信号控制的触发器一般由中间电路控制, 这些电路需要有关 bFINIT 和 bFSET 信号的特别时序。

5       在图 3 所示的该发生器电路 100 中, 假定发生电路 123 是一个包括相关电源网的泵浦发生器, 它接收 VEXT 电压(其根据标准仅有预定最大数值)并将该输入电压泵浦以提供输出负电压 V13(比如, -0.5 伏)。类似地, 假定发生电路 122 是一个接收 VEXT 电压并将该输入电压泵浦以提供正的输出电压 V12(比如, 3.5 伏)的泵浦发生器。在表的步骤 212, 来自发生电路 123 的电压 V13 达到其预定电平, 并且产生 V13LMT(V13 限值)检测信号, 该信号促使控制器 50 将“V13acct”(来自步骤 206)变低以及使发生电路 123 中的“V13ac”激励信号关断。在表的步骤 213, 控制器 50 产生走高的“V12pocct”(V12 上电电路)控制信号, 同时与发生电路 122 有关的电源网(未示)被启动。

10       在表的步骤 214, 电压 V12 被发现达到电压 V6 数值的预定水平(85%), 并且来自电压检测器 44 的 V12DET(V12 检测)信号达到预定的高数值。这促使控制器 50 将 V12pocct(来自步骤 213)变低, 并促使发生电路 122 的电源网关断。在表的步骤 215, 控制器产生“V12acct”和“V12sbct”使之变高, 而这又促使发生电路 122 被激活并被置于等待状态。采纳表步骤 212 - 215 的原因是泵浦发生电路 122 和 123 不能被接通并立即从零电压变为它们的远高于或远低于 VEXT 施加电压的适当输出电压。所以, 这要求将这些类型的发生电路的接通过程拉长。例如, 与发生电路 123 有关的电源网(未示)必须被拉高至一定的电平, 例如来自发生电路 116 的电压 V6 的 85%, 只有这样泵浦发生电

15       路 123 才能开始正常工作。这是采用一个被称为“V13 功率”电路的装置(未示)将之接通而完成的, 该装置自身是一泵浦, 正是它将发生电路 123 电源网上拉至高态。一旦电源网达到预定数值, 它被再次切断, 泵浦发生电路 113 开始操作。

20       在表的步骤 216, 控制器产生变高的“V8frct”(V8 反馈调节电路)控制信号, 它促使发生电路 118 的反馈调节器电路开始工作并且产生电压 V8。在步骤 217 - 220, 控制器 50 等待 X 个时钟周期(步骤 217), 然后产生一个促使发生电路 121 开始产生电压 V11(步骤 118)

25       在表的步骤 216, 控制器产生变高的“V8frct”(V8 反馈调节电路)控制信号, 它促使发生电路 118 的反馈调节器电路开始工作并且产生电压 V8。在步骤 217 - 220, 控制器 50 等待 X 个时钟周期(步骤 217), 然后产生一个促使发生电路 121 开始产生电压 V11(步骤 118)

的“V1lacct”控制信号，控制器 50 再次等待 X 个时钟周期，然后产生一个“Vdet”（电压检测器）控制信号，该信号关断不再需要的电压检测器 44 从而节约了其应消耗的偏流。在表的步骤 221 和 222，控制器 50 发出“PWRon”（上电）控制信号，宣称来自发生电路 111-124 的所有电压均是稳定的（步骤 121），上电阶段宣告完成（步骤 122），因为各发生电路已被启动并且已达到正确上电电平。

应当理解的是，由设计者针对芯片上需要的任何操作阶段创建类似的序列列表，然后转换成供控制器 50 的状态机 52 使用的相应程序指令，以便在每个不同需要的操作阶段方面控制发生电路 111-124。

本中央发生器控制装置 40 的优点是对各逻辑控制功能和电压发生功能加以明确分离。所以，由于所有的功能都可以单独加以校验，故而可以很容易地对总的系统校验，而且修改起来也极其灵便，可以对其功能的信号状况进行修改或替代，而不会对其它功能造成负面影响。具体而言，系统的逻辑行为由状态机 52 的指标来决定，对逻辑行为的改变很容易进行，并且不影响电压发生电路。更进一步地讲，作为例子，由于所有的延迟均在状态机 52 中进行，对上电操作阶段的编序不需额外的延迟电路，其原因是状态机 52 本来就是一个“序列发生器”。此外，对测试模式信号和熔丝信号的初始化不需要附加电路，因为这本来就在状态机 52 中执行，仅需说明的是这些信号在上电序列期间不作估测。

应当明白和理解的是上文说明的本发明特定实施例仅是对本发明基本原理的示意说明。本领域的技术人员可以对其作出各种与所说明的原理一致的修改方案。例如，应当理解的是可以对芯片上需要的每个操作阶段创建类似的序列列表，然后将之转换成控制器 50 的状态机 52 使用的相应程序指令，从而控制发生电路 111-124 的每个不同操作阶段。更进一步，图 4A 和 4B 的序列列表仅是上电阶段可以采用的序列示例，可以用任何其它期望的序列加以替代。

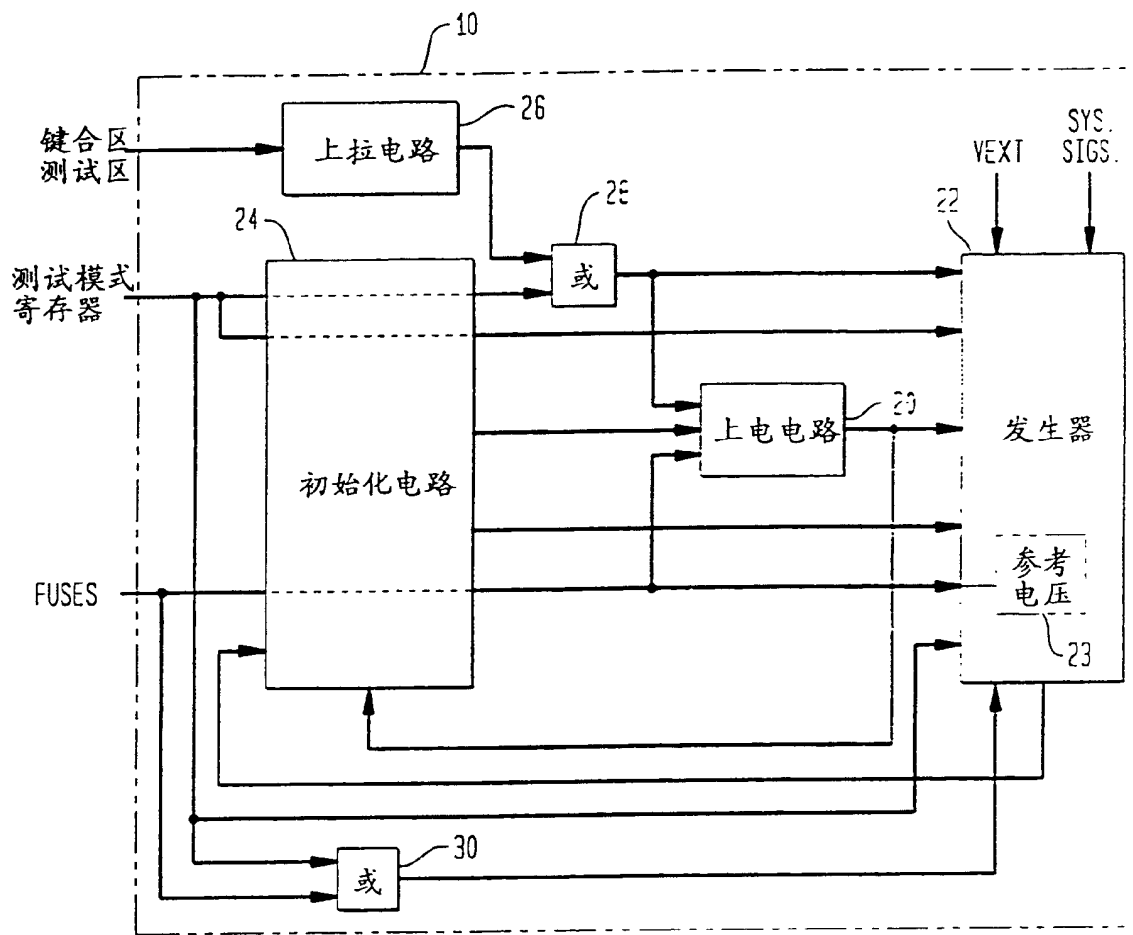


图 1  
现有技术

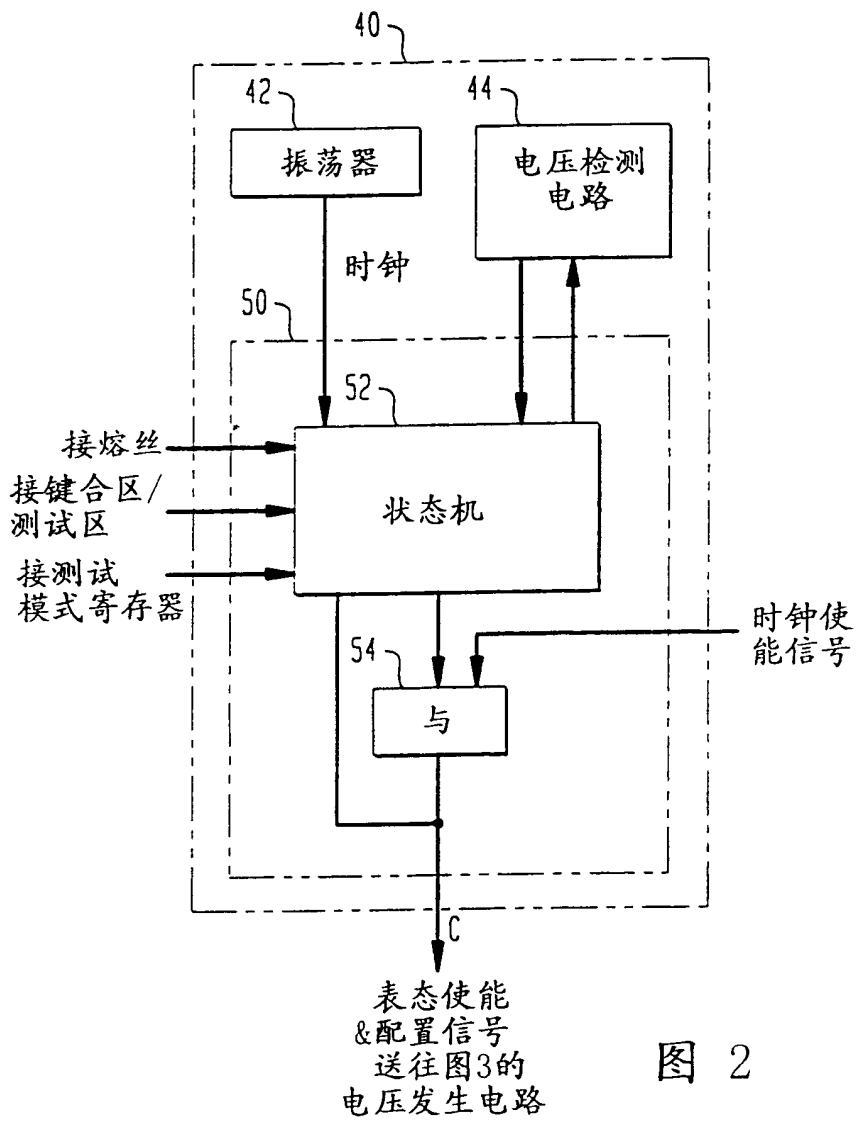


图 2

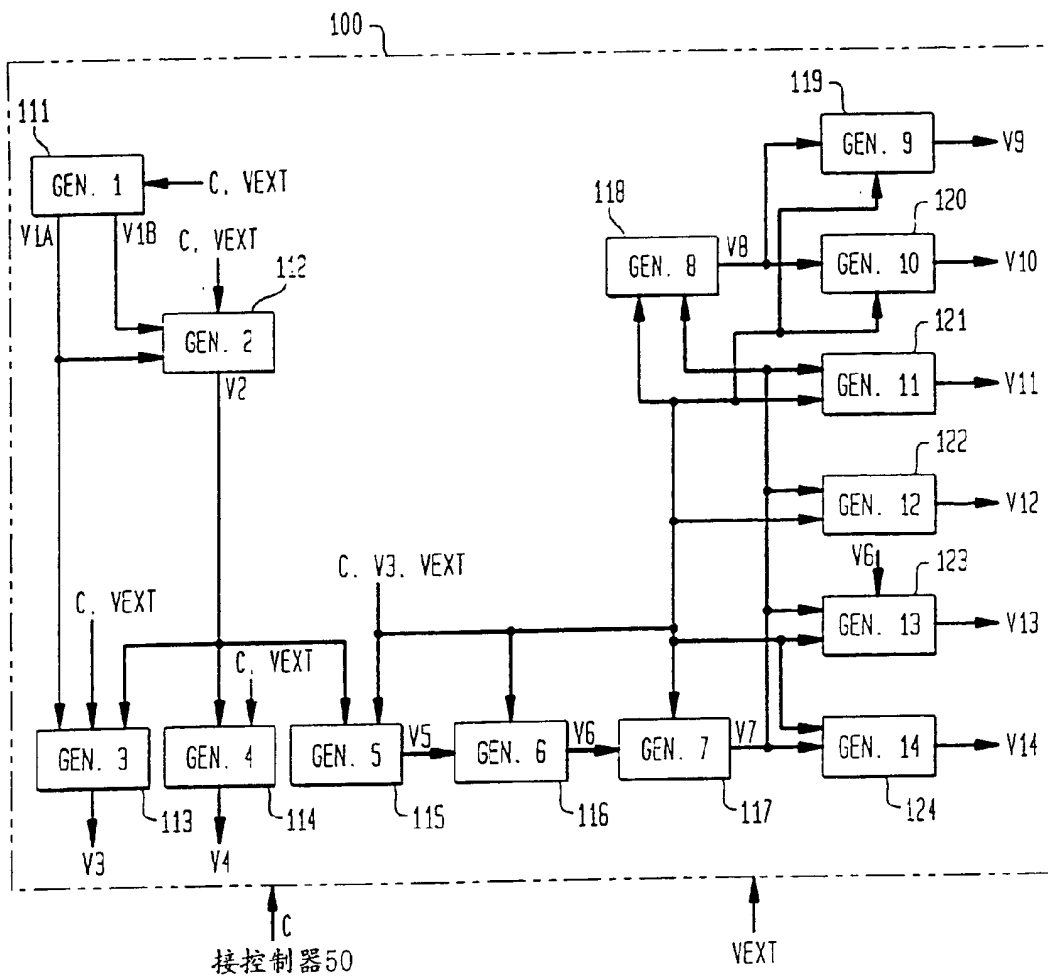


图 3

现象	控制器	发生器电路
200 施加 VEXT	复位触发器; V6on 为低;  bFINIT 为低; bFET 为高;	V1A & V1B 启动; V2 启动; V3 启动; V4 启动; V5 (节点的初始 下拉); V7 (升压开关的 初始激活); V6ac, V6sbm 启动; V8 启动; V8asb 启动; V9 启动; V10 启动;
201	等待X个周期	
202 V13 电平可以了 V6DET 变高		
203	等待X个周期	
204	V6on 变高	V3 驱动能力 下降; V5 不再下拉; V7 升压关断
205	V14sbct 变高;	V14 启动;
206	V13acct, V13sbct 变高;	V13ac, V13sb 启动;
207	产生熔丝 锁存信号; bFINIT 变高;	
208	等待Y个周期	
209	bFSET 变低;	
210	等待Z个周期	
211	bFSET 变高;	
212 V13 电平达到 V13LMT 变低	V13acct 变低;	V13ac 切断;
213	V12pocct 变高;	V12po 启动;

图 4A

	现象	控制器	发生器电路
214	V12达到VG 的85%; V12DET 变高;	V12pact 变低	V12po 关断;
215		V12acct, V12sbct 变高;	V12ac, V12sb 启动;
216		V8frct 变高;	V8fr 启动;
217		等待X个周期	
218		V11acct 变高;	V11ac 启动;
219		等待X个周期	
220		Vdet 变低	电压检测器电路 关断(节约偏流);
221		产生PWRon信号;	所有电压稳定;
222		结束	

图 4B

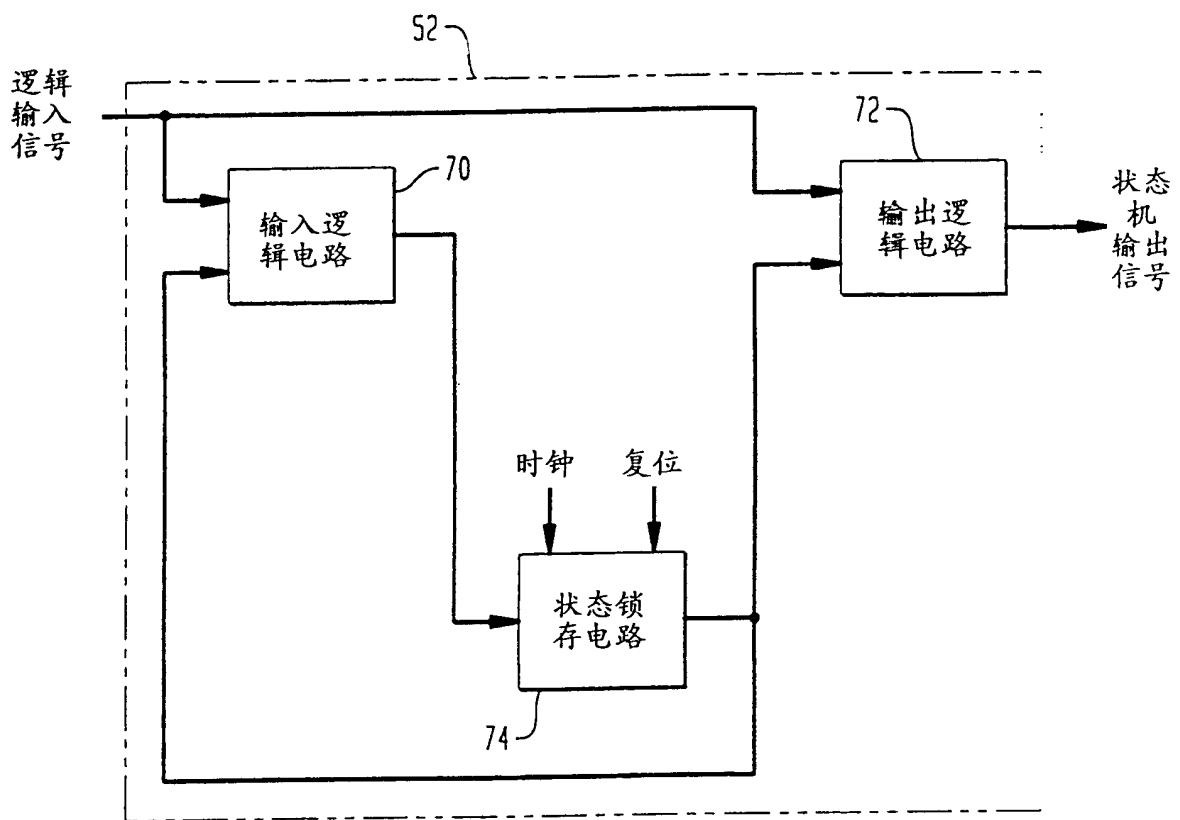


图 5