

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-251724
(P2010-251724A)

(43) 公開日 平成22年11月4日(2010.11.4)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 21/02 (2006.01)	HO1L 27/12	B 4M104
HO1L 27/12 (2006.01)	HO1L 27/08	331E 5FO48
HO1L 27/08 (2006.01)	HO1L 27/08	102E 5F110
HO1L 21/8234 (2006.01)	HO1L 27/08	321B 5F152
HO1L 27/088 (2006.01)	HO1L 27/08	321E

審査請求 未請求 請求項の数 6 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2010-65782 (P2010-65782)
 (22) 出願日 平成22年3月23日 (2010.3.23)
 (31) 優先権主張番号 特願2009-75824 (P2009-75824)
 (32) 優先日 平成21年3月26日 (2009.3.26)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 高山 徹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 F ターム (参考) 4M104 AA03 AA09 BB01 BB02 BB04
 BB05 BB06 BB08 BB09 BB13
 BB14 BB16 BB17 BB18 BB30
 BB31 BB32 BB33 BB36 BB40
 CC01 DD04 DD34 DD37 FF13
 GG09 GG10 GG14 GG18

最終頁に続く

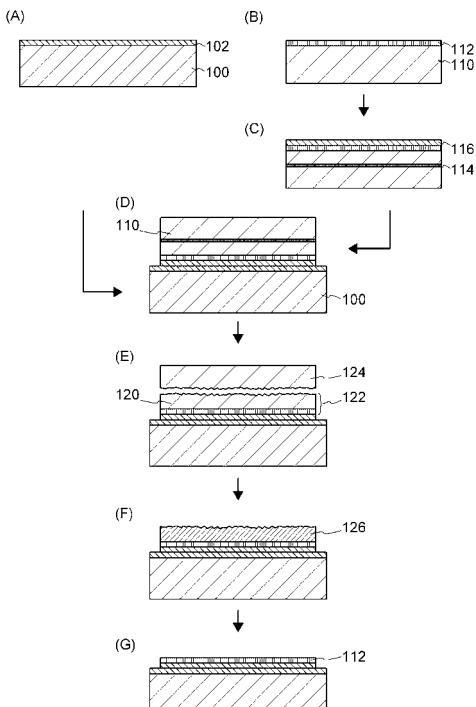
(54) 【発明の名称】半導体基板の作製方法

(57) 【要約】

【課題】炭化シリコンを含む半導体基板の新たな作製方法を提供することを目的のとする。

【解決手段】シリコン基板表面に炭化処理を施して炭化シリコン層を形成し、シリコン基板にイオンを添加することにより、シリコン基板中に脆化領域を形成し、シリコン基板とベース基板とを絶縁層を介して貼り合わせ、シリコン基板を加熱して、脆化領域においてシリコン基板を分離することにより、ベース基板上に絶縁層を介して炭化シリコン層とシリコン層の積層構造を形成し、シリコン層を除去して炭化シリコン層の表面を露出することにより半導体基板を作製する。

【選択図】図 1



【特許請求の範囲】

【請求項 1】

シリコン基板表面に炭化処理を施して炭化シリコン層を形成し、
前記シリコン基板にイオンを添加することにより、前記シリコン基板中に脆化領域を形成し、
前記シリコン基板とベース基板とを絶縁層を介して貼り合わせ、
前記シリコン基板を加熱して、前記脆化領域において前記シリコン基板を分離することにより、前記ベース基板上に前記絶縁層を介して前記炭化シリコン層とシリコン層の積層構造を形成し、
前記シリコン層を除去して前記炭化シリコン層の表面を露出させることを特徴とする半導体基板の作製方法。 10

【請求項 2】

シリコン基板表面に炭化処理を施して炭化シリコン層を形成し、
前記シリコン基板にイオンを添加することにより、前記シリコン基板中に脆化領域を形成し、
前記シリコン基板とベース基板とを絶縁層を介して貼り合わせ、
前記シリコン基板を加熱して、前記脆化領域において前記シリコン基板を分離することにより、前記ベース基板上に前記絶縁層を介して前記炭化シリコン層とシリコン層の積層構造を形成し、
前記シリコン層を除去して前記炭化シリコン層の表面を露出させ、
前記炭化シリコン層をエピタキシャル成長法によって厚膜化することを特徴とする半導体基板の作製方法。 20

【請求項 3】

請求項 1 または請求項 2 において、
前記シリコン層の除去は、前記シリコン層を酸化した後に行われることを特徴とする半導体基板の作製方法。

【請求項 4】

シリコン基板表面に炭化処理を施して炭化シリコン層を形成し、
前記シリコン基板にイオンを添加することにより、前記シリコン基板中に脆化領域を形成し、
前記シリコン基板とベース基板とを絶縁層を介して貼り合わせ、
前記シリコン基板を加熱して、前記脆化領域において前記シリコン基板を分離することにより、前記ベース基板上に前記絶縁層を介して前記炭化シリコン層とシリコン層の積層構造を形成し、
前記シリコン層を酸化させて、前記炭化シリコン層と酸化シリコン層の積層構造を形成することを特徴とする半導体基板の作製方法。 30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
前記炭化処理は、炭素含有雰囲気における熱処理もしくはレーザー光の照射処理、前記シリコン基板表面に炭素を含有する薄膜を形成した後の熱処理もしくはレーザー光の照射処理、または、前記シリコン基板表面に炭素を含有する液体を塗布した後の熱処理またはレーザー光の照射処理、のいずれかを含むことを特徴とする半導体基板の作製方法。 40

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、
前記炭化シリコン層を形成した後、かつ、前記シリコン基板と前記ベース基板とを貼り合わせる前に、前記炭化シリコン層上に導電性を有する層を形成することを特徴とする半導体基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、半導体基板の作製方法に関するものである。

【背景技術】

【0002】

半導体材料としての炭化シリコンは、シリコンと比較して、半導体素子（例えば、トランジスタ）の耐圧向上、電力損失の低減などに有利であることが知られている。このため、炭化シリコンを用いた電力用トランジスタの実用化に期待が掛かっている。

【0003】

炭化シリコンを用いた半導体素子の実現に際して最大の問題となっているのが、炭化シリコン基板自体のコストである。炭化シリコンは、その性質上溶融させることが困難であるため、シリコン基板を製造する際に用いられるチョクラルスキー法（CZ法）などによって炭化シリコン基板を製造することはできない。それゆえ、半導体用途向けの炭化シリコン基板の製造には、生産性の点で不利な昇華再結晶法に頼らざるを得ないのが実情となっている（例えば、特許文献1、特許文献2参照）。昇華再結晶法は、原材料を加熱昇華させ、種結晶上に単結晶炭化シリコンを成長させる方法であるため、その適用に際しては20000～30000の超高温装置を要し、大面積化も困難であるという問題がある。

10

【0004】

さらに、炭化シリコン基板には、マイクロパイプと呼ばれる欠陥の問題が存在する。マイクロパイプは、直径が1μm～3μm程度の中空貫通欠陥である。マイクロパイプが半導体素子中に存在すると、局所的に通電不良が発生し、結果的に半導体素子が動作不良となる。また、マイクロパイプ以外にも、転移などの欠陥の問題もある。

20

【0005】

結局のところ、炭化シリコンを用いた半導体素子は、理想的には高い性能が期待されているにもかかわらず、生産性や結晶品質の低さによって実用化が遅れてしまっている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開昭62-66000号公報

【特許文献2】特開平2-48495号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0007】

上述に鑑み、本明細書等（少なくとも、特許請求の範囲、明細書、図面を含む）において開示する発明の一態様では、炭化シリコンを含む半導体基板の新たな作製方法を提供することを目的のとする。

【課題を解決するための手段】

【0008】

本明細書等において開示する発明の一態様は、シリコン基板表面に炭化処理を施して炭化シリコン層を形成し、当該炭化シリコン層を用いて半導体基板を作製するものである。

【0009】

例えば、本明細書等において開示する発明の一態様は、シリコン基板表面に炭化処理を施して炭化シリコン層を形成し、シリコン基板にイオンを添加することにより、シリコン基板中に脆化領域を形成し、シリコン基板とベース基板とを絶縁層を介して貼り合わせ、シリコン基板を加熱して、脆化領域においてシリコン基板を分離することにより、ベース基板上に絶縁層を介して炭化シリコン層とシリコン層の積層構造を形成し、シリコン層を除去して炭化シリコン層の表面を露出させることを特徴とする半導体基板の作製方法である。

40

【0010】

また、本明細書等において開示する発明の別の一態様は、シリコン基板表面に炭化処理を施して炭化シリコン層を形成し、シリコン基板にイオンを添加することにより、シリコン基板中に脆化領域を形成し、シリコン基板とベース基板とを絶縁層を介して貼り合わせ、

50

シリコン基板を加熱して、脆化領域においてシリコン基板を分離することにより、ベース基板上に絶縁層を介して炭化シリコン層とシリコン層の積層構造を形成し、シリコン層を除去して炭化シリコン層の表面を露出させ、炭化シリコン層をエピタキシャル成長法によって厚膜化することを特徴とする半導体基板の作製方法である。

【0011】

また、上記において、シリコン層の除去は、シリコン層を酸化した後に行われることが望ましい。

【0012】

また、本明細書等において開示する発明の別の一態様は、シリコン基板表面に炭化処理を施して炭化シリコン層を形成し、シリコン基板にイオンを添加することにより、シリコン基板中に脆化領域を形成し、シリコン基板とベース基板とを絶縁層を介して貼り合わせ、シリコン基板を加熱して、脆化領域においてシリコン基板を分離することにより、ベース基板上に絶縁層を介して炭化シリコン層とシリコン層の積層構造を形成し、シリコン層を酸化させ、炭化シリコン層と酸化シリコン層の積層構造を形成することを特徴とする半導体基板の作製方法である。

10

【0013】

なお、上記において、炭化処理は、炭素含有雰囲気における熱処理もしくはレーザー光の照射処理、シリコン基板表面に炭素を含有する薄膜を形成した後の熱処理もしくはレーザー光の照射処理、または、シリコン基板表面に炭素を含有する液体を塗布した後の熱処理またはレーザー光の照射処理、のいずれかを含むものであることが望ましい。

20

【0014】

また、上記において、炭化シリコン層を形成した後、かつ、シリコン基板とベース基板とを貼り合わせる前に、炭化シリコン層上に導電性を有する層を形成しても良い。

【0015】

上記のような半導体基板を用いることにより、様々な半導体素子、およびこれを含む半導体装置を作製することができる。

【発明の効果】

【0016】

開示する発明の一態様では、シリコン基板を用いて、炭化シリコン層を形成している。これにより、極めて低成本に炭化シリコンを含む半導体基板を提供することができる。また、炭化シリコン層のもとになるシリコン基板は再利用が可能であるため、作製にかかるコストを一層低減することができる。

30

【0017】

さらに、絶縁層上に炭化シリコン層が存在する構成の半導体基板を提供することができるため、これを用いることにより、作製する半導体素子の特性を向上させることができる。つまり、半導体素子を用いた半導体装置の特性を向上させることができる。

【図面の簡単な説明】

【0018】

【図1】半導体基板の作製方法について説明する断面図である。

40

【図2】半導体基板の作製方法について説明する断面図である。

【図3】半導体基板の作製方法について説明する断面図である。

【図4】半導体基板の作製方法について説明する断面図である。

【図5】半導体装置の作製方法を説明する断面図である。

【図6】半導体装置の作製方法を説明する断面図である。

【図7】半導体装置の作製方法を説明する断面図である。

【図8】半導体装置について説明する断面図および平面図である。

【発明を実施するための形態】

【0019】

以下、実施の形態について、図面を用いて詳細に説明する。但し、発明は以下に示す実施の形態の記載内容に限定されず、本明細書等において開示する発明の趣旨から逸脱するこ

50

となく形態および詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせて実施することが可能である。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【0020】

(実施の形態1)

本実施の形態では、開示する発明の一態様である半導体基板の作製方法の一例について、図1および図2を参照して説明する。はじめに、図1を参照して、半導体基板の基本的な作製方法の一例について説明する。

【0021】

10

<半導体基板の作製方法1>

まず、ベース基板100を用意する(図1(A)参照)。ベース基板100としては、石英基板やアルミナ基板、シリコン基板などの耐熱性の高い基板を用いることが好ましいが、液晶表示装置などに使用されている透光性を有するガラス基板を用いることもできる。ガラス基板としては、歪み点が580以上(好ましくは、600以上)であるものを用いると良い。耐熱性の点からは、歪み点ができる限り高いものを用いることが望ましい。また、ガラス基板は無アルカリガラス基板であることが好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

【0022】

20

なお、ベース基板100として、上記基板の他、セラミック基板、サファイア基板などの絶縁体でなる基板、ゲルマニウムやシリコンゲルマニウムなどの半導体でなる基板、ステンレスなどの導電体でなる基板などを用いることもできる。

【0023】

30

ベース基板100上には、絶縁層102を形成する(図1(A)参照)。絶縁層102の形成方法は特に限定されないが、例えば、スパッタリング法、プラズマCVD法などを用いることができる。また、熱酸化処理で絶縁層102を形成しても良い。絶縁層102は、貼り合わせに係る表面を有する層であるから、その表面が、高い平坦性を有するように形成されることが望ましい。絶縁層102は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウムなどから選ばれた一または複数の材料を用いて形成することができる。例えば、酸化珪素を用いて絶縁層102を形成する場合には、有機シランガスを用いて化学気相成長法により形成することで極めて平坦性に優れた絶縁層102を得ることができる。なお、絶縁層102は単層構造としても良いし、積層構造としても良い。

【0024】

40

なお、本明細書等において、酸化窒化物とは、その組成において、窒素よりも酸素の含有量(原子数)が多いものを示し、例えば、酸化窒化シリコンとは、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものという。また、窒化酸化物とは、その組成において、酸素よりも窒素の含有量(原子数)が多いものを示し、例えば、窒化酸化シリコンとは、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲で含まれるものという。但し、上記範囲は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合のものである。また、構成元素の含有比率の合計は100原子%を超えない。

【0025】

50

次に、シリコン基板110を用意する(図1(B)参照)。シリコン基板には、単結晶シリコン基板や多結晶シリコン基板などが存在するが、どの態様のシリコン基板を用いても

良い。本実施の形態では、シリコン基板110として単結晶シリコン基板を用いる場合について説明する。なお、炭素と化合して炭化物半導体を形成する材料であれば、シリコン以外の材料からなる基板を用いても良い。例えば、ゲルマニウム基板や、シリコンゲルマニウム基板などを用いても良い。

【0026】

シリコン基板110のサイズに制限は無いが、例えば、直径が8インチ(200mm)、12インチ(300mm)、18インチ(450mm)といったサイズの基板を用いることができる。また、円形の基板を、矩形に加工して用いても良い。なお、本明細書等において、単結晶とは、結晶構造が一定の規則性を持って形成されており、どの部分においても結晶軸が同じ方向を向いているものをいう。ただし、欠陥の多少については問わない。

10

【0027】

上記シリコン基板110の表面に、炭化処理によって炭化シリコン層112を形成する(図1(B)参照)。炭化処理には様々なものが存在するが、例えば、炭素含有雰囲気における熱処理もしくはレーザー光の照射処理、シリコン基板表面に炭素を含有する薄膜を形成した後の熱処理もしくはレーザー光の照射処理、または、シリコン基板表面に炭素を含有する液体を塗布した後の熱処理もしくはレーザー光の照射処理、などを適用することができる。

【0028】

炭素含有雰囲気における熱処理としては、例えば、メタンやプロパンなどの炭化水素気体と水素との混合雰囲気中での熱処理がある。熱処理の温度は、1000～1300、好みしくは1100～1250とすれば良い。この処理により、シリコン基板110の表面から20nm程度の深さにまで炭素が含浸し、炭化シリコン層112が形成される。

20

【0029】

炭素含有雰囲気におけるレーザー光の照射処理としては、例えば、メタンやプロパンなどの炭化水素気体と水素との混合雰囲気中でのレーザー光の照射処理がある。この場合、レーザー光はシリコン基板110の少なくとも表層部が溶融するように照射することが望ましい。なお、シリコン基板110を500～1000に加熱した状態で当該処理を行う場合には、炭化シリコン層112の形成が容易になるというメリットがある。

30

【0030】

なお、上記の熱処理は、RTA(Rapid Thermal Anneal)、炉(ファーネス)、ミリ波加熱装置などの熱処理装置を用いて行うことができる。熱処理装置の加熱方式としては抵抗加熱式、ランプ加熱式、ガス加熱式、電磁波加熱式などが挙げられる。熱プラズマジェットの照射などを行っても良い。

【0031】

また、上記レーザー光の照射処理には、高エネルギーのレーザー光が容易に得られるパルス発振レーザー光を用いるのが好適である。発振周波数は、1Hz以上10MHz以下程度とすることが望ましい。より好みしくは、10Hz以上1MHz以下である。上述のパルス発振レーザー光の発振器としては、Arレーザー、Krレーザー、エキシマ(ArF、KrF、XeCl)レーザー、CO₂レーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、Y₂O₃レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、銅蒸気レーザー、金蒸気レーザーなどを用いることができる。なお、上記レーザー光としてパルス発振レーザー光を用いることに限定する必要はなく、連続発振レーザー光を用いても良い。連続発振レーザー光の発振器には、Arレーザー、Krレーザー、CO₂レーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、Y₂O₃レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、ヘリウムカドミウムレーザーなどがある。なお、上記レーザー光の波長は、シリコン基板110に吸収される波長とする必要がある。例えば、シリコン基板110として単結晶シリコン基板を用いる場合、250nm以上700nm以下の波長のレーザー光を

40

50

用いると良い。

【0032】

上述のように炭化シリコン層112を形成した後には、炭化シリコン層112の表面凹凸を小さくするための処理（平坦化処理）を施しても良い。当該処理には、ドライエッティング処理またはウェットエッティング処理の一方、または双方を組み合わせたエッティング処理を適用することができる。また、CMP（化学的機械的研磨）などの研磨処理を適用しても良い。また、エッティング処理と研磨処理とを組み合わせて用いても良い。

【0033】

形成する炭化シリコン層112の厚さに特に限定はないが、例えば、1nm以上100nm以下の厚さで形成すると良い。より厚い炭化シリコン層を望む場合には、エピタキシャル成長法などを用いて厚膜化することも可能である。また、炭化シリコン層112の結晶性についても特に限定はなく、単結晶、多結晶、非晶質のいずれの態様の炭化シリコン層112を形成しても良い。なお、本実施の形態においては、シリコン基板110として単結晶シリコン基板を用いており、炭化シリコン層112として単結晶炭化シリコン層を形成することができる。

10

【0034】

炭化シリコン層112の形成後、シリコン基板110にイオンを添加することにより、脆化領域114を形成する（図1（C）参照）。より具体的には、例えば、電界で加速されたイオンでなるイオンビームを照射して、シリコン基板110の表面（より正確には、シリコン基板110に形成された炭化シリコン層112の表面）から所定の深さの領域に脆化領域114を形成する。脆化領域114が形成される深さは、イオンビームの加速エネルギーやイオンビームの入射角によって制御される。なお、脆化領域114は、イオンの平均侵入深さと同程度の深さの領域に形成されることになる。

20

【0035】

上述の脆化領域114が形成される深さにより、シリコン基板110から分離される半導体層の厚さが決定される。脆化領域114が形成される深さは、シリコン基板110の表面から50nm以上1μm以下であり、好ましくは50nm以上300nm以下である。

20

【0036】

イオンをシリコン基板110に添加する際には、イオン注入装置またはイオンドーピング装置を用いることができる。イオン注入装置は、ソースガスを励起してイオン種を生成し、生成されたイオン種を質量分離して、所定の質量を有するイオン種を被処理物に照射する。イオンドーピング装置は、プロセスガスを励起してイオン種を生成し、生成されたイオン種を質量分離せずに被処理物に照射する。なお、質量分離装置を備えているイオンドーピング装置では、イオン注入装置と同様に、質量分離を伴うイオンの照射を行うことができる。

30

【0037】

イオンドーピング装置を用いる場合の脆化領域114の形成工程は、例えば、以下の条件で行うことができる。

・ 加速電圧 10kV以上100kV以下（好ましくは30kV以上80kV以下）

40

・ ドーズ量 $1 \times 10^{16} / \text{cm}^2$ 以上 $4 \times 10^{16} / \text{cm}^2$ 以下

・ ビーム電流密度 $2 \mu \text{A} / \text{cm}^2$ 以上（好ましくは $5 \mu \text{A} / \text{cm}^2$ 以上、より好ましくは $10 \mu \text{A} / \text{cm}^2$ 以上）

【0038】

イオンドーピング装置を用いる場合、ソースガスとして水素を含むガスを用いることができる。該ガスを用いることにより、イオン種として H^+ 、 H_2^+ 、 H_3^+ を生成することができる。水素ガスをソースガスとして用いる場合には、 H_3^+ を多く照射することが好ましい。具体的には、イオンビームに、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ イオンが70%以上含まれるようにすることが好ましい。また、 H_3^+ イオンの割合を80%以上とすることがより好ましい。このように H_3^+ の割合を高めておくことで、脆化領域114に $1 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以上の濃度で水素を含ませることが可能である

50

。そしてこれにより、脆化領域 114 における分離が容易になる。また、 H_3^+ イオンを多く照射することで、 H^+ 、 H_2^+ を照射する場合より短時間で脆化領域 114 を形成することができる。また、 H_3^+ を用いることで、イオンの平均侵入深さを浅くすることができるため、脆化領域 114 を浅い領域に形成することが可能になる。

【0039】

イオン注入装置を用いる場合には、質量分離により、 H_3^+ イオンが照射されるようにすることができる。もちろん、 H^+ や H_2^+ を照射してもよい。ただし、イオン注入装置を用いる場合には、イオン種を選択して照射するため、イオンドーピング装置を用いる場合と比較して、イオン照射の効率が低下する場合がある。

【0040】

イオン照射工程のソースガスには水素を含むガスの他に、ヘリウムやアルゴンなどの希ガス、フッ素ガスや塩素ガスに代表されるハロゲンガス、フッ素化合物ガス（例えば、 BF_3 ）などのハロゲン化合物ガスから選ばれた一種または複数種類のガスを用いることができる。ソースガスにヘリウムを用いる場合は、質量分離を行わないことで、 He^+ イオンの割合が高いイオンビームを作り出すことができる。このようなイオンビームを用いることで、脆化領域 114 を効率よく形成することができる。

【0041】

また、イオンの照射を複数回に分けて行うことで、脆化領域 114 を形成することもできる。この場合、ソースガスを異ならせてイオン照射を行っても良いし、同じソースガスを用いてもよい。例えば、ソースガスとして希ガスを用いてイオン照射を行った後、水素を含むガスをソースガスとして用いてイオン照射を行うことができる。また、初めにハロゲンガスまたはハロゲン化合物ガスを用いてイオン照射を行い、次に、水素を含むガスを用いてイオン照射を行うこともできる。

【0042】

なお、上述のイオンの照射工程前に、シリコン基板 110（または、炭化シリコン層 112）の表面に保護絶縁層として機能する絶縁層を形成しても良い。もちろん、当該絶縁層を設けない構成とすることもできるが、後のイオン照射の際のシリコン基板 110 の汚染やシリコン基板 110（または、炭化シリコン層 112）の表面の損傷を防ぐためには、絶縁層を設けることが好ましい。絶縁層の厚さは 10 nm 以上 400 nm 以下とすると良い。また、絶縁層の形成方法、材料、構造等は絶縁層 102 に関する記載を参照すればよい。上述の絶縁層は、イオンの照射工程後には除去しても良いし、そのまま残存させても良い。

【0043】

炭化シリコン層 112 上には絶縁層 116 を形成する（図 1 (C) 参照）。絶縁層 116 の形成方法、材料、構造等は絶縁層 102 に関する記載を参照すればよい。絶縁層 116 は絶縁層 102 と同様、貼り合わせに係る表面を有する層であるから、その表面が、高い平坦性を有するように形成されることが望ましい。なお、絶縁層 102 と絶縁層 116 は同じ物である必要はない。

【0044】

なお、本実施の形態においては、ベース基板 100 側に絶縁層 102 を形成し、シリコン基板 110 側に絶縁層 116 を形成する場合について説明しているが、開示する発明の一態様はこれに限定されない。例えば、ベース基板 100 側のみに絶縁層を設けても良いし、シリコン基板 110 側のみに絶縁層を設けても良い。また、貼り合わせに係る表面が十分に平坦であれば、絶縁層を設けない構成としても良い。

【0045】

なお、上記イオンの照射工程（脆化領域 114 の形成工程）は、絶縁層 116 の形成前または形成後のいずれにおいて行っても良い。

【0046】

その後、ベース基板 100 とシリコン基板 110 を貼り合わせる（図 1 (D) 参照）。具体的には、絶縁層 102 および絶縁層 116 を介してベース基板 100 とシリコン基板 1

10

20

30

40

50

10を貼り合わせる。なお、貼り合わせに係る絶縁層102および絶縁層116の表面は、貼り合わせの前に超音波洗浄などの方法で洗浄しておくことが望ましい。絶縁層102の表面と絶縁層116の表面とを接触させた後、加圧処理を施すことで、ベース基板100とシリコン基板110の貼り合わせが実現される。貼り合わせのメカニズムとしては、ファン・デル・ワールス力が関与するメカニズムや、水素結合が関与するメカニズムなどが考えられている。

【0047】

なお、貼り合わせの前に、貼り合わせに係る表面を酸素プラズマまたはオゾンで処理することにより、その表面を親水性にしても良い。この処理によって、貼り合わせ表面に水酸基が付加されるため、貼り合わせ界面に水素結合を形成することができる。

10

【0048】

上記貼り合わせの後には、貼り合わせられたベース基板100およびシリコン基板110に対して熱処理を施して、貼り合わせを強固なものとすると良い。この際の加熱温度は、脆化領域114における分離が進行しない温度とする必要がある。例えば、400未満、好ましくは300以下とする。熱処理時間については特に限定されず、熱処理時間と貼り合わせ強度との関係から最適な条件を適宜設定すればよい。例えば、200、2時間の熱処理を施すことができる。なお、貼り合わせに係る領域にマイクロ波などを照射して、該領域のみを局所的に加熱することも可能である。貼り合わせ強度に問題がない場合には、上記熱処理は省略しても良い。

【0049】

次に、脆化領域114においてシリコン基板110を、炭化シリコン層112とシリコン層120との積層構造を含む半導体層122と、シリコン基板124とに分離する（図1（E）参照）。シリコン基板110の分離は、熱処理により行う。該熱処理の温度は、ベース基板100の耐熱温度を目安にすることができる。例えば、ベース基板100としてガラス基板を用いる場合には、熱処理の温度は400以上ガラス基板の歪み点以下とすることが好ましい。なお、本実施の形態においては、600、2時間の熱処理を施すこととする。

20

【0050】

上述のような熱処理を行うことにより、脆化領域114に形成された微小な空孔の体積変化が生じ、脆化領域114に亀裂が生ずる。その結果、脆化領域114に沿ってシリコン基板110が分離する。これにより、ベース基板100上にはシリコン基板110から分離された半導体層122が残存することになる。また、この熱処理で、貼り合わせに係る界面が加熱されるため、当該界面に共有結合が形成され、貼り合わせを一層強固なものとすることができます。

30

【0051】

上述のようにして形成されたベース基板100を含む構造体（以下、単に「半導体基板」と呼ぶ）において、半導体層122の上層はシリコン層120となっている。そこで、当該シリコン層120を除去する処理を行う。

【0052】

本実施の形態では、シリコン層120に酸化処理を施して酸化シリコン層126を形成し（図1（F）参照）、その後、当該酸化シリコン層126を除去することによって、ベース基板100上に炭化シリコン層112を残存させる（図1（G）参照）。シリコン層120を酸化させることにより、エッチング処理などにおいて炭化シリコン層112との選択比を大きくすることができるため、極めて容易にシリコン層120を除去することができる。なお、シリコン層120の酸化および除去を効率的に行うためには、シリコン層120の厚さは300nm以下とすることが望ましく、200nm以下とするとより好適である。このように、シリコン層120の酸化および除去は、シリコン層120の厚みが小さいことで実現可能となっていることから、当該技術は、イオンの添加による分離を用いて半導体層122を形成する場合に、特に効果的であるといえる。

40

【0053】

50

シリコン層 120 の酸化処理には、ドライ酸化法、水蒸気と酸素によって酸化するパイロジエニック酸化法（ウエット酸化法）、酸素に塩化水素を混合して行う HCl 酸化法などを適用することができる。また、酸素プラズマまたはオゾンを用いた酸化法を適用しても良い。

【0054】

また、酸化シリコン層 126 の除去には、ドライエッティング処理またはウエットエッティング処理の一方、または双方を組み合わせたエッティング処理を適用すればよい。例えば、ヘリウムやアルゴン、キセノンなどの不活性ガスを用いたドライエッティングの場合、酸化シリコン層を選択的に除去することができるため好適である。また、例えば、バッファードフッ酸、その他フッ酸系のエッチャント（エッティング液）を用いたウエットエッティングも同様に、酸化シリコン層を選択的に除去することができるため好適である。

10

【0055】

なお、本実施の形態においてはシリコン層 120 を酸化し、その後除去する方法について説明しているが、開示する発明の一態様はこれに限定して解釈されない。開示する発明の一態様に係る技術の本質は、炭化シリコン層 112 を好適に残存させることにあるから、これを実現することができれば、上述の如き酸化処理に限定する必要はない。例えば、シリコン層 120 に対して窒化処理などを施すことによって、エッティング選択比を大きくしても良い。

【0056】

また、CMPなどの方法を用いて酸化シリコン層を除去しても良い。この場合においても、スラリーの種類を適当に選択することで、酸化シリコン層を選択的に除去することができる。なお、当該スラリーとしてはシリカ系のスラリーや CeO₂ 系のスラリーなどを用いると良い。

20

【0057】

上述のようにシリコン層 120 を除去した後には、炭化シリコン層 112 の表面凹凸を小さくするための処理（平坦化処理）を施しても良い。当該処理には、ドライエッティング処理またはウエットエッティング処理の一方、または双方を組み合わせたエッティング処理を適用することができる。また、CMPなどの研磨処理を適用しても良い。また、エッティング処理と研磨処理とを組み合わせて用いても良い。なお、酸化シリコン層 126 の除去の際のエッティング処理に、炭化シリコン層 112 の平坦化の効果を持たせても良い。

30

【0058】

以上により、ベース基板 100 上に炭化シリコン層 112 を有する半導体基板を作製することができる（図 1 (G) 参照）。

【0059】

上述のように、本実施の形態では、シリコン基板を用いて炭化シリコン層を形成している。これにより、極めて低コストに炭化シリコンを含む半導体基板を提供することができる。また、炭化シリコン層のもとになるシリコン基板は再利用が可能であるため、作製にかかるコストを一層低減することができる。さらに、絶縁層上に炭化シリコン層が存在する構成の半導体基板を提供することが可能であるため、これを用いることにより、半導体素子の特性を向上させることができる。

40

【0060】

<炭化シリコン層の厚膜化処理>

なお、上述の方法により形成される炭化シリコン層 112 は、その作製原理上、膜厚が比較的薄いものになっている（例えば、100 nm 以下）。そこで、上記工程の後に、炭化シリコン層の厚膜化処理を施しても良い。以下、炭化シリコン層の厚膜化処理について、図 2 を参照して説明する。なお、厚膜化が不要な場合には厚膜化処理を施さなくとも良いことはいうまでもない。

【0061】

炭化シリコン層の厚膜化処理としては、例えば、エピタキシャル成長法を用いることができる。エピタキシャル成長法には、代表的には気相成長法や固相成長法などがあるが、そ

50

のいずれを用いても良い。ここでは、気相成長法を用いて炭化シリコン層を厚膜化する場合について説明する。

【0062】

まず、図1に示した作製方法などを用いて、ベース基板100上に炭化シリコン層112を有する半導体基板を作製する(図2(A)参照)。炭化シリコン層112の表面には平坦化処理を施しておいても良い。

【0063】

次に、炭化シリコン層112上に炭化シリコン層140を形成する(図2(B)参照)。炭化シリコン層140は、CVD法などを用いて形成することができる。単結晶の炭化シリコン層を気相成長させる場合には、1000以上 の温度条件で成長させることができ、望ましく、1200以上とするとより望ましい。当該気相成長法により、炭化シリコン層112に準ずる結晶性の炭化シリコン層140が得られる。

10

【0064】

なお、炭化シリコン層112上に炭化シリコン層140を形成する前には、炭化シリコン層112の表面に形成されている自然酸化膜などは除去しておくことが望ましい。炭化シリコン層112の表面に酸化膜などが存在する場合、炭化シリコン層112の結晶性を受けた炭化シリコン層140を形成することができず、炭化シリコン層140の結晶性が低下するおそれがあるためである。ここで、上記の酸化膜の除去は、フッ酸系の溶液などを用いて行うことができる。

20

【0065】

以上により、炭化シリコン層112と炭化シリコン層140の積層構造でなる炭化シリコン層150を備えた半導体基板を作製することができる。なお、炭化シリコン層150の形成後には、炭化シリコン層150の表面を平坦化しても良い。

【0066】

なお、ここでは気相成長法を用いて炭化シリコン層を厚膜化する方法について説明したが、固相成長法を用いて厚膜化しても良い。この場合、炭化シリコン層112上に、これより結晶性が低い炭化シリコン層を形成した後、熱処理を行い、当該炭化シリコン層を固相成長させる。これにより、炭化シリコン層140の結晶性は、炭化シリコン層112に準ずるものとなる。

30

【0067】

上記熱処理は、SiC飽和蒸気圧下、および1900以上 の温度条件下で行うことが望ましい。なお、固相成長により炭化シリコン層を厚膜化する場合には、ベース基板100、絶縁層102、絶縁層116などを、固相成長の際の熱処理に耐えうるものにする必要がある。このような条件を満たす材料としては、酸化アルミニウムをはじめとする金属化合物がある。

【0068】

上述のように、炭化シリコン層を厚膜化することで、半導体基板の用途を拡張することができる。開示する発明の一態様によって、炭化シリコン層を備え、様々な用途に用いることが可能な半導体基板を、安価に提供することができる。

40

【0069】

(実施の形態2)

本実施の形態では、開示する発明の一態様である半導体基板の作製方法の別の一例について、図3を参照して説明する。なお、本実施の形態において説明する半導体基板の作製方法は、多くの点で、先の実施の形態に係る半導体基板の作製方法と共通している。したがって、本実施の形態においては、先の実施の形態に係る半導体基板の作製方法とは異なる部分について詳細に説明することとする。

【0070】

まず、ベース基板100を用意し、当該ベース基板100上に絶縁層102を形成する(図3(A)参照)。詳細については、先の実施の形態を参照することができる。

50

【0071】

次に、シリコン基板 110 を用意し、当該シリコン基板 110 の表面に炭化処理を施して炭化シリコン層 112 を形成する（図 3（B）参照）。そして、炭化シリコン層 112 の形成後、シリコン基板 110 にイオンを添加することにより、脆化領域 114 を形成し、また、炭化シリコン層 112 上に、絶縁層 116 を形成する（図 3（C）参照）。詳細については、先の実施の形態を参照すればよい。

【0072】

なお、本実施の形態においては、ベース基板 100 側に絶縁層 102 を形成し、シリコン基板 110 側に絶縁層 116 を形成する場合について説明しているが、開示する発明の一態様がこれに限定されないのは、先の実施の形態と同様である。

【0073】

その後、ベース基板 100 とシリコン基板 110 を貼り合わせ（図 3（D）参照）、脆化領域 114 においてシリコン基板 110 を分離する（図 3（E）参照）。当該工程の詳細についても、先の実施の形態を参照することができる。

【0074】

その後、上述のようにして形成された半導体基板に対して、シリコン層 120 の除去処理を行う。具体的には、シリコン層 120 に酸化処理を施して酸化シリコン層 126 を形成し（図 3（F）参照）、その後、当該酸化シリコン層 126 の一部を除去することによって、ベース基板 100 上に炭化シリコン層 112 と酸化シリコン層 128 の積層構造を形成する（図 3（G）参照）。

【0075】

本実施の形態に係る半導体基板の作製方法と、先の実施の形態に係る半導体基板の作製方法との相違点は、酸化シリコン層 126 の除去の仕方にある。すなわち、先の実施の形態に係る半導体基板の作製方法においては、酸化シリコン層 126 を完全に除去して炭化シリコン層 112 を露出させるのに対して、本実施の形態に係る半導体基板の作製方法においては、酸化シリコン層 126 の一部を除去して酸化シリコン層 128 を残存させる。

【0076】

このように、炭化シリコン層 112 上に酸化シリコン層 128 を残存させることで、酸化シリコン層 128 を半導体素子の構成の一部として用いることが可能である。酸化シリコン層 128 の用途の一例としては、トランジスタのゲート絶縁層などがある。酸化シリコン層 128 をトランジスタのゲート絶縁層として用いる場合、トランジスタの活性層として機能する炭化シリコン層 112 と、ゲート絶縁層として機能する酸化シリコン層 128 とを一体に形成することが可能であるため、炭化シリコン層 112 と酸化シリコン層 128 との界面に欠陥などが生じにくい。これにより、優れた特性のトランジスタを作製することが可能になる。

【0077】

なお、本実施の形態においては、シリコン層 120 の酸化の後に、酸化シリコン層 126 の一部を除去して酸化シリコン層 128 を形成する工程について説明しているが、開示する発明の一態様はこれに限定されない。先にシリコン層 120 の一部を除去してシリコン層 120 を薄膜化した後に、当該薄膜化したシリコン層 120 に酸化処理を施して、酸化シリコン層 128 を形成しても良い。また、酸化シリコン層 128 の厚さは、要求される半導体素子の特性に応じて適宜設定すればよい。

【0078】

シリコン層 120 の酸化処理や、酸化シリコン層 126 の除去処理の詳細については先の実施の形態を参照することができる。

【0079】

上述のように、本実施の形態では、シリコン基板を用いて炭化シリコン層を形成している。これにより、極めて低コストに炭化シリコンを含む半導体基板を提供することができる。また、炭化シリコン層のもとになるシリコン基板は再利用が可能であるため、作製にかかるコストを一層低減することが可能である。さらに、絶縁層上に炭化シリコン層が存在する構成の半導体基板を提供することが可能であるため、これを用いることにより、半導

10

20

30

40

50

体素子の特性を向上させることができる。

【0080】

また、酸化シリコン層を残存させて半導体素子の構成の一部として用いることで、半導体素子の作製工程を簡略化することができる。また、このような方法によって炭化シリコン層と酸化シリコン層との積層構造を形成することで、炭化シリコン層と酸化シリコン層との界面における欠陥を大幅に低減することができる。

【0081】

本実施の形態は、先の実施の形態と適宜組み合わせて用いることができる。

【0082】

(実施の形態3)

本実施の形態では、開示する発明の一態様である半導体基板の作製方法の別の一例について、図4を参照して説明する。なお、本実施の形態において説明する半導体基板の作製方法は、多くの点で、先の実施の形態に係る半導体基板の作製方法と共通している。したがって、本実施の形態においては、先の実施の形態に係る半導体基板の作製方法とは異なる部分について詳細に説明することとする。

【0083】

まず、ベース基板100を用意し、当該ベース基板100上に絶縁層102を形成する(図4(A)参照)。詳細については、先の実施の形態を参酌することができる。

【0084】

次に、シリコン基板110を用意し、当該シリコン基板110の表面に炭化処理を施して炭化シリコン層112を形成する(図4(B)参照)。そして、炭化シリコン層112の形成後、シリコン基板110にイオンを添加することにより、脆化領域114を形成し、また、炭化シリコン層112上に、導電層130および絶縁層116を形成する(図4(C)参照)。

【0085】

導電層130の形成方法は特に限定されないが、例えば、スパッタリング法、真空蒸着法などを用いることができる。また、導電層130は、アルミニウム(A1)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、ニオブ(Nb)、クロム(Cr)、セリウム(Ce)などの金属、またはこれらの金属を主成分とする合金、またはこれらの金属を成分とする窒化物を用いて形成することができる。インジウム錫酸化物(Indium Tin Oxide:ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)等の導電性酸化物や、導電性を付与する不純物元素を添加したシリコンなどを用いて形成しても良い。なお、導電層130は単層構造としても良いし、積層構造としても良い。

【0086】

その他の構成の詳細については、先の実施の形態を参酌することができる。

【0087】

なお、本実施の形態においては、炭化シリコン層112上に導電層130を形成する場合について説明しているが、開示する発明の一態様はこれに限定されない。導電層以外の各種の層を形成することができる。例えば、一導電型を付与する不純物元素が添加された半導体層を形成しても良いし、異なる材料からなる半導体層を形成しても良い。また、これらの層を複数積層させても良い。

【0088】

また、本実施の形態においては、ベース基板100側に絶縁層102を形成し、シリコン基板110側に絶縁層116を形成する場合について説明しているが、開示する発明の一態様がこれに限定されないのは、先の実施の形態と同様である。

【0089】

その後、ベース基板100とシリコン基板110を貼り合わせ(図4(D)参照)、脆化領域114においてシリコン基板110を分離する(図4(E)参照)。当該工程の詳細

10

20

30

40

50

についても、先の実施の形態を参照することができる。

【0090】

そして、上述のようにして形成された半導体基板に対して、シリコン層120の除去処理を行う。具体的には、シリコン層120に酸化処理を施して酸化シリコン層126を形成し(図4(F)参照)、その後、当該酸化シリコン層126を除去することによって、ベース基板100上に炭化シリコン層112を残存させる(図4(G)参照)。詳細については先の実施の形態を参照すればよい。なお、酸化シリコン層126の除去後には、炭化シリコン層を厚膜化しても良い。

【0091】

以上の工程により、ベース基板上に絶縁層を介して導電層と炭化シリコン層が形成された構成の半導体基板を作製することができる。なお、本実施の形態においては、シリコン基板110側に導電層130を形成する例について示しているが、開示する発明の一態様はこれに限定して解釈されない。ベース基板100側に導電層130等を形成することもできる。

10

【0092】

上述のように、本実施の形態では、シリコン基板を用いて炭化シリコン層を形成している。これにより、極めて低コストに炭化シリコンを含む半導体基板を提供することができる。また、炭化シリコン層のもととなるシリコン基板は再利用が可能であるため、作製にかかるコストを一層低減することが可能である。

20

【0093】

また、炭化シリコン層の下部に各種の層を形成することで、様々な半導体素子を実現することが可能になる。例えば、炭化シリコン層の下部に導電層を設けることで、下部電極を備えた半導体素子を形成することが可能である。このように、炭化シリコン層の下部に各種の層を設けることによって、半導体基板の用途が拡張される。つまり、開示する発明の一態様によって、炭化シリコン層を備え、様々な用途に用いることが可能な半導体基板を安価に提供することができる。

【0094】

本実施の形態は、先の実施の形態と適宜組み合わせて用いることができる。

【0095】

(実施の形態4)

30

本実施の形態では、先の実施の形態に示す方法で作製した半導体基板を用いた半導体装置の作製方法について、図5および図6を参照して説明する。より具体的には、半導体装置に用いられる半導体素子の作製方法について説明する。ここでは特に、CMOS回路に用いられるn型FETおよびp型FETを作製する場合について示すが、上記半導体基板を用いて作製される半導体素子および半導体素子を用いた半導体装置は、これを用いるものに限定されない。

【0096】

まず、先の実施の形態に示す方法などに従って半導体基板を得た後、炭化シリコン層112上に素子分離絶縁層を形成するためのマスクとなる保護層500を形成する(図5(A)参照)。保護層500には、酸化シリコン層や窒化シリコン層などを用いる。なお、本実施の形態において用いる半導体基板は、先の実施の形態に従って作製されるものと同等である。炭化シリコン層112は厚膜化されていても良いし、その表面に平坦化処理が施されていても良い。

40

【0097】

炭化シリコン層112には、しきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型不純物や、リン、ヒ素などのn型不純物を添加しておいても良い。

【0098】

次いで、保護層500をマスクとして用いてエッティングを行い、露出している領域の炭化シリコン層112を除去する。そして、その後、絶縁層を堆積する。該絶縁層は、例えば、酸化シリコン層とすることができます。該絶縁層は、CVD法やスパッタリング法をはじ

50

めとする各種成膜技術を用いて形成すればよい。ここでは、該絶縁層を、炭化シリコン層 112 に埋め込まれるように厚く堆積する。

【0099】

次に、炭化シリコン層 112 に重畳する領域の絶縁層を研磨やエッティング等により除去する。そして、保護層 500 を除去することで、上記絶縁層の一部からなる素子分離絶縁層 502 を残存させる(図 5 (B) 参照)。なお、本実施の形態においては、素子分離絶縁層 502 を設ける構成としているが、素子分離絶縁層 502 を設けない構成としても良い。

【0100】

次に、ゲート絶縁層として機能する絶縁層 504 を形成し、絶縁層 504 上にゲート電極 506 を形成する(図 5 (C) 参照)。絶縁層 504 は、CVD 法やスパッタリング法などを用いて形成することができる。また、絶縁層 504 は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタルなどを用いて形成することが好ましい。なお、絶縁層 504 は、単層構造としても良いし、積層構造としても良い。ここでは、CVD 法を用いて炭化シリコン層 112 の表面を覆う酸化シリコン層を単層構造で形成する。

【0101】

ゲート電極 506 には、耐熱性の高い材料を用いると好ましい。例えば、チタン、モリブデン、タンクステン、タンタル、クロム、ニッケルなどを用いることができる。また、アルミニウム、銅などの低抵抗材料を用いてゲート電極 506 を形成しても良い。また、一導電型を付与する不純物元素が添加された半導体材料(例えば、ポリシリコン)を用いても良い。

【0102】

なお、本実施の形態においては、ゲート電極 506 を単層構造としているが、積層構造としても良い。また、上記の材料を組み合わせて用いることもできる。例えば、チタンとアルミニウムの積層構造や、タンクステンとアルミニウムの積層構造など、耐熱性の高い材料と低抵抗材料を組み合わせて用いるとよい。また、上記金属材料と、金属材料の窒化物との積層構造としても良い。例えば、窒化チタン層とチタン層の積層構造、窒化タンタル層とタンタル層の積層構造、窒化タンクステン層とタンクステン層の積層構造などを用いることができる。なお、ゲート電極 506 は、蒸着法やスパッタリング法などを用いて形成すればよい。

【0103】

次に、ゲート電極 506 をマスクとして用いて絶縁層 504 をエッティングし、ゲート絶縁層 508 を形成する。このエッティングの際に、素子分離絶縁層 502 の一部がエッティングされる。その後、ゲート電極 506 を覆う絶縁層 510 を形成する(図 5 (D) 参照)。

【0104】

次に、後の n 型 FET となる領域に、リン (P) や砒素 (As) などを低濃度にドーピングして第 1 の不純物領域 512 を形成し、後の p 型 FET となる領域に、硼素 (B) などを低濃度にドーピングして第 2 の不純物領域 514 を形成する(図 6 (A) 参照)。なお、ここでは絶縁層 510 を形成した後に不純物領域を形成する構成としているが、先に不純物領域を形成してから絶縁層 510 を形成する構成としても良い。

【0105】

その後、サイドウォール絶縁層 516、およびサイドウォール絶縁層 518 を形成する(図 6 (B) 参照)。p 型 FET となる領域のサイドウォール絶縁層 518 は、n 型 FET となる領域のサイドウォール絶縁層 516 よりも幅(チャネル長方向の長さ)を大きくすると良い。

【0106】

次に、絶縁層 510 を部分的にエッティングして、第 1 の不純物領域 512 の表面および第 2 の不純物領域 514 の表面を露出させる。この際、ゲート電極 506 の上面も露出されることになる。そして、n 型 FET となる領域にリン (P) や砒素 (As) などを高濃度

10

20

30

40

50

にドーピングして第3の不純物領域520を形成し、p型FETとなる領域に硼素(B)などを高濃度にドーピングして第4の不純物領域522を形成する(図6(C)参照)。なお、ここでは絶縁層510を部分的にエッチングした後に不純物領域を形成する構成としているが、先に上記の不純物領域を形成してから絶縁層510をエッチングする構成としても良い。

【0107】

次に、層間絶縁層524を形成し、第3の不純物領域520および第4の不純物領域522に達するコンタクトプラグ526およびコンタクトプラグ528を形成する。以上により、ベース基板100上に形成された炭化シリコン層112を用いて、n型FET530とp型FET532を作製することができる(図6(D)参照)。

10

【0108】

上述のn型FET530とp型FET532を相補的に組み合わせることによってCMOS回路を構成することができる。また、このような半導体素子を用いることで、様々な半導体装置を作製することが可能である。

【0109】

以上、本実施の形態で示したように、FETの活性層として炭化シリコンを用いることにより、半導体素子の耐圧向上、電力損失の低減などが実現される。また、開示する発明の一態様により、極めて低コストに炭化シリコンを含む半導体基板を提供することができため、半導体素子および半導体装置の製造コストを抑制することができる。

20

【0110】

本実施の形態は、先の実施の形態と適宜組み合わせて用いることができる。

【0111】

(実施の形態5)

本実施の形態では、先の実施の形態に示す方法で作製した半導体基板を用いた半導体装置の作製方法について、図7および図8を参照して説明する。ここでは特に、半導体素子としていわゆるパワーMOSFET(電力用のMOSFET)を備える半導体装置を作製する場合について示すが、上記半導体基板を用いて作製される半導体素子および半導体装置はこれに限定されない。

【0112】

はじめに、先の実施の形態に示す方法で作製した半導体基板を用意する(図7(A)参照)。該半導体基板は、ベース基板100上に絶縁層102、絶縁層116、導電層130、炭化シリコン層112が順に積層された構造を有している。また、炭化シリコン層112には一導電型を付与する不純物元素が添加されており、不純物の濃度によって、炭化シリコン層112は二つの領域に分けられている。ここで、導電層130と接する第1の不純物領域700は高濃度に不純物元素が添加された領域であり、第1の不純物領域700と接する第2の不純物領域702は低濃度に不純物元素が添加された領域である。

30

【0113】

炭化シリコン層112に添加することができる不純物元素には、n型の導電性を付与するリン(P)やヒ素(As)、p型の導電性を付与するボロン(B)などがあるが、本実施の形態では、第1の不純物領域および第2の不純物領域にリン(P)を添加してn型の導電性を付与する場合について説明する。

40

【0114】

なお、本実施の形態においては、導電層130を炭化シリコン層112の下部全面に設ける構成としたが、開示する発明の一態様はこれに限定されず、導電層130を選択的に設ける構成としても良い。また、炭化シリコン層112は厚膜化されていても良いし、その表面に平坦化処理が施されていても良い。本実施の形態に示すパワーMOSFETにおいて、導電層130はドレイン電極(またはソース電極)として機能する。また、第1の不純物領域700はドレイン領域(またはソース領域)として機能する。

【0115】

次に、第2の不純物領域702に、p型を付与する不純物元素(例えばボロン)とn型を

50

付与する不純物元素（例えばリン）を選択的に添加して、第2の不純物領域702とは異なる導電型の領域704および第2の不純物領域702と同じ導電型の領域706を形成する（図7（B）参照）。ここで、領域704の一部は後のチャネル形成領域として機能し、領域706は後のソース領域（またはドレイン領域）として機能する。また、領域706の不純物濃度は第2の不純物領域702の不純物濃度より高くなっている。

【0116】

領域704および領域706を形成した後に、第2の不純物領域702上にゲート絶縁層として機能する絶縁層708を形成し、絶縁層708上にゲート電極として機能する導電層710を選択的に形成する。そして、導電層710を覆うように絶縁層712を形成する（図7（C）参照）。ここで、導電層710は、少なくともその一部が領域706と重なりを有するように設けることが好ましい。これにより電界の集中が緩和されるため、MOSFETの耐圧を一層向上することができる。

10

【0117】

絶縁層708は、酸化シリコンや窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の材料を用いて形成することができる。作製方法としては、熱酸化法（熱窒化法）やプラズマCVD法、スパッタリング法、高密度プラズマ処理による酸化または窒化による方法などを挙げることができる。絶縁層712についても、絶縁層708と同様に形成することができるが、絶縁層708とは異なる材料を用いても良い。例えば、有機材料を用いて絶縁層712を形成することもできる。

20

【0118】

導電層710には、耐熱性の高い材料を用いると好ましい。例えば、チタン、モリブデン、タンゲステン、タンタル、クロム、ニッケルなどを用いることができる。また、アルミニウム、銅などの低抵抗材料を用いても良い。また、一導電型を付与する不純物元素が添加された半導体材料（例えば、ポリシリコン）を用いても良い。

【0119】

なお、本実施の形態においては、領域704および領域706の形成後に絶縁層708を形成する場合について説明しているが、開示する発明の一態様はこれに限定して解釈されない。例えば、絶縁層708を形成した後に領域704および領域706を形成しても良い。また、半導体基板の作製段階において、絶縁層708に対応する絶縁層を形成しておいても良い（図3参照）。

30

【0120】

続いて、絶縁層712および絶縁層708に開口を形成した後、領域706と電気的に接続される導電層714を形成する（図7（D）参照）。なお、導電層714はソース電極（またはドレイン電極）として機能する。

【0121】

絶縁層712および絶縁層708の開口は、レジストマスクなどを用いた選択的なエッチングにより形成することができる。また、導電層714は、導電層130や導電層710と同様にして形成すれば良い。

40

【0122】

以上により、いわゆるパワーMOSFETを作製することができる。図8に、本実施の形態におけるパワーMOSFETの平面図と断面図を示す。図8（A）は本実施の形態におけるパワーMOSFETの断面図であり、図8（B）は平面図である。ここで、図8（A）は、図8（B）のA-Bにおける断面に対応している。なお、図8（B）では簡単のため、絶縁層708、導電層710、絶縁層712、導電層714など、構成の一部を省略している。

【0123】

なお、各層の位置関係や接続関係は、図8に示す構成に限定されない。例えば、導電層710の一部と導電層130を電気的に接続して、導電層710の一部を導電層130についての配線として機能させることも可能である。

50

【0124】

なお、本実施の形態においては、領域704および領域706の平面形状を円形としている（図8（B）参照）が、開示する発明の一態様はこれに限定されない。矩形その他の形状としても良い。本実施の形態において示したように、領域704および領域706を円形にすることで、チャネル長Lを均一にすることができる。これにより、チャネル形成領域における電界の集中を緩和することができるため、トランジスタの耐圧を向上させることができる。また、導電層130は、大電流を伴うトランジスタの廃熱効率を向上するという効果を併せ持つ。

【0125】

以上、本実施の形態で示したように、パワーMOSFETの活性層として炭化シリコンを用いることにより、半導体素子の耐圧向上、電力損失の低減などが実現される。つまり、パワーMOSFETを用いる半導体装置の特性を向上させることができる。また、開示する発明の一態様により、極めて低成本に炭化シリコンを含む半導体基板を提供することができるため、半導体素子および半導体装置の製造コストを抑制することができる。

10

【0126】

本実施の形態は、先の実施の形態と適宜組み合わせて用いることができる。

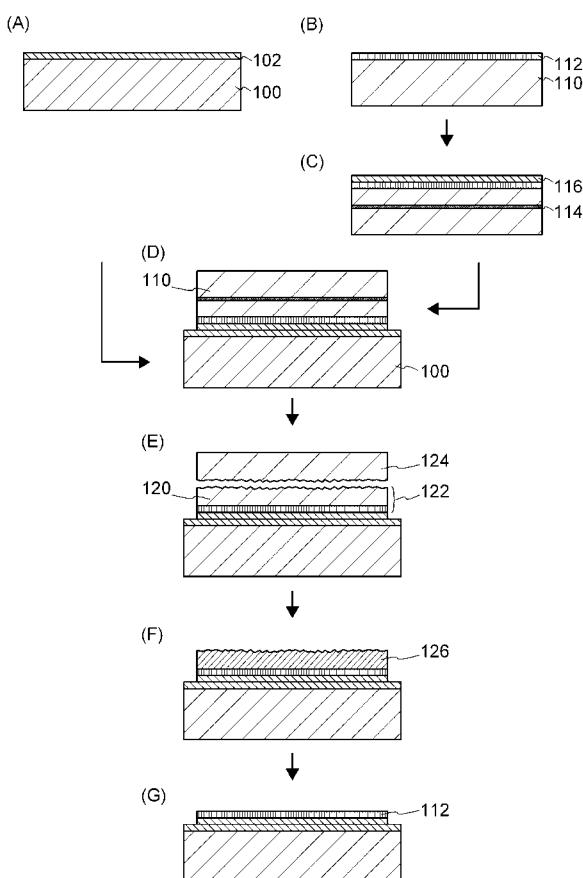
【符号の説明】

【0127】

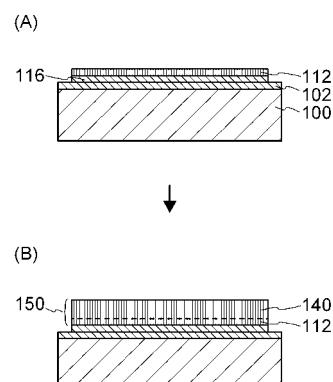
100	ベース基板	20
102	絶縁層	
110	シリコン基板	
112	炭化シリコン層	
114	脆化領域	
116	絶縁層	
120	シリコン層	
122	半導体層	
124	シリコン基板	
126	酸化シリコン層	
128	酸化シリコン層	
130	導電層	30
140	炭化シリコン層	
150	炭化シリコン層	
500	保護層	
502	素子分離絶縁層	
504	絶縁層	
506	ゲート電極	
508	ゲート絶縁層	
510	絶縁層	
512	不純物領域	
514	不純物領域	40
516	サイドウォール絶縁層	
518	サイドウォール絶縁層	
520	不純物領域	
522	不純物領域	
524	層間絶縁層	
526	コントラクトプラグ	
528	コントラクトプラグ	
530	n型FET	
532	p型FET	
700	不純物領域	50

7 0 2 不純物領域
 7 0 4 領域
 7 0 6 領域
 7 0 8 絶縁層
 7 1 0 導電層
 7 1 2 絶縁層
 7 1 4 導電層

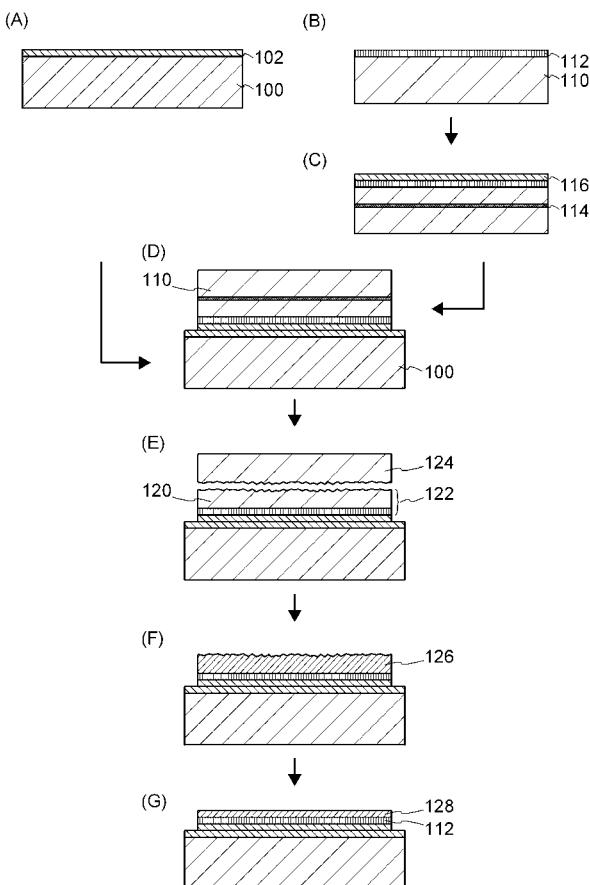
【図1】



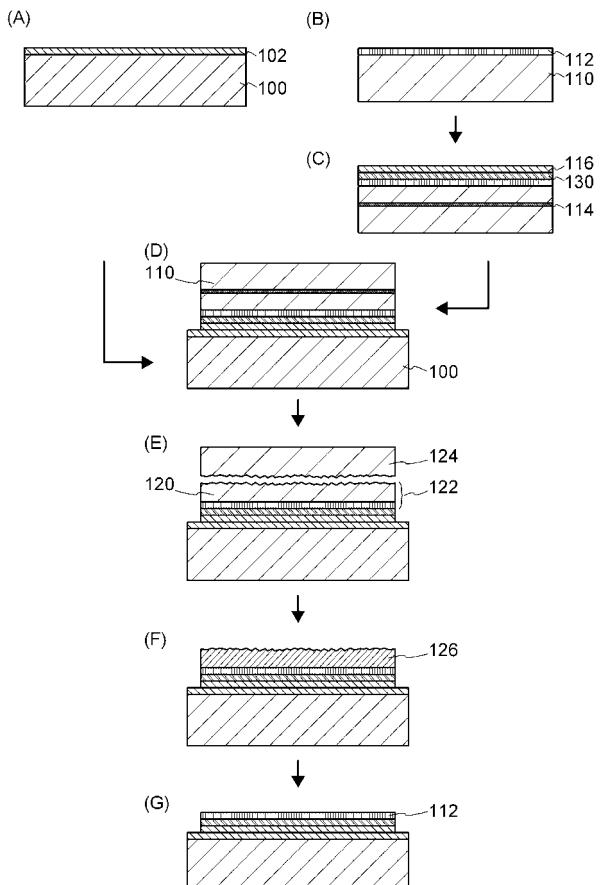
【図2】



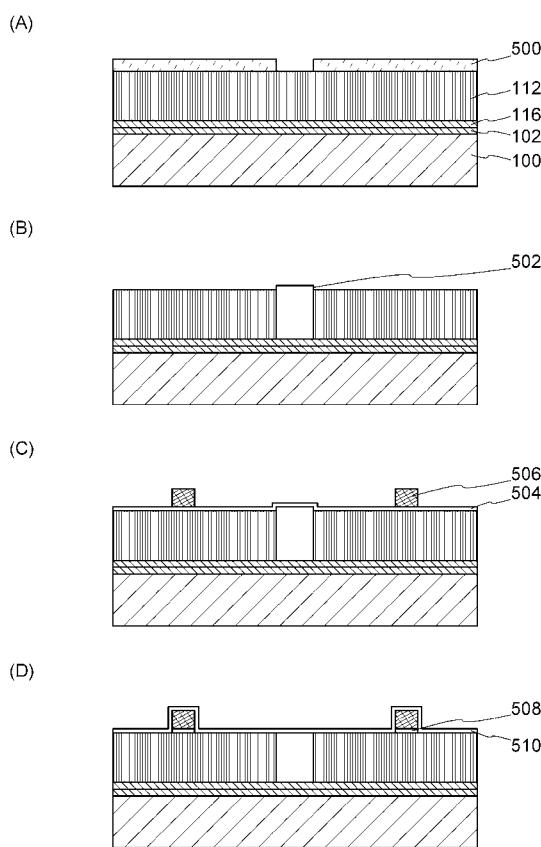
【図3】



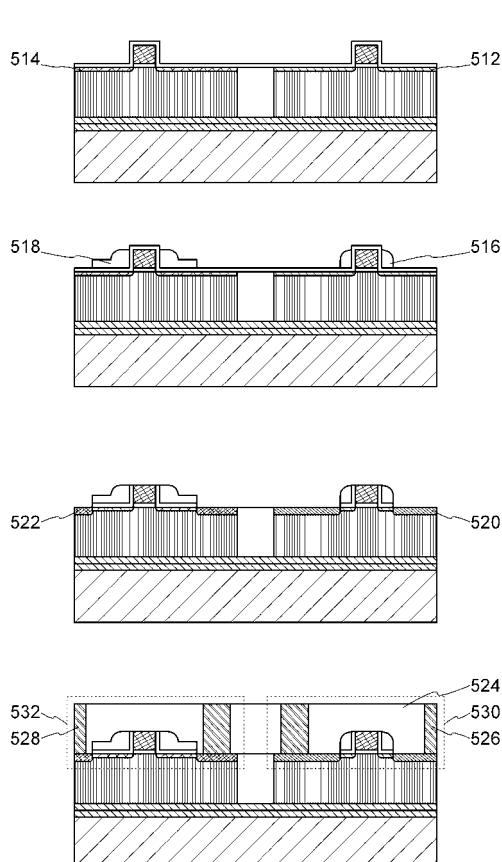
【図4】



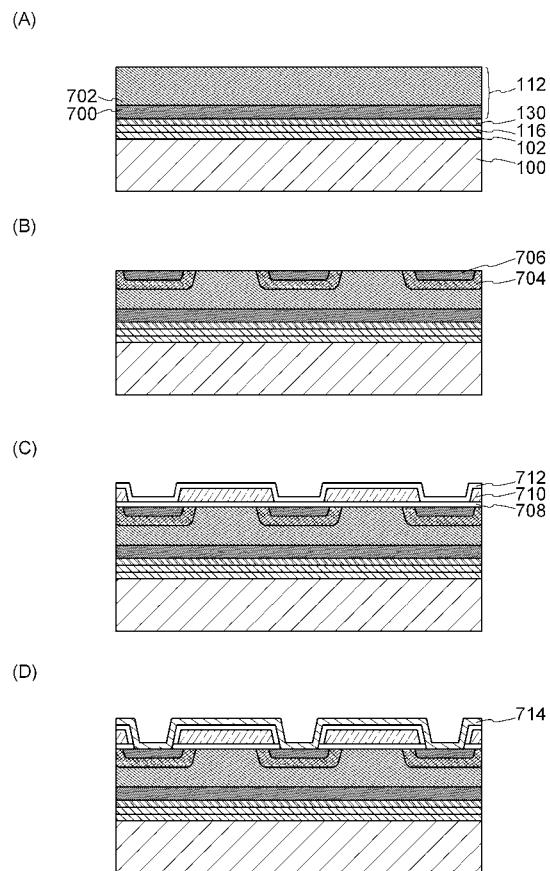
【図5】



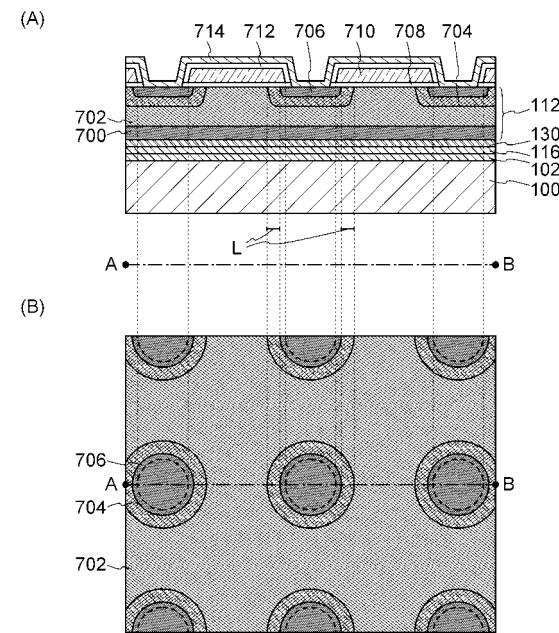
【図6】



【図7】



【図8】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 21/8238 (2006.01)	H 01 L 21/265	Q
H 01 L 27/092 (2006.01)	H 01 L 21/20	
H 01 L 21/265 (2006.01)	H 01 L 29/78	6 2 7 D
H 01 L 21/20 (2006.01)	H 01 L 29/78	6 1 8 B
H 01 L 21/336 (2006.01)	H 01 L 29/78	6 1 8 A
H 01 L 29/786 (2006.01)	H 01 L 29/78	6 5 2 F
H 01 L 29/78 (2006.01)	H 01 L 29/78	6 5 2 T
H 01 L 29/12 (2006.01)	H 01 L 29/78	6 5 2 L
H 01 L 21/76 (2006.01)	H 01 L 29/78	6 5 2 R
H 01 L 21/28 (2006.01)	H 01 L 21/28	3 0 1 B

F ターム(参考) 5F048 AA04 AA05 AC04 AC06 BA14 BA16 BB05 BB09 BB11 BB12
 BC01 BC03 BC06 BC18 BD04 BD07 BE03 BF02 BF03 BF07
 BG05 DA24 DA30

5F110 AA16 AA28 BB04 CC02 DD01 DD02 DD03 DD04 DD05 DD07
 DD12 DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE09
 EE14 EE32 EE43 EE44 FF01 FF02 FF03 FF04 FF09 FF28
 FF29 GG01 GG12 GG25 GG32 GG41 GG42 GG44 HJ01 NN02
 NN62 NN65 QQ17 QQ19

5F152 LL02 LL18 LM09 LP01 LP07 MM04 MM19 NN03 NN04 NN12
 NN13 NN14 NN16 NN19 NP11 NP12 NP13 NP14 NQ02