

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2010-250303
(P2010-250303A)

(43) 公開日 平成22年11月4日 (2010.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/36	2 H 1 9 3
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 7 0 E	5 C 0 0 6
G 0 2 F 1/133 (2006.01)	G 0 9 G 3/20 6 1 1 J	5 C 0 8 0
	G 0 9 G 3/20 6 7 0 K	
	G 0 9 G 3/20 6 2 2 B	
審査請求 未請求 請求項の数 6 O L (全 51 頁) 最終頁に続く		

(21) 出願番号	特願2010-69043 (P2010-69043)	(71) 出願人	000153878
(22) 出願日	平成22年3月25日 (2010.3.25)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2009-77955 (P2009-77955)		神奈川県厚木市長谷398番地
(32) 優先日	平成21年3月27日 (2009.3.27)	(72) 発明者	梅崎 敦司
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		Fターム (参考)	2H193 ZA04 ZF24 ZF32 ZF42 ZF43 ZP01 ZP03 ZQ06 ZQ07 ZQ08 ZQ09 ZQ11 ZQ13 ZQ14 ZQ16 ZQ19 ZQ22 ZQ26 5C006 BC03 FA16 FA51 5C080 AA10 BB05 DD09 DD27 EE30 FF07 JJ02 JJ03 JJ04 JJ06

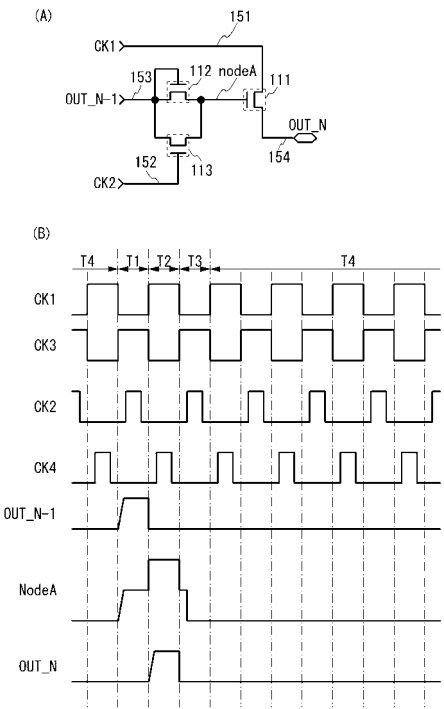
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】回路の誤動作を低減することで、表示品質の向上を図る。

【解決手段】第1トランジスタ乃至第3トランジスタ、及び第1信号線乃至第4信号線、を有する複数のパルス出力回路で構成される駆動回路において、第1信号線には、第1のクロック信号が供給され、第2信号線には、前段信号が供給され、第3信号線には、第2のクロック信号が供給され、第4信号線より、出力信号を出力し、第1のクロック信号と、第2のクロック信号のデューティ比が異なるものとし、前段信号がL信号からH信号に切り替わるまでの期間より、第1のクロック信号がH信号からL信号に切り替わってからの第2のクロック信号がL信号からH信号に切り替わるまでの期間を長く取る。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 トランジスタ乃至第 3 トランジスタ、及び第 1 信号線乃至第 4 信号線に電氣的に接続する第 1 端子乃至第 4 端子、を有する複数のパルス出力回路で構成される駆動回路と、液晶素子を含む画素と、を有し、

前記駆動回路において、前記第 1 トランジスタは、第 1 端子が前記第 1 信号線に電氣的に接続され、第 2 端子が前記第 4 信号線に電氣的に接続され、前記第 2 トランジスタは、ゲート及び第 1 端子が前記第 3 信号線に電氣的に接続され、前記第 3 トランジスタは、第 1 端子が前記第 3 信号線に電氣的に接続され、ゲートが前記第 2 信号線に電氣的に接続され、前記第 1 トランジスタのゲートと前記第 2 トランジスタの第 2 端子と前記第 3 トランジスタの第 2 端子とが互いに電氣的に接続されている液晶表示装置の駆動方法であって、

前記第 1 信号線には、第 1 のクロック信号が供給され、

前記第 2 信号線には、第 2 のクロック信号が供給され、

前記第 3 信号線には、前段信号が供給され、

前記第 4 信号線より、出力信号を出力し、

前記第 1 のクロック信号と、前記第 2 のクロック信号のデューティ比が異なることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、前記前段信号が L 信号から H 信号に切り替わるまでの期間より、前記第 1 のクロック信号が H 信号から L 信号に切り替わってから前記第 2 のクロック信号が L 信号から H 信号に切り替わるまでの期間を長く取ることとを特徴とする液晶表示装置の駆動方法。

【請求項 3】

請求項 1 または 2 において、

前記駆動回路は、制御回路、第 1 端子が前記第 4 信号線に電氣的に接続され、第 2 端子が低電源電位を供給する配線に電氣的に接続された第 4 トランジスタ、及び第 1 端子が前記第 1 トランジスタのゲートと前記第 2 トランジスタの第 2 端子と前記第 3 トランジスタの第 2 端子とが互いに電氣的に接続されたノードに電氣的に接続され、第 2 端子が低電源電位を供給する配線に電氣的に接続された第 5 トランジスタと、を有し、

前記制御回路は、前記第 1 トランジスタのゲートと前記第 2 トランジスタの第 2 端子と前記第 3 トランジスタの第 2 端子とが互いに電氣的に接続されたノードの電位に応じて、前記第 4 トランジスタのゲート及び前記第 5 トランジスタのゲートの電位を制御することとを特徴とする液晶表示装置の駆動方法。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、前記第 1 トランジスタ乃至前記第 5 トランジスタは、同じ極性のトランジスタであることを特徴とする液晶表示装置の作製方法。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

奇数段の前記パルス出力回路の前記第 1 端子には前記第 1 のクロック信号、前記第 2 端子には前記第 2 のクロック信号が供給されており、

偶数段の前記パルス出力回路の前記第 1 端子には第 3 のクロック信号、前記第 2 端子には第 4 のクロック信号が供給されることを特徴とする液晶表示装置の駆動方法。

【請求項 6】

請求項 1 乃至 5 のいずれかーに記載の駆動方法を用いた半導体装置および操作スイッチを具備した電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

半導体装置、表示装置、液晶表示装置、発光装置、それらの駆動方法、又はそれらを生産する方法に関する。特に、画素部と同じ基板に形成される駆動回路を有する半導体装置、

10

20

30

40

50

表示装置、液晶表示装置、発光装置、又はそれらの駆動方法に関する。または、当該半導体装置、当該表示装置、当該液晶表示装置、又は当該発光装置を有する電子機器に関する。

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、非単結晶半導体によって構成されるトランジスタを用いて、画素部と同じ基板にゲートドライバなどの駆動回路を構成する技術は、コストの低減、信頼性の向上に大きく貢献するため、活発に開発が進められている（特許文献1を参照）。

【先行技術文献】

10

【特許文献】

【0003】

【特許文献1】特開2006-293299号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一態様は、回路の誤動作を低減することで、表示品質の向上を図ることを課題とする。または、本発明の一態様は、信号のなまり又は遅延を低減することを課題とする。または、本発明の一態様は、トランジスタの特性劣化を抑制することを課題とする。または、本発明の一態様は、トランジスタのチャネル幅を小さくすることを課題とする。または、本発明の一態様は、レイアウト面積を小さくすることを課題とする。または、本発明の一態様は、表示装置の額縁を狭くすることを課題とする。または、本発明の一態様は、表示装置を高精細にすることを課題とする。または、本発明の一態様は、コストを低減することを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、上記の課題の全てを解決する必要はないものとする。

20

【課題を解決するための手段】

【0005】

本発明の一態様は、第1トランジスタ乃至第3トランジスタ、及び第1信号線乃至第4信号線に接続する第1端子乃至第4端子、を有する複数のパルス出力回路で構成される駆動回路と、液晶素子を含む画素と、を有し、駆動回路において、第1トランジスタは、第1端子が第1信号線に電氣的に接続され、第2端子が第4信号線に電氣的に接続され、第2トランジスタは、ゲート及び第1端子が第3信号線に電氣的に接続され、第3トランジスタは、第1端子が第3信号線に電氣的に接続され、ゲートが第2信号線に電氣的に接続され、第1トランジスタのゲートと第2トランジスタの第2端子と第3トランジスタの第2端子とが互いに電氣的に接続されている液晶表示装置の駆動方法であって、第1信号線には、第1のクロック信号が供給され、第2信号線には、第2のクロック信号が供給され、第3信号線には、前段信号が供給され、第4信号線より、出力信号を出力し、第1のクロック信号と、第2のクロック信号のデューティ比が異なる液晶表示装置である。

30

【0006】

本発明の一態様において、前段信号がL信号からH信号に切り替わるまでの期間より、第1のクロック信号がH信号からL信号に切り替わってから第2のクロック信号がL信号からH信号に切り替わるまでの期間を長く取る液晶表示装置としてもよい。

40

【0007】

本発明の一態様において、駆動回路は、制御回路、第1端子が第4信号線に電氣的に接続され、第2端子が低電源電位を供給する配線に電氣的に接続された第4トランジスタ、及び第1端子が第1トランジスタのゲートと第2トランジスタの第2端子と第3トランジスタの第2端子とが互いに電氣的に接続されたノードに電氣的に接続され、第2端子が低電源電位を供給する配線に電氣的に接続された第5トランジスタと、を有し、制御回路は、第1トランジスタのゲートと第2トランジスタの第2端子と第3トランジスタの第2端子とが互いに電氣的に接続されたノードの電位に応じて、第4トランジスタのゲート及び第

50

5 トランジスタのゲートの電位を制御する液晶表示装置としてもよい。

【0008】

本発明の一態様において、第1トランジスタ乃至第5トランジスタは、同じ極性のトランジスタである液晶表示装置としてもよい。

【0009】

本発明の一態様において、奇数段のパルス出力回路の第1端子には第1のクロック信号、第2端子には第2のクロック信号が供給されており、偶数段のパルス出力回路の第1端子には第3のクロック信号、第2端子には第4のクロック信号が供給される液晶表示装置としてもよい。

【0010】

なお、スイッチとしては、様々な形態のものを用いることができる。スイッチの一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。スイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0011】

なお、スイッチとしてトランジスタを用いる場合、そのトランジスタは単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。

【0012】

なお、スイッチとして、Nチャネル型トランジスタとPチャネル型トランジスタとの両方を用いて、CMOS型のスイッチを用いてもよい。

【0013】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置の一例としては、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイパネル（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）又はSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

【0014】

液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子是一对の電極と液晶層により構造されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方

10

20

30

40

50

向の電界を含む)によって制御される。なお、具体的には、液晶素子の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC)、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶(PALC)、パナナ型液晶などを挙げることができる。また、液晶の駆動方式としては、TN(Twisted Nematic)モード、STN(Super Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、ECB(Electrically Controlled Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(Anti Ferroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、ゲストホストモード、ブルー相(Blue Phase)モードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

10

20

【0015】

なお、トランジスタとして、様々な構造のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、非晶質シリコン、多結晶シリコン、微結晶(マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う)シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ(TFT)などを用いることが出来る。

【0016】

なお、トランジスタの一例としては、ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnO、TiO、AlZnSnO(AZTO)などの化合物半導体又は酸化物半導体を有するトランジスタ又は、これらの化合物半導体又は酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することが出来る。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

30

【0017】

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することが出来る。よって、マスク(レチクル)を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。または、レジストを用いらずに製造することが可能なので、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なので、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

40

【0018】

なお、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。このような基板を用いた半導体装置は、衝撃に強くすることができる。

50

【 0 0 1 9 】

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることができる。

【 0 0 2 0 】

なお、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。

【 0 0 2 1 】

なお、トランジスタの一例としては、チャンネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。チャンネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。

10

【 0 0 2 2 】

なお、トランジスタの一例としては、チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、又はチャンネル領域が直列に接続する構造などのトランジスタを用いることができる。

【 0 0 2 3 】

なお、トランジスタの一例としては、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。

20

【 0 0 2 4 】

なお、トランジスタの一例としては、LDD領域を設けた構造のトランジスタを適用できる。

【 0 0 2 5 】

なお、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、又は塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、又は紙類などがある。

30

【 0 0 2 6 】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。

40

【 0 0 2 7 】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

【 0 0 2 8 】

50

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板などを用いてガラス基板と接続することが可能である。

10

20

30

40

50

【0029】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来るものである。ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する領域、及びドレインとして機能する領域を、ソース又はドレインと呼ばない場合がある。その場合、一例として、ソースとドレインとの一方を、第1端子、第1電極、又は第1領域と表記し、ソースとドレインとの他方を、第2端子、第2電極、又は第2領域と表記する場合がある。

【0030】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、一例として、エミッタとコレクタとの一方を、第1端子、第1電極、又は第1領域と表記し、エミッタとコレクタとの他方を、第2端子、第2電極、又は第2領域と表記する場合がある。なお、トランジスタとしてバイポーラトランジスタが用いられる場合、ゲートという表記をベースと言い換えることが可能である。

【0031】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0032】

AとBとが電氣的に接続されている場合の一例としては、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されることが可能である。

【0033】

AとBとが機能的に接続されている場合の一例としては、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されることが可能である。なお、一例として、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

【 0 0 3 4 】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子又は別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【 0 0 3 5 】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

10

【 0 0 3 6 】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

20

【 0 0 3 7 】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【 0 0 3 8 】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。

30

【 0 0 3 9 】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【 0 0 4 0 】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【 0 0 4 1 】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

40

【 0 0 4 2 】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【 0 0 4 3 】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多い。ただし、本発明の一態様は、専門用語によって、限定して解釈されるものではない

50

。

【 0 0 4 4 】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【 0 0 4 5 】

なお、第 1、第 2、第 3 などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第 1、第 2、第 3 などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと置き換えることが可能である。

10

【 0 0 4 6 】

なお、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、A の上に B、と明示的に示される場合は、B が A の上にあることに限定されない。図中のデバイスは反転、又は 180°回転することが可能なので、B が A の下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの他の方向を含むことが可能である。つまり、状況に応じて適切に解釈することが可能である。

20

【 発明の効果 】

【 0 0 4 7 】

本発明の一態様は、回路の誤動作を低減することで、表示品質の向上を図ることができる。または、本発明の一態様は、信号のなまり又は遅延を低減することができる。または本発明の一態様は、トランジスタの特性劣化を抑制することができる。または、本発明の一態様は、トランジスタのチャネル幅を小さくすることができる。または、本発明の一態様は、レイアウト面積を小さくすることができる。または、本発明の一態様は、表示装置の額縁を狭くすることができる。または、本発明の一態様は、表示装置を高精細にすることができる。または、本発明の一態様は、コストを低減することができる。

30

【 図面の簡単な説明 】

【 0 0 4 8 】

【 図 1 】半導体装置の回路図である。

【 図 2 】半導体装置の回路図と、その動作を説明するためのタイミングチャートである。

【 図 3 】半導体装置の動作を説明するための模式図である。

【 図 4 】半導体装置の動作を説明するためのタイミングチャートである。

40

【 図 5 】半導体装置の動作を説明するための模式図である。

【 図 6 】半導体装置の動作を説明するためのタイミングチャートである。

【 図 7 】半導体装置の動作を説明するための模式図である。

【 図 8 】半導体装置の回路図である。

【 図 9 】半導体装置の回路図と、その動作を説明するためのタイミングチャートである。

【 図 10 】半導体装置の動作を説明するための模式図である。

【 図 11 】半導体装置の回路図と、その動作を説明するためのタイミングチャートである。

。

【 図 12 】半導体装置の動作を説明するための模式図である。

【 図 13 】半導体装置の動作を説明するための模式図である。

50

【図 1 4】半導体装置の動作を説明するための模式図である。
【図 1 5】半導体装置の動作を説明するための模式図である。
【図 1 6】半導体装置の回路図である。
【図 1 7】半導体装置の回路図である。
【図 1 8】表示装置のブロック図である。
【図 1 9】表示装置のブロック図である。
【図 2 0】半導体装置の回路図と、その動作を説明するためのタイミングチャートである。

【図 2 1】保護回路の回路図である。
【図 2 2】保護回路の回路図である。
【図 2 3】トランジスタの断面図である。
【図 2 4】表示装置の上面図と、その断面図である。
【図 2 5】トランジスタの作製工程を説明する断面図である。
【図 2 6】電子機器を説明する図である。
【図 2 7】電子機器を説明する図である。
【図 2 8】半導体装置の回路図と、その動作を説明するためのタイミングチャートである。

【図 2 9】半導体装置の回路図である。
【図 3 0】半導体装置の回路図である。
【図 3 1】半導体装置の回路図である。
【図 3 2】半導体装置の回路図である。

【発明を実施するための形態】

【0049】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0050】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0051】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0052】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0053】

（実施の形態 1）

本実施の形態では、半導体装置の一例について説明する。本実施の形態の半導体装置は、一例として、シフトレジスタ、ゲートドライバ、ソースドライバ、又は表示装置などに用いることが可能である。なお、本実施の形態の半導体装置を駆動回路と示すことが可能である。

【0054】

まず、駆動回路のシフトレジスタとして機能する半導体装置について、図 1 乃至図 6 を参

10

20

30

40

50

照して説明する。半導体装置 100 は、第 1 のパルス出力回路 101 __ 1 乃至第 N のパルス出力回路 101 __ N (N ≥ 2) を有している (図 1 (A) 参照)。図 1 (A) に示す半導体装置 100 の第 1 のパルス出力回路 101 __ 1 乃至第 N のパルス出力回路 101 __ N の各段には、第 1 の配線 102 より第 1 のクロック信号 CK 1、第 2 の配線 103 より第 3 のクロック信号 CK 3、第 3 の配線 104 より第 2 のクロック信号 CK 2、第 4 の配線 105 より第 4 のクロック信号 CK 4 が入力される。また各段のパルス出力回路には、スタートパルス SP または一段前のパルス出力回路からの出力信号 (前段信号 OUT __ N - 1 と同じ) が入力される。また各段のパルス出力回路からは、ゲート線またはデータ線等へ出力するための出力信号 OUT __ N が出力される。なお、パルス出力回路は、表示部の表示に寄与しない信号を出力するダミーの段を設けてもよく、例えばゲートドライバのシフトレジスタに用いられ、n 本のゲート線に順次パルス出力する構成では、n ≥ N の段数とする構成とすればよい。なお、出力信号の出力数は、出力される先の負荷に応じて複数設ける構成としてもよい。負荷に応じた複数の出力信号を出力する構成とすることで、信号のなまり又は遅延等を低減することができる。

【0055】

なお第 3 のクロック信号 CK 3 は、一例として、第 1 のクロック信号 CK 1 から 180° 位相がずれた信号である。また、第 1 のクロック信号 CK 1 はデューティ比 50% の信号であるとし、第 3 のクロック信号 CK 3 は、第 1 のクロック信号 CK 1 の反転クロック信号でもよい。なお第 4 のクロック信号 CK 4 は、一例として、第 2 のクロック信号 CK 2 から 180° 位相がずれた信号である。

【0056】

なお、第 1 のクロック信号 CK 1 及び第 3 のクロック信号 CK 3、並びに第 2 のクロック信号 CK 2 及び第 4 のクロック信号 CK 4 は、奇数段のパルス出力回路と偶数段のパルス出力回路では、入力される信号が入れ替わる。具体的には、図 1 (B) に示すように奇数段 (ここでは一例として一段目) のパルス出力回路 101 __ 1 において、第 1 端子に第 1 のクロック信号 CK 1 が入力され、第 2 端子に第 2 のクロック信号 CK 2 が入力され、第 3 端子にスタートパルス SP (3 段目以降の奇数段では、前段信号 OUT __ N - 1) が入力され、第 4 端子から出力信号 OUT __ N が出力される。また、図 1 (C) に示すように偶数段 (ここでは一例として二段目) のパルス出力回路 101 __ 2 において、第 1 端子に第 3 のクロック信号 CK 3 が入力され、第 2 端子に第 4 のクロック信号 CK 4 が入力され、第 3 端子に前段信号 OUT __ 1 (4 段目以降の偶数段では、前段信号 OUT __ N - 1) が入力され、第 4 端子から出力信号 OUT __ 2 が出力される。なお第 1 のクロック信号 CK 1 及び第 3 のクロック信号 CK 3、並びに第 2 のクロック信号 CK 2 及び第 4 のクロック信号 CK 4 は、一定の間隔で H 信号 (高電源電位レベル、H レベルともいう) と L 信号 (低電源電位レベル、L レベルともいう) を繰り返す信号とする。

【0057】

次にパルス出力回路の回路構成の一例について、図 1 (D) で説明する。なお図 1 (D) では、一例として、奇数段のパルス出力回路について構成について説明する。なお、奇数段と偶数段のパルス出力回路の違いについては、上述のように、第 1 のクロック信号 CK 1 及び第 3 のクロック信号 CK 3、または第 2 のクロック信号 CK 2 及び第 4 のクロック信号 CK 4 のように入力される信号が入れ替わる点にある。

【0058】

パルス出力回路は、第 1 トランジスタ 111 乃至第 5 トランジスタ 115、及び制御回路 131 を有している。また図 1 (D) では、上述した第 1 端子乃至第 4 端子に入力される信号に加え、第 1 電源線 141 より高電源電位 VDD、第 2 電源線 142 より低電源電位 VSS が供給される点について示している。なお図 1 (D) において、第 1 端子に第 1 のクロック信号 CK 1 を入力する配線を第 1 信号線 151、第 2 端子に第 2 のクロック信号 CK 2 を入力する配線を第 2 信号線 152、第 3 端子に前段信号 OUT __ N - 1 を入力する配線を第 3 信号線 153、第 4 端子に出力信号 OUT __ N を出力する配線を第 4 信号線 154 という。なお説明の上で、図 1 (D) に示すように、第 1 トランジスタ 111 のゲ

10

20

30

40

50

ート、第2トランジスタ112の第2端子、第3トランジスタ113の第2端子、及び第5トランジスタ115の第1端子の接続箇所をノードA (node A) とする。また、第4トランジスタ114のゲート、第5トランジスタ115のゲートの接続箇所をノードB (node B) とする。

【0059】

第1トランジスタ111は、第1端子が第1信号線151に接続され、第2端子が第4トランジスタ114の第1端子、及び第4信号線154に接続され、ゲートがノードAに接続されている。第2トランジスタ112は、第1端子が第2トランジスタ112のゲート、第3トランジスタ113の第1端子、及び第3信号線153に接続され、第2端子がノードAに接続され、ゲートが第2トランジスタ112の第1端子、第3トランジスタ113の第1端子、及び第3信号線153に接続されている。第3のトランジスタ113は、第1端子が第2トランジスタ112のゲート、第2トランジスタ112の第1端子、及び第3信号線153に接続され、第2端子がノードAに接続され、ゲートが第2信号線152に接続されている。第4のトランジスタ114は、第1端子が第1トランジスタ111の第2端子、及び第4信号線154に接続され、第2端子が第2電源線142に接続され、ゲートがノードBに接続されている。第5のトランジスタ115は、第1端子がノードAに接続され、第2端子が第2電源線142に接続され、ゲートがノードBに接続されている。制御回路131は、ノードAの電位に応じて、ノードBの電位の高低を制御する機能を有する回路であり、ノードA、第1電源線141、第2電源線142、ノードBに接続されている。

【0060】

なお第1トランジスタ111のゲートと第2端子との間には、第1トランジスタ111のゲートを浮遊状態とすることによりブートストラップ動作を行うための容量素子を別途設けても良い。第1トランジスタ111のゲートと第2端子との間にある寄生容量でブートストラップ動作を行うことができれば、削減することもできる。

【0061】

なお、電圧とは、グランド電位との電位差のことを示す場合が多い。よって、電圧、電位、電位差を置き換えて表記することができる。

【0062】

なお、第1のトランジスタ111乃至第5のトランジスタ115は、同じ極性であることが好ましく、Nチャネル型である場合が多い。ただし、これに限定されず、第1のトランジスタ111乃至第5のトランジスタ115は、Pチャネル型であることが可能である。

【0063】

ここで、本実施の形態で述べる回路動作について詳述する前に、比較例として、上記示した特許文献1に記載の回路構成の動作について説明し、本実施の形態で述べる構成の利点について詳述することにする。なお図28乃至図32で説明する比較例は、図1(A)乃至(D)に示す構成と比較するものであって、本明細書で開示する構成の全てと比較するものではないことを付記する。

【0064】

図28(A)には、特許文献1の図5、図6で説明のあるシフトレジスタを構成するトランジスタM1乃至M8について示している。特許文献1に記載の回路構成は、図28(B)に示すようにタイミングチャートに基づいて、ゲートドライバの出力信号OUT_Nの立ち下がり時間を短くすることができる。次に、図28(B)について、第1の期間T1、第2の期間T2、第3の期間T3、第4の期間T4、第5の期間T5に分けて、各トランジスタのオン又はオフ、及び各配線での電位について、説明する。なお各配線の電位は、簡略的に「H」(高電源電位に基づく信号、H信号)、「L」(低電源電位に基づく信号、L信号)として説明するものとする。なお図28(C)は、クロック信号CKと出力信号OUT_Nの波形について、特許文献1の図8と同様に、具体的に示したものである。なお図28(A)乃至(C)の記載は、特許文献1の図6乃至図8の記載と同様であるため、詳しい説明について特許文献1を援用するものとする。なお図28(A)の点線2

10

20

30

40

50

80で囲った領域のトランジスタM3、M5、M8は、ノードA (node A) の電位に応じて、ノードB (node B) の電位の高低を制御する機能を有する制御回路に相当し、トランジスタM4の導通または非導通を制御するものである。なお当該制御回路は、本実施の形態1の図1で説明する制御回路131と同等の機能を有する回路である。

【0065】

第1の期間T1において、まず前半の動作について図29(A)に期間T1-1として示す。なお、ここでいう「前半」とは、第1の期間T1に所定の電位が供給されることによる過渡期のことをいう。まず、前段信号OUT_N-1がH信号、クロック信号CKがL信号、リセットするための信号OUT_N+2(以下、リセット信号)がL信号となる。その結果、ノードAが低電源電位VSSにしきい値電圧分の電圧を加えた値($VSS + V_{th}$)になり、図示するようにトランジスタM1、M3が導通する(図中、無印のトランジスタ)。また図29(A)に図示するように他のトランジスタM5、M7、M8は導通し、トランジスタM2、M4、M6は非導通となる(図中、X印のトランジスタ)。そして、図29(A)中の点線矢印のように電流が流れる。次に、第1の期間T1の後半の動作として期間T1-2を図29(B)に示す。なお、ここでいう「後半」とは、第1の期間T1に所定の電位が供給されることによって過渡期の状態を経た後の定常状態となった期間のことをいう。図29(A)のように電流が流れることで、ノードAの電位が高電源電位VDDからしきい値電圧分の電圧を引いた値($VDD - V_{th}$)まで上昇し、図29(B)に示すようにトランジスタM7が非導通となる。このときノードAは浮遊状態となる。そして第1の期間T1での各配線の電位が図28(B)のように確定する。

10

20

【0066】

なお、図28(B)では、図28(C)に示すように、前段信号OUT_N-1となる別の段の出力信号OUT_Nがクロック信号CKの立ち上がりには比べ遅延する波形を簡略的に示している。前段信号OUT_N-1の遅延は、ノードAの電位の上昇、ノードBの電位の下降にも反映されることとなる。これはトランジスタM1の後段に接続される配線等の負荷が増大することによりトランジスタサイズを大きく設計することによるものである。そのため、トランジスタM1のゲート容量が増大し、トランジスタM1が導通状態または非導通状態に切り替わる際、トランジスタM1のゲートへの電荷の充電または放電にかかる時間が長くなり、これが信号の立ち上がりまたは立ち下りの遅延として現れることとなる(図28(B)中の二点鎖線281)。ただし、この信号の立ち上がりまたは立ち下りの遅延による、第1の期間T1での回路の誤動作はおこりにくい。

30

【0067】

次に第2の期間T2において、クロック信号CKがH信号となり、前段信号OUT_N-1、及びリセット信号OUT_N+2がL信号となる。その結果、出力信号OUT_Nの電位は上昇し、ブートストラップ動作によって浮遊状態になるノードAの電位が上昇し、図30(A)中の点線矢印のように電流が流れ、出力信号OUT_NがH信号を出力することとなる。

【0068】

次に第3の期間T3において、クロック信号CK、前段信号OUT_N-1、及びリセット信号OUT_N+2がL信号となる。このとき、ノードAの電位は第2の期間T2でのブートストラップ動作により($VDD + V_{th}$)よりも高い値になっているので、トランジスタM1は導通状態のままとなる。そしてHレベルにあった出力信号OUT_Nが出力される端子から図30(B)中の点線矢印のように電流が流れることで、出力信号OUT_NがLレベルに減少していく。すると、トランジスタM1の寄生容量による容量結合により、ノードAの電位は($VDD - V_{th}$)付近まで減少する。こうして、出力信号OUT_NはLレベルになる。第3の期間T3では、ノードAの電位を高い値に維持することで、トランジスタM1を導通状態のままにしている。第3の期間T3にトランジスタM1を導通状態にすることによって、Lレベルのクロック信号CKを、トランジスタM1を介して出力信号OUT_Nに供給することができる。トランジスタM1のチャネル幅は、ゲート線を駆動するために用いるため他のトランジスタのチャネル幅より大きいので、多く

40

50

の電流を流すことができ、出力信号 OUT_N の立ち下がり時間を短くすることができる。

【0069】

次に第4の期間 T_4 において、まず第3の期間 T_3 から第4の期間 T_4 になった直後の各配線及びトランジスタの導通、非導通状態について図31(A)で期間 $T_4 - 1$ として説明する。期間 $T_4 - 1$ ではクロック信号 CK が H 信号、前段信号 $OUT_N - 1$ が L 信号となる。このとき、リセット信号 $OUT_N + 2$ は H 信号となるが、前述の前段信号 $OUT_N - 1$ と同様に、信号の立ち上がりまたは立ち下がりの遅延が現れる(図28(B)中の二点鎖線282)。そのため、図28(C)に示すように、リセット信号 $OUT_N + 2$ となる別の段の出力信号 OUT_N がクロック信号 CK の立ち上がりには比べ遅延することで、リセット信号 $OUT_N + 2$ は期間 $T_4 - 1$ の短い期間 L 信号として、クロック信号は H 信号として機能するものとなる。その結果、トランジスタ M_1 を介して図31(A)中の点線矢印のように電流が流れ、出力信号 OUT_N の電位を L レベルに保持できず、図28(B)中の二点鎖線283に示すようなノイズとして現れてしまう。なお期間 $T_4 - 1$ の後、図31(B)で示すように期間 $T_4 - 2$ では、リセット信号 $OUT_N + 2$ が H 信号となることで、トランジスタ M_2 、 M_4 、及び M_6 が導通状態となり、図31(A)中の点線矢印のように電流が流れてノード A の電荷が放電され、出力信号 OUT_N の電位を L レベルにすることとなる。

【0070】

次の第5の期間 T_5 について、図32で説明する。第5の期間 T_5 では、クロック信号 CK は H 信号または L 信号となり、前段信号 $OUT_N - 1$ 、及びリセット信号 $OUT_N + 2$ が L 信号となる。このとき、ノード A の電荷が放電されているためトランジスタ M_3 が非導通状態となり、トランジスタ M_2 、 M_4 が導通状態となる。そして図32中の点線矢印のように電流が流れることで、出力信号 OUT_N の電位を L レベルに保持する。

【0071】

以上のように、従来の技術(特許文献1)では、期間 $T_4 - 1$ において、トランジスタ M_1 がオンである期間に、クロック信号 CK が H レベルになる場合があるので、意図しない出力信号 OUT_N がゲート線等に供給されてしまう場合がある。結果として、表示不良をおこす原因ともなり得る。

【0072】

次に図2に本実施の形態の半導体装置に用いることのできる基本回路について説明し、従来の構成である図28乃至図32に記載の回路と比較した有利な点等について詳述していく。本実施の形態で開示する構成は、出力信号 OUT_N の信号の立ち下がり時間を早くしつつ、且つ出力信号 OUT_N の電位の上昇を防ぐゲートドライバを提供することができる。

【0073】

次に、図2(A)の回路は、図1で説明した配線、トランジスタのうち、第1トランジスタ111、第2トランジスタ112、及び第3トランジスタ113、の3つのトランジスタ、並びに第1信号線151乃至第4信号線154、について着目し示している。なお、図2(A)の回路の各トランジスタにおける端子間の接続は、図1(D)と同様であり、詳しい説明は省略する。また、駆動回路のシフトレジスタとして機能する半導体装置の動作について、図2(A)に示す回路を用い、具体的に説明するため、図2(B)のタイミングチャートにおいて示す、第1の期間 T_1 、第2の期間 T_2 、第3の期間 T_3 、第4の期間 T_4 に分けて説明する。なお、以下の説明において、第1トランジスタ111乃至第3トランジスタ113は、 N チャネル型のトランジスタとし、ゲートとソース間電圧(V_{gs})がしきい値電圧(V_{th})を上回ったとき導通状態になるものとする。また図2(B)に示すタイミングチャートでは、第1のクロック信号 CK_1 、第3のクロック信号 CK_3 、第2のクロック信号 CK_2 、第4のクロック信号 CK_4 、前段信号 $OUT_N - 1$ 、ノード A 、及び出力信号 OUT_N の波形について、具体的な例を示している。また、各信号の高電源電位レベル及び低電源電位レベルは、ノード A を除き、それぞれ V_{DD} 及

びVSSであるものとして説明する。

【0074】

なお第1のクロック信号CK1及び第3のクロック信号CK3、と第2のクロック信号CK2及び第4のクロック信号CK4とは、図2(B)に示すように、異なるデューティ比を有する信号とする。例えば図2(B)に示すように、第1のクロック信号CK1及び第3のクロック信号CK3はデューティ比50%のクロック信号とし、第2のクロック信号CK2及び第4のクロック信号CK4はデューティ比50%未満のクロック信号とするものである。

【0075】

第1の期間T1において、まず前半の動作について図3(A)に期間T1-1として示す。なお、ここでいう「前半」とは、第1の期間T1に各信号線に供給される所定の電位のうち、第2のクロック信号CK2がH信号になる前の期間のことをいう。期間T1-1では、前段信号OUT_N-1がH信号、第1のクロック信号CK1がL信号、第2のクロック信号CK2がL信号となる。その結果、ノードAが低電源電位VSSにしきい値電圧分の電圧を加えた値($VSS + V_{th}$)になり、図示するように第1トランジスタ111、第2トランジスタ112が導通し、第3トランジスタ113が非導通となる。そして、図3(A)中の点線矢印のように電流が流れる。そしてノードAの値が($VSS + V_{th}$)から上昇して($VDD - V_{th}$)となった時点で、第1トランジスタ111は非導通となる。次に、第1の期間T1の後半の動作として期間T1-2を図3(B)に示す。なお、ここでいう「後半」とは、第1の期間T1に各信号線に供給される所定の電位のうち、第2のクロック信号CK2がH信号、またはH信号の後にL信号となる期間の状態のことをいう。期間T1-2では、前段信号OUT_N-1がH信号、第1のクロック信号CK1がL信号、第2のクロック信号CK2がH信号(後にL信号)となる。そしてノードAの値は($VDD - V_{th}$)から特に変化せず、図示するように第1トランジスタ111が導通し、第2のトランジスタ112が非導通となり、第3トランジスタ113が導通または非導通となる。そして、図3(B)中の点線矢印のように電流が流れることとなる。

【0076】

なお、第1の期間T1における期間T1-1及び期間T1-2について、図4に一例を示し説明する。図4に図示するように、第1の期間T1のうち第2のクロック信号CK2がL信号からH信号に切り替わるまでの期間を期間T1-1とし、それ以降の期間を期間T1-2とする。なお期間T1-2については、図2(B)で示す例では、H信号とL信号が切り替わる構成としたが、H信号を保持するような構成であってもよい。なお、期間T1-1は、図示するように、前段信号OUT_N-1がL信号からH信号に切り替わるまでの期間 t_1 よりも長く設定することが望ましい。

【0077】

なお、図2(B)では、図28(B)と同様に、前段信号OUT_N-1となる別の段の出力信号OUT_Nが第1のクロック信号CK1の立ち上がり比に比べ遅延する波形を簡略的に示している。当該波形の遅延についての説明は、図28(B)と同様である。

【0078】

次に第2の期間T2において、第1のクロック信号CK1がH信号となり、前段信号OUT_N-1、及び第2のクロック信号CK2がL信号となる。その結果、出力信号OUT_Nの電位は上昇し、ブートストラップ動作によって浮遊状態になるノードAの電位が上昇し、図3(C)中の点線矢印のように電流が流れ、出力信号OUT_NがH信号を出力することとなる。

【0079】

次に第3の期間T3について、まず前半の動作について図5(A)に期間T3-1として説明を行う。なお、ここでいう「前半」とは、第3の期間T3に各信号線に供給される所定の電位のうち、第2のクロック信号CK2がH信号になる前の期間のことをいう。期間T3-1では、第1のクロック信号CK1、前段信号OUT_N-1、及び第2のクロック信号CK2がL信号となる。このとき、ノードAの電位は第2の期間T2でのブートス

トラップ動作により ($V_{DD} + V_{th}$) よりも高い値になっているので、第1トランジスタ111は導通状態のままとなる。そしてHレベルにあった出力信号OUT_Nが出力される端子から図5(A)中の点線矢印のように電流が流れることで、出力信号OUT_NがLレベルに減少していく。すると、第1のトランジスタ111の寄生容量による容量結合により、ノードAの電位は ($V_{DD} - V_{th}$) 付近まで減少する。こうして、出力信号OUT_NはLレベルになる。第3の期間T3の期間T3-1では、ノードAの電位を高い値に維持することで、第1のトランジスタ111を導通状態のままにしている。第3の期間T3の期間T3-1に第1のトランジスタ111を導通状態にすることによって、Lレベルの第1のクロック信号CK1を、第1のトランジスタ111を介して出力信号OUT_Nに供給することができる。第1のトランジスタ111のチャネル幅は、ゲート線を駆動するために用いるため他のトランジスタのチャネル幅より大きいので、多くの電流を流すことができ、出力信号OUT_Nの立ち下がり時間を短くすることができる。次に、第3の期間T3の後半の動作として期間T3-2を図5(B)に示す。なお、ここでいう「後半」とは、第3の期間T3に各信号線に供給される所定の電位のうち、第2のクロック信号CK2がH信号、またはH信号の後でL信号となる期間の状態のことをいう。期間T3-2では、前段信号OUT_N-1がL信号、第1のクロック信号CK1がL信号、第2のクロック信号CK2がH信号(後にL信号)となる。そして図5(B)中の点線矢印のように電流が流れることとなり、第2トランジスタ112が非導通、第3のトランジスタ113が導通となってノードAの電位をLレベルとする。

10

20

【0080】

なお、第3の期間T3における期間T3-1及び期間T3-2について、図6に一例を示し説明する。図6に図示するように、第3の期間T3のうち第2のクロック信号CK2がL信号からH信号に切り替わるまでの期間を期間T3-1とし、それ以降の期間を期間T3-2とする。なお期間T3-2については、図2(B)で示す例では、H信号とL信号が切り替わる構成としたが、H信号を保持するような信号であってもよい(図6中のCK2-1)。また期間T3-2のH信号は、第3の期間T3を過ぎて、H信号を保持するような信号であってもよい(図6中のCK2-2)。なお、期間T3-1は、期間T1-1と同様に、第3の期間T3中に出力信号OUT_N+1(図示せず)がL信号からH信号に切り替わるまでの期間よりも長く設定することが望ましい。すなわち、出力信号OUT_N+1がL信号からH信号に切り替わるまでの期間より、第1のクロック信号CK1がH信号からL信号に切り替わってから第2のクロック信号CK2がL信号からH信号に切り替わるまでの期間(図6中の期間T3-1)を長く取ることが望ましいこととなる。

30

【0081】

次に第4の期間T4において、まず第4の期間T4で第2のクロック信号CK2がL信号となる際の期間における、各配線及びトランジスタの導通、非導通状態について、図7(A)で期間T4-1として説明する。期間T4-1では、前段信号OUT_N-1がL信号となり、第1のクロック信号CK1がH信号またはL信号が交互に入れ替わる期間となる。このとき、ノードAの電位は第3の期間T3での動作によりL信号の電位になっているので、第1トランジスタ111は非導通状態のままとなる。こうして、出力信号OUT_NはLレベルになる。第4の期間T4の後半の動作として期間T4-2を図7(B)に示す。なお、ここでいう「後半」とは、第4の期間T4で第2のクロック信号CK2がH信号になる期間のことをいう。期間T4-2では、前段信号OUT_N-1がL信号、第1のクロック信号CK1がL信号となる。また期間4-2では、第2のクロック信号CK2がH信号となっているので、第3のトランジスタ113が導通状態となり、第1のトランジスタ111及び第2のトランジスタ112は非導通状態となる。その結果、図7(B)中の点線矢印のように電流が流れることとなる。そして、第2トランジスタ112が非導通、第3のトランジスタ113が導通となってノードAの電位をLレベルとする。

40

【0082】

以上のように、本実施の形態の構成である図1の構成とすることによって、第3の期間T3の期間T3-1において、第2のクロック信号CK2をLレベルにした後にHレベルと

50

することで、Lレベルの第1のクロック信号CK1を第1のトランジスタ111を介して出力することができ、出力信号OUT_Nの信号の立ち下がり時間を短くすることができる。また、第3の期間T3の期間T3-2で、第2のクロック信号CK2をLレベルにした後にHレベルとすることで、第1のクロック信号CK1が再びHレベルになる前に、第1のトランジスタ111を非導通状態にすることができるので、Hレベルの第1のクロック信号CK1が第1のトランジスタ111を介して出力されることを防止することができる。したがって、出力信号OUT_Nの立ち下がり時間を短くしつつ、出力信号OUT_Nの電位が上昇してしまうことを防止することができる。

【0083】

なお図2(A)に示す奇数段のパルス出力回路の構成とは別の構成について図8(A)に示す。図8(A)に示す構成が図2(A)に示す構成と異なる点は、第3のトランジスタ113の第1端子が、低電源電位VSSが供給される第2電源線142に接続されている点にある。また別の構成について図8(B)に示す。図8(B)に示す構成が図2(A)に示す構成と異なる点は、第3のトランジスタ113の第1端子が、第1のクロック信号CK1が供給される第1信号線151に接続されている点にある。また別の構成について図8(C)に示す。図8(C)に示す構成が図2(A)に示す構成と異なる点は、第3のトランジスタ113の第1端子が、第4のクロック信号CK4が供給される信号線155(第5信号線ともいう)に接続されている点にある。図8(A)乃至図8(C)の構成とすることにより、第3のトランジスタ113のゲートに入力する信号が、第3信号線153に入力される前段信号OUT_{N-1}に伝搬することを防止することができる。例えば、図2(A)では、第3のトランジスタ113のゲートと第3信号線153との間には、寄生容量が存在する。当該寄生容量によって、第2のクロック信号CK2が第3信号線153の電位に伝搬してしまう。図8(A)乃至図8(C)の構成は、当該寄生容量による信号の伝搬を防ぐことが出来る。また、図8(B)乃至図8(C)の構成だと、第3のトランジスタ113の第1端子または第2端子に、第1のクロック信号CK1、又は第4のクロック信号CK4が入力されるので、第3のトランジスタ113を導通させる際の電圧とは逆向きの逆バイアス電圧を印加することができる。よって、第3のトランジスタ113を導通状態とした際に電子がトラップされることによるトランジスタの劣化を緩和することができる。

【0084】

なお図2(A)、図8(A)乃至(C)に示す奇数段のパルス出力回路の構成とは別の構成、具体的には第3のトランジスタ113をダイオード素子に置き換えた構成について図9(A)に示す。図9(A)に示す構成が図2(A)に示す構成と異なる点は、第3のトランジスタ113の代わりにダイオード素子413が設けられており、ダイオード素子413の第1端子が第2のクロック信号CK2が供給される第2信号線152に接続され、ダイオード素子413の第2端子がノードAに接続されている点にある。また別の構成について図9(B)に示す。図9(B)に示す構成が図2(A)に示す構成と異なる点は、第3のトランジスタ113の代わりにダイオード接続された第3のトランジスタ513が設けられており、第3のトランジスタ513の第1端子が第2のクロック信号CK2が供給される第2信号線152に接続され、第3のトランジスタ513のゲート及び第2端子がノードAに接続されている点にある。なお図9(B)の回路構成において、図9(C)に示すように、第2のクロック信号CK2のデューティ比は50%以上である、すなわちLレベルの期間よりもHレベルの期間の方が長いことが好ましい。図9(A)及び図9(B)の構成では、トランジスタのゲートの電位を制御する配線を削減することが出来る。また、図9(B)の構成では、トランジスタ513を導通させる際の電圧とは逆向きの逆バイアスを印加することができるので、トランジスタ513を導通状態とした際に電子がトラップされることによるトランジスタの劣化を緩和することができる。

【0085】

なお奇数段のパルス出力回路の構成において、図10(A)に示すように、第2のトランジスタ112の第1端子に接続された信号線156(第5信号線ともいう)に、高電源

電位 V_{DD} 、第 3 のクロック信号 CK_3 、又は第 2 のクロック信号 CK_2 を供給する構成としてもよい。図 10 (A) に示す構成が図 2 (A) に示す構成と異なる点は、第 2 のトランジスタ 112 の第 1 の端子に高電源電位 V_{DD} 、第 3 のクロック信号 CK_3 、又は第 2 のクロック信号 CK_2 を供給するための信号線 156 が接続されている点にある。また、奇数段のパルス出力回路の構成において、図 10 (B) に示すように、第 2 のトランジスタ 112 のゲートに接続された信号線 157 (第 6 信号線ともいう) に、第 3 のクロック信号 CK_3 、又は第 2 のクロック信号 CK_2 を供給する構成としてもよい。図 10 (B) に示す構成が図 2 (A) に示す構成と異なる点は、第 2 のトランジスタ 112 のゲートに第 3 のクロック信号 CK_3 、又は第 2 のクロック信号 CK_2 を供給するための信号線 157 が接続されている点にある。また、図 10 (A) 及び図 10 (B) の構成では、トランジスタ 112 を導通させる際の電圧とは逆向きの逆バイアスを印加することができるので、トランジスタ 112 を導通状態とした際に電子がトラップされることによるトランジスタの劣化を緩和することができる。また図 10 (B) の構成では、トランジスタ 112 が第 3 のクロック信号 CK_3 又は第 2 のクロック信号 CK_2 に応じて導通状態と非導通状態とを繰り返すこととなる。よって、一定期間毎に、前段信号 OUT_{N-1} をノード A に供給することができる。その結果、ノード A の電位を安定した値にすることができる。

10

20

30

40

50

【0086】

以上のように、本実施の形態の半導体装置は、入力される信号による誤動作を低減することができ、その結果、表示不良を低減することが出来る。したがって、回路の誤動作を低減するための補正回路等を設ける必要がなく、表示品位の向上、表示装置の小型化、低コスト化、狭額縁化等の副次的な効果を奏することが出来る。

【0087】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

【0088】

(実施の形態 2)

本実施の形態では、半導体装置の一例について具体的に説明する。本実施の形態の半導体装置は、実施の形態 1 の半導体装置、具体的には図 1 (D) の構成を、より具体的に説明するものである。本実施の形態の半導体装置は、フリップフロップ、シフトレジスタ、ゲートドライバ、ソースドライバ、又は表示装置などに用いることが可能である。なお、本実施の形態の半導体装置は、フリップフロップ、又は駆動回路と示すことが可能である。

【0089】

まず、本実施の形態の半導体装置の一例について、図 11 (A) を参照して説明する。図 11 (A) の半導体装置は、図 1 (D) と同様であり、また図 11 (B) のタイミングチャートについては、図 2 (B) と同様であるため、詳細な説明については、実施の形態 1 の記載を援用するものとする。

【0090】

第 1 の期間 T_1 において、まず前半の動作について図 12 (A) に期間 $T_1 - 1$ として示す。なお、ここでいう「前半」とは、第 1 の期間 T_1 に各信号線に供給される所定の電位のうち、第 2 のクロック信号 CK_2 が H 信号になる前の期間のことをいう。期間 $T_1 - 1$ では、前段信号 OUT_{N-1} が H 信号、第 1 のクロック信号 CK_1 が L 信号、第 2 のクロック信号 CK_2 が L 信号となる。その結果、ノード A が低電源電位 V_{SS} にしきい値電圧分の電圧を加えた値 ($V_{SS} + V_{th}$) になり、図示するように第 1 トランジスタ 111、第 2 トランジスタ 112 が導通し、第 3 トランジスタ 113 が非導通となる。そして、図 12 (A) 中の点線矢印のように第 1 のトランジスタ 111 を介して電流が流れる。そしてノード A の値が ($V_{SS} + V_{th}$) から上昇して ($V_{DD} - V_{th}$) となった時点で、第 1 トランジスタ 111 は非導通となる。また、ノード A の電位が ($V_{DD} - V_{th}$) に上昇することにより、制御回路 131 はノード B の電位を下降するように制御し、第 4 のトランジスタ 114 及び第 5 のトランジスタ 115 が非導通状態となる。次に、第 1 の期間 T_1 の後半の動作として期間 $T_1 - 2$ を図 12 (B) に示す。なお、ここでいう「

後半」とは、第 1 の期間 T_1 に各信号線に供給される所定の電位のうち、第 2 のクロック信号 CK_2 が H 信号、または H 信号の後に L 信号となる期間のことをいう。期間 $T_1 - 2$ では、前段信号 OUT_{N-1} が H 信号、第 1 のクロック信号 CK_1 が L 信号、第 2 のクロック信号 CK_2 が H 信号（後に L 信号）となる。そしてノード A の値は $(VDD - V_{th})$ から特に変化せず、図示するように第 1 トランジスタ 111 が導通し、第 2 のトランジスタ 112、第 4 のトランジスタ 114、及び第 5 のトランジスタ 115 が非導通となり、第 3 トランジスタ 113 が導通または非導通となる。そして、図 12 (B) 中の点線矢印のように電流が流れることとなる。

【0091】

次に第 2 の期間 T_2 において、第 1 のクロック信号が H 信号となり、前段信号 OUT_{N-1} 、及びリセット信号 OUT_{N+2} が L 信号となる。その結果、出力信号 OUT_N の電位は上昇し、ブートストラップ動作によって浮遊状態になるノード A の電位が上昇し、図 13 中の点線矢印のように電流が流れ、出力信号 OUT_N が H 信号を出力することとなる。また、ノード A の電位が $(VDD - V_{th})$ より高い電位であることにより、前の期間と同様に、制御回路 131 はノード B の電位を下降するように制御し、第 4 のトランジスタ 114 及び第 5 のトランジスタ 115 が非導通状態となっている。

【0092】

次に第 3 の期間 T_3 について、まず前半の動作について図 14 (A) に期間 $T_3 - 1$ として説明を行う。なお、ここでいう「前半」とは、第 3 の期間 T_3 に各信号線に供給される所定の電位のうち、第 2 のクロック信号 CK_2 が H 信号になる前の期間の状態のことをいう。期間 $T_3 - 1$ では、第 1 のクロック信号 CK_1 、前段信号 OUT_{N-1} 、及び第 2 のクロック信号が L 信号となる。このとき、ノード A の電位は第 2 の期間 T_2 でのブートストラップ動作により $(VDD + V_{th})$ よりも高い電位になっているので、第 1 トランジスタ 111 は導通状態のままとなる。また、ノード A の電位が $(VDD + V_{th})$ よりも高い電位であることにより、前の期間と同様に、制御回路 131 はノード B の電位を下降するように制御し、第 4 のトランジスタ 114 及び第 5 のトランジスタ 115 が非導通状態となっている。そして H レベルにあった出力信号 OUT_N が出力される端子から図 14 (B) 中の点線矢印のように電流が流れることで、出力信号 OUT_N が L レベルに減少していく。すると、第 1 のトランジスタ 111 の寄生容量による容量結合により、ノード A の電位は $(VDD - V_{th})$ 付近まで減少する。こうして、出力信号 OUT_N は L レベルになる。第 3 の期間 T_3 の期間 $T_3 - 1$ では、ノード A の電位を高い値に維持することで、第 1 のトランジスタ 111 を導通状態のままにしている。第 3 の期間 T_3 の期間 $T_3 - 1$ に第 1 のトランジスタ 111 を導通状態にすることによって、L レベルの第 1 のクロック信号 CK_1 を、第 1 のトランジスタ 111 を介して出力信号 OUT_N に供給することができる。第 1 のトランジスタ 111 のチャネル幅は、ゲート線を駆動するために用いるため他のトランジスタ（第 4 のトランジスタ 114、第 5 のトランジスタ 115）のチャネル幅より大きいので、多くの電流を流すことができ、出力信号 OUT_N の立ち上がり時間を短くすることができる。次に、第 3 の期間 T_3 の後半の動作として期間 $T_3 - 2$ を図 14 (B) に示す。なお、ここでいう「後半」とは、第 3 の期間 T_3 に各信号線に供給される所定の電位のうち、第 2 のクロック信号 CK_2 が H 信号、または H 信号の後で L 信号となる期間のことをいう。期間 $T_3 - 2$ では、前段信号 OUT_{N-1} が L 信号、第 1 のクロック信号 CK_1 が L 信号、第 2 のクロック信号 CK_2 が H 信号（後に L 信号）となる。そして図 14 (B) 中の点線矢印のように電流が流れることとなり、第 2 トランジスタ 112 が非導通、第 3 のトランジスタ 113 が導通となってノード A の電位を L レベルとする。そして、ノード A の電位が L レベルとなることにより、制御回路 131 はノード B の電位を上昇するように制御し、第 4 のトランジスタ 114 及び第 5 のトランジスタ 115 を導通状態としている。

【0093】

次に第 4 の期間 T_4 において、まず第 4 の期間 T_4 で第 2 のクロック信号 CK_2 が L 信号となる際の期間における、各配線及びトランジスタの導通、非導通状態について、図 15

(A)で期間T4-1として説明する。期間T4-1では、前段信号OUT_N-1がL信号となり、第1のクロック信号CK1がH信号またはL信号が交互に入れ替わる期間となる。このとき、ノードAの電位は第3の期間T3での動作によりL信号の電位になっているので、第1トランジスタ111は非導通状態のままとなり、制御回路131により第4のトランジスタ114及び第5のトランジスタ115は導通状態のままとなっている。こうして、出力信号OUT_NはLレベルになる。第4の期間T4の後半の動作として期間T4-2を図15(B)に示す。なお、ここでいう「後半」とは、第4の期間T4で第2のクロック信号CK2がH信号になる期間のことをいう。期間T4-2では、前段信号OUT_N-1がL信号、第1のクロック信号CK1がL信号である。また期間4-2では、第2のクロック信号CK2がH信号となっているので、第3のトランジスタ113が導通状態となり、第1のトランジスタ111及び第2のトランジスタ112は非導通状態となる。その結果、図15(B)中の点線矢印のように電流が流れることとなる。そして、第2トランジスタ112が非導通、第3のトランジスタ113が導通となってノードAの電位をLレベルとする。そして、ノードAの電位がLレベルとなることにより、制御回路131はノードBの電位を上昇するように制御し、第4のトランジスタ114及び第5のトランジスタ115を導通状態としている。

10

20

30

40

50

【0094】

以上のように、本実施の形態の構成である図1の構成とすることによって、第3の期間T3の期間T3-1において、第2のクロック信号CK2をLレベルにした後にHレベルとすることで、Lレベルの第1のクロック信号CK1を第1のトランジスタ111を介して出力することができ、出力信号OUT_Nの信号の立ち下がり時間を短くすることができる。また、第3の期間T3の期間3-2で、第2のクロック信号CK2をLレベルにした後にHレベルとすることで、第1のクロック信号CK1が再びHレベルになる前に、第1のトランジスタ111を非導通状態にすることができるので、Hレベルの第1のクロック信号CK1が第1のトランジスタ111を介して出力されることを防止することができる。したがって、出力信号OUT_Nの立ち下がり時間を短くしつつ、出力信号OUT_Nの電位が上昇してしまうことを防止することができる。

【0095】

次に、本実施の形態では、図11(A)に示す制御回路131の具体的な回路構成について、例を示し説明する。

【0096】

図16(A)に示す制御回路131は、図11(A)に示すように、ノードA、ノードB、高電源電位が供給される第1電源線141、低電源電位が供給される第2電源線142に接続されており、nチャネル型のトランジスタ1601、及びトランジスタ1602を有している。トランジスタ1601は、第1電源線141に接続された第1端子がゲートに接続されている。トランジスタ1602は、ゲートがノードAに接続され、第2端子が第2電源線142に接続されている。トランジスタ1601の第2端子、トランジスタ1602の第1端子、及びノードBが互いに接続されている。また図16(B)に示す別の構成の制御回路131では、ノードA、ノードB、高電源電位が供給される第1電源線141、低電源電位が供給される第2電源線142に接続されており、nチャネル型のトランジスタ1601、トランジスタ1602、トランジスタ1603、及びトランジスタ1604を有している。トランジスタ1601は、第1電源線141に接続された第1端子がゲートに接続されている。トランジスタ1602は、ゲートがノードA及びトランジスタ1604のゲートに接続され、第2端子が第2電源線142に接続されている。トランジスタ1601の第2端子、トランジスタ1602の第1端子、及びトランジスタ1603のゲートが互いに接続されている。トランジスタ1603は、第1端子が第1電源線141に接続されている。トランジスタ1604は、第2端子が第2電源線142に接続されている。トランジスタ1603の第2端子、トランジスタ1604の第1端子、及びノードBが互いに接続されている。

【0097】

また、図 16 (A)、(B)とは別の回路構成について説明する。図 17 (A)に示す制御回路 131は、図 11 (A)とは異なり、ノード A、ノード B、高電源電位が供給される第 1 電源線 141、低電源電位が供給される第 2 電源線 142、第 3 のクロック信号 CK3 が供給される配線 1651 (信号線ともいう)に接続されており、n チャンネル型のトランジスタ 1601、トランジスタ 1602、トランジスタ 1605 を有している。トランジスタ 1601 は、第 1 電源線 141 に接続された第 1 端子がゲートに接続されている。トランジスタ 1602 は、ゲートがノード A に接続され、第 2 端子が第 2 電源線 142 に接続されている。トランジスタ 1601 の第 2 端子、トランジスタ 1602 の第 1 端子、トランジスタ 1605 の第 1 端子、及びノード B が互いに接続されている。トランジスタ 1605 は、ゲートが配線 1651 に接続されており、第 2 端子が第 2 電源線 142 に接続されている。また図 17 (B)に示す別の構成の制御回路 131 では、ノード A、ノード B、高電源電位が供給される第 1 電源線 141、低電源電位が供給される第 2 電源線 142、第 3 のクロック信号 CK3 が供給される配線 1651 に接続されており、n チャンネル型のトランジスタ 1601、トランジスタ 1602、トランジスタ 1603、トランジスタ 1604、トランジスタ 1605、及びトランジスタ 1606 を有している。トランジスタ 1601 は、第 1 電源線 141 に接続された第 1 端子がゲートに接続されている。トランジスタ 1602 は、ゲートがノード A 及びトランジスタ 1604 のゲートに接続され、第 2 端子が第 2 電源線 142 に接続されている。トランジスタ 1601 の第 2 端子、トランジスタ 1602 の第 1 端子、トランジスタ 1605 の第 1 端子、及びトランジスタ 1603 のゲートが互いに接続されている。トランジスタ 1603 は、第 1 端子が第 1 電源線 141 に接続されている。トランジスタ 1604 は、第 2 端子が第 2 電源線 142 に接続されている。トランジスタ 1605 は、ゲートが配線 1651 及びトランジスタ 1606 のゲートに接続され、第 2 端子が第 2 電源線 142 に接続されている。トランジスタ 1603 の第 2 端子、トランジスタ 1604 の第 1 端子、トランジスタ 1606 の第 1 端子、及びノード B が互いに接続されている。第 3 のクロック信号 CK3 がゲートに入力されるトランジスタ 1605 を配設することにより、第 4 の期間 T4 に、ノード B の電位が H レベルと L レベルとを繰り返すものとすることができる。よって、トランジスタ 114、及びトランジスタ 115 が導通状態となる期間を減らすことができ、トランジスタの劣化を抑制することができる。

【0098】

また、図 16 (A)、(B)、図 17 (A)、(B)とは別の回路構成について説明する。図 17 (C)に示す制御回路 131は、図 11 (A)とは異なり、ノード A、ノード B、第 1 のクロック信号が供給される配線 1651、低電源電位が供給される第 2 電源線 142 に接続されており、容量素子 1611、n チャンネル型のトランジスタ 1612 を有している。容量素子 1611 は、第 1 電極 (第 1 端子、一方の電極ともいう)が配線 1651 に接続されている。トランジスタ 1602 は、ゲートがノード A に接続され、第 2 端子が第 2 電源線 142 に接続されている。容量素子 1611 の第 2 電極 (第 2 端子、他方の電極ともいう)、トランジスタ 1602 の第 1 端子、及びノード B が互いに接続されている。容量素子 1611 を設けることにより、トランジスタを設けたときと同様の動作を実現しつつ、定常電流を削減することができ、低消費電力化を図ることが出来る。

【0099】

また、図 16 (A)、(B)、図 17 (A)、(B)、(C)とは別の回路構成について説明する。図 17 (D)に示す制御回路 131は、図 11 (A)とは異なり、ノード A、ノード B、第 1 のクロック信号が供給される配線 1651、低電源電位が供給される第 2 電源線 142 に接続されており、n チャンネル型のトランジスタ 1601、トランジスタ 1602、トランジスタ 1603、トランジスタ 1604 を有している。トランジスタ 1601 は、配線 1651 に接続された第 1 端子がゲートに接続されている。トランジスタ 1602 は、ゲートがノード A 及びトランジスタ 1604 のゲートに接続され、第 2 端子が第 2 電源線 142 に接続されている。トランジスタ 1601 の第 2 端子、トランジスタ 1602 の第 1 端子、及びトランジスタ 1603 のゲートが互いに接続されている。トラン

ジスタ１６０３は、第１端子が配線１６５１に接続されている。トランジスタ１６０４は、第２端子が第２電源線１４２に接続されている。トランジスタ１６０３の第２端子、トランジスタ１６０４の第１端子、及びノードＢが互いに接続されている。図１７（Ｄ）の制御回路の構成とすることにより、第４の期間Ｔ４に、ノードＢの電位がＨレベルとＬレベルとを繰り返すものとするができる。よって、トランジスタ１１４、及びトランジスタ１１５が導通状態となる期間を減らすことができ、トランジスタ１１４、及びトランジスタ１１５の劣化を抑制することができる。またノードＢがＨ信号を出力するときに、トランジスタ１１４、及びトランジスタ１１５のゲートとソースとの間の電圧を大きくすることができる。よって、トランジスタ１１４、及びトランジスタ１１５のチャネル幅を小さく、または出力信号の遅延を小さくすることができる。

10

【０１００】

以上のように、本実施の形態の半導体装置は、実施の形態１と同様に、入力される信号による誤動作を低減することができ、その結果、表示不良を低減することが出来る。したがって、回路の誤動作を低減するための補正回路等を設ける必要がなく、表示装置の小型化、低コスト化、狭額縁化等の副次的な効果を奏することが出来る。

【０１０１】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

【０１０２】

（実施の形態３）

本実施の形態では、表示装置の一例について説明する。

20

【０１０３】

まず、図１８（Ａ）を参照して、液晶表示装置のシステムブロックの一例について説明する。液晶表示装置は、回路５３６１、回路５３６２、回路５３６３__１、回路５３６３__２、画素部５３６４、回路５３６５、及び照明装置５３６６を有する。画素部５３６４には、複数の配線５３７１が回路５３６２から延伸して配置され、複数の配線５３７２が回路５３６３__１、及び回路５３６３__２から延伸して配置されている。そして、複数の配線５３７１と複数の配線５３７２との交差領域には、各々、液晶素子などの表示素子を有する画素５３６７がマトリクス状に配置されている。

【０１０４】

回路５３６１は、映像信号５３６０に応じて、回路５３６２、回路５３６３__１、回路５３６３__２、及び回路５３６５に、信号、電圧、又は電流などを供給する機能を有し、コントローラ、制御回路、タイミングジェネレータ、電源回路、又はレギュレータなどとして機能することが可能である。本実施の形態では、一例として、回路５３６１は、回路５３６２に、信号線駆動回路用スタート信号（ＳＳＰ）、信号線駆動回路用クロック信号（ＳＣＫ）、信号線駆動回路用反転クロック信号（ＳＣＫＢ）、ビデオ信号用データ（ＤＡＴＡ）、ラッチ信号（ＬＡＴ）を供給するものとする。または、回路５３６１は、一例として、回路５３６３__１、及び回路５３６３__２に、走査線駆動回路用スタート信号（ＧＳＰ）、走査線駆動回路用クロック信号（ＧＣＫ）、及び走査線駆動回路用反転クロック信号（ＧＣＫＢ）を供給するものとする。または、回路５３６１は、回路５３６５に、バックライト制御信号（ＢＬＣ）を供給するものとする。ただし、これに限定されず、回路５３６１は、他にも様々な信号、様々な電圧、又は様々な電流などを、回路５３６２、回路５３６３__１、回路５３６３__２、及び回路５３６５に供給することが可能である。

30

40

【０１０５】

回路５３６２は、回路５３６１から供給される信号（例えば、ＳＳＰ、ＳＣＫ、ＳＣＫＢ、ＤＡＴＡ、ＬＡＴ）に応じて、ビデオ信号を複数の配線５３７１に出力する機能を有し、信号線駆動回路として機能することが可能である。回路５３６３__１、及び回路５３６３__２は、回路５３６１から供給される信号（ＧＳＰ、ＧＣＫ、ＧＣＫＢ）に応じて、走査信号を複数の配線５３７２に出力する機能を有し、走査線駆動回路として機能することが可能である。回路５３６５は、回路５３６１から供給される信号（ＢＬＣ）に応じて、

50

照明装置 5 3 6 6 に供給する電力の量、又は時間などを制御することによって、照明装置 5 3 6 6 の輝度（又は平均輝度）を制御する機能を有し、電源回路として機能することが可能である。

【0106】

なお、複数の配線 5 3 7 1 にビデオ信号が入力される場合、複数の配線 5 3 7 1 は、信号線、ビデオ信号線、又はソース線などとして機能することが可能である。複数の配線 5 3 7 2 に走査信号が入力される場合、複数の配線 5 3 7 2 は、信号線、走査線、又はゲート線などとして機能することが可能である。ただし、これに限定されない。

【0107】

なお、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 に、同じ信号が回路 5 3 6 1 から入力される場合、回路 5 3 6 3 __ 1 が複数の配線 5 3 7 2 に出力する走査信号と、回路 5 3 6 3 __ 2 が複数の配線 5 3 7 2 に出力する走査信号とは、おおむね等しいタイミングとなる場合が多い。したがって、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 が駆動する負荷を小さくすることができる。よって、表示装置を大きくすることができる。または、表示装置を高精細にすることができる。または、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 が有するトランジスタのチャンネル幅を小さくすることができるので、狭額縁な表示装置を得ることができる。ただし、これに限定されず、回路 5 3 6 1 は、回路 5 3 6 3 __ 1 と回路 5 3 6 3 __ 2 とに別々の信号を供給することが可能である。

10

【0108】

なお、回路 5 3 6 3 __ 1 と回路 5 3 6 3 __ 2 との一方を省略することが可能である。

20

【0109】

なお、画素部 5 3 6 4 には、容量線、電源線、走査線などの配線を新たに配置することが可能である。そして、回路 5 3 6 1 は、これらの配線に信号又は電圧などを出力することが可能である。または、回路 5 3 6 3 __ 1 又は回路 5 3 6 3 __ 2 と同様の回路を新たに追加し、この新たに追加した回路は、新たに追加した配線に走査信号などの信号を出力することが可能である。

【0110】

なお、画素 5 3 6 7 が表示素子として E L 素子などの発光素子を有することが可能である。この場合、図 1 8 (B) に示すように、表示素子が発光することが可能なので、回路 5 3 6 5、及び照明装置 5 3 6 6 は省略されることが可能である。そして、表示素子に電力を供給するために、電源線として機能することが可能な複数の配線 5 3 7 3 を画素部 5 3 6 4 に配置することが可能である。回路 5 3 6 1 は、電圧 (A N O) という電源電圧を配線 5 3 7 3 に供給することが可能である。この配線 5 3 7 3 は、画素の色要素別に接続されることが可能であるし、全ての画素に共通して接続されることが可能である。

30

【0111】

なお、図 1 8 (B) では、一例として、回路 5 3 6 1 は、回路 5 3 6 3 __ 1 と回路 5 3 6 3 __ 2 とに別々の信号を供給する場合の一例を示す。回路 5 3 6 1 は、走査線駆動回路用スタート信号 (G S P 1)、走査線駆動回路用クロック信号 (G C K 1)、及び走査線駆動回路用反転クロック信号 (G C K B 1) などの信号を回路 5 3 6 3 __ 1 に供給する。そして、回路 5 3 6 1 は、走査線駆動回路用スタート信号 (G S P 2)、走査線駆動回路用クロック信号 (G C K 2)、及び走査線駆動回路用反転クロック信号 (G C K B 2) などの信号を回路 5 3 6 3 __ 2 に供給する。この場合、回路 5 3 6 3 __ 1 は、複数の配線 5 3 7 2 のうち奇数行目の配線のみを走査し、回路 5 3 6 3 __ 2 は、複数の配線 5 3 7 2 のうち偶数行目の配線のみを走査することが可能になる。よって、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 の駆動周波数を小さくできるので、消費電力の低減を図ることができる。または、1 段分のフリップフロップをレイアウトすることが可能な面積を大きくすることができる。よって、表示装置を高精細にすることができる。または、表示装置を大型にすることができる。ただし、これに限定されず、図 1 8 (A) と同様に、回路 5 3 6 1 は、回路 5 3 6 3 __ 1 と回路 5 3 6 3 __ 2 とに同じ信号を出力することが可能である。

40

【0112】

50

なお、図 18 (B) と同様に、図 18 (A) においても、回路 5361 は、回路 5363 __1 と回路 5363 __2 とに別々の信号を供給することが可能である。

【0113】

以上、表示装置のシステムブロックの一例について説明した。

【0114】

次に、表示装置の構成の一例について、図 19 (A)、(B)、(C)、(D)、及び (E) を参照して説明する。

【0115】

図 19 (A) では、画素部 5364 に信号を出力する機能を有する回路 (例えば、回路 5362、回路 5363 __1、及び回路 5363 __2 など) は、画素部 5364 と同じ基板 5380 に形成される。そして、回路 5361 は、画素部 5364 とは別の基板に形成される。こうして、外部部品の数が減るので、コストの低減を図ることができる。または、基板 5380 に入力される信号又は電圧の数が減るので、基板 5380 と、外部部品との接続数を減らすことができる。よって、信頼性の向上、又は歩留まりの向上を図ることができる。

10

【0116】

なお、回路が画素部 5364 とは別の基板に形成される場合、当該基板は、TAB (Tape Automated Bonding) 方式によって FPC (Flexible Printed Circuit) に実装されることが可能である。または、当該基板は、COG (Chip on Glass) 方式によって画素部 5364 と同じ基板 5380 に実装することが可能である。

20

【0117】

なお、回路が画素部 5364 とは別の基板に形成される場合、当該基板には、単結晶半導体を用いたトランジスタを形成することが可能である。したがって、当該基板に形成される回路は、駆動周波数の向上、駆動電圧の向上、出力信号のばらつきの低減などのメリットを得ることができる。

【0118】

なお、外部回路からは、入力端子 5381 を介して信号、電圧、又は電流などが入力される場合が多い。

【0119】

30

図 19 (B) では、駆動周波数が低い回路 (例えば、回路 5363 __1、回路 5363 __2) は、画素部 5364 と同じ基板 5380 に形成される。そして、回路 5361、及び回路 5362 は、画素部 5364 とは別の基板に形成される。こうして、移動度が小さいトランジスタによって、基板 5380 に形成される回路を構成することが可能になる。よって、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを行うことができる。

【0120】

なお、図 19 (C) に示すように、回路 5362 の一部 (回路 5362 a) が画素部 5364 と同じ基板 5380 に形成され、残りの回路 5362 (回路 5362 b) が画素部 5364 とは別の基板に形成されることが可能である。回路 5362 a は、移動度が低いトランジスタによって構成することが可能な回路 (例えば、シフトレジスタ、セレクト、スイッチなど) を有する場合が多い。そして、回路 5362 b は、移動度が高く、特性ばらつきが小さいトランジスタによって構成することが好ましい回路 (例えば、シフトレジスタ、ラッチ回路、バッファ回路、DA 変換回路、AD 変換回路など) を有する場合が多い。こうすることによって、図 19 (B) と同様に、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能となり、さらに外部部品の削減を図ることができる。

40

【0121】

図 19 (D) では、画素部 5364 に信号を出力する機能を有する回路 (例えば、回路 5

50

3 6 2、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 など）、及びこれらの回路を制御する機能を有する回路（例えば、回路 5 3 6 1）は、画素部 5 3 6 4 とは別の基板に形成される。こうして、画素部と、その周辺回路とを別々の基板に形成することが可能になるので、歩留まりの向上を図ることができる。

【0122】

なお、図 1 9（D）と同様に、図 1 9（A）～（C）においても、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 を画素部 5 3 6 4 とは別の基板に形成することが可能である。

【0123】

図 1 9（E）では、回路 5 3 6 1 の一部（回路 5 3 6 1 a）が画素部 5 3 6 4 と同じ基板 5 3 8 0 に形成され、残りの回路 5 3 6 1（回路 5 3 6 1 b）が画素部 5 3 6 4 とは別の基板に形成される。回路 5 3 6 1 a は、移動度が小さいトランジスタによって構成することが可能な回路（例えば、スイッチ、セクタ、レベルシフト回路など）を有する場合が多い。そして、回路 5 3 6 1 b は、移動度が高く、ばらつきが小さいトランジスタを用いて構成することが好ましい回路（例えば、シフトレジスタ、タイミングジェネレータ、オシレータ、レギュレータ、又はアナログバッファなど）を有する場合が多い。

10

【0124】

なお、図 1 9（A）～（D）においても、回路 5 3 6 1 a を画素部 5 3 6 4 と同じ基板に形成し、回路 5 3 6 1 b を画素部 5 3 6 4 とは別の基板に形成することが可能である。

【0125】

ここで、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 として、実施の形態 1 または実施の形態 2 の半導体装置又はシフトレジスタを用いることが可能である。この場合、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 と画素部とが同じ基板に形成されることによって、当該基板に形成される全てのトランジスタの極性を N チャネル型又は P チャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性が N チャネル型である場合には、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。よって、表示装置の大型化、コストの低減、又は歩留まりの向上などを行うことができる。

20

【0126】

または、実施の形態 1 または実施の形態 2 の半導体装置、又はシフトレジスタは、トランジスタのチャネル幅を小さくすることができる。よって、レイアウト面積を小さくすることができるので、額縁を小さくすることができる。または、レイアウト面積を小さくすることができるので、解像度を高くすることができる。

30

【0127】

または、実施の形態 1 または実施の形態 2 の半導体装置、又はシフトレジスタは、寄生容量を小さくすることができる。よって、消費電力を低減することができる。または、外部回路の電流能力を小さくすることができる。または、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることができる。

【0128】

なお、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを半導体層として用いるトランジスタは、閾値電圧の増加、又は移動度の低下などの特性劣化を生じる場合が多い。しかし、実施の形態 1 または実施の形態 2 の半導体装置又はシフトレジスタは、トランジスタの特性劣化を抑制することができるので、表示装置の寿命を長くすることができる。

40

【0129】

なお、回路 5 3 6 2 の一部として、実施の形態 1 または実施の形態 2 の半導体装置、又はシフトレジスタを用いることが可能である。例えば、回路 5 3 6 2 a は、実施の形態 1 または実施の形態 2 の半導体装置、又はシフトレジスタを有することが可能である。

【0130】

（実施の形態 4）

50

本実施の形態では、信号線駆動回路の一例について説明する。なお、信号線駆動回路を半導体装置、又は信号生成回路と示すことが可能である。

【0131】

信号線駆動回路の一例について、図20(A)を参照して説明する。信号線駆動回路は、回路2001、及び回路2002を有する。回路2002は、回路2002__1~2002__N(Nは自然数)という複数の回路を有する。回路2002__1~2002__Nは、各々、トランジスタ2003__1~2003__k(kは自然数)という複数のトランジスタを有する。トランジスタ2003__1~2003__kは、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ2003__1~2003__kは、Pチャネル型とすることが可能であるし、CMOS型のスイッチとすることが可能である。

10

【0132】

信号線駆動回路の接続関係について、回路2002__1を例にして説明する。トランジスタ2003__1~2003__kの第1の端子は、各々、配線2004__1~2004__kと接続される。トランジスタ2003__1~2003__kの第2の端子は、各々、配線S1~Skと接続される。トランジスタ2003__1~2003__kのゲートは、配線2004__1と接続される。

【0133】

回路2001は、配線2005__1~2005__Nに順番にハイレベルの信号を出力する機能を有する。または、回路2002__1~2002__Nを順番に選択する機能を有する。このように、回路2001は、シフトレジスタとしての機能を有する。ただし、これに限定されない。回路2001は、配線2005__1~2005__Nに様々な順番でハイレベルの信号を出力することが可能である。または、回路2002__1~2002__Nを様々な順番で選択することが可能である。このように、回路2001は、デコーダとしての機能を有することが可能である。

20

【0134】

回路2002__1は、配線2004__1~2004__kと配線S1~Skとの導通状態を制御する機能を有する。または、回路2002__1は、配線2004__1~2004__kの電位を配線S1~Skに供給する機能を有する。このように、回路2002__1は、セレクトとしての機能を有することが可能である。ただし、これに限定されない。なお、回路2002__2~2002__Nは、回路2002__1と同様の機能を有することが可能である。

30

【0135】

トランジスタ2003__1~2003__Nは、各々、配線2004__1~2004__kと配線S1~Skとの導通状態を制御する機能を有する。または、トランジスタ2003__1~2003__Nは、各々、配線2004__1~2004__kの電位を配線S1~Skに供給する機能を有する。例えば、トランジスタ2003__1は、配線2004__1と配線S1との導通状態を制御する機能を有する。または、トランジスタ2003__1は、配線2004__1の電位を配線S1に供給する機能を有する。このように、トランジスタ2003__1~2003__Nは、各々、スイッチとしての機能を有することが可能である。ただし、これに限定されない。

40

【0136】

なお、配線2004__1~2004__kには、各々、信号が入力される場合が多い。当該信号は、画像情報又は画像信号に応じたアナログ信号である場合が多い。このように、当該信号は、ビデオ信号としての機能を有することが可能である。よって、配線2004__1~2004__kは、信号線としての機能を有することが可能である。ただし、これに限定されない。例えば、画素構成によっては、デジタル信号であることが可能であるし、アナログ電圧であることが可能であるし、アナログ電流であることが可能である。

【0137】

次に、図20(A)の信号線駆動回路の動作について、図20(B)のタイミングチャートを参照して説明する。図20(B)には、信号2015__1~2015__N、及び信号

50

2014__1~2014__kの一例を示す。信号2015__1~2015__Nは、各々、回路2001の出力信号の一例であり、信号2014__1~2014__kは、各々、配線2004__1~2004__kに入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間T0、及び期間T1~期間TNに分割される。期間T0は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間としての機能を有することが可能である。期間T1~TNは、各々、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間としての機能を有することが可能である。

【0138】

まず、期間T0において、回路2001は、配線2005__1~2005__Nに、ハイレベルの信号を供給する。すると、例えば、回路2002__1において、トランジスタ2003__1~2003__kがオンになるので、配線2004__1~2004__kと、配線S1~Skとが導通状態になる。このとき、配線2004__1~2004__kには、プリチャージ電圧Vpが供給される。よって、プリチャージ電圧Vpは、トランジスタ2003__1~2003__kを介して、配線S1~Skにそれぞれ出力される。よって、プリチャージ電圧Vpは、選択された行に属する画素に書き込まれるので、選択された行に属する画素がプリチャージされる。

【0139】

期間T1~期間TNにおいて、回路2001は、ハイレベルの信号を配線2005__1~2005__Nに順番に出力する。例えば、期間T1において、回路2001は、ハイレベルの信号を配線2005__1に出力する。すると、トランジスタ2003__1~2003__kはオンになるので、配線2004__1~2004__kと、配線S1~Skとが導通状態になる。このとき、配線2004__1~2004__kには、Data(S1)~Data(Sk)が入力される。Data(S1)~Data(Sk)は、各々、トランジスタ2003__1~2003__kを介して、選択される行に属する画素のうち、1列目~k列目の画素に書き込まれる。こうして、期間T1~TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号が書き込まれる。

【0140】

以上のように、ビデオ信号が複数の列ずつ画素に書き込まれることによって、ビデオ信号の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品点数の削減、及び/又は、コストの削減を図ることができる。または、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができる。よって、ビデオ信号の書き込み不足を防止することができるので、表示品位の向上を図ることができる。

【0141】

なお、kを大きくすることによって、外部回路との接続数を減らすことができる。ただし、kが大きすぎると、画素への書き込み時間が短くなる。よって、k=6であることが好ましい。より好ましくはk=3であることが好ましい。さらに好ましくはk=2であることが好ましい。ただし、これに限定されない。

【0142】

特に、画素の色要素がn(nは自然数)個である場合、k=n、又はk=n×d(dは自然数)であることが好ましい。例えば、画素の色要素が赤(R)と緑(G)と青(B)との三つに分割される場合、k=3、又はk=3×dであることが好ましい。ただし、これに限定されない。例えば、画素がm(mは自然数)個のサブ画素(以下サブピクセル又は副画素ともいう)に分割される場合、k=m、又はk=m×dであることが好ましい。例えば、画素が2個のサブ画素に分割される場合、k=2であることが好ましい。または、画素の色要素がn個である場合、k=m×n、又はk=m×n×dであることが好ましい。ただし、これに限定されない。

【0143】

10

20

30

40

50

なお、図 20 (C) に示すように、回路 2001 の駆動周波数、及び回路 2002 の駆動周波数は、遅い場合が多いので、回路 2001、及び回路 2002 は、画素部 2007 と同じ基板に形成されることが可能である。こうして、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減などを図ることができる。特に、信号線駆動回路 2006 も画素部 2007 と同じ基板に形成されることによって、さらに外部回路との接続数を減らすことができる。ただし、これに限定されない。例えば、図 20 (D) に示すように、回路 2001 は画素部 2007 とは別の基板に形成され、回路 2002 は、画素部 2007 と同じ基板に形成されることが可能である。この場合でも、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減などを図ることができる。または、画素部 2007 と同じ基板に形成する回路が少なくなるので、額縁を小さくすることができる。

10

【0144】

なお、回路 2001 としては、実施の形態 1 または実施の形態 2 の半導体装置又はシフトレジスタを用いることが可能である。この場合、回路 2001 が有する全てのトランジスタの極性を N チャンネル型、又は P チャンネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。

【0145】

なお、回路 2001 だけでなく、回路 2002 __ 1 ~ 2002 __ N が有する全てのトランジスタの極性も N チャンネル型、又は P チャンネル型とすることが可能である。したがって、回路 2001、及び回路 2002 __ 1 ~ 2002 __ N が、画素部と同じ基板に形成される場合、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性を N チャンネル型とすることによって、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることができる。なぜなら、回路 2001、及び回路 2002 __ 1 ~ 2002 __ N の駆動周波数は、低い場合が多いからである。

20

【0146】

(実施の形態 5)

本実施の形態では、保護回路の一例について説明する。

【0147】

まず、保護回路の一例について、図 21 (A) を参照して説明する。保護回路 3000 は、配線 3011 に接続される半導体デバイス (例えばトランジスタ、容量素子、回路など) などが ESD (静電気放電) によって破壊されることを防止する目的で設けられる。保護回路 3000 は、トランジスタ 3001、及びトランジスタ 3002 を有する。トランジスタ 3001、及びトランジスタ 3002 は、N チャンネル型である場合が多い。ただし、これに限定されず、P チャンネル型であることが可能である。

30

【0148】

トランジスタ 3001 の第 1 の端子は、配線 3012 と接続され、トランジスタ 3001 の第 2 の端子は、配線 3011 と接続され、トランジスタ 3001 のゲートは、配線 3011 と接続される。トランジスタ 3002 の第 1 の端子は、配線 3013 と接続され、トランジスタ 3002 の第 2 の端子は、配線 3011 と接続され、トランジスタ 3002 のゲートは、配線 3013 と接続される。

40

【0149】

配線 3011 には、一例として、信号 (例えば、走査信号、ビデオ信号、クロック信号、スタート信号、リセット信号、又は選択信号など)、又は、電圧 (負電源電圧、グランド電圧、正電源電圧など) が供給されることが可能である。配線 3012 には、一例として、正電源電圧 (VDD) が供給されるものとする。配線 3013 には、一例として、負電源電圧 (VSS)、又はグランド電圧などが供給されるものとする。ただし、これに限定されない。

【0150】

50

配線 3 0 1 1 の電位が $V_{SS} \sim V_{DD}$ の間の値であれば、トランジスタ 3 0 0 1、及びトランジスタ 3 0 0 2 はオフになる。よって、配線 3 0 1 1 に供給される電圧又は信号などは、配線 3 0 1 1 と接続される半導体デバイスに供給される。ただし、静電気などの影響によって、配線 3 0 1 1 に、電源電圧よりも高い電位、又は電源電圧よりも低い電位が供給される場合がある。そして、この電源電圧よりも高い電位又は電源電圧よりも低い電位によって、配線 3 0 1 1 と接続される半導体デバイスが破壊されることがある。このような半導体デバイスの静電破壊を防止するために、配線 3 0 1 1 に電源電圧よりも高い電位が供給される場合、トランジスタ 3 0 0 1 がオンになる。すると、配線 3 0 1 1 の電荷は、トランジスタ 3 0 0 1 を介して配線 3 0 1 2 に移動するので、配線 3 0 1 1 の電位が減少する。一方で、配線 3 0 1 1 に電源電圧よりも低い電位が供給される場合、トランジスタ 3 0 0 2 がオンになる。すると、配線 3 0 1 1 の電荷は、トランジスタ 3 0 0 2 を介して配線 3 0 1 3 に移動するので、配線 3 0 1 1 の電位が上昇する。こうして、配線 3 0 1 1 と接続される半導体デバイスの静電破壊を防ぐことができる。

10

【0151】

なお、図 2 1 (A) で述べる構成において、図 2 1 (B) に示すように、トランジスタ 3 0 0 2 を省略することが可能である。または、図 2 1 (A) で述べる構成において、図 2 1 (C) に示すように、トランジスタ 3 0 0 1 を省略することが可能である。ただし、これに限定されない。

【0152】

なお、図 2 1 (A) ~ (C) で述べる構成において、図 2 1 (D) に示すように、配線 3 0 1 1 と配線 3 0 1 2 との間に、トランジスタを直列に接続することが可能である。または、配線 3 0 1 1 と配線 3 0 1 3 との間に、トランジスタを直列に接続することが可能である。トランジスタ 3 0 0 3 の第 1 の端子は、配線 3 0 1 2 と接続され、トランジスタ 3 0 0 3 の第 2 の端子は、トランジスタ 3 0 0 1 の第 1 の端子と接続され、トランジスタ 3 0 0 3 のゲートは、トランジスタ 3 0 0 1 の第 1 の端子と接続される。トランジスタ 3 0 0 4 の第 1 の端子は、配線 3 0 1 3 と接続され、トランジスタ 3 0 0 4 の第 2 の端子は、トランジスタ 3 0 0 2 の第 1 の端子と接続され、トランジスタ 3 0 0 4 のゲートは、トランジスタ 3 0 0 4 の第 1 の端子と接続される。ただし、これに限定されない。例えば、図 2 1 (E) に示すように、トランジスタ 3 0 0 1 のゲートとトランジスタ 3 0 0 3 のゲートとは接続されることが可能である。または、トランジスタ 3 0 0 2 のゲートとトランジスタ 3 0 0 4 のゲートとは接続されることが可能である。

20

30

【0153】

なお、図 2 1 (A) ~ (E) で述べる構成において、図 2 1 (F) に示すように、配線 3 0 1 1 と配線 3 0 1 2 との間に、トランジスタを並列に接続されることが可能である。または、配線 3 0 1 1 と配線 3 0 1 3 との間に、トランジスタを並列に接続することが可能である。トランジスタ 3 0 0 3 の第 1 の端子は、配線 3 0 1 2 と接続され、トランジスタ 3 0 0 3 の第 2 の端子は、配線 3 0 1 1 と接続され、トランジスタ 3 0 0 3 のゲートは、配線 3 0 1 1 と接続される。トランジスタ 3 0 0 4 の第 1 の端子は、配線 3 0 1 3 と接続され、トランジスタ 3 0 0 4 の第 2 の端子は、配線 3 0 1 1 と接続され、トランジスタ 3 0 0 4 のゲートは、配線 3 0 1 3 と接続される。

40

【0154】

なお、図 2 1 (A) ~ (F) で述べる構成において、図 2 1 (G) に示すように、トランジスタ 3 0 0 1 のゲートと第 1 の端子との間に、容量素子 3 0 0 5 と抵抗素子 3 0 0 6 とを並列に接続することが可能である。または、トランジスタ 3 0 0 2 のゲートと第 1 の端子との間に、容量素子 3 0 0 7 と抵抗素子 3 0 0 8 とを並列に接続することが可能である。こうすることによって、保護回路 3 0 0 0 自体の破壊又は劣化を防止することができる。例えば、配線 3 0 1 1 に電源電圧よりも高い電位が供給される場合、トランジスタ 3 0 0 1 の V_{gs} が大きくなる。よって、トランジスタ 3 0 0 1 がオンになるので、配線 3 0 1 1 の電位が減少する。しかし、トランジスタ 3 0 0 1 のゲートと第 2 の端子との間には、大きな電圧が印加されるので、トランジスタ 3 0 0 1 が破壊される、又は劣化すること

50

がある。これを防止するために、トランジスタ 3001 のゲートの電位を上昇させて、トランジスタ 3001 の V_{gs} を小さくする。これを実現するために、容量素子 3005 が用いられる。トランジスタ 3001 がオンになると、トランジスタ 3001 の第 1 の端子が瞬間的に上昇する。すると、容量素子 3005 の容量結合によって、トランジスタ 3001 のゲートの電位が上昇する。こうして、トランジスタ 3001 の V_{gs} を小さくすることができ、トランジスタ 3001 の破壊又は劣化を抑制することができる。ただし、これに限定されない。同様に、配線 3011 に電源電圧よりも低い電位が供給されると、トランジスタ 3002 の第 1 の端子の電位が瞬間的に減少する。すると、容量素子 3007 の容量結合によって、トランジスタ 3002 のゲートの電位が減少する。こうして、トランジスタ 3002 の V_{gs} を小さくすることができるので、トランジスタ 3002 の破壊又は劣化を抑制することができる。

10

【0155】

ここで、図 21 (A) ~ (G) で述べる保護回路は、様々なところに用いることが可能である。図 22 (A) には、一例として、ゲート信号線に保護回路を設ける場合の構成を示す。この場合、配線 3012、及び配線 3013 は、ゲートドライバ 3100 に接続される配線のいずれかと接続することが可能である。こうすることによって、電源の数、及び配線の数減らすことができる。図 22 (B) には、一例として、FPC などの外部から信号又は電圧が供給される端子に、保護回路を設ける場合の構成を示す。この場合、配線 3012、及び配線 3013 は、外部端子のいずれかと接続されることが可能である。例えば、配線 3012 は端子 3101a と接続され、配線 3013 が端子 3101b と接続されたとする。この場合、端子 3101a に設けられる保護回路において、トランジスタ 3001 を省略することが可能である。同様に、端子 3101b に設けられる保護回路において、トランジスタ 3002 を省略することが可能である。こうすることによって、トランジスタの数を減らすことができるので、レイアウト面積の縮小を図ることができる。

20

【0156】

(実施の形態 6)

本実施の形態では、トランジスタの構造の一例について図 23 (A)、(B)、及び (C) を参照して説明する。

【0157】

図 23 (A) は、トップゲート型のトランジスタの構造の一例、又は表示装置の構造の一例を示す図である。図 23 (B) は、ボトムゲート型のトランジスタの構造の一例、又は表示装置の構造の一例を示す図である。図 23 (C) は、半導体基板を用いて作製されるトランジスタの構造の一例を示す図である。

30

【0158】

図 23 (A) のトランジスタの一例は、基板 5260 と、基板 5260 の上に形成される絶縁層 5261 と、絶縁層 5261 の上に形成され、領域 5262a、領域 5262b、領域 5262c、領域 5262d、及び 5262e を有する半導体層 5262 と、半導体層 5262 を覆うように形成される絶縁層 5263 と、半導体層 5262 及び絶縁層 5263 の上に形成される導電層 5264 と、絶縁層 5263 及び導電層 5264 の上に形成され、開口部を有する絶縁層 5265 と、絶縁層 5265 の上及び絶縁層 5265 の開口部に形成される導電層 5266 と、を有する。

40

【0159】

図 23 (B) のトランジスタの一例は、基板 5300 と、基板 5300 の上に形成される導電層 5301 と、導電層 5301 を覆うように形成される絶縁層 5302 と、導電層 5301 及び絶縁層 5302 の上に形成される半導体層 5303a と、半導体層 5303a の上に形成される半導体層 5303b と、半導体層 5303b の上及び絶縁層 5302 の上に形成される導電層 5304 と、絶縁層 5302 の上及び導電層 5304 の上に形成され、開口部を有する絶縁層 5305 と、絶縁層 5305 の上及び絶縁層 5305 の開口部に形成される導電層 5306 と、を有する。

【0160】

50

図 2 3 (C) のトランジスタの一例は、領域 5 3 5 3 及び領域 5 3 5 5 を有する半導体基板 5 3 5 2 と、半導体基板 5 3 5 2 の上に形成される絶縁層 5 3 5 6 と、半導体基板 5 3 5 2 の上に形成される絶縁層 5 3 5 4 と、絶縁層 5 3 5 6 の上に形成される導電層 5 3 5 7 と、絶縁層 5 3 5 4、絶縁層 5 3 5 6、及び導電層 5 3 5 7 の上に形成され、開口部を有する絶縁層 5 3 5 8 と、絶縁層 5 3 5 8 の上及び絶縁層 5 3 5 8 の開口部に形成される導電層 5 3 5 9 とを有する。こうして、領域 5 3 5 0 と領域 5 3 5 1 とに、各々、トランジスタが作製される。

【 0 1 6 1 】

なお、図 2 3 (A) ~ (C) で述べるトランジスタの構造において、図 2 3 (A) に示すように、トランジスタの上に、導電層 5 2 6 6 の上及び絶縁層 5 2 6 5 の上に形成され、開口部を有する絶縁層 5 2 6 7 と、絶縁層 5 2 6 7 の上及び絶縁層 5 2 6 7 の開口部に形成される導電層 5 2 6 8 と、絶縁層 5 2 6 7 の上及び導電層 5 2 6 8 の上に形成され、開口部を有する絶縁層 5 2 6 9 と、絶縁層 5 2 6 9 の上及び絶縁層 5 2 6 9 の開口部に形成される発光層 5 2 7 0 と、絶縁層 5 2 6 9 の上及び発光層 5 2 7 0 の上に形成される導電層 5 2 7 1 と、を形成することが可能である。

10

【 0 1 6 2 】

なお、図 2 3 (A) ~ (C) で述べるトランジスタの構造において、図 2 3 (B) に示すように、トランジスタの上に、絶縁層 5 3 0 5 の上及び導電層 5 3 0 6 の上に配置される液晶層 5 3 0 7 と、液晶層 5 3 0 7 の上に形成される導電層 5 3 0 8 と、を形成することが可能である。

20

【 0 1 6 3 】

絶縁層 5 2 6 1 は、下地膜として機能することが可能である。絶縁層 5 3 5 4 は、素子間分離層（例えばフィールド酸化膜）として機能する。絶縁層 5 2 6 3、絶縁層 5 3 0 2、絶縁層 5 3 5 6 は、ゲート絶縁膜として機能することが可能である。導電層 5 2 6 4、導電層 5 3 0 1、導電層 5 3 5 7 は、ゲート電極として機能することが可能である。絶縁層 5 2 6 5、絶縁層 5 2 6 7、絶縁層 5 3 0 5、及び絶縁層 5 3 5 8 は、層間膜、又は平坦化膜として機能することが可能である。導電層 5 2 6 6、導電層 5 3 0 4、及び導電層 5 3 5 9 は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。導電層 5 2 6 8、及び導電層 5 3 0 6 は、画素電極、又は反射電極などとして機能することが可能である。絶縁層 5 2 6 9 は、隔壁として機能することが可能である。導電層 5 2 7 1、及び導電層 5 3 0 8 は、対向電極、又は共通電極などとして機能することが可能である。

30

【 0 1 6 4 】

基板 5 2 6 0、及び基板 5 3 0 0 の一例としては、ガラス基板、石英基板、単結晶基板（例えばシリコン基板）、S O I 基板、プラスチック基板、金属基板、ステンレス基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板又は可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルフォン（P E S）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む紙、基材フィルム（ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等）などがある。

40

【 0 1 6 5 】

半導体基板 5 3 5 2 としては、一例として、n 型又は p 型の導電性を有する単結晶 S i 基板を用いることが可能である。領域 5 3 5 3 は、一例として、半導体基板 5 3 5 2 に不純物が添加された領域であり、ウェルとして機能する。例えば、半導体基板 5 3 5 2 が p 型の導電性を有する場合、領域 5 3 5 3 は、n 型の導電性を有し、n ウェルとして機能する。一方で、半導体基板 5 3 5 2 が n 型の導電性を有する場合、領域 5 3 5 3 は、p 型の導電性を有し、p ウェルとして機能する。領域 5 3 5 5 は、一例として、不純物が半導体基

50

板 5 3 5 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板 5 3 5 2 に、L D D 領域を形成することが可能である。

【 0 1 6 6 】

絶縁層 5 2 6 1 の一例としては、酸化珪素 (SiO_x) 膜、窒化珪素 (SiN_x) 膜、酸化窒化珪素 (SiO_xN_y) ($x > y > 0$) 膜、窒化酸化珪素 (SiN_xO_y) ($x > y > 0$) 膜などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。絶縁層 5 2 6 1 が 2 層構造で設けられる場合の一例としては、1 層目の絶縁層として窒化珪素膜を設け、2 層目の絶縁層として酸化珪素膜を設けることが可能である。絶縁層 5 2 6 1 が 3 層構造で設けられる場合の一例としては、1 層目の絶縁層として酸化珪素膜を設け、2 層目の絶縁層として窒化珪素膜を設け、3 層目の絶縁層として酸化珪素膜を設けることが可能である。

10

【 0 1 6 7 】

半導体層 5 2 6 2、半導体層 5 3 0 3 a、及び半導体層 5 3 0 3 b の一例としては、非単結晶半導体 (例えば、非晶質 (アモルファス) シリコン、多結晶シリコン、微結晶シリコンなど)、単結晶半導体、化合物半導体 (例えば、 SiGe 、 GaAs など)、酸化物半導体 (例えば、 ZnO 、 InGaZnO 、 IZO (インジウム亜鉛酸化物)、 ITO (インジウム錫酸化物)、 SnO 、 TiO 、 AlZnSnO (AZTO))、有機半導体、又はカーボンナノチューブなどがある。

【 0 1 6 8 】

なお、例えば、領域 5 2 6 2 a は、不純物が半導体層 5 2 6 2 に添加されていない真性の状態であり、チャネル領域として機能する。ただし、領域 5 2 6 2 a に不純物を添加することが可能であり、領域 5 2 6 2 a に添加される不純物は、領域 5 2 6 2 b、領域 5 2 6 2 c、領域 5 2 6 2 d、又は領域 5 2 6 2 e に添加される不純物の濃度よりも低いことが好ましい。領域 5 2 6 2 b、及び領域 5 2 6 2 d は、領域 5 2 6 2 c 又は領域 5 2 6 2 e よりも低濃度の不純物が添加された領域であり、L D D ($\text{Lightly Doped Drain}$: L D D) 領域として機能する。ただし、領域 5 2 6 2 b、及び領域 5 2 6 2 d を省略することが可能である。領域 5 2 6 2 c、及び領域 5 2 6 2 e は、高濃度に不純物が半導体層 5 2 6 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。

20

【 0 1 6 9 】

なお、半導体層 5 3 0 3 b は、不純物元素としてリンなどが添加された半導体層であり、n 型の導電型を有する。

30

【 0 1 7 0 】

なお、半導体層 5 3 0 3 a として、酸化物半導体、又は化合物半導体が用いられる場合、半導体層 5 3 0 3 b を省略することが可能である。

【 0 1 7 1 】

絶縁層 5 2 6 3、絶縁層 5 3 0 2、及び絶縁層 5 3 5 6 の一例としては、酸化珪素 (SiO_x) 膜、窒化珪素 (SiN_x) 膜、酸化窒化珪素 (SiO_xN_y) ($x > y > 0$) 膜、窒化酸化珪素 (SiN_xO_y) ($x > y > 0$) 膜などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

40

【 0 1 7 2 】

導電層 5 2 6 4、導電層 5 2 6 6、導電層 5 2 6 8、導電層 5 2 7 1、導電層 5 3 0 1、導電層 5 3 0 4、導電層 5 3 0 6、及び導電層 5 3 0 8、導電層 5 3 5 7、及び導電層 5 3 5 9 の一例としては、単層構造の導電膜、又はこれらの積層構造などがある。当該導電膜の一例としては、アルミニウム (Al)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、ネオジム (Nd)、クロム (Cr)、ニッケル (Ni)、白金 (Pt)、金 (Au)、銀 (Ag)、銅 (Cu)、マンガン (Mn)、コバルト (Co)、ニオブ (Nb)、シリコン (Si)、鉄 (Fe)、パラジウム (Pd)、炭素 (C)、スカンジウム (Sc)、亜鉛 (Zn)、ガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、セリウム (Ce) によって構成される群から選ば

50

れた一つの元素の単体膜、又は、群から選ばれた一つ又は複数の元素を含む化合物などがある。なお、当該単体膜又は化合物は、リン（P）、ボロン（B）、ヒ素（As）、及び／又は、酸素（O）などを含むことが可能である。当該化合物の一例としては、前述した複数の元素から選ばれた一つ若しくは複数の元素を含む合金（例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化錫（SnO）、酸化錫カドミウム（CTO）、アルミニウムネオジム（Al-Nd）、アルミニウムタングステン（Al-W）、アルミニウムジルコニウム（Al-Zr）、アルミニウムチタン（Al-Ti）、アルミニウムセリウム（Al-Ce）、マグネシウム銀（Mg-Ag）、モリブデンニオブ（Mo-Nb）、モリブデンタングステン（Mo-W）、モリブデンタantal（Mo-Ta）などの合金材料）、前述した複数の元素から選ばれた一つ若しくは複数の元素と窒素との化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデンなどの窒化膜）、又は、前述した複数の元素から選ばれた一つ若しくは複数の元素とシリコンとの化合物（例えば、タングステンシリサイド、チタンシリサイド、ニッケルシリサイド、アルミニウムシリコン、モリブデンシリコンなどのシリサイド膜）などがある。他にも、例えば、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブなどのナノチューブ材料がある。

10

【0173】

なお、導電層は、単層構造とすることが可能であるし、多層構造とすることが可能である。

20

【0174】

絶縁層5265、絶縁層5267、絶縁層5269、絶縁層5305、及び絶縁層5358の一例としては、単層構造の絶縁層、又はこれらの積層構造などがある。当該絶縁層の一例としては、酸化珪素（ SiO_x ）膜、窒化珪素（ SiN_x ）膜、若しくは酸化窒化珪素（ SiO_xN_y ）（ $x > y > 0$ ）膜、窒化酸化珪素（ SiN_xO_y ）（ $x > y > 0$ ）膜等の酸素若しくは窒素を含む膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料などがある。

【0175】

なお、絶縁層5305の上及び導電層5306の上には、配向膜として機能する絶縁層、突起部として機能する絶縁層などを形成することが可能である。

30

【0176】

なお、導電層5308の上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層などを形成することが可能である。導電層5308の下には、配向膜として機能する絶縁層を形成することが可能である。

【0177】

本実施の形態のトランジスタは、実施の形態1～実施の形態2で述べるシフトレジスタに用いることが可能である。実施の形態1～実施の形態2で述べるシフトレジスタでは、トランジスタの劣化を抑制することができるので、図23（B）において、半導体層として、非晶質半導体、若しくは微結晶半導体などの非単結晶半導体、有機半導体、又は酸化物半導体などを用いることができる。したがって、製造工程の削減、製造コストの削減、歩留まりの向上、又は表示装置を大きくすることなどができる。

40

【0178】

（実施の形態7）

本実施の形態では、表示装置の断面構造の一例について、図24（A）、（B）、及び（C）を参照して説明する。

【0179】

図24（A）は、表示装置の上面図の一例である。基板5391に、駆動回路5392と画素部5393とが形成されている。駆動回路5392の一例としては、走査線駆動回路、又は信号線駆動回路などがある。

50

【0180】

図24(B)には、図24(A)のA-B断面の一例を示す。そして、図24(B)には、基板5400と、基板5400の上に形成される導電層5401と、導電層5401を覆うように形成される絶縁層5402と、導電層5401及び絶縁層5402の上に形成される半導体層5403aと、半導体層5403aの上に形成される半導体層5403bと、半導体層5403bの上及び絶縁層5402の上に形成される導電層5404と、絶縁層5402の上及び導電層5404の上に形成され、開口部を有する絶縁層5405と、絶縁層5405の上及び絶縁層5405の開口部に形成される導電層5406と、絶縁層5405の上及び導電層5406の上に配置される絶縁層5408と、絶縁層5405の上に形成される液晶層5407と、液晶層5407の上及び絶縁層5405の上に形成される導電層5409と、導電層5409の上に形成される基板5410とを示す。

10

【0181】

導電層5401は、ゲート電極として機能することが可能である。絶縁層5402は、ゲート絶縁膜として機能することが可能である。導電層5404は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。絶縁層5405は、層間膜、又は平坦化膜として機能することが可能である。導電層5406は、配線、画素電極、又は反射電極として機能することが可能である。絶縁層5408は、シール材として機能することが可能である。導電層5409は、対向電極、又は共通電極として機能することが可能である。

20

【0182】

ここで、駆動回路5392と、導電層5409との間には、寄生容量が生じることがある。この結果、駆動回路5392の出力信号又は各ノードの電位に、なまり又は遅延などが生じてしまう。または、消費電力が大きくなってしまう。しかし、図24(B)に示すように、駆動回路5392の上に、シール材として機能することが可能な絶縁層5408を形成することによって、駆動回路5392と、導電層5409との間に生じる寄生容量を低減することができる。なぜなら、シール材の誘電率は、液晶層の誘電率よりも低い場合が多いからである。したがって、駆動回路5392の出力信号又は各ノードの電位のなまり又は遅延を低減することができる。または、駆動回路5392の消費電力を低減することができる。

30

【0183】

なお、図24(C)に示すように、駆動回路5392の一部の上に、シール材として機能することが可能な絶縁層5408が形成されることが可能である。このような場合でも、駆動回路5392と、導電層5409との間に生じる寄生容量を低減することができるので、駆動回路5392の出力信号又は各ノードの電位のなまり又は遅延を低減することができる。ただし、これに限定されず、駆動回路5392の上に、シール材として機能することが可能な絶縁層5408が形成されていないことが可能である。

40

【0184】

なお、表示素子は、液晶素子に限定されず、EL素子、又は電気泳動素子などの様々な表示素子を用いることが可能である。

50

【0185】

本実施の形態の表示装置の構造と、実施の形態1～実施の形態2で述べるシフトレジスタと組み合わせることが可能である。例えば、トランジスタの半導体層として、非晶質半導体若しくは微結晶半導体などの非単結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタのチャネル幅が大きくなる場合が多い。しかし、本実施の形態のように、駆動回路の寄生容量を小さくできると、トランジスタのチャネル幅を小さくすることができる。よって、レイアウト面積の縮小を図ることができるので、表示装置を狭縁にすることができる。または、表示装置を高精細にすることができる。

【0186】

(実施の形態8)

本実施の形態では、トランジスタ、及び容量素子の作製工程の一例を示す。特に、半導体

50

層として、酸化物半導体を用いる場合の作製工程について説明する。

【0187】

図25(A)～(C)を参照して、トランジスタ、及び容量素子の作製工程の一例について説明する。図25(A)～(C)には、トランジスタ5441、及び容量素子5442の作製工程の一例である。トランジスタ5441は、逆スタガ型薄膜トランジスタの一例であり、酸化物半導体層上にソース電極またはドレイン電極を介して配線が設けられているトランジスタの例である。

【0188】

まず、基板5420上に、スパッタリング法により第1導電層を全面に形成する。次に、第1フォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に第1導電層のエッチングを行い、導電層5421、及び導電層5422を形成する。導電層5421は、ゲート電極として機能することが可能であり、導電層5422は、容量素子の一方の電極として機能することが可能である。ただし、これに限定されず、導電層5421、及び導電層5422は、配線、ゲート電極、又は容量素子の電極として機能する部分を有することが可能である。この後、レジストマスクを除去する。

10

【0189】

次に、絶縁層5423をプラズマCVD法またはスパッタリング法を用いて全面に形成する。絶縁層5423は、ゲート絶縁層として機能することが可能であり、導電層5421、及び導電層5422を覆うように形成される。なお、絶縁層5423の膜厚は、50nm～250nmである場合が多い。

20

【0190】

次に、第2フォトリソグラフィ工程により形成したレジストマスクを用いて、絶縁層5423を選択的にエッチングして導電層5421に達するコンタクトホール5424を形成する。この後、レジストマスクを除去する。ただし、これに限定されず、コンタクトホール5424を省略することが可能である。または、酸化物半導体層の形成後に、コンタクトホール5424を形成することが可能である。ここまでの段階での断面図が図25(A)に相当する。

【0191】

次に、酸化物半導体層をスパッタリング法により全面に形成する。ただし、これに限定されず、酸化物半導体層をスパッタリング法により形成し、さらにその上にバッファ層（例えば n^+ 層）を形成することが可能である。なお、酸化物半導体層の膜厚は、5nm～200nmである場合が多い。

30

【0192】

次に、第3フォトリソグラフィ工程を用いて選択的に、酸化物半導体層のエッチングを行う。この後、レジストマスクを除去する。

【0193】

次に、スパッタリング法により第2導電層を全面に形成する。次に、第4フォトリソグラフィ工程により形成したレジストマスクを用いて選択的に第2導電層のエッチングを行い、導電層5429、導電層5430、及び導電層5431を形成する。導電層5429は、コンタクトホール5424を介して導電層5421と接続される。導電層5429、及び導電層5430は、ソース電極又はドレイン電極として機能することが可能であり、導電層5431は、容量素子の他方の電極として機能することが可能である。ただし、これに限定されず、導電層5429、導電層5430、及び導電層5431は、配線、ソース若しくはドレイン電極、又は容量素子の電極として機能する部分を含むことが可能である。ここまでの段階での断面図が図25(B)に相当する。

40

【0194】

次に、大気雰囲気下または窒素雰囲気下で200～600の加熱処理を行う。この加熱処理によりIn-Ga-Zn-O系非単結晶層の原子レベルの再配列が行われる。このように、加熱処理（光アニールも含む）によりキャリアの移動を阻害する歪が解放される。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体の形成後であれば、様々

50

なタイミングで行うことが可能である。

【0195】

次に、絶縁層5432を全面に形成する。絶縁層5432としては、単層構造であることが可能であるし、積層構造であることが可能である。例えば、絶縁層5432として有機絶縁層を用いる場合、有機絶縁層の材料である組成物を塗布し、大気雰囲気下または窒素雰囲気下で200～600の加熱処理を行って、有機絶縁層を形成する。このように、酸化物半導体層に接する有機絶縁層を形成することにより、電気特性の信頼性の高い薄膜トランジスタを作製することができる。なお、絶縁層5432として有機絶縁層を用いる場合、有機絶縁層の下に、窒化珪素膜、又は酸化珪素膜を設けることが可能である。

【0196】

次に、第3導電層を全面に形成する。次に、第5フォトリソグラフィ工程により形成したレジストマスクを用いて第3導電層を選択的にエッチングして、導電層5433、及び導電層5434を形成する。ここまでの段階での断面図が図25(C)に相当する。導電層5433、及び導電層5434は、配線、画素電極、反射電極、透光性電極、又は容量素子の電極として機能することが可能である。特に、導電層5434は、導電層5422と接続されるので、容量素子5442の電極として機能することが可能である。ただし、これに限定されず、第1導電層と第2導電層とを接続する機能を有することが可能である。例えば、導電層5433と導電層5434とを接続することによって、導電層5422と導電層5430とを第3導電層(導電層5433及び導電層5434)を介して接続されることが可能になる。

【0197】

以上の工程により、トランジスタ5441と容量素子5442とを作製することができる。

【0198】

なお、図25(D)に示すように、酸化物半導体層5425の上に絶縁層5435を形成することが可能である。

【0199】

なお、図25(E)に示すように、第2導電層をパターニングした後に、酸化物半導体層5425を形成することが可能である。

【0200】

なお、本実施の形態の基板、絶縁層、導電層、及び半導体層としては、他の実施の形態に述べる材料、又は本明細書において述べる材料と同様なものを用いることが可能である。

【0201】

本実施の形態のトランジスタを実施の形態1～実施の形態2で述べるシフトレジスタ、又はこれを有する表示装置に用いることによって、表示部を大きくすることができる。または、表示部を高精細にすることができる。

【0202】

(実施の形態9)

本実施の形態においては、電子機器の例について説明する。

【0203】

図26(A)乃至図26(H)、図27(A)乃至図27(D)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005(電源スイッチ、又は表示装置の動作を制御する操作スイッチを含む)、接続端子5006、センサ5007(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に問い又は赤外線を測定する機能を含むもの)、マイクロフォン5008、等を有することができる。

【0204】

図26(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図26(B)は記録媒体を備えた携帯

10

20

30

40

50

型の画像再生装置（たとえば、DVD再生装置）であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図26（C）はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図26（D）は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図26（E）はプロジェクタであり、上述したものの他に、光源5033、投射レンズ5034、等を有することができる。図26（F）は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図26（G）はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図26（H）は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図27（A）はディスプレイであり、上述したものの他に、支持台5018、等を有することができる。図27（B）はカメラであり、上述したものの他に、外部接続ポート5019、シャッターボタン5015、受像部5016、等を有することができる。図27（C）はコンピュータであり、上述したものの他に、ポインティングデバイス5020、外部接続ポート5019、リーダ/ライタ5021、等を有することができる。図27（D）は携帯電話機であり、上述したものの他に、アンテナ5014、携帯電話・移動端末向けの1セグメント部分受信サービス用チューナ、等を有することができる。

10

【0205】

図26（A）乃至図26（H）、図27（A）乃至図27（D）に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図26（A）乃至図26（H）、図27（A）乃至図27（D）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

20

30

【0206】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。特に、表示装置が実施の形態1～実施の形態2で述べるシフトレジスタを有する場合には、回路の誤動作を防止することができるので、表示品位の向上を図ることができる。

【0207】

次に、半導体装置の応用例を説明する。

40

【0208】

図27（E）に、半導体装置を、建造物と一体にして設けた例について示す。図27（E）は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0209】

図27（F）に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

50

【 0 2 1 0 】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

【 0 2 1 1 】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【 0 2 1 2 】

図 2 7 (G) は、半導体装置を、自動車に設けた例について示した図である。表示パネル 5 0 2 8 は、自動車の車体 5 0 2 9 に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

10

【 0 2 1 3 】

図 2 7 (H) は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図 2 7 (H) は、旅客用飛行機の座席上部の天井 5 0 3 0 に表示パネル 5 0 3 1 を設けたときの、使用時の形状について示した図である。表示パネル 5 0 3 1 は、天井 5 0 3 0 とヒンジ部 5 0 3 2 を介して一体に取り付けられており、ヒンジ部 5 0 3 2 の伸縮により乗客は表示パネル 5 0 3 1 の視聴が可能になる。表示パネル 5 0 3 1 は乗客が操作することで情報を表示する機能を有する。

【 0 2 1 4 】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

20

【 符号の説明 】

【 0 2 1 5 】

1 0 0	半導体装置
1 0 1	パルス出力回路
1 0 2	配線
1 0 3	配線
1 0 4	配線
1 0 5	配線
1 1 1	トランジスタ
1 1 2	トランジスタ
1 1 3	トランジスタ
1 1 4	トランジスタ
1 1 5	トランジスタ
1 3 1	制御回路
1 4 1	電源線
1 4 2	電源線
1 5 1	信号線
1 5 2	信号線
1 5 3	信号線
1 5 4	信号線
1 5 5	信号線
1 5 6	信号線
1 5 7	信号線
2 8 0	点線
2 8 1	二点鎖線
2 8 2	二点鎖線
2 8 3	二点鎖線
4 1 3	ダイオード素子
5 1 3	トランジスタ

30

40

50

1 6 0 1	トランジスタ	
1 6 0 2	トランジスタ	
1 6 0 3	トランジスタ	
1 6 0 4	トランジスタ	
1 6 0 5	トランジスタ	
1 6 0 6	トランジスタ	
1 6 1 1	容量素子	
1 6 5 1	配線	
2 0 0 0	回路	
2 0 0 1	回路	10
2 0 0 2	回路	
2 0 0 3	トランジスタ	
2 0 0 4	配線	
2 0 0 5	配線	
2 0 0 6	信号線駆動回路	
2 0 0 7	画素部	
2 0 1 4	信号	
2 0 1 5	信号	
3 0 0 0	保護回路	
3 0 0 1	トランジスタ	20
3 0 0 2	トランジスタ	
3 0 0 3	トランジスタ	
3 0 0 4	トランジスタ	
3 0 0 5	容量素子	
3 0 0 6	抵抗素子	
3 0 0 7	容量素子	
3 0 0 8	抵抗素子	
3 0 1 1	配線	
3 0 1 2	配線	
3 0 1 3	配線	30
3 1 0 0	ゲートドライバ	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	LEDランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	40
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	50

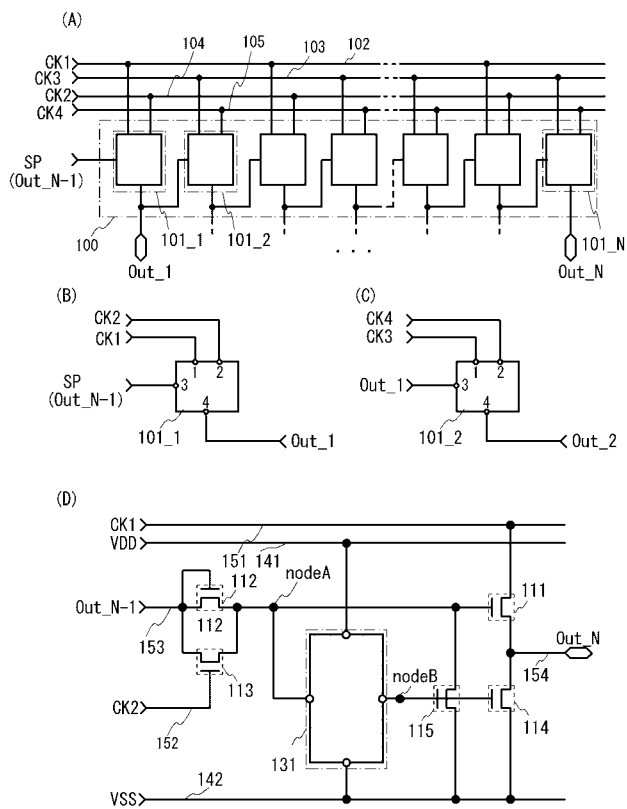
5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ/ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	10
5 0 2 9	車体	
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 2 6 0	基板	
5 2 6 1	絶縁層	
5 2 6 2	半導体層	
5 2 6 3	絶縁層	20
5 2 6 4	導電層	
5 2 6 5	絶縁層	
5 2 6 6	導電層	
5 2 6 7	絶縁層	
5 2 6 8	導電層	
5 2 6 9	絶縁層	
5 2 7 0	発光層	
5 2 7 1	導電層	
5 3 0 0	基板	
5 3 0 1	導電層	30
5 3 0 2	絶縁層	
5 3 0 4	導電層	
5 3 0 5	絶縁層	
5 3 0 6	導電層	
5 3 0 7	液晶層	
5 3 0 8	導電層	
5 3 5 0	領域	
5 3 5 1	領域	
5 3 5 2	半導体基板	
5 3 5 3	領域	40
5 3 5 4	絶縁層	
5 3 5 5	領域	
5 3 5 6	絶縁層	
5 3 5 7	導電層	
5 3 5 8	絶縁層	
5 3 5 9	導電層	
5 3 6 0	映像信号	
5 3 6 1	回路	
5 3 6 2	回路	
5 3 6 3	回路	50

5 3 6 4	画素部	
5 3 6 5	回路	
5 3 6 6	照明装置	
5 3 6 7	画素	
5 3 7 1	配線	
5 3 7 2	配線	
5 3 7 3	配線	
5 3 8 0	基板	
5 3 8 1	入力端子	
5 3 9 1	基板	10
5 3 9 2	駆動回路	
5 3 9 3	画素部	
5 4 0 0	基板	
5 4 0 1	導電層	
5 4 0 2	絶縁層	
5 4 0 4	導電層	
5 4 0 5	絶縁層	
5 4 0 6	導電層	
5 4 0 8	絶縁層	
5 4 0 9	導電層	20
5 4 1 0	基板	
5 4 2 0	基板	
5 4 2 1	導電層	
5 4 2 2	導電層	
5 4 2 3	絶縁層	
5 4 2 4	コンタクトホール	
5 4 2 5	酸化物半導体層	
5 4 2 9	導電層	
5 4 3 0	導電層	
5 4 3 1	導電層	30
5 4 3 2	絶縁層	
5 4 3 3	導電層	
5 4 3 4	導電層	
5 4 3 5	絶縁層	
5 4 4 1	トランジスタ	
5 4 4 2	容量素子	
3 1 0 1 a	端子	
3 1 0 1 b	端子	
5 2 6 2 a	領域	
5 2 6 2 b	領域	40
5 2 6 2 c	領域	
5 2 6 2 d	領域	
5 2 6 2 e	領域	
5 3 0 3 a	半導体層	
5 3 0 3 b	半導体層	
5 3 6 1 a	回路	
5 3 6 1 b	回路	
5 3 6 2 a	回路	
5 3 6 2 b	回路	
5 4 0 3 a	半導体層	50

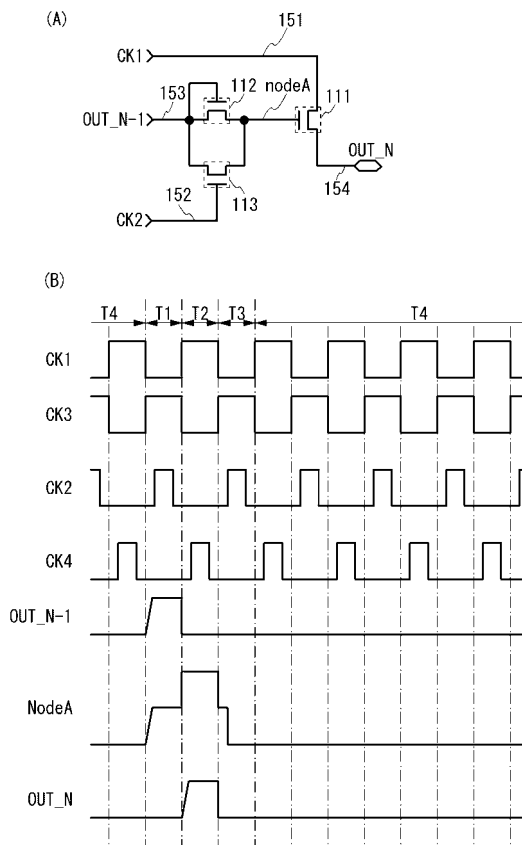
5 4 0 3 b

半導體層

【 図 1 】

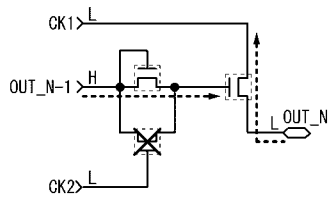


【圖 2】

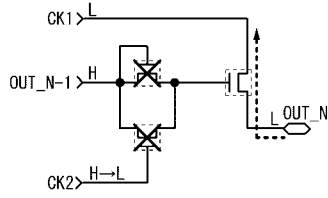


【 図 3 】

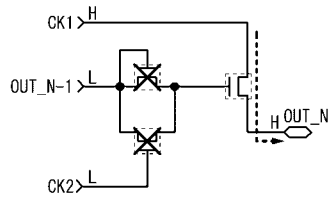
(A) T1-1



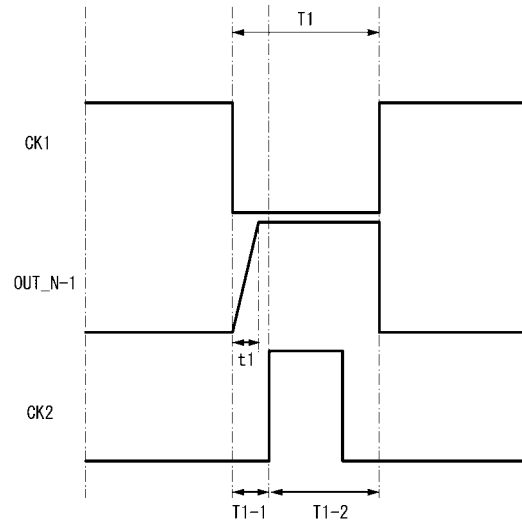
(B) T1-2



(C) T2

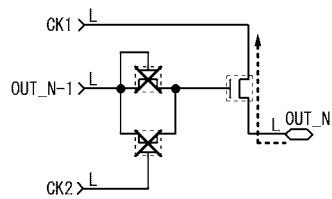


【 図 4 】

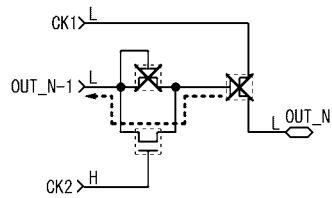


【 図 5 】

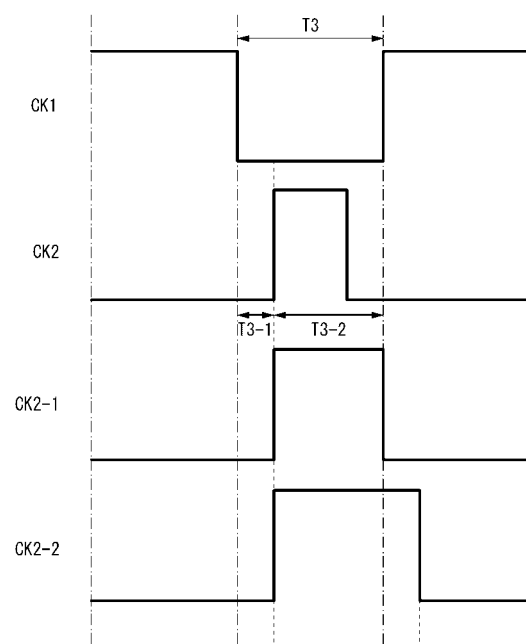
(A) T3-1



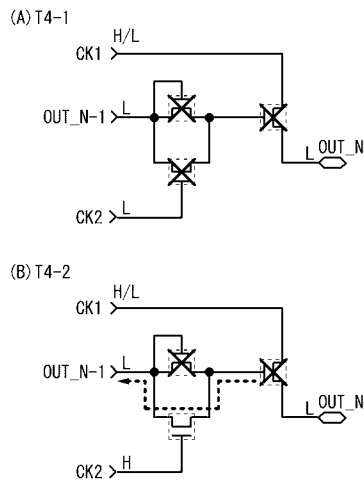
(B) T3-2



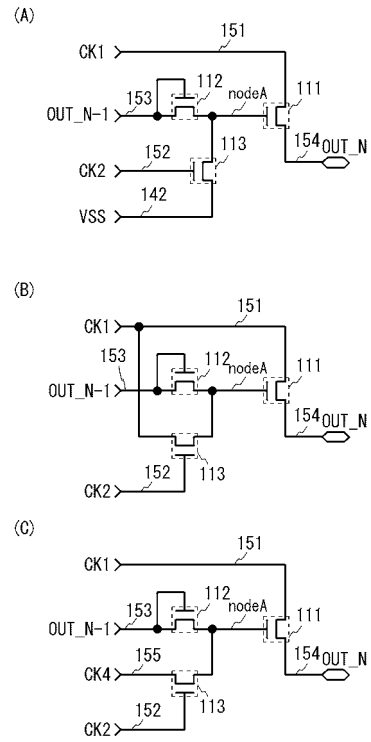
【 図 6 】



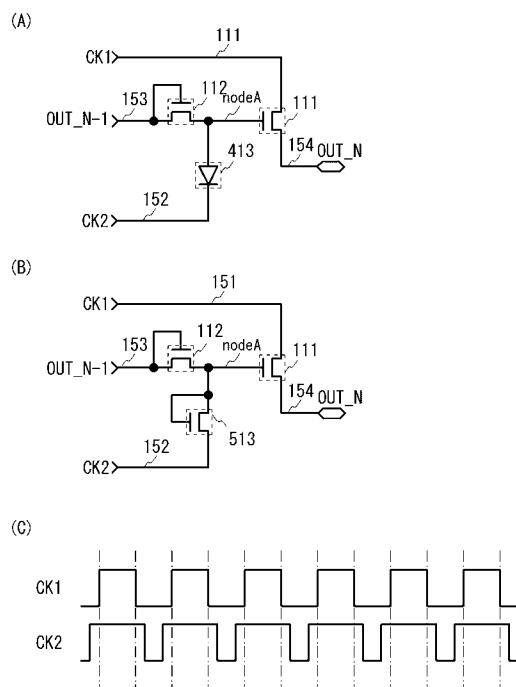
【 図 7 】



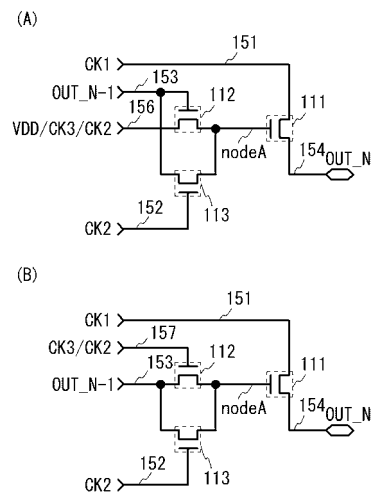
【 図 8 】



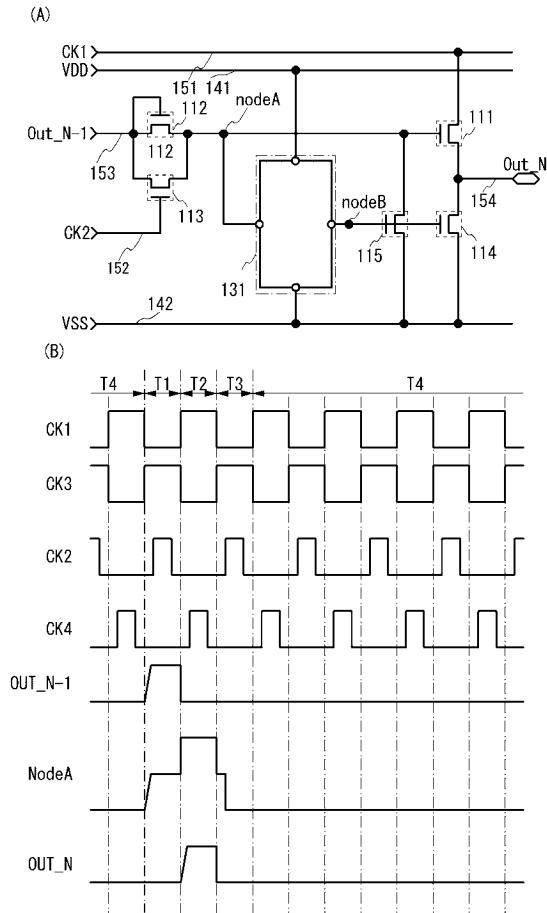
【 図 9 】



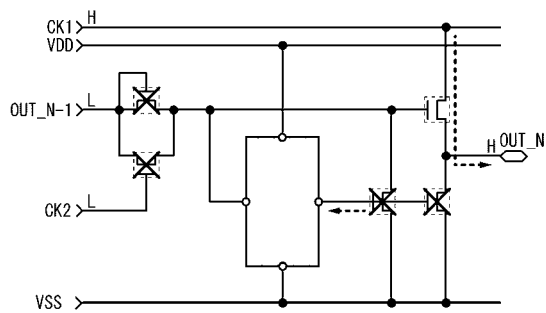
【 図 10 】



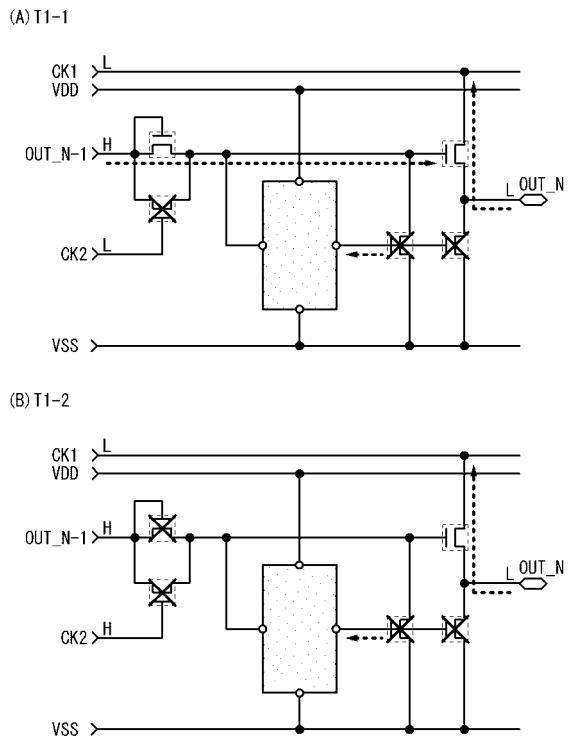
【図 1 1】



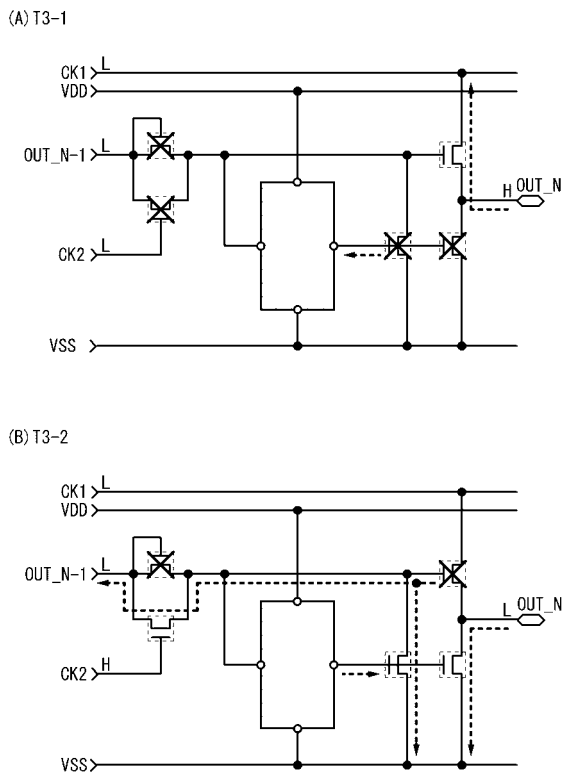
【図 1 3】



【図 1 2】

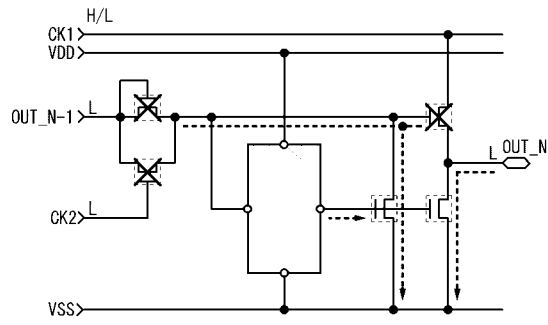


【図 1 4】

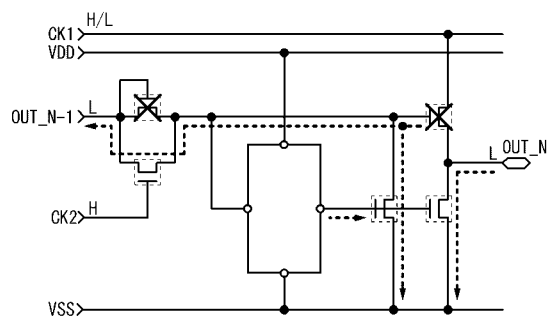


【図 15】

(A) T4-1

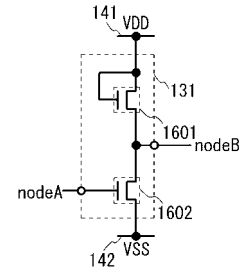


(B) T4-2

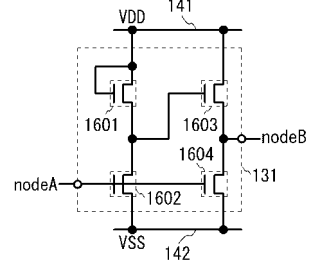


【図 16】

(A)

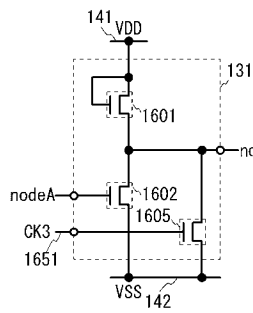


(B)

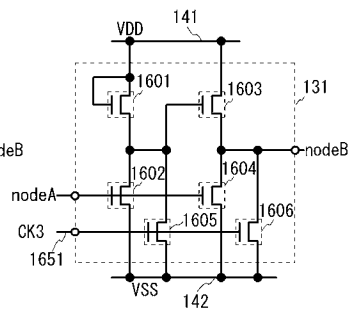


【図 17】

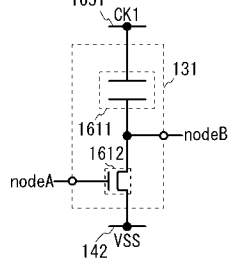
(A)



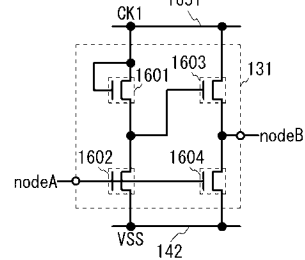
(B)



(C)

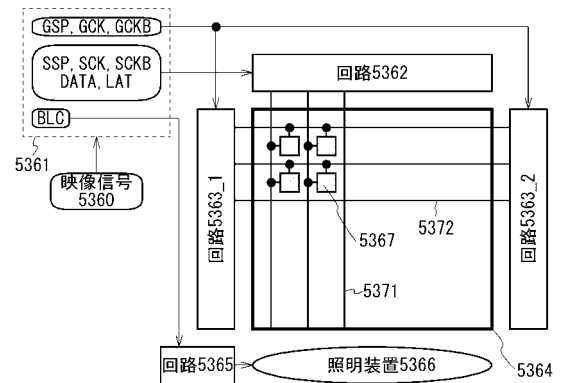


(D)

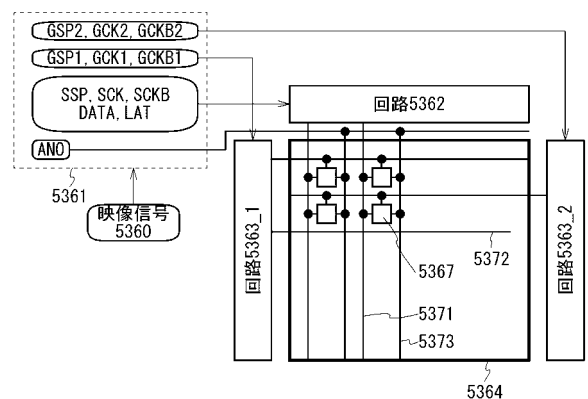


【図 18】

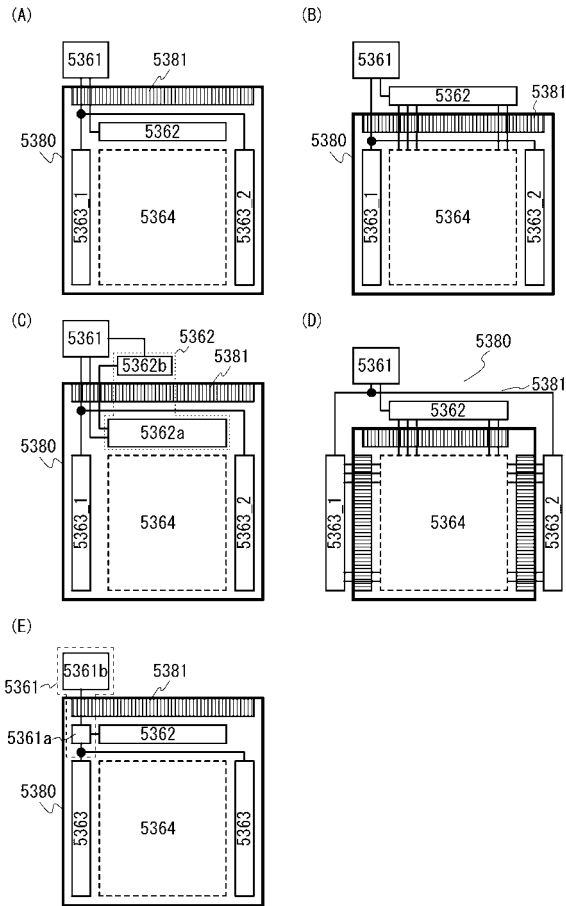
(A)



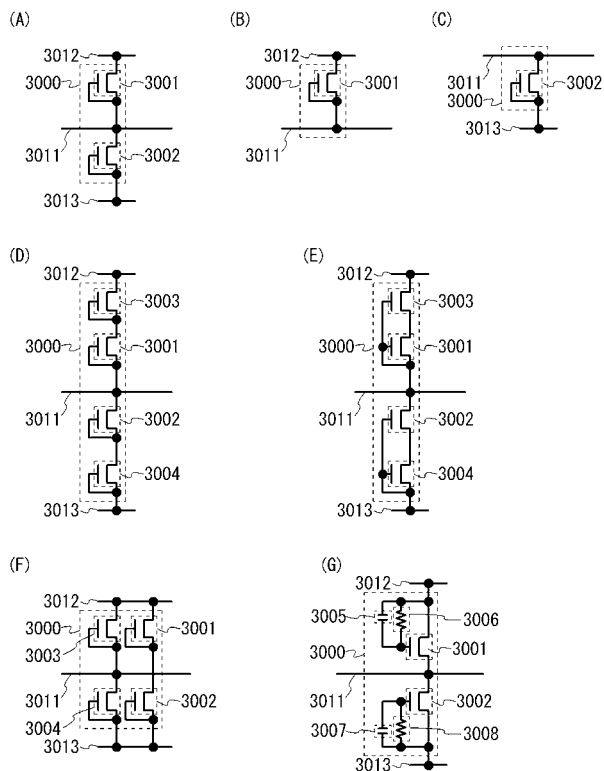
(B)



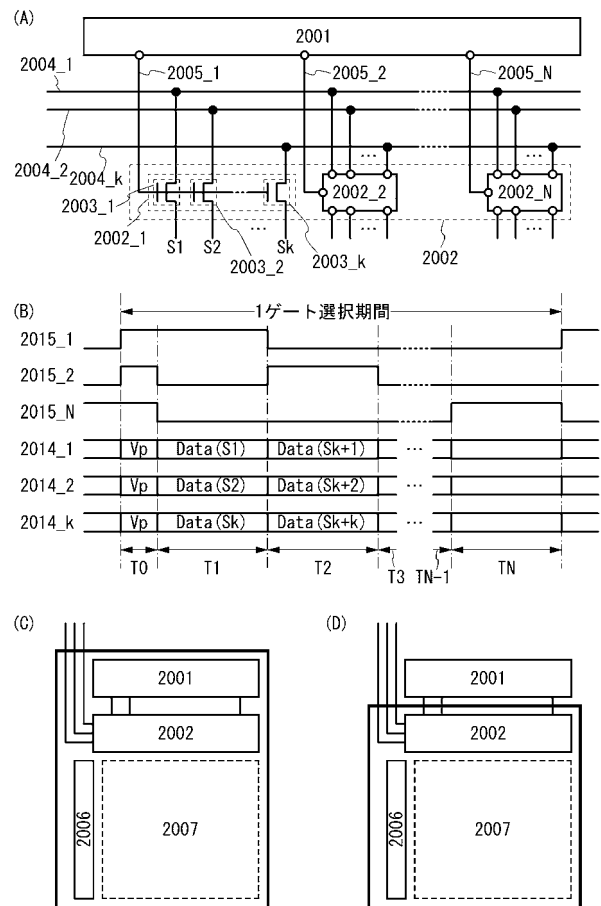
【図 19】



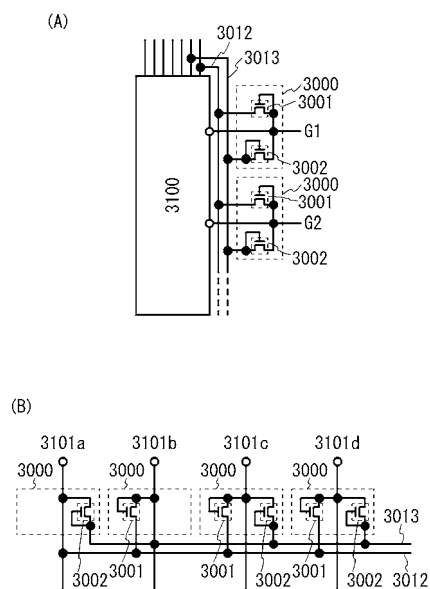
【図 21】



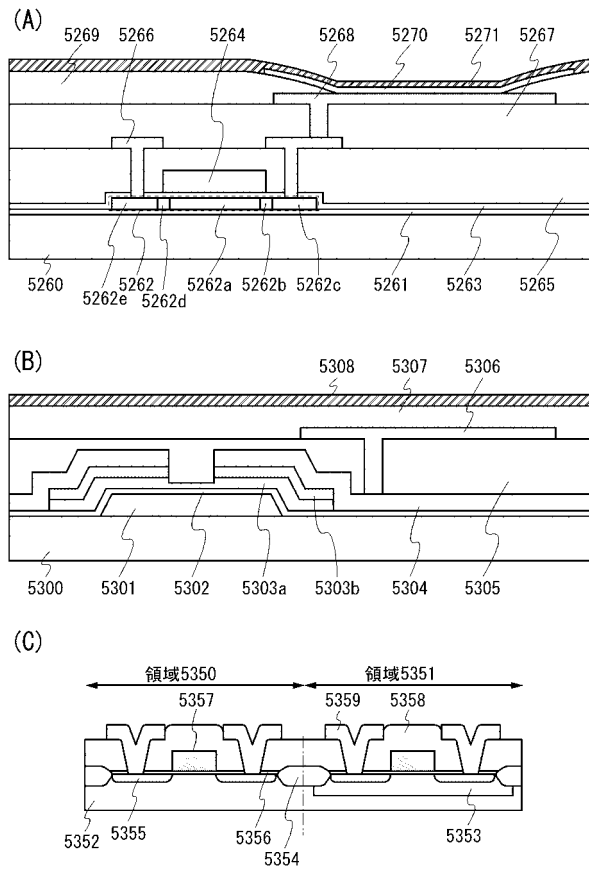
【図 20】



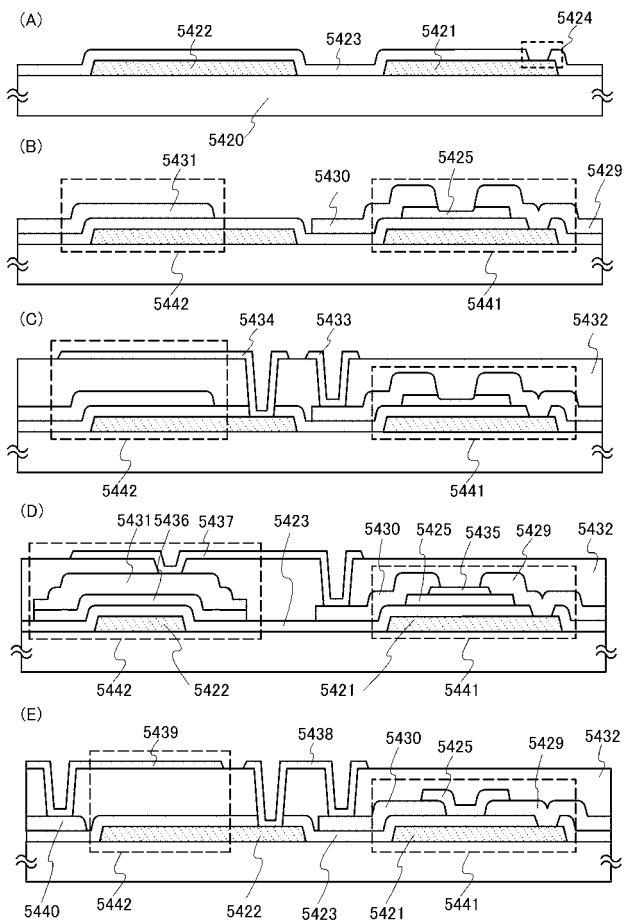
【図 22】



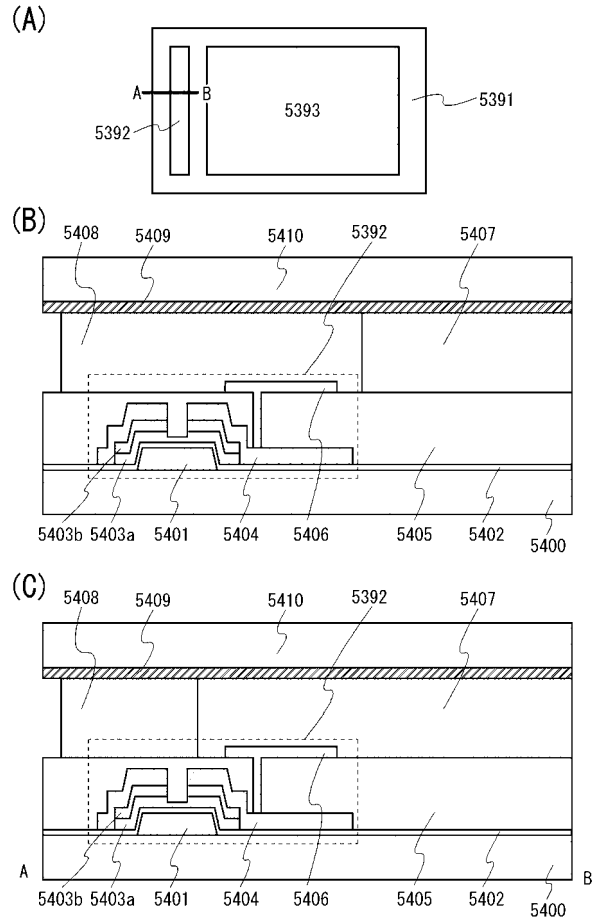
【図 2 3】



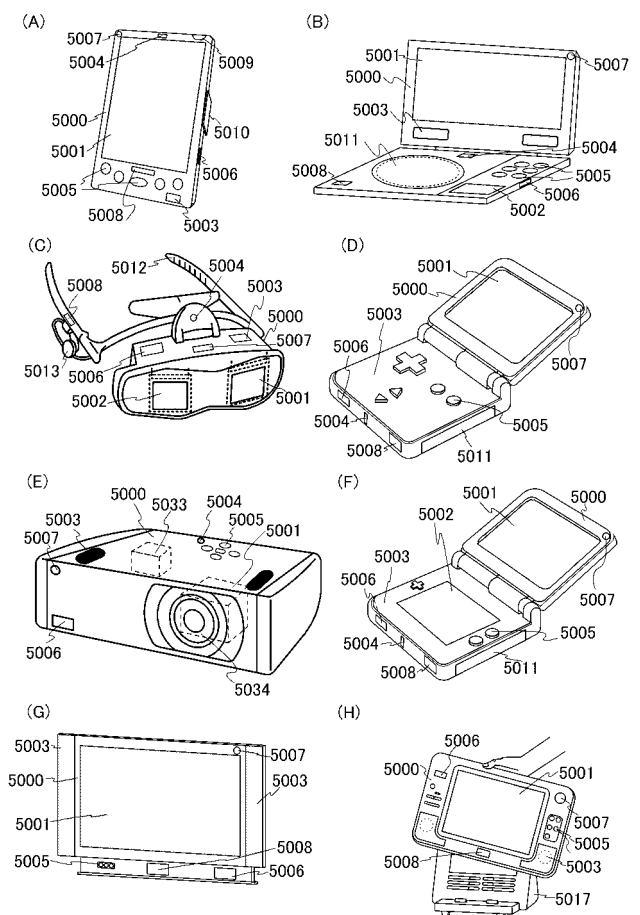
【図 2 5】



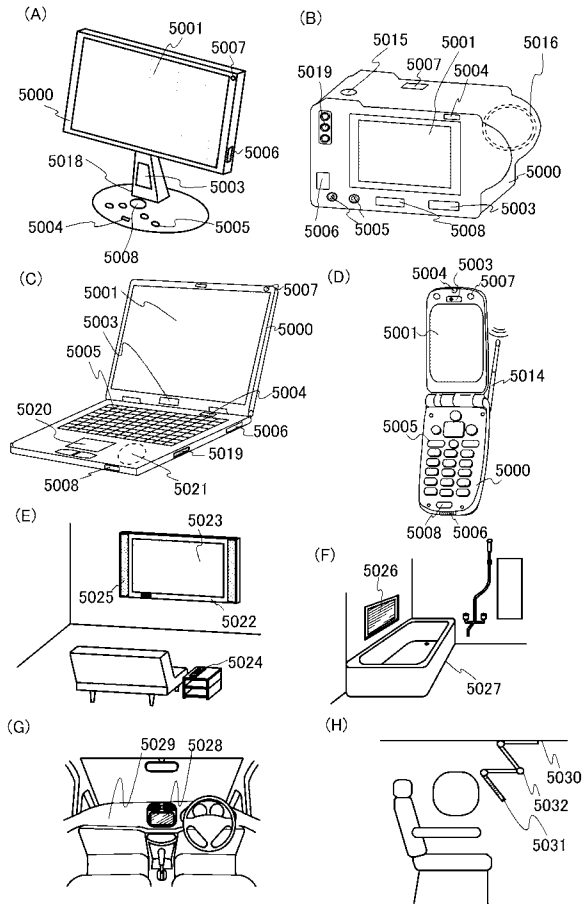
【図 2 4】



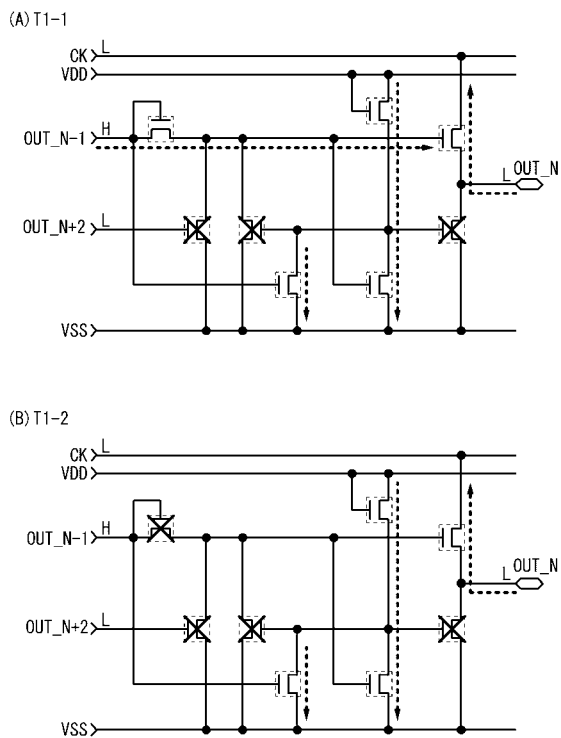
【図 2 6】



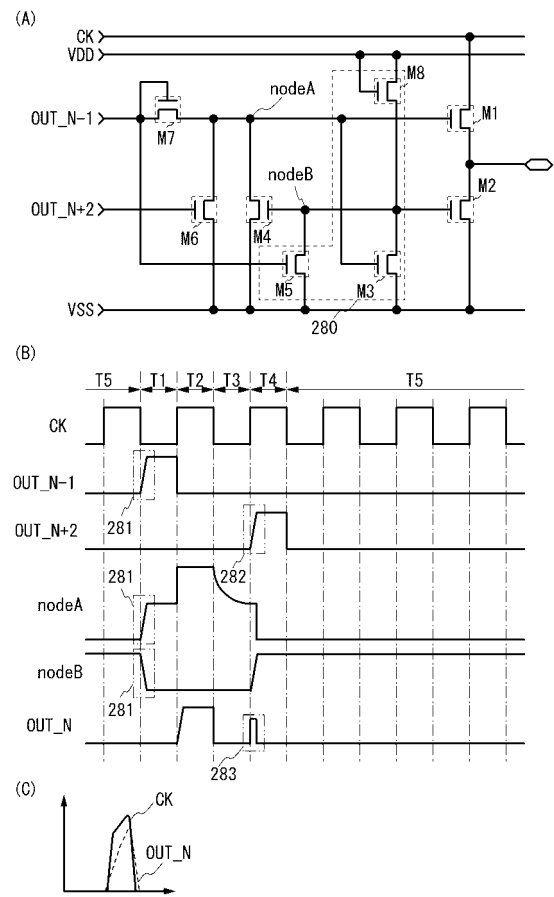
【図 27】



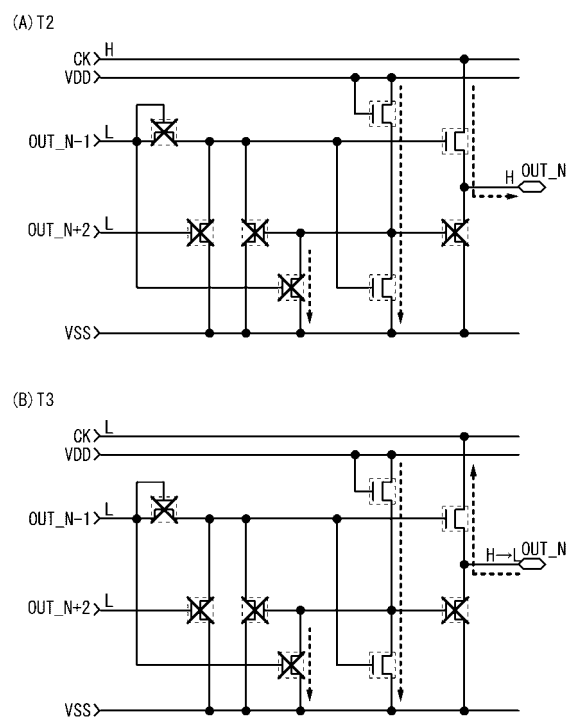
【図 29】



【図 28】

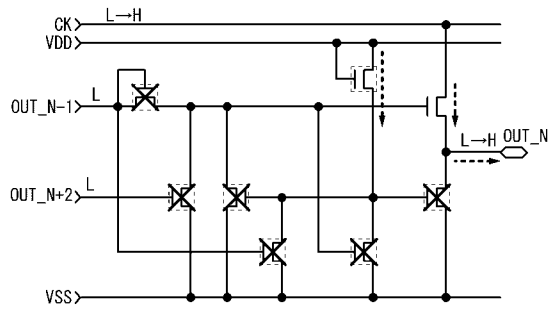


【図 30】

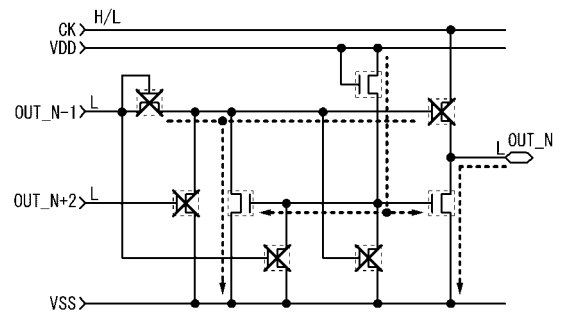


【図 3 1】

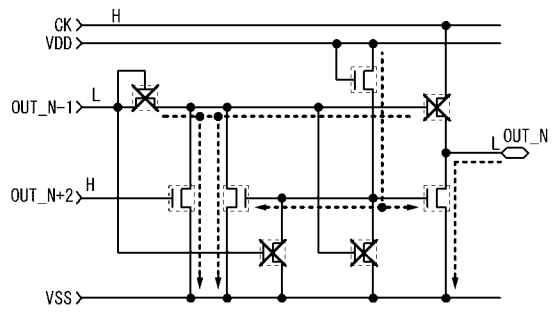
(A) T3→T4-1



【図 3 2】



(B) T4-2



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0