(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0000286
(43) 공개일자 2023년01월02일

(51) 국제특허분류(Int. Cl.)
H01L 29/08 (2006.01) *G01N 27/414* (2006.01)
H01L 29/10 (2006.01) *H01L 29/423* (2006.01)
H01L 29/66 (2006.01) *H01L 29/78* (2006.01)
H01L 31/112 (2006.01) *H01Q 1/22* (2006.01)
(52) CPC특허분류
H01L 29/0847 (2013.01)
G01N 27/414 (2013.01)
(21) 출원번호 10-2021-0082531
(22) 출원일자 2021년06월24일
심사청구일자 2021년06월24일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50
류민우
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
특허법인 무한

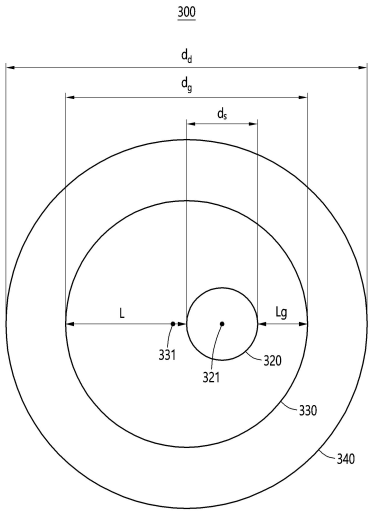
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **테라헤르츠파 검출을 위한 성능인자가 독립적인 일체형 전계효과 트랜지스터-안테나 융합소자**

(57) 요 약

일 실시예에 따른 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터는, 소스(source) 및 상기 소스를 감싸는 형태의 채널 영역의 바깥에 형성된 드레인을 포함하는 실리콘 기판, 및 상기 실리콘 기판의 표면 상에 형성되는 유전층(dielectric layer) 상단에서, 상기 실리콘 기판과 이격되어 상기 채널 영역에 대응하여 형성된 게이트를 포함하고, 상기 드레인은, 상기 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭을 가지며, 상기 채널 영역은, 상기 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정된 폭을 가질 수 있다.

대 표 도 - 도3



(52) CPC특허분류
H01L 29/1033 (2013.01)
H01L 29/42372 (2013.01)
H01L 29/66477 (2013.01)
H01L 29/78 (2013.01)
H01L 31/1126 (2013.01)
H01Q 1/2283 (2018.05)
(72) 발명자
장이산
울산광역시 울주군 언양읍 유니스트길 50
파텔 라메쉬
울산광역시 울주군 언양읍 유니스트길 50

안상효
울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업
과제고유번호 1711130893
과제번호 2019R1A2C2010619
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)(R&D)
연구과제명 파장-에너지 한계극복 초고해상도 실시간 테라헤르츠 이미징이 가능한 신개념 근접장 플라즈모닉 메가픽셀 테라헤르츠 검출기 개발
기 여 율 1/1
과제수행기관명 울산과학기술원
연구기간 2020.03.01 ~ 2021.02.28

명 세 서

청구범위

청구항 1

게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터에 있어서,

소스(source) 및 상기 소스를 감싸는 형태의 채널 영역의 바깥에 형성된 드레인을 포함하는 실리콘 기판; 및

상기 실리콘 기판의 표면 상에 형성되는 유전층(dielectric layer) 상단에서, 상기 실리콘 기판과 이격되어 상기 채널 영역에 대응하여 형성된 게이트

를 포함하고,

상기 드레인은,

상기 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭을 가지며,

상기 채널 영역은,

상기 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정된 폭을 가지는,

전계효과트랜지스터.

청구항 2

제1항에 있어서,

상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 소스는 원형(circular form)이고, 상기 채널 영역은 링형(ring form)이며, 상기 드레인은 링형인,

전계효과트랜지스터.

청구항 3

제1항에 있어서,

상기 게이트는,

상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 채널 영역을 커버하도록 형성된,

전계효과트랜지스터.

청구항 4

제1항에 있어서,

상기 소스의 중심과 상기 채널 영역의 중심은 서로 이격된,

전계효과트랜지스터.

청구항 5

제1항에 있어서,

상기 채널 영역의 폭은,

상기 소스부터 상기 드레인까지의 최단 거리와 같은 길이인,

전계효과트랜지스터.

청구항 6

제1항에 있어서,

상기 드레인의 폭은,

상기 전계효과트랜지스터의 타겟 테라헤르츠파에 대응하는 타겟 파장(target wavelenth), 상기 타겟 파장의 1/2, 및 상기 타겟 파장의 1/4 중 하나에 대응하는 길이인,

전계효과트랜지스터.

청구항 7

제1항에 있어서,

상기 채널 영역의 폭은,

상기 소스의 폭 및 상기 게이트의 폭에 기초하여 결정되는,

전계효과트랜지스터.

청구항 8

제1항에 있어서,

상기 채널 영역의 폭은,

상기 전계효과트랜지스터에 대한 테라헤르츠파의 인가에 응답하여 생성되는 전하 밀도 분포 길이를 초과하는 길이인,

전계효과트랜지스터.

청구항 9

제1항에 있어서,

상기 드레인의 폭은, 상기 제1 성능인자에 기초하여 결정되고,

상기 채널 영역의 폭은, 상기 제1 성능인자와는 독립적으로 상기 제2 성능인자에 의해서만 결정된,

전계효과트랜지스터.

청구항 10

제1항에 있어서,

상기 게이트는,

상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 소스와 일부 오버랩되는,

전계효과트랜지스터.

청구항 11

제1항에 있어서,

상기 게이트는,

상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 드레인과 일부 오버랩되는,

전계효과트랜지스터.

청구항 12

게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터의 제조 방법에 있어서,

실리콘 기판의 일부를 도핑하여 소스를 형성하고, 상기 소스를 감싸는 형태의 채널 영역의 바깥을 도핑하여 드레인을, 상기 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭으로 형성하는 단계; 및

상기 실리콘 기판의 표면 상에 형성되는 유전층 상단에서, 상기 실리콘 기판과 이격되어 상기 채널 영역에 대응하는 게이트를 형성하는 단계

를 포함하고,

상기 채널 영역은, 상기 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정된 폭을 가지는,

전계효과트랜지스터 제조 방법.

청구항 13

제12항에 있어서,

상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 소스는 원형이고, 상기 채널 영역은 링형이며, 상기 드레인은 링형인,

전계효과트랜지스터 제조 방법.

청구항 14

제12항에 있어서,

상기 게이트를 형성하는 단계는,

상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 채널 영역을 커버하도록 상기 게이트를 형성하는 단계

를 포함하는 전계효과트랜지스터 제조 방법.

청구항 15

제12항에 있어서,

상기 드레인을 형성하는 단계는,

상기 소스의 중심과 상기 채널 영역의 중심은 서로 이격되도록 형성하는 단계

를 포함하는 전계효과트랜지스터 제조 방법.

청구항 16

제12항에 있어서,

상기 채널 영역의 폭은,

상기 소스부터 상기 드레인까지의 최단 거리와 같은 길이인,

전계효과트랜지스터 제조 방법.

청구항 17

제12항에 있어서,

상기 드레인의 폭은,

상기 전계효과트랜지스터의 타겟 테라헤르츠파에 대응하는 타겟 파장, 상기 타겟 파장의 1/2, 및 상기 타겟 파장의 1/4 중 하나에 대응하는 길이인,

전계효과트랜지스터 제조 방법.

청구항 18

제12항에 있어서,

상기 채널 영역의 폭은,

상기 소스의 폭 및 상기 게이트의 폭에 기초하여 결정되는,

전계효과트랜지스터 제조 방법.

청구항 19

제12항에 있어서,

상기 채널 영역의 폭은,

상기 전계효과트랜지스터에 대한 테라헤르츠파의 인가에 응답하여 생성되는 전하 밀도 분포 길이를 초과하는 길이인,

전계효과트랜지스터 제조 방법.

청구항 20

제12항에 있어서,

상기 드레인의 폭은, 상기 제1 성능인자에 기초하여 결정되고,

상기 채널 영역의 폭은, 상기 제1 성능인자와는 독립적으로 상기 제2 성능인자에 의해서만 결정된,

전계효과트랜지스터 제조 방법.

청구항 21

제12항에 있어서,

상기 게이트를 형성하는 단계는,

상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 게이트를 상기 소스와 일부 오버랩되게 형성하는 단계

를 포함하는 전계효과트랜지스터 제조 방법.

청구항 22

제12항에 있어서,

상기 게이트를 형성하는 단계는,

상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 게이트를 상기 드레인과 일부 오버랩되게 형성하는 단계

를 포함하는 전계효과트랜지스터 제조 방법.

발명의 설명

기 술 분 야

[0001] 아래의 개시는 독립적인 성능인자를 갖는 테라헤르츠파 검출을 위한 일체형 전계효과 트랜지스터-안테나 융합소자에 관한 것이다.

배 경 기 술

[0002] 테라헤르츠파(terahertz waves)의 서브-밀리미터(sub-millimeter) 파장 대비 매우 작은 전계효과트랜지스터의 채널 면적으로 인해, 테라헤르츠파를 수신하기 위한 입력단에 상대적으로 매우 큰 크기의 안테나가 필요하게 된다. 이러한 경우, 전계효과트랜지스터와 안테나의 크기 차이에 의한 특성 차이가 발생하기 때문에, 전계효과트랜지스터와 안테나의 구조 고안이 요구된다.

[0003] 전계효과트랜지스터 기반 테라헤르츠(THz) 검출기의 경우, 전계효과트랜지스터의 3개 연결 단자(소스(source), 드레인(drain), 게이트(gate)) 중 게이트에서 교류 신호인 테라헤르츠파를 수신한다. 또한, 전계효과트랜지스터 기반 테라헤르츠 검출기는 소스와 드레인 사이의 하부 반도체 채널 영역(channel region)에 전하의 비대칭을 유도하고, 비대칭적 전하분포에 의해 출력 단자인 드레인의 직류 전압에 기초하여 테라헤르츠파의 신호를 검출할 수 있다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0004] 일 실시예에 따른 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터는 소스(source) 및 상기 소스를 감싸는 형태의 채널 영역의 바깥에 형성된 드레인을 포함하는 실리콘 기판, 및 상기 실리콘 기판의 표면 상에 형성되는 유전층(dielectric layer) 상단에서, 상기 실리콘 기판과 이격되어 상기 채널 영역에 대응하여 형성된 게이트를 포함하고, 상기 드레인은, 상기 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭을 가지며, 상기 채널 영역은, 상기 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정된 폭을 가질 수 있다.

[0005] 상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 소스는 원형(circular form)이고, 상기 채널 영역은 링형(ring form)이며, 상기 드레인은 링형일 수 있다.

[0006] 상기 게이트는, 상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 채널 영역을 커버하도록 형성될 수 있다.

[0007] 상기 소스의 중심과 상기 채널 영역의 중심은 서로 이격될 수 있다.

[0008] 상기 채널 영역의 폭은, 상기 소스부터 상기 드레인까지의 최단 거리와 같은 길이일 수 있다.

[0009] 상기 드레인의 폭은, 상기 전계효과트랜지스터의 타겟 테라헤르츠파에 대응하는 타겟 파장(target wavelenth), 상기 타겟 파장의 1/2, 및 상기 타겟 파장의 1/4 중 하나에 대응하는 길이일 수 있다.

[0010] 상기 채널 영역의 폭은, 상기 소스의 폭 및 상기 게이트의 폭에 기초하여 결정될 수 있다.

[0011] 상기 채널 영역의 폭은, 상기 전계효과트랜지스터에 대한 테라헤르츠파의 인가에 응답하여 생성되는 전하 밀도 분포 길이를 초과하는 길이일 수 있다.

[0012] 상기 드레인의 폭은, 상기 제1 성능인자에 기초하여 결정되고, 상기 채널 영역의 폭은, 상기 제1 성능인자와는 독립적으로 상기 제2 성능인자에 의해서만 결정될 수 있다.

[0013] 상기 게이트는, 상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 소스와 일부 오버랩될 수 있다.

[0014] 상기 게이트는, 상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 드레인과 일부 오버랩될 수 있다.

[0015] 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터의 제조 방법은, 실리콘 기판의 일부를 도핑하여 소스를 형성하고, 상기 소스를 감싸는 형태의 채널 영역의 바깥을 도핑하여 드레인을, 상기 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭으로 형성하는 단계, 및 상기 실리콘 기판의 표면 상에 형성되는 유전층 상단에서, 상기 실리콘 기판과 이격되어 상기 채널 영역에 대응하는 게이트를 형성하는 단계를 포함하고, 상기 채널 영역은, 상기 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정된 폭을 가질 수 있다.

[0016] 상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 소스는 원형이고, 상기 채널 영역은 링형이며, 상기 드레인은 링형일 수 있다.

[0017] 상기 게이트를 형성하는 단계는, 상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 채널 영역을 커버하도록 상기 게이트를 형성하는 단계를 포함할 수 있다.

[0018] 상기 드레인을 형성하는 단계는, 상기 소스의 중심과 상기 채널 영역의 중심은 서로 이격되도록 형성하는 단계를 포함할 수 있다.

[0019] 상기 채널 영역의 폭은, 상기 소스부터 상기 드레인까지의 최단 거리와 같은 길이일 수 있다.

[0020] 상기 드레인의 폭은, 상기 전계효과트랜지스터의 타겟 테라헤르츠파에 대응하는 타겟 파장, 상기 타겟 파장의 1/2, 및 상기 타겟 파장의 1/4 중 하나에 대응하는 길이일 수 있다.

[0021] 상기 채널 영역의 폭은, 상기 소스의 폭 및 상기 게이트의 폭에 기초하여 결정될 수 있다.

[0022] 상기 채널 영역의 폭은, 상기 전계효과트랜지스터에 대한 테라헤르츠파의 인가에 응답하여 생성되는 전하 밀도 분포 길이를 초과하는 길이일 수 있다.

[0023] 상기 드레인의 폭은, 상기 제1 성능인자에 기초하여 결정되고, 상기 채널 영역의 폭은, 상기 제1 성능인자와는 독립적으로 상기 제2 성능인자에 의해서만 결정될 수 있다.

[0024] 상기 게이트를 형성하는 단계는, 상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 게이트를 상기 소스와 일부 오버랩되게 형성하는 단계를 포함할 수 있다.

[0025] 상기 게이트를 형성하는 단계는, 상기 실리콘 기판에 수직한 방향으로 볼 때, 상기 게이트를 상기 드레인과 일부 오버랩되게 형성하는 단계를 포함할 수 있다.

발명의 효과

[0026] 일 실시예에 따른 메탈 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터는 별도의 안테나의 구조 없이도 게이트를 안테나로 활용하여 테라헤르츠파를 수신하고, 수신될 테라헤르츠파를 직류 출력 전압으로 변환하여 검출하는 안테나-전계효과트랜지스터의 일체형의 구조를 가질 수 있다.

[0027] 일 실시예에 따른 메탈 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터는 드레인이 제1 성능인자에 기초하여 결정된 폭을 가짐으로써 검출하고자 하는 파장대 범위의 테라헤르츠파에 대한 수신율을 높

일 수 있고, 채널 영역이 제2 성능인자에 기초하여 결정된 폭을 가짐으로써 테라헤르츠파 검출을 위한 출력 전압을 극대화할 수 있다. 결국, 일 실시예에 따른 전계효과트랜지스터는 드레인의 폭 및 채널 영역의 폭에 기초하여 테라헤르츠파에 대한 감도를 높일 수 있다.

[0028] 더 나아가, 일 실시예에 따른 전계효과트랜지스터는 드레인의 폭이 제1 성능인자에 기초하여 결정되고, 채널 영역의 폭은 제1 성능인자와는 독립적으로 제2 성능인자에 의해서만 결정될 수 있다.

도면의 간단한 설명

[0029] 도 1은 일 실시예에 따른 메탈 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터의 측면도이다.

도 2는 일 실시예에 따른 전계효과트랜지스터의 측면도이다.

도 3은 일 실시예에 따른 전계효과트랜지스터의 평면도이다.

도 4는 일 실시예에 따른 전계효과트랜지스터가 입사되는 테라헤르츠파를 직류 전압으로 검출하는 과정을 설명한다.

도 5는 일 실시예에 따른 전계효과트랜지스터를 제조하는 방법에 관하여 설명한다.

발명을 실시하기 위한 구체적인 내용

[0030] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0031] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0032] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

[0033] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0034] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0035] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.

[0037] 전계효과트랜지스터 기반의 테라헤르츠파 검출기는 채널 내의 비교적 낮은 전자의 이동도에 의해 비공진 모드로 동작한다. 이러한 동작 원리는 소스와 드레인의 전압차를 통한 테라헤르츠파의 검출을 위해, 소스와 드레인의 비대칭 환경을 필요로 한다.

[0038] 종래의 방법에서는, 부가적인 회로 레벨의 디자인을 이용한 비대칭 환경으로 소스와 드레인 사이의 전위차에 의한 출력 전압을 이용하여 테라헤르츠파를 검출하였다. 그러나, 종래의 방법은 부가 구성요소에 의한 테라헤르츠파 검출기 시스템 전체의 총 노이즈 증가를 야기한다. 종래의 방법은 테라헤르츠파 검출기의 성능 지표인 Rv와 NEP의 향상을 위해서는 적합하지 않다. 아래 수학식 1 및 2에서는 테라헤르츠파 검출기의 성능 지표 R_v 와

NEP를 나타낸다.

수학식 1

$$Rv = \frac{\text{드레인의 출력 전압}}{\text{흡수되는 테라헤르츠파의 전력}}$$

[0039]

수학식 2

$$NEP = \frac{\text{테라헤르츠파 검출기의 전체 잡음}}{Rv}$$

[0040]

[0041] 즉, NEP를 낮추기 위하여 Rv를 높이기 위한 방법을 사용하면서도, 검출기 전체의 잡음은 유지 또는 감소시켜야 한다. 테라헤르츠파의 감도 증가를 위해서는 테라헤르츠파를 효과적으로 흡수하기 위한 안테나 구조와 더불어 게이트 전계 효과에 의해 채널의 전하를 2차원 형태로 모아야 하는데, 이러한 특성을 위하여 테라헤르츠파 검출을 위한 소스와 드레인의 비대칭 환경이 필요하다. 종래에 소스와 드레인의 비대칭 환경을 위해 전계효과트랜지스터 내부의 구조적 비대칭이 고안되었지만, 높은 반응도를 위해 집적되는 안테나의 동작 효율을 위한 전계효과트랜지스터와의 매칭이 문제가 되었다.

[0042] 종래의 테라헤르츠파 검출기는 안테나, 전계효과트랜지스터, 및 증폭기가 결합되고, 전계효과트랜지스터가 마이크로미터 이하의 크기로 제작되기 때문에 테라헤르츠파의 파장 대비 매우 작은 전계효과트랜지스터 채널 면적으로 인하여 상대적으로 매우 큰 크기의 안테나가 필요하였다. 결국, 종래에는 큰 크기의 안테나에 의한 낮은 임피던스의 안테나와 작은 크기의 전계효과트랜지스터에 의한 높은 임피던스의 전계효과트랜지스터 간의 임피던스 부정합으로 인해 테라헤르츠파 전력 전달 손실이 필연적으로 발생하였다. 이에 따라, 출력 전압이 마이크로볼트(μV) 또는 밀리볼트(mV) 수준으로 매우 작게 발생하기 때문에, 미소 출력전압을 증폭하기 위한 수십 dB의 큰 이득을 갖는 증폭기 회로를 테라헤르츠파 검출기가 반드시 포함하게 됨으로써 검출기 시스템 전체의 잡음이 증가하는 문제점이 발생하였다.

[0043] 그러나, 일 실시예에 따른 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터는, 테라헤르츠파를 직류 출력전압으로 변환하는 전계효과트랜지스터와 테라헤르츠파를 수신하는 안테나를 일체형으로 융합한 구조를 가진다. 일 실시예에 따른 전계효과트랜지스터는 출력 전압의 극대화를 위한 소스와 드레인의 비대칭 구조와, 타겟(target) 테라헤르츠파의 파장에 적합한 안테나 구조를 동시에 가질 수 있다. 여기서, 타겟 테라헤르츠파란 전계효과트랜지스터가 검출하고자 하는 파장대 범위의 테라헤르츠파를 나타낼 수 있다. 일 실시예에 따른 전계효과트랜지스터에서는 드레인의 폭에 따라 테라헤르츠파 수신율과 관련된 제1 성능인자가 변경되고, 채널 영역의 폭에 따라 테라헤르츠파의 검출과 관련된 제2 성능인자가 변경된다. 이에 따라, 일 실시예에 따른 전계효과트랜지스터에서는 제1 성능인자에 기초하여 결정된 폭을 갖는 드레인으로 타겟 테라헤르츠파에 대한 수신율을 높일 수 있다. 또한, 전계효과트랜지스터에서는 제1 성능인자와 독립적으로 제2 성능인자에 기초하여 결정된 폭을 갖는 채널 영역에 의하여, 테라헤르츠파 검출을 위한 출력 전압을 극대화시킬 수 있다. 이하에서는, 일 실시예에 따른 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터에 관하여 보다 자세히 설명한다.

[0045] 도 1은 일 실시예에 따른 메탈 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터의 측면도이다.

[0046] 일 실시예에 따른 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터(100)(이하, '전계효과트랜지스터')는 실리콘 기판(silicon substrate, 110)에 형성되는 소스(source, 120), 채널 영역(channel region, 130), 드레인(drain, 140), 및 실리콘 기판(110)과 이격되어 형성되는 게이트(gate, 150)를 포함할 수

있다. 참고로, 채널 영역(130)은 드레인 및 소스 간에 전하가 이동하는 통로인 채널이 형성되는 영역을 나타낼 수 있다.

[0047] 보다 구체적으로, 일 실시예에 따른 전계효과트랜지스터(100)는 실리콘 기판(110)의 일부가 도핑되어 생성된 소스(120)를 포함할 수 있다. 전계효과트랜지스터(100)를 실리콘 기판(110)에 수직한 방향으로 볼 때, 소스(120)는 원형(circular form)일 수 있다.

[0048] 전계효과트래지스터(100)는 소스(120)를 감싸는 형태의 채널 영역(130)을 포함할 수 있다. 전계효과트랜지스터(100)를 실리콘 기판(110)에 수직한 방향으로 볼 때, 채널 영역(130)은 링형(ring form)일 수 있다. 채널 영역은 전계효과트랜지스터(100)가 수신한 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정된 폭을 가질 수 있다.

[0049] 전계효과트랜지스터(100)는 채널 영역(130)의 바깥이 도핑되어 생성된 드레인(140)을 포함할 수 있다. 전계효과트랜지스터(100)를 실리콘 기판(110)에 수직한 방향으로 볼 때, 드레인(140)은 링형일 수 있다. 드레인(140)은 전계효과트랜지스터(100)의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭을 가질 수 있다.

[0050] 전계효과트랜지스터(100)는 소스(120), 채널 영역(130), 및 드레인(140) 상단에 형성된 유전층(dielectric layer, 미도시됨)을 포함할 수 있다.

[0051] 전계효과트랜지스터(100)는 실리콘 기판(110)의 표면 상에 형성되는 유전층 상단에서 실리콘 기판(110)과 이격되어 채널 영역(130)에 대응하여 배치되는 게이트(150)를 포함할 수 있다. 게이트(150)는 실리콘 기판(110)에 수직한 방향으로 볼 때, 채널 영역(130)을 커버하도록 형성될 수 있다. 추가적으로, 실리콘 기판(110)에 수직한 방향으로 볼 때, 게이트(150)는 소스(120)와 일부 오버랩되게 형성될 수 있고, 드레인(140)의 일부와 오버랩되게 형성될 수 있다.

[0052] 일 실시예에 따른 전계효과트랜지스터(100)는 테라헤르츠 전자기파(160)를 게이트(150)를 통하여 수신할 수 있다. 전계효과트랜지스터(100)의 소스(120) 및 드레인(140) 사이에 발생하는 전류 및 전압으로 테라헤르츠 전자기파(160)의 신호를 검출할 수 있다. 테라헤르츠 전자기파 신호는 0.1 테라헤르츠(THz) 내지 10 테라헤르츠 사이의 주파수를 갖는 전자기파 신호로서, 테라헤르츠파라고도 나타낼 수 있다.

[0054] 도 2는 일 실시예에 따른 전계효과트랜지스터의 측면도이다.

[0055] 전계효과트랜지스터(200)는 실리콘 기판(210), 실리콘 기판(210)에서 도핑에 의하여 형성되는 소스(220), 소스를 감싸는 형태의 채널 영역(230), 채널 영역(230)의 바깥에서 도핑에 의하여 형성되는 드레인(240), 실리콘 기판(210)의 표면 상에 형성되는 유전층(260), 유전층(260) 상단에서 채널 영역(230)에 대응하여 형성되는 게이트(250)를 포함할 수 있다.

[0057] 도 3은 일 실시예에 따른 전계효과트랜지스터의 평면도이다.

[0058] 도 3은 도 1에 도시된 전계효과트랜지스터(100)를 실리콘 기판에 수직한 방향으로 바라본 평면도이다. 도 1을 참조하면, 전계효과트랜지스터(300)는 소스(320)와 소스(320)를 감싸는 채널 영역(330), 및 채널 영역(330)의 바깥에 형성된 드레인(340)을 포함하여 구성될 수 있다. 전계효과트랜지스터(300)는 실리콘 기판에 수직한 방향으로 볼 때, 채널 영역(330)을 커버하도록 형성된 게이트(미도시됨)를 더 포함하여 구성될 수 있다.

[0059] 실리콘 기판에 수직한 방향으로 볼 때 소스(320)는 원형 일 수 있고, 채널 영역(330), 게이트(미도시됨), 드레인(340)은 환형일 수 있다. 실리콘 기판에 수직한 방향으로 볼 때, 채널 영역(330) 및 게이트의 둘레는 원형일 수 있고, , 드레인(340)의 둘레 또한 원형일 수 있다.

[0060] 일 실시예에 따른 전계효과트랜지스터(300)에서 소스의 중심(321)과 채널 영역(331)의 중심은 편심(eccentric)될 수 있다. 다시 말해, 실리콘 기판에 수직한 방향으로 볼 때, 전계효과트랜지스터(300)에서 소스의 중심(321)과 채널 영역의 중심(331)은 서로 이격될 수 있다. 전계효과트랜지스터(300)는 소스의 중심(321)과 채널 영역의 중심(331)이 서로 이격됨으로써 소스와 드레인의 비대칭성이 극대화될 수 있다. 여기서, 채널 영역의 중심(331)이란, 채널 영역의 둘레에 대응하는 원의 중심을 나타낼 수 있다.

[0061] 도 3을 참조하면, 일 실시예에 따른 전계효과트랜지스터(300)에서 소스(320)의 폭(width)(d_s)은 소스(320)의 둘레에 대응하는 원의 지름 d_s를 나타낼 수 있다. 마찬가지로, 게이트의 폭은 게이트의 둘레에 대응하는 원의 지름인 d_g를 나타낼 수 있다. 드레인(340)의 폭은 드레인의 둘레에 대응하는 원의 지름인 d_d를 나타낼 수 있다. 전계효과트랜지스터(300)에서 채널 영역(330)의 폭은 소스(320)부터 드레인(340)까지의 최단 거리와 같은 길이 Lg를 나타낼 수 있다. 예를 들어, 소스(320)부터 드레인(340)까지의 최장 거리를 L이라 하면, d_g는 d_s, L_g, L을 합한 값과 동일하다.

[0062] 일 실시예에 따른 전계효과트랜지스터(300)는 게이트를 안테나로 활용하여 테라헤르츠파를 수신하기 때문에, 별도의 안테나 구조가 없이도 전계효과트랜지스터 자체적으로 안테나의 효과를 기대할 수 있다. 또한, 일 실시예에 따른 전계효과트랜지스터(300)는 소스와 드레인의 비대칭 구조를 이용하여, 소스와 드레인 사이의 전위차에 의한 출력 전압에 기초하여 수신된 테라헤르츠파를 검출할 수 있다. 일 실시예에 따른 전계효과트랜지스터(300)의 드레인(340)은 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭을 가지고, 채널 영역(330)은 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정된 폭을 각각 가질 수 있다.

[0063] 먼저, 제1 성능인자는 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 안테나 성능인자이다. 일 실시예에 따른 전계효과트랜지스터(300)의 드레인(340)의 폭은 제1 성능인자에 의하여 결정될 수 있다. 전계효과트랜지스터(300)가 검출하려는 타겟(target) 테라헤르츠파에 대한 수신율은 제1 성능인자와 관련되어 있으며, 제1 성능인자가 높을수록 전계효과트랜지스터(300)가 검출을 타겟으로 하는 테라헤르츠파에 대한 수신율이 높다. 일 실시예에 따르면, 드레인(340)의 폭(d_d)은 전계효과트랜지스터의 타겟 테라헤르츠파에 대응하는 타겟 파장(target wavelength), 타겟 파장의 1/2, 및 타겟 파장의 1/4 중 하나에 대응하는 길이일 수 있다. 테라헤르츠파는 0.1 THz 내지 10 THz 주파수 범위의 전자기파를 나타내며, 이는 3㎜ 내지 30㎛의 파장대의 범위를 나타낸다. 일 실시예에 따른 전계효과트랜지스터(300)는 드레인의 폭에 따라 타겟 테라헤르츠파의 수신율이 달라지며, 타겟 테라헤르츠파에 대응하는 타겟 파장이 드레인의 폭 길이와 정수배 관계(예를 들어, 1배, 2배, 4배 등)에 있는 경우에는 타겟 테라헤르츠파에 대한 수신율이 높다. 더 나아가, 일 실시예에 따른 전계효과트랜지스터(300)에서 드레인의 폭은 테라헤르츠파의 수신율과 관련된 제1 성능인자에 기초하여 결정되며, 채널 영역의 폭(L_g)은 테라헤르츠파의 수신율과는 독립적이다.

[0064] 이는, 테라헤르츠파의 비교적 큰 파장으로 의해 게이트와 소스는 안테나 성능에 미미한 영향을 가지고, 테라헤르츠파가 인가되면 게이트, 소스, 및 드레인이 하나로 일체화된 구조로 동작하기 때문에, 안테나의 성능인자인 제1 성능인자에 따라 드레인의 폭이 결정되고, 채널 영역의 폭은 안테나의 성능에 영향이 거의 없다.

[0065] 제2 성능인자는 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 전계효과트랜지스터 자체의 성능인자이다. 일 실시예에 따른 전계효과트랜지스터(300)의 채널 영역(330)의 폭(L_g)은 제2 성능인자에 의하여 결정될 수 있다. 제2 성능인자가 높을수록 타겟 테라헤르츠파에 대한 검출 민감도가 높다. 일 실시예에 따른 전계효과트랜지스터(300)에서 채널 영역의 폭(L_g)은 소스의 폭(d_s) 및 게이트의 폭(d_g)에 기초하여 결정될 수 있다. 예를 들어, 전계효과트랜지스터(300)에서 소스의 중심(321)과 게이트의 중심(331) 사이의 거리 및 게이트의 폭(d_g)이 미리 결정되어 있는 상태에서, 소스의 폭(d_s)이 감소할수록 채널 영역의 폭(L_g)은 증가한다. 다른 예를 들어, 소스의 중심(321)과 게이트의 중심(331) 사이의 거리 및 소스의 폭(d_s)이 미리 결정되어 있는 상태에서, 게이트의 폭(d_g)이 증가할수록 채널 영역의 폭(L_g)은 증가한다. 다시 말해, 일 실시예에 따른 전계효과트랜지스터(300)에서는 테라헤르츠파의 검출과 관련된 전계효과트랜지스터 자체의 성능인자인 제2 성능인자에 따라 채널 영역의 폭(L_g)이 결정될 수 있고, 채널 영역의 폭(L_g)은 소스의 폭(d_s) 및 게이트의 폭(d_g)에 기초하여 결정된다. 일 실시예에 따른 전계효과트랜지스터(300)에서 채널 영역(330)의 폭은 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정되며, 드레인의 폭(d_d)은 테라헤르츠파의 검출을 위한 출력 전압과는 독립적이다. 이하세어는, 일 실시예에 따른 전계효과트랜지스터가 수신된 테라헤르츠파를 직류 전압으로 검출하는 과정을 보다 상세히 설명한다.

[0067] 도 4는 일 실시예에 따른 전계효과트랜지스터(400)가 입사되는 테라헤르츠파를 직류 전압으로 검출하는 과정을

설명한다.

[0068] 일 실시예에 따른 전계효과트랜지스터(400)는 실리콘 기판(410), 소스(420), 채널 영역(430), 드레인(440), 게이트(450)를 포함할 수 있고, 테라헤르츠파(460)가 게이트(450)에 인가될 수 있다.

[0069] 전계효과트랜지스터에 입사되는 교류 신호인 테라헤르츠파를 직류 전압으로 검출하기 위해서, 전계효과트랜지스터의 채널 영역(430) 내에 2차원 형태의 전하 비대칭이 필요하다. 테라헤르츠파가 입사되는 게이트(450)에서 바라본 소스와 드레인의 비대칭 조건을 위하여, 소스와 드레인 사이의 구조적인 비대칭 조건이 요구된다. 일 실시예에 따른 전계효과트랜지스터(400)에서 채널 영역의 폭(L_g)을 통해 소스와 드레인 사이의 비대칭 효과를 극대화 할 수 있다.

[0070] 도 3으로 돌아가면, 전계효과트랜지스터(300)에서 실리콘 기판에 수직한 방향으로 볼 때, 소스의 가상의 중심(321)과 채널 영역의 가상의 중심(331)이 서로 이격되어, 소스 및 드레인 사이의 구조적인 비대칭 조건이 만족된다. 전계효과트랜지스터(300)에서 L의 값과 Lg의 값이 서로 상이할 수 있다. 즉, 전계효과트랜지스터(300)는 소스(320)에서 드레인(340)으로 향하는 전하들의 도달거리가 Lg에서 L까지 달라지는 비대칭성의 구조를 가지게 되며, 이러한 비대칭성에 의하여 전계효과트랜지스터(300)의 게이트와 소스(320)간의 전계가 강화될 수 있다. 다시 말해, 전계효과트랜지스터(300)는 소스(320)의 가상의 중심(321)과 채널 영역(330)의 가상의 중심이 편심되는 소스 및 드레인의 비대칭성의 구조를 통해 테라헤르츠파를 직류 전압으로 검출할 수 있다.

[0071] 보다 구체적으로, 도 4로 다시 돌아오면, 테라헤르츠파(460)가 전계효과트랜지스터(400)에 인가되는 경우, 전하가 채널 영역(430)에 발생하고, 소스(420)와 인접한 부분에 전하가 중점적으로 분포하게 된다. 이때, 소스(420)와 인접한 부분에 테라헤르츠파에 의하여 전하가 중점적으로 분포하고, 드레인(440)에 인접한 부분에서는 전하가 상대적으로 적게 분포하기 때문에 소스(420)와 드레인(440) 사이의 전하 비대칭이 발생한다. 이러한 전하 비대칭을 통하여 전계효과트랜지스터는 소스와 드레인 사이의 전압 차이에 의한 테라헤르츠파 검출이 가능하다. 이때, 전계효과트랜지스터(400)에서 전하비대칭을 구현하기 위해서는 채널 영역(430)의 폭이 전하가 분포하는 영역에 대응하는 전하 밀도 분포 길이(431)를 초과하여야 한다. 다시 말해, 채널 영역(430)의 폭은 전계효과트랜지스터(400)에 대한 테라헤르츠파의 인가에 응답하여 생성되는 전하 밀도 분포 길이(431)를 초과하는 길이 일 수 있다. 채널 영역의 폭(Lg)이 전하 밀도 분포 길이(431)를 초과하는 것은, 전계효과트랜지스터가 소스와 드레인 사이의 전위차에 따라 테라헤르츠파를 검출하기 위한 경계조건이다. 그러나, 채널 영역의 폭이 커질수록 전계효과트랜지스터의 채널 영역의 저항이 증가하기 때문에 채널 영역은 적절한 폭을 가져야 한다.

[0072] 정리하면, 전계효과트랜지스터(300)에서 드레인의 폭은 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정될 수 있고, 채널 영역의 폭은 제1 성능인자와는 독립적으로 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 제2 성능인자에 의해서만 결정될 수 있다.

[0073] 일 실시예에 따른 전계효과트랜지스터는 신호 수신부 및 증폭기 등의 추가적인 성능개선을 위한 주변 회로 부품들과의 집적이 가능하고, 실시간/대면적을 위한 다중 픽셀 구성에도 간단한 트랜지스터-안테나 일체형 구조를 제공함으로 저비용 및 상용급 성능의 테라헤르츠 이미징 시스템을 가능하게 한다.

[0075] 도 5는 일 실시예에 따른 전계효과트랜지스터를 제조하는 방법에 관하여 설명한다.

[0076] 단계(510)에서 일 실시예에 따른 게이트를 안테나로 활용하는 테라헤르츠파 검출용 전계효과트랜지스터의 제조 방법(이하, '전계효과트랜지스터의 제조 방법')은 실리콘 기판의 일부를 도핑하여 소스를 형성할 수 있다.

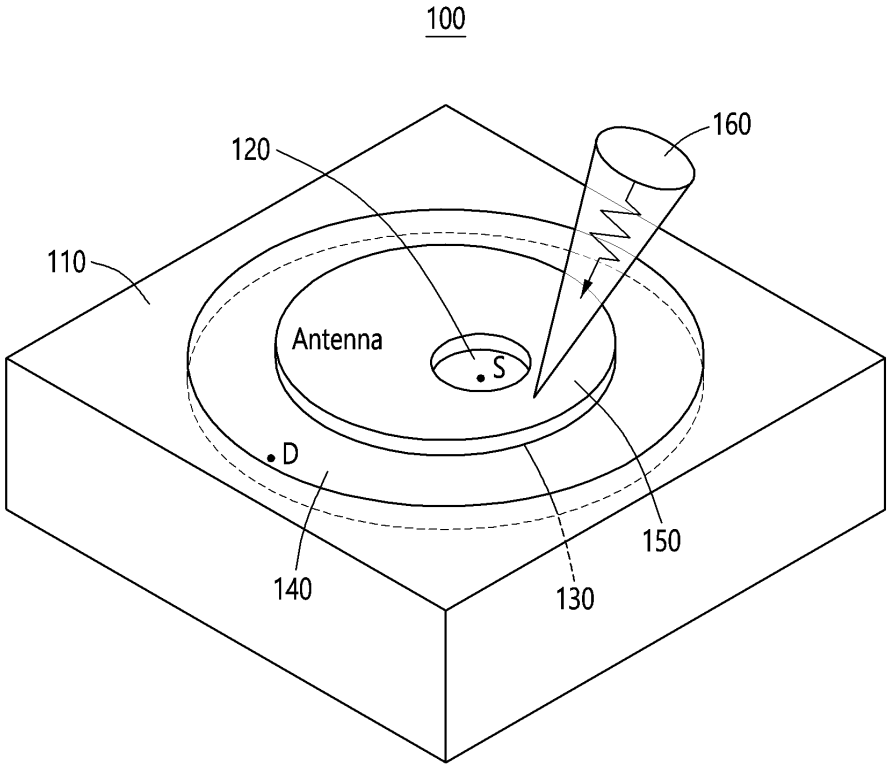
[0077] 단계(510)에서 전계효과트랜지스터의 제조 방법은 소스를 감싸는 형태의 채널 영역의 바깥을 도핑하여 드레인을, 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭으로 형성할 수 있다. 이때, 채널 영역은 전계효과트랜지스터에 의해 수신될 테라헤르츠파의 검출과 관련된 제2 성능인자에 기초하여 결정된 폭을 가질 수 있다. 이때, 소스의 중심과 채널 영역의 중심이 서로 이격되도록 드레인을 형성할 수 있다. 이때, 드레인의 폭은 제1 성능인자에 기초하여 결정되고, 채널 영역의 폭은 제1 성능인자와는 독립적으로 제2 성능인자에 의해서만 결정될 수 있다.

[0078] 단계(520)에서 전계효과트랜지스터의 제조 방법은 실리콘 기판의 표면 상에 형성되는 유전층 상단에서, 실리콘 기판과 이격되어 채널 영역에 대응하는 게이트를 형성할 수 있다. 실리콘 기판에 수직한 방향으로 볼 때, 채널 영역을 커버하도록 게이트를 형성할 수 있다. 또한, 실리콘 기판에 수직한 방향으로 볼 때, 게이트를 소스 및 드레인과 일부 오버랩되게 형성할 수 있다.

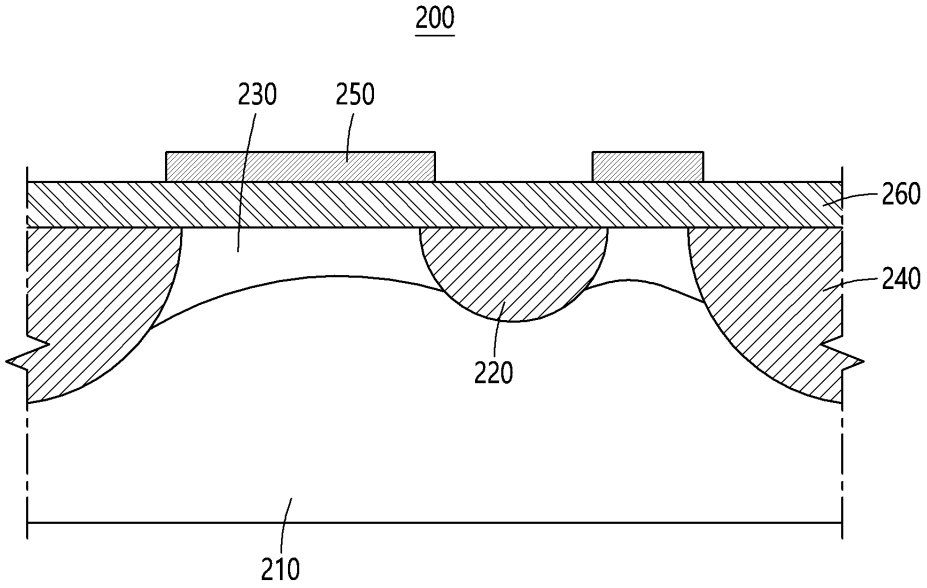
[0079] 더 나아가, 일 실시예에 따른 전계효과트랜지스터의 제조 방법은 드레인의 폭이 전계효과트랜지스터의 타겟 테라헤르츠파에 대응하는 타겟 파장, 타겟 파장의 1/2, 및 타겟 파장의 1/4 중 하나에 대응하는 길이가 되도록 드레인을 도핑할 수 있다. 일 실시예에 다른 전계효과트랜지스터의 제조 방법은 채널 영역의 폭이 전계효과트랜지스터에 대한 테라헤르츠파의 인가에 응답하여 생성되는 전하 밀도 분포 길이를 초과하는 길이가 되도록 드레인을 도핑할 수 있다.

도면

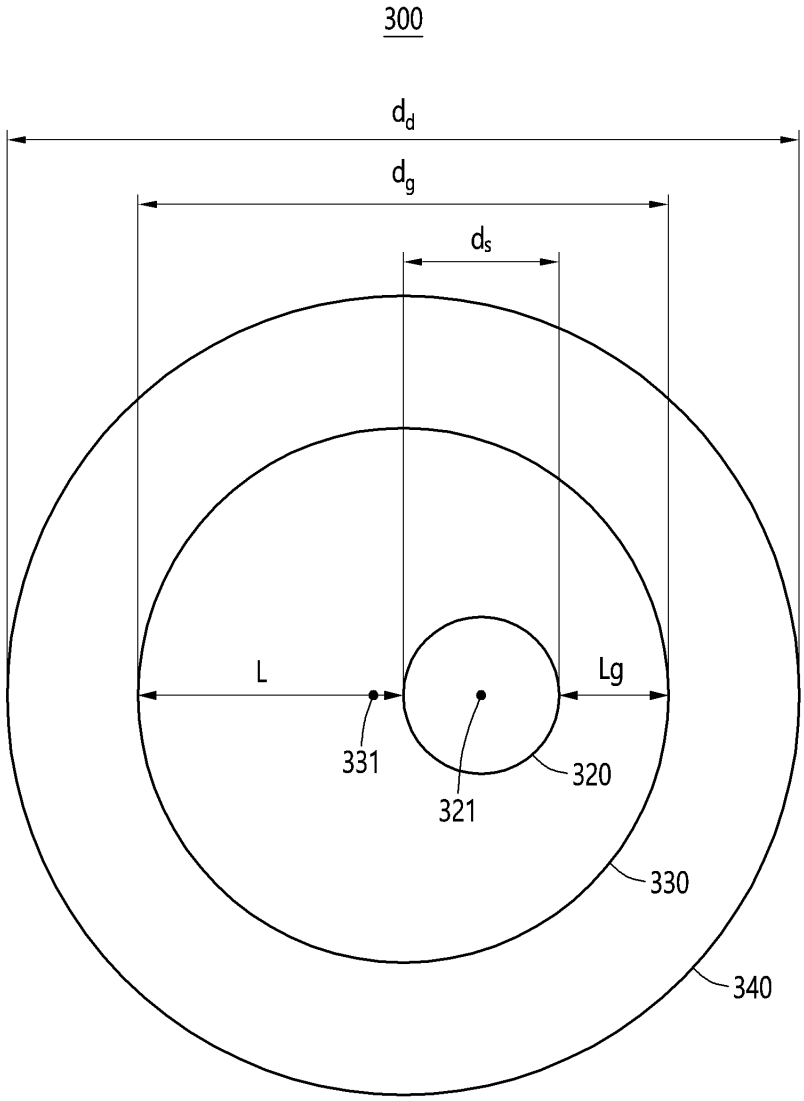
도면1



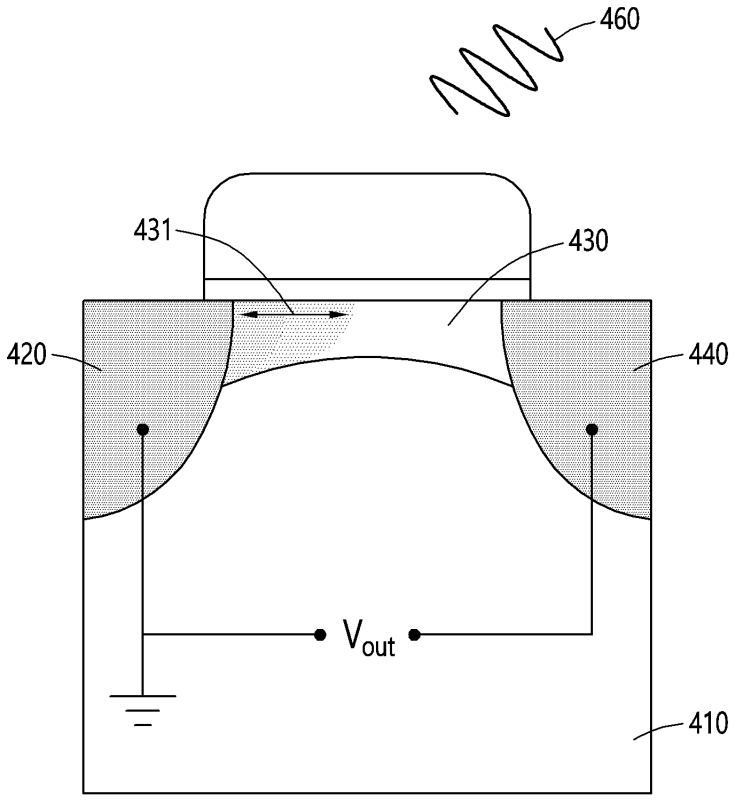
도면2



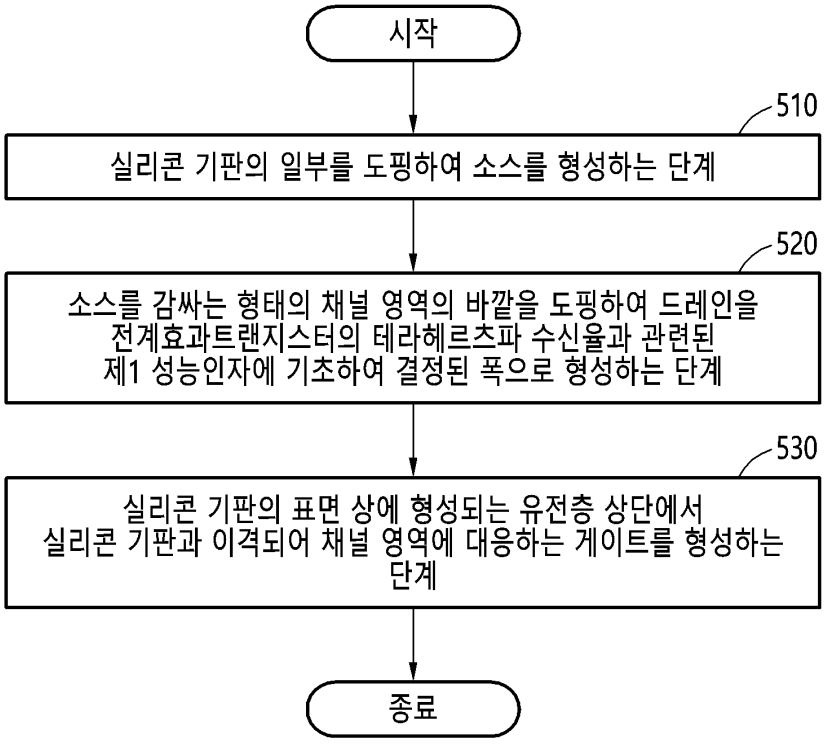
도면3



도면4


460
431
430
420
440
V_{out}
410

도면5


시작
510
실리콘 기판의 일부를 도핑하여 소스를 형성하는 단계
520
소스를 감싸는 형태의 채널 영역의 바깥을 도핑하여 드레인을 전계효과트랜지스터의 테라헤르츠파 수신율과 관련된 제1 성능인자에 기초하여 결정된 폭으로 형성하는 단계
530
실리콘 기판의 표면 상에 형성되는 유전층 상단에서 실리콘 기판과 이격되어 채널 영역에 대응하는 게이트를 형성하는 단계
종료