

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



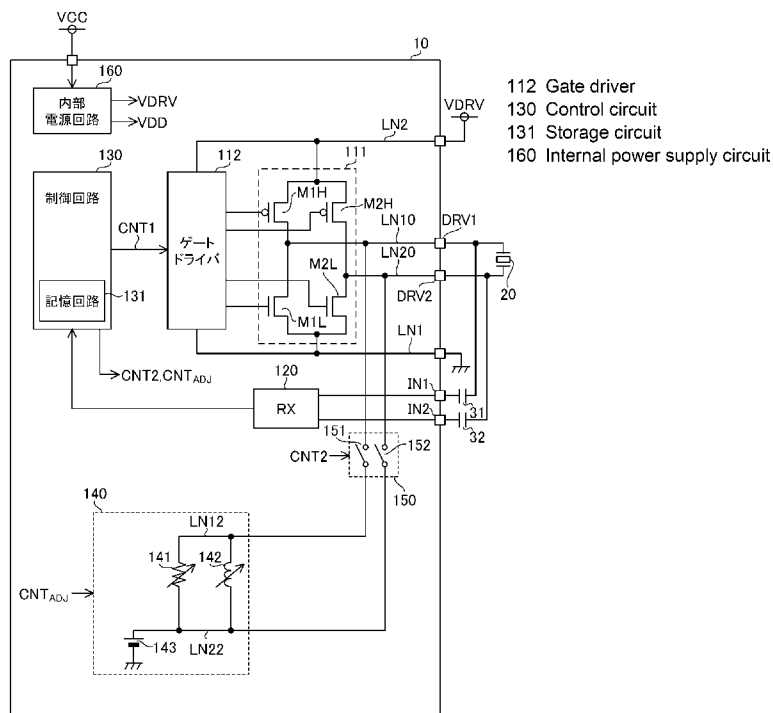
(10) 国際公開番号

WO 2022/201681 A1

- (51) 国際特許分類:
G01S 7/524 (2006.01) *G01S 15/931* (2020.01)
G01S 15/10 (2006.01)
- (21) 国際出願番号: PCT/JP2021/046960
- (22) 国際出願日: 2021年12月20日(20.12.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-048769 2021年3月23日(23.03.2021) JP
- (71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 松原 秀樹 (**MATSUBARA Hideki**);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所 (**SANO PATENT OFFICE**); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE AND ULTRASONIC SENSOR

(54) 発明の名称: 半導体装置及び超音波センサ



(57) Abstract: This semiconductor device supplies a drive signal in the ultrasonic band to a piezoelectric element via a drive circuit, and thereafter, supplies a brake signal having a phase which differs from the phase of the drive signal to the piezoelectric element via a braking operation. The drive circuit is equipped with a full-bridge circuit provided between a first line and a second line. The braking operation turns on two switches on the first line side of the full-bridge circuit, or turns on two switches on the second line side of the full-bridge circuit.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
-

(57) 要約: 半導体装置では、駆動回路より圧電素子に超音波帯域の駆動信号を供給した後、ブレーキ動作を経て、駆動信号の位相と異なる位相を有する制動信号を圧電素子に供給する。駆動回路は第1ライン及び第2ライン間に設けられたフルブリッジ回路を備える。ブレーキ動作では、フルブリッジ回路における第1ライン側の2つのスイッチをオンとする、又は、フルブリッジ回路における第2ライン側の2つのスイッチをオンとする。

明 細 書

発明の名称：半導体装置及び超音波センサ

技術分野

[0001] 本開示は、半導体装置及び超音波センサに関する。

背景技術

[0002] 圧電素子を備えた超音波センサが様々な用途で利用されている。超音波センサでは、圧電素子を駆動することで送信波信号を送信し、反射波信号を受信することで物体の距離検出又は接近検出を行う（例えば特許文献 1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 1 8 - 9 6 7 5 2 号公報

発明の概要

発明が解決しようとする課題

[0004] 送信波信号を送信するための駆動信号の圧電素子への供給を停止した後も、圧電素子は自身が蓄積した機械エネルギーに基づき、暫くの間、振動を継続する。駆動信号の供給停止後の圧電素子の振動は残響と称される。残響が継続する時間（残響時間）が長いと至近距離の物体の検出等が困難になる。このため、残響時間を有効に低減しうる技術の開発が期待される。

[0005] 本開示は、残響時間の低減に寄与する半導体装置及び超音波センサを提供することを目的とする。

課題を解決するための手段

[0006] 本開示に係る半導体装置は、圧電素子に超音波帯域の駆動信号を供給可能であって、前記駆動信号の供給停止後に前記駆動信号の位相と異なる位相を有する制動信号を前記圧電素子に供給可能に構成された駆動回路と、前記駆動回路を制御可能に構成された制御回路と、を備え、前記駆動回路は、第 1 ラインと前記第 1 ラインよりも高い電位が加わるべき第 2 ラインとの間に設

けられたフルブリッジ回路を備え、前記第 1 ライン及び前記第 2 ライン間の電位差に基づき前記フルブリッジ回路を用いて前記駆動信号及び前記制動信号を前記圧電素子に供給可能に構成され、前記フルブリッジ回路は、前記第 2 ライン側に設けられた第 1 スイッチと前記第 1 ライン側に設けられた第 2 スイッチとの直列回路、及び、前記第 2 ライン側に設けられた第 3 スイッチと前記第 1 ライン側に設けられた第 4 スイッチとの直列回路を有して、前記第 1 スイッチ及び前記第 2 スイッチ間の接続ノード、前記第 3 スイッチ及び前記第 4 スイッチ間の接続ノードを、夫々、前記圧電素子の第 1 端、第 2 端に接続可能に構成され、前記制御回路は、前記圧電素子への前記駆動信号の供給を停止してから前記制動信号を前記圧電素子に供給する前にブレーキ動作を前記駆動回路に行わせることが可能に構成され、前記ブレーキ動作では、前記第 1 スイッチ及び第 3 スイッチがオフ且つ前記第 2 スイッチ及び第 4 スイッチがオンとされる、又は、前記第 1 スイッチ及び第 3 スイッチがオン且つ前記第 2 スイッチ及び第 4 スイッチがオフとされる。

発明の効果

[0007] 本開示によれば、残響時間の低減に寄与する半導体装置及び超音波センサを提供することが可能となる。

図面の簡単な説明

[0008] [図1]図 1 は、本開示の実施形態に係る超音波センサの全体構成図である。

[図2]図 2 は、本開示の実施形態に係り、超音波センサにおける出力波信号及び反射波信号の関係を示す図である。

[図3]図 3 は、本開示の実施形態に係り、超音波センサを構成する半導体装置の内部構成を示す図である。

[図4]図 4 は、本開示の実施形態に係り、駆動回路がとり得る複数の状態を示す図である。

[図5]図 5 は、本開示の実施形態に係り、受信信号に基づく増幅電圧信号と包絡線信号との関係を示す図である。

[図6]図 6 は、本開示の実施形態に係り、ダンピング回路の内部構成例を示す

図である。

[図7]図7は、本開示の実施形態に係り、半導体装置により検出単位動作が繰り返し実行される様子を示す図である。

[図8]図8は、本開示の実施形態に係り、検出単位動作が行われる期間の構成を示す図である。

[図9]図9は、本開示の実施形態に係り、送信期間における各スイッチの状態と駆動信号の波形を示す図である。

[図10]図10は、本開示の実施形態に係り、第1制動期間における各スイッチの状態と制動信号の波形を示す図である。

[図11]図11は、本開示の実施形態に係り、駆動信号と制動信号の位相関係を示す図である。

[図12]図12は、本開示の実施形態に属する第1実施例に係り、検出単位動作のタイミングチャートである。

[図13]図13は、比較例に係る検出単位動作のタイミングチャートである。

[図14]図14は、本開示の実施形態に属する第2実施例に係り、駆動回路及びその周辺回路を示す図である。

[図15]図15は、本開示の実施形態に属する第2実施例に係り、検出単位動作のタイミングチャートである。

[図16]図16は、本開示の実施形態に属する第2実施例に係り、検出単位動作の変形タイミングチャートである。

[図17]図17は、本開示の実施形態に属する第3実施例に係り、検出単位動作のタイミングチャートである。

[図18]図18は、本開示の実施形態に属する第4実施例に係り、駆動回路及びその周辺回路を示す図である。

[図19]図19は、本開示の実施形態に属する第4実施例に係り、検出単位動作のタイミングチャートである。

[図20]図20は、本開示の実施形態に属する第4実施例に係り、検出単位動作の変形タイミングチャートである。

[図21]図 2 1 は、本開示の実施形態に係り、複数の超音波センサが搭載された車両の概略上面視図である。

発明を実施するための形態

[0009] 以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、素子又は部位等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、素子又は部位等の名称を省略又は略記することがある。例えば、後述の“140”によって参照されるダンピング回路は（図3参照）、ダンピング回路140と表記されることもあるし、回路140と略記されることもあり得るが、それらは全て同じものを指す。

[0010] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明を設ける。ラインとは電気信号が伝播又は印加される配線を指す。グランドとは、基準となる0V（ゼロボルト）の電位を有する基準導電部を指す又は0Vの電位そのものを指す。基準導電部は金属等の導体にて形成される。0Vの電位をグランド電位と称することもある。本開示の実施形態において、特に基準を設けずに示される電圧はグランドから見た電位を表す。

[0011] MOSFETを含むFET（電界効果トランジスタ）として構成された任意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態（遮断状態）を指す。FETに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。

[0012] 任意のスイッチを1以上のFET（電界効果トランジスタ）にて構成することができ、或るスイッチがオン状態のときには当該スイッチの両端間が導

通する一方で或るスイッチがオフ状態のときには当該スイッチの両端間が非導通となる。以下、任意のトランジスタ又はスイッチについて、オン状態、オフ状態を、単に、オン、オフと表現することもある。任意の回路素子、配線（ライン）、ノードなど、回路を形成する複数の部位間についての接続とは、特に記述なき限り、電氣的な接続を指すと解して良い。

[0013] 図1に本開示の実施形態に係る超音波センサ1の全体構成を示す。図1には、超音波センサ1に接続される上位ブロック2と、超音波センサ1から物理的に分離した位置に存在する検出対象物OBJも示されている。超音波センサ1は、超音波センサ用の半導体集積回路から成る半導体装置10と、圧電素子20と、コンデンサ31及び32と、を備えて構成される。図1には半導体装置10の内部構成の一部のみが図示されている。

[0014] 超音波センサ1は、超音波センサ1の外部空間に向けて（超音波センサ1から離れる向きに）超音波帯域の出力波信号W1を送信する。出力波信号W1が検出対象物OBJにて反射することで反射波信号W2が生成される。反射波信号W2は超音波センサ1にて受信される。超音波センサ1は反射波信号W2の受信信号に基づいて検出対象物OBJの距離の検出及び検出対象物OBJの接近検出等を行う。超音波帯域は、人間の耳に聞こえる音波の帯域よりも高い周波数帯域であって且つ人間の耳に聞こえない周波数帯域を指し、一般には20kHz以上の帯域を指す。例えば、出力波信号W1は30kHz～80kHzの範囲内の周波数を持つ。出力波信号W1及び反射波信号W2は共に超音波信号に属する。

[0015] 圧電素子20は第1端及び第2端を有する。圧電素子20は第1端及び第2端間に印加される電圧信号に応じて自身に機械的変位（振動）を生じさせ、自身の機械的変位により出力波信号W1を発生させる。故に、圧電素子20は出力波信号W1の送波器として機能する。また、圧電素子20は、自身に加わる機械的変位（振動）に応じて第1端及び第2端間に起電力を生じさせる特性を持ち、反射波信号W2の受波器としても機能する。

[0016] 半導体装置10は、圧電素子20を用いて出力波信号W1の送信動作と反

射波信号W 2 の受信動作を行う。以下、出力波信号W 1 の送信動作と反射波信号W 2 の受信動作を合わせたものを、送受信動作と称することがある。半導体装置 1 0 は、送信回路 1 1、受信回路 1 2 及び制御回路 1 3 を備える。半導体装置 1 0 は、半導体集積回路を樹脂にて構成された筐体（パッケージ）内に封入することで形成された電子部品であり、半導体装置 1 0 を構成する各回路が半導体にて集積化されている。半導体装置 1 0 としての電子部品の筐体には、半導体装置 1 0 の外部に対し筐体から露出した外部端子が複数設けられている。半導体装置 1 0 に設けられる複数の外部端子の一部として、図 1 には、出力端子 D R V 1 及び D R V 2 と入力端子 I N 1 及び I N 2 が示される。半導体装置 1 0 の外部において、出力端子 D R V 1 は圧電素子 2 0 の第 1 端に接続され、出力端子 D R V 2 は圧電素子 2 0 の第 2 端に接続される。また、半導体装置 1 0 の外部において、入力端子 I N 1 はコンデンサ 3 1 を介して圧電素子 2 0 の第 1 端に接続され、入力端子 I N 2 はコンデンサ 3 2 を介して圧電素子 2 0 の第 2 端に接続される。尚、コンデンサ 3 1 及び 3 2 は半導体装置 1 0 に内蔵されていても良い。

[0017] 送信回路 1 1 は、出力端子 D R V 1 及び D R V 2 間に外部接続された圧電素子 2 0 を用いて出力波信号 W 1 を送信する。受信回路 1 2 は、入力端子 I N 1 及び I N 2 間に外部接続された圧電素子 2 0 を用いて超音波帯域の入力波信号を受信する。受信されるべき主たる入力波信号は出力波信号 W 1 に基づく反射波信号 W 2 である。このように、本実施形態では、出力端子 D R V 1 及び D R V 2 間と入力端子 I N 1 及び I N 2 間とに共通の圧電素子 2 0 が外部接続されており、共通の圧電素子 2 0 が送受波器として送信回路 1 1 及び受信回路 1 2 にて共用される。

[0018] 但し、変形例として、入力端子 I N 1 及び I N 2 間に、圧電素子 2 0 とは異なる他の圧電素子（不図示）を外部接続するようにしても良い（この場合、当該他の圧電素子も超音波センサ 1 の構成要素に含まれる）。或いは、共通の圧電素子 2 0 を送信回路 1 1 及び受信回路 1 2 にて共用する場合において、出力端子 D R V 1 及び入力端子 I N 1 を 1 つの第 1 入出力端子にて実現

すると共に出力端子DRV2及び入力端子IN2を1つの第2入出力端子にて実現し、第1及び第2入出力端子を送信回路11と受信回路12の双方に並列接続しておいても良い（この場合には、第1入出力端子及び第2入出力端子と受信回路12との間にコンデンサ31及び32を挿入して良い）。受信回路12は、圧電素子20又は上記他の圧電素子を用いて超音波帯域の入力波信号を受信し、受信した信号に対して所定の受信用信号処理を実行する。

[0019] 制御回路13は送信回路11及び受信回路12を制御する。制御回路13は、送信回路11を制御することを通じ送信回路11を用いて圧電素子20から出力波信号W1を送信させる。また、制御回路13は、受信回路12の受信信号（受信回路12が受信した入力波信号）に基づき、検出対象物OBJの距離の検出及び検出対象物OBJの接近検出等を行う。

[0020] 図2は超音波センサ1による送受信動作を示す図である。制御回路13は距離検出処理及び接近検出処理を行うことができる。距離検出処理において、制御回路13は、時刻t1にて出力波信号W1を送信してから時刻t2にて反射波信号W2を受信するまでの時間の長さ（即ち時刻t1及びt2間の長さ）を測定することにより、超音波センサ1と検出対象物OBJとの距離を算出する。時刻t1は送信回路11及び圧電素子20を用いた出力波信号W1の送信開始時刻を表し、時刻t2は受信回路12及び圧電素子20を用いた反射波信号W2の受信開始時刻を表す。接近検出処理において、制御回路13は、反射波信号W2の受信有無に基づき検出対象物OBJの接近検出を行う。より具体的には例えば、接近検出処理において、制御回路13は、時刻t1にて出力波信号W1を送信してから所定時間が経過するまでに反射波信号W2を受信した場合には超音波センサ1に対して（例えば超音波センサ1が搭載された車両に対して）検出対象物OBJが接近していると判定し、そうでない場合には、超音波センサ1に対して（例えば超音波センサ1が搭載された車両に対して）検出対象物OBJが接近していないと判定する。

[0021] 制御回路13は図1に示される上位ブロック2と双方向通信が可能な形態

で接続されている。上位ブロック 2 は、半導体装置 10 に所定のコマンドを送信することで半導体装置 10 に様々な指示を与えることができ、半導体装置 10 は上位ブロック 2 からのコマンドに従った各種の動作及び処理を行う。距離検出処理及び接近検出処理の結果は半導体装置 10 から上位ブロック 2 に送信される。上位ブロック 2 はマイクロコンピュータ等から成る。超音波センサ 1 及び上位ブロック 2 が自動車等の車両に搭載される場合、上位ブロック 2 は ECU (Electronic Control Unit) であって良い。尚、時刻 t_1 及び t_2 間の長さの測定、その測定結果に基づく超音波センサ 1 及び検出対象物 O B J 間の距離の算出、並びに、超音波センサ 1 に対する（例えば超音波センサ 1 が搭載された車両に対する）検出対象物 O B J の接近有無の判定は、上位ブロック 2 にて行われるものであっても良い。この場合には、例えば、図 2 の信号 602 のような、出力波信号 W1 を送信している期間と反射波信号 W2 を受信している期間とを示す信号を、制御回路 13 から上位ブロック 2 に送信すれば良い。

[0022] 図 3 に半導体装置 10 の内部構成図を示す。半導体装置 10 は、駆動回路 111、ゲートドライバ 112、受信回路 120 及び制御回路 130 を備える。駆動回路 111 及びゲートドライバ 112 により図 1 の送信回路 11 が構成される。受信回路 120 は図 1 の受信回路 12 に相当し、上述の受信回路 12 の機能を備える。制御回路 130 は図 1 の制御回路 13 に相当し、上述の制御回路 13 の機能を備える。半導体装置 10 は、更に、ダンピング回路 140 と、スイッチ回路 150 と、内部電源回路 160 を備える。

[0023] 駆動回路 111 は 4 つのスイッチング素子（スイッチ）としてトランジスタ M1H、M1L、M2H 及び M2L を備える。トランジスタ M1H 及び M2H は P チャネル型の MOSFET であり、トランジスタ M1L 及び M2L は N チャネル型の MOSFET である。トランジスタ M1H 及び M1L は互いに直列接続されて第 1 ハーフブリッジ回路（第 1 直列回路）を構成し、トランジスタ M2H 及び M2L は互いに直列接続されて第 2 ハーフブリッジ回路（第 2 直列回路）を構成する。第 1 及び第 2 ハーフブリッジ回路によりフ

ルブリッジ回路（Hブリッジ回路）が構成される。トランジスタM1H及びM2Hの各ソースはラインLN2に接続される。ラインLN2には所定の正の直流電圧値を有する駆動電源電圧VDRVが加わる。トランジスタM1H及びM1Lの各ドレインはラインLN10に共通接続され、ラインLN10を通じて出力端子DRV1に接続される。トランジスタM2H及びM2Lの各ドレインはラインLN20に共通接続され、ラインLN20を通じて出力端子DRV2に接続される。トランジスタM1L及びM2Lの各ソースはラインLN1に接続される。ラインLN1にはグランド電位が加わる。上述したように、出力端子DRV1及び入力端子IN1が半導体装置10の外部において圧電素子20の第1端に接続され、出力端子DRV2及び入力端子IN2が半導体装置10の外部において圧電素子20の第2端に接続される（但し、入力端子IN1及びIN2はコンデンサ31及び32を介して圧電素子20の第1端及び第2端に接続される）。尚、トランジスタM1H及びM2HをNチャネル型のMOSFETにて構成する変形も可能である（この場合、駆動電源電圧VDRVよりも高い電圧を生成する回路が追加される）。

[0024] ゲートドライバ112は、ラインLN2に加わる駆動電源電圧VDRVを正側の電源電圧として且つラインLN1に加わるグランドの電圧（0V）を負側の電源電圧として用いて駆動する。ゲートドライバ112は、制御回路130から供給される制御信号CNT1に従ってトランジスタM1H、M1L、M2H及びM2Lの各ゲート電位を制御することにより、トランジスタM1H、M1L、M2H及びM2Lのオン／オフ状態を個別に制御する。トランジスタM1H、M1L、M2H及びM2Lの各ゲート電位の制御により、駆動回路111の状態は図4の状態611～615の何れかに設定され得る。尚、駆動回路111は、状態611～615の何れとも異なる状態をとりえて良い。

[0025] 状態611は第1印加状態である。第1印加状態では、トランジスタM1H及びM2Lがオン状態且つトランジスタM2H及びM1Lがオフ状態である。状態612は第2印加状態である。第2印加状態では、トランジスタM

1 L 及び M 2 H がオン状態且つトランジスタ M 1 H 及び M 2 L がオフ状態である。状態 6 1 3 は全オフ状態である。全オフ状態では、トランジスタ M 1 H、M 1 L、M 2 H 及び M 2 L が全てオフ状態である。状態 6 1 4 は第 1 ブレーキ状態である。第 1 ブレーキ状態では、トランジスタ M 1 L 及び M 2 L がオン状態且つトランジスタ M 1 H 及び M 2 H がオフ状態である。状態 6 1 5 は第 2 ブレーキ状態である。第 2 ブレーキ状態では、トランジスタ M 1 L 及び M 2 L がオフ状態且つトランジスタ M 1 H 及び M 2 H がオン状態である。

[0026] 受信回路 1 2 0 は、入力端子 I N 1 及び I N 2 に接続され、入力端子 I N 1 及び I N 2 間に加わる電圧信号を受ける。故に、圧電素子 2 0 にて反射波信号 W 2 が受信されたとき、反射波信号 W 2 に基づき圧電素子 2 0 の第 1 端及び第 2 端間に生じる電圧信号が入力端子 I N 1 及び I N 2 を通じて受信回路 1 2 0 に入力される。受信回路 1 2 0 は、入力端子 I N 1 及び I N 2 間の電圧信号に対して所定の受信用信号処理を施すことで、入力端子 I N 1 及び I N 2 間の電圧信号に基づく検波信号を生成する。受信用信号処理は、入力端子 I N 1 及び I N 2 間の電圧信号より直流成分を除去する直流除去処理、直流除去処理後の電圧信号を増幅する増幅処理、及び、増幅処理後の電圧信号（以下、増幅電圧信号と称する）の包絡線を検出する包絡線検出処理などを含む。受信信号 1 2 0 にて生成される検波信号に包絡線信号が含まれる。但し、図 3 に示す如く、入力端子 I N 1 及び I N 2 と圧電素子 2 0 との間にコンデンサ 3 1 及び 3 2 が設けられている場合には、受信用信号処理の段階での直流除去処理を省略できる。図 5 において、実線波形 6 3 1 は増幅電圧信号の波形であり、破線波形 6 3 2 は包絡線信号の波形である。包絡線信号は、増幅電圧信号の振幅の大きさを電圧値として持つ電圧信号である。故に、包絡線信号は、受信回路 1 2 0 の受信信号（即ち入力端子 I N 1 及び I N 2 間の電圧信号）の振幅に比例する電圧値（以下、電圧値 V_{EV} と称する）を有する。

[0027] 制御回路 1 3 0 は、受信回路 1 2 0 にて生成された検波信号に基づき上述

の距離検出処理及び接近検出処理を行う他、半導体装置 10 内の各部位の動作を統括的に制御する。この制御の中で、制御回路 130 は、制御信号 CNT 1、CNT 2 及び CNT_{ADJ} の生成及び出力を行う。また、制御回路 130 は記憶回路 131 を備える。記憶回路 131 には、不揮発性メモリと揮発性メモリとが設けられる。記憶回路 131 における不揮発性メモリは、1 回のみデータを書き込み可能なメモリ (One Time Programmable ROM) 又はデータの書き換えが可能なメモリを含む。記憶回路 131 における揮発性メモリはレジスタを含む。

[0028] ダンピング回路 140 は、抵抗成分 141、誘導成分 142 及びバイアス供給回路 143 を備える。抵抗成分 141 及び誘導成分 142 は、圧電素子 20 の残響を低減するために利用される素子であって、圧電素子 20 の負荷として機能する。このため、抵抗成分 141 及び誘導成分 142 を、以下、夫々、抵抗負荷 141 及び誘導負荷 142 と称する。抵抗負荷 141 及び誘導負荷 142 は互いに並列接続され、抵抗負荷 141 及び誘導負荷 142 の並列回路はライン LN 12 及び LN 22 間に接続される。バイアス供給回路 143 はライン LN 22 に対して所定の直流のバイアス電圧 (例えば 2 V) を供給する。抵抗負荷 141 の抵抗値が可変となるよう抵抗負荷 141 が形成されると共に、誘導負荷 142 のインダクタンス値が可変となるよう誘導負荷 142 が形成される。制御回路 130 からの制御信号 CNT_{ADJ} に従って抵抗負荷 141 の抵抗値及び誘導負荷 142 のインダクタンス値が可変設定される。

[0029] スイッチ回路 150 はスイッチ 151 及び 152 を備える。スイッチ回路 150 における各スイッチを 1 以上の MOSFET にて構成することができる。スイッチ回路 150 における各スイッチはアナログ信号を伝搬可能なバススイッチであって良い。スイッチ 151 の第 1 端はライン LN 10 に接続され、スイッチ 151 の第 2 端はライン LN 12 に接続される。スイッチ 152 の第 1 端はライン LN 20 に接続され、スイッチ 152 の第 2 端はライン LN 22 に接続される。スイッチ 151 及び 152 は制御回路 130 から

供給される制御信号CNT2に基づいてオン状態又はオフ状態に制御される。制御信号CNT2は“0”又は“1”の値を持つ二値化信号である。制御信号CNT2が“1”の値を持つとき、スイッチ151及び152は共にオン状態とされ、制御信号CNT2が“0”の値を持つとき、スイッチ151及び152は共にオフ状態とされる。

[0030] 内部電源回路160は図示されない外部電源装置から半導体装置10に供給される電源電圧VCCに基づいて、駆動電源電圧VDRV及び内部電源電圧VDDを含む複数の電源電圧を生成する。半導体装置10内の各回路は内部電源回路160にて生成された何れかの電源電圧に基づいて駆動する。例えば制御回路130及びダンピング回路140は内部電源電圧VDDに基づいて駆動して良い。ここで、駆動電源電圧VDRV及び内部電源電圧VDDは共に正の直流電圧値を有するが、内部電源電圧VDDは駆動電源電圧VDRVよりも小さい。例えば、駆動電源電圧VDRVは36V又は72Vであるのに対し、内部電源電圧VDDは3V又は5Vである。

[0031] 図6にダンピング回路140の具体的な構成例を示す。半導体装置10内で誘導負荷142のインダクタンス値を任意に変更できるよう疑似的なインダクタにて誘導負荷142を形成する。図6ではGIC (Generalized Impedance Converter) 回路により誘導負荷142を形成している。具体的には、図6の誘導負荷142は、オペアンプ142a及び142bと、固定抵抗142c及び142eと、可変抵抗142d及び142gと、コンデンサ142fと、を備えて構成される。固定抵抗142c及び142eは各々に固定された抵抗値を有する。これに対し、可変抵抗142d及び142gの抵抗値は、抵抗負荷141の抵抗値と同様に、制御回路130からの制御信号CNT_{ADJ}に応じ、独立して変更可能とされる。可変抵抗142d及び142gの抵抗値の変化により、ラインLN12及びLN22間に接続される誘導負荷142のインダクタンス値が変化する。

[0032] 固定抵抗142cの第1端はラインLN12とオペアンプ142aの非反転入力端子に共通接続される。抵抗142cの第2端は可変抵抗142dの

第1端とオペアンプ142bの出力端子に共通接続される。可変抵抗142dの第2端はオペアンプ142a及び142bの各反転入力端子と固定抵抗142eの第1端に共通接続される。固定抵抗142eの第2端はオペアンプ142aの出力端子とコンデンサ142fの第1端に共通接続される。コンデンサ142fの第2端は可変抵抗142gの第1端とオペアンプ142bの非反転入力端子に共通接続される。可変抵抗142gの第2端はラインLN22に接続される。スイッチ151及び152がオンである期間においてGIC回路が圧電素子20にとって誘導性の負荷として機能するよう、オペアンプ142a及び142bの電源電圧が定められている。

[0033] また、図6に示す如く、スイッチ151及び152の夫々をNチャネル型のMOSFETにて構成することができる。この場合、スイッチ151としてのMOSFETにおいてドレインがラインLN10に接続される一方でソースがラインLN12に接続され、且つ、スイッチ152としてのMOSFETにおいてドレインがラインLN20に接続される一方でソースがラインLN22に接続される。そして、スイッチ151及び152としての各MOSFETのゲートに対し共通の制御信号CNT2が入力されることで、スイッチ151及び152がオン状態又はオフ状態となる。尚、スイッチ151及び152の構成は図6に示されたものに限定されず、任意であって良い。

[0034] 図7を参照し、半導体装置10では、上位ブロック2からのコマンドに応じて、制御回路130の制御の下、検出単位動作を1以上行うことができる。各検出単位動作において距離検出処理及び接近検出処理が行われる。図7では、複数の検出単位動作が、順次、繰り返し実行される様子が示されている。

[0035] 各検出単位動作が行われる期間を検出単位期間と称する。図8に示す如く、各検出単位期間は、送信期間、ブレーキ期間、第1制動期間、第2制動期間及び受信期間に大別される。各検出単位期間において、送信期間、ブレーキ期間、第1制動期間、第2制動期間及び受信期間が、この順番で訪れる。尚、第1制動期間をダンピングパルス期間と称することもでき、第2制動期

間をダンピング期間と称することもできる。

[0036] 送信期間は出力波信号W1を送信する期間である。図9に、送信期間における駆動回路111内の各スイッチの状態と送信期間にて駆動回路111から圧電素子20に供給される駆動信号の波形650を示す。制御回路130の制御の下、送信期間において、駆動回路111の状態は第1印加状態及び第2印加状態間で交互に且つ周期的に切り替わる。駆動信号は、送信期間において出力端子DRV1及びDRV2間に加わる電圧信号に相当し、ここでは、出力端子DRV2の電位から見た出力端子DRV1の電位を有する電圧信号であるとする。故に、送信期間において、駆動信号は周波数fを持つ矩形波信号となり、駆動信号の最小値及び最大値間の電圧差は駆動電源電圧VDRVの2倍となる。

[0037] 圧電素子20に対する駆動信号の供給を経て駆動信号の供給を停止した後、圧電素子20は送信期間中に自身が蓄積した機械エネルギーに基づき、暫くの間、振動を継続する。駆動信号の供給停止後の圧電素子20の振動は残響と称される。残響が継続する時間を残響時間と称する。残響時間が長いと至近距離の物体の検出等が困難になる。圧電素子20に対する駆動信号の供給停止後、駆動信号の位相と逆位相の信号を圧電素子20に供給することで残響時間を低減できる。本実施形態では、圧電素子20に対する駆動信号の供給停止後、駆動信号の位相とは異なる位相を有する信号を制動信号として駆動回路111から圧電素子20に供給し、これによって残響時間の低減を図る。第1制動期間（図8参照）は制動信号が圧電素子20に供給される期間に相当する。

[0038] 図10に、第1制動期間における駆動回路111内の各スイッチの状態と第1制動期間にて駆動回路111から圧電素子20に供給される制動信号の波形660を示す。制御回路130の制御の下、第1制動期間において、駆動回路111の状態は第1印加状態及び第2印加状態間で交互に且つ周期的に切り替わる。制動信号は、第1制動期間において出力端子DRV1及びDRV2間に加わる電圧信号に相当し、ここでは、出力端子DRV2の電位か

ら見た出力端子DRV1の電位を有する電圧信号であるとする。故に、第1制動期間において、制動信号は周波数 f を持つ矩形波信号となり、制動信号の最小値及び最大値間の電圧差は駆動電源電圧VDRVの2倍となる。制動信号の周波数 f は駆動信号の周波数 f と同じである。

[0039] 図11に駆動信号及び制動信号の波形650及び660を示す。駆動信号及び制動信号が同時に圧電素子20に供給されることは無いが、それらの位相関係を示すために、図11では、便宜上、駆動信号及び制動信号の波形650及び660を上下方向に並べて示している。駆動信号の位相を基準とする制動信号の位相を記号“ ϕ ”にて参照する。ここでは、駆動信号に対して制動信号の位相が遅れていると考え、駆動信号に対する制動信号の位相の遅れの量が位相 ϕ であるとする。

[0040] 位相 ϕ は 180° 又はそれに近い値（角度）を持つと良い。記憶回路131内の保存データ等に基づき、位相 ϕ 、並びに、抵抗負荷141の抵抗値及び誘導負荷142のインダクタンス値が適正に設定された状態で各検出単位動作が行われる。

[0041] 制動信号はダンピングパルス信号と称されることもある。ダンピングパルス信号は残響の振幅（残響による圧電素子20の振幅）が高い領域において残響を低減するために有効であるが、残響の振幅が低下してくると、ダンピングパルス信号自体が新たな残響の要因となることがある。他方、駆動信号の供給停止後に抵抗負荷又は誘導負荷を圧電素子20に接続することでも圧電素子20の機械エネルギーの吸収を通じて残響の低減が図られる。ここで、抵抗負荷又は誘導負荷は残響の振幅が小さいとき相対的に高い残響低減効果を奏する一方で、回路の電圧制約等により残響の振幅が大きいときには残響低減効果が相対的に低くなるという知見が、今回、発明者により得られた。

[0042] この知見に基づき、発明者らは、以下に示す残響低減動作を開発した。残響低減動作では、圧電素子20への駆動信号の供給停止後に制動信号を駆動回路111より圧電素子20に供給させ、制動信号の供給停止後にダンピング回路140を圧電素子20に接続する。このような残響低減動作により速

やかに残響を低減させることが可能となる（即ち残響時間を低く抑えることができる）。

[0043] 第2制動期間（ダンピング期間；図8参照）の全部又は一部においてダンピング回路140が圧電素子20に接続される。その後の受信期間において受信回路120により受信動作が行われる。即ち、受信回路120は受信期間における入力端子IN1及びIN2間の電圧信号に対して所定の受信用信号処理を施すことで、受信期間における入力端子IN1及びIN2間の電圧信号に基づく検波信号を生成する。制御回路130は、受信回路120にて生成された検波信号に基づき上述の距離検出処理及び接近検出処理を行う。

[0044] また、図8に示す如く、送信期間と第1制動期間との間にブレーキ期間が設定される。このブレーキ期間の長さにより制動信号の位相 ϕ が定まる。例えば、ブレーキ期間の長さが、“ $1/(2f)$ ”であれば（即ち上記周波数 f の逆数の半分であれば）、或いは、“ $m/f + 1/(2f)$ ”であれば、位相 ϕ は 180° となる（ m は任意の自然数）。特異な制御として、制御回路130は、ブレーキ期間の全部又は一部において駆動回路111の状態を第1ブレーキ状態又は第2ブレーキ状態とする（図4参照）。駆動回路111の状態を第1ブレーキ状態又は第2ブレーキ状態に設定する動作（換言すれば駆動回路111の状態を第1ブレーキ状態又は第2ブレーキ状態に保つ動作）をブレーキ動作と称する。

[0045] 以下、複数の実施例の中で、超音波センサ1に関わる幾つかの具体的な動作例、応用技術、変形技術等を説明する。本実施形態にて上述した事項は、特に記述無き限り且つ矛盾無き限り、以下の各実施例に適用される。各実施例において、上述の事項と矛盾する事項がある場合には、各実施例での記載が優先されて良い。また矛盾無き限り、以下に示す複数の実施例の内、任意の実施例に記載した事項を、他の任意の実施例に適用することもできる（即ち複数の実施例の内の任意の2以上の実施例を組み合わせることも可能である）。

[0046] <<第1実施例>>

第1実施例を説明する。第1実施例では、ブレーキ動作において駆動回路111を第1ブレーキ状態（図4参照）に設定及び保持する。

[0047] 図12に第1実施例に係る検出単位動作のタイミングチャートを示す。時間の経過と共に、時刻 t_{A1} 、 t_{A2} 、 t_{A3} 、 t_{A4} 及び t_{A5} が、この順番で訪れるものとする。図12の期間 P_{A1} 、 P_{A2} 、 P_{A3} 、 P_{A4} 、 P_{A5} は、夫々、上述の送信期間、ブレーキ期間、第1制動期間、第2制動期間、受信期間の例である。以下、各期間での動作を具体的に説明する。

[0048] 時刻 t_{A1} から時刻 t_{A2} までの期間は、駆動回路111から駆動信号が圧電素子20に供給される送信期間 P_{A1} である。送信期間 P_{A1} では、送波の波数分だけ駆動信号が圧電素子20に供給される。送信期間 P_{A1} における送波の波数は、送信期間 P_{A1} における駆動信号の周期数（即ち、送信期間 P_{A1} の長さを駆動信号の周期の長さで割ることで得られる商）と一致する。送信期間 P_{A1} における送波の波数は所定値（例えば2以上の整数）を有し、記憶回路131の所定レジスタ内のデータに基づき設定される。ここでは送波の波数が“4”であることを想定するが、送波の波数は任意であって良い（後述の他の実施例でも同様）。時刻 t_{A1} から駆動信号の4周期分の長さ（ $4/f$ ）が経過した時点で（即ち時刻 t_{A2} にて）送信期間 P_{A1} が終了する。

[0049] 尚、時刻 t_{A1} の前には、一定時間、駆動回路111が初期状態に維持され、時刻 t_{A1} にて駆動回路111が初期状態から第1印加状態に切り替わることで圧電素子20への駆動信号の供給が開始される（後述の他の実施例でも同様）。図12の例では全オフ状態が初期状態として想定されているが、初期状態は全オフ状態、第2印加状態、第1ブレーキ及び第2ブレーキ状態の内の任意の何れかの状態であって良い（後述の他の実施例でも同様）。

[0050] 時刻 t_{A2} から時刻 t_{A3} までの期間はブレーキ期間 P_{A2} である。第1実施例では、ブレーキ期間 P_{A2} の全部又は一部において、駆動回路111が第1ブレーキ状態に維持される（即ちトランジスタM1H及びM2Hがオフ且つトランジスタM1L及びM2Lがオンに維持される）。図12の例では、時刻 t_{A2} と時刻 t_{A3} との間に時刻 t_{A11} が存在しており、時刻 t_{A2} から時刻 t_{A11} まで駆動回路1

11が第1ブレーキ状態に維持され、且つ、時刻 t_{A11} から時刻 t_{A3} まで駆動回路111が全オフ状態に維持される。但し、時刻 t_{A2} から時刻 t_{A3} までの全てにおいて駆動回路111を第1ブレーキ状態に維持する変形も可能である。或いは、時刻 t_{A2} から所定の微小時間が経過するまで駆動回路111を全オフ状態とし、時刻 t_{A2} から所定の微小時間が経過した時点より時刻 t_{A11} 又は t_{A3} までの期間において駆動回路111を第1ブレーキ状態にしておく変形も可能である。

[0051] 時刻 t_{A3} から時刻 t_{A4} までの期間は、駆動回路111から制動信号が圧電素子20に供給される第1制動期間 P_{A3} である。第1制動期間 P_{A3} では、制動波の波数分だけ制動信号が圧電素子20に供給される。第1制動期間 P_{A3} における制動波の波数は、第1制動期間 P_{A3} における制動信号の周期数（即ち、第1制動期間 P_{A3} の長さを制動信号の周期の長さで割ることによって得られる商）と一致する。第1制動期間 P_{A3} における制動波の波数は所定値（例えば2以上の整数）を有し、記憶回路131の所定レジスタ内のデータに基づき設定される。ここでは制動波の波数が“2”であることを想定するが、制動波の波数は任意であって良い（後述の他の実施例でも同様）。時刻 t_{A3} から制動信号の2周期分の長さ（ $2/f$ ）が経過した時点で（即ち時刻 t_{A4} にて）第1制動期間 P_{A3} が終了する。

[0052] 図12の例では、時刻 t_{A3} にて駆動回路111の状態が全オフ状態から第1印加状態に切り替わることで圧電素子20への制動信号の供給が開始される。故に、ブレーキ期間 P_{A2} の長さにより第1制動期間 P_{A3} における制動信号の位相 ϕ が定まる。ブレーキ期間 P_{A2} の長さを T で表した場合、制動信号の位相 ϕ は、ラジアン表記で“ $\phi = T \div (1/f) \times 2\pi$ ”となる。

[0053] 時刻 t_{A4} から時刻 t_{A5} までの期間は第2制動期間 P_{A4} である。第2制動期間 P_{A4} の全部においてダンピング回路140を継続的に圧電素子20に接続する方法も採用可能であるが、第1実施例では、第2制動期間 P_{A4} の一部においてのみダンピング回路140を圧電素子20に接続する。

[0054] 具体的には、制御回路130は、時刻 t_{A4} にて駆動回路111の状態を第2

印加状態から全オフ状態に切り替えた後、時刻 t_{A4} より所定の第1所定時間だけ後の時刻 t_{A12} において駆動回路111の状態を全オフ状態から第1ブレーキ状態に切り替える。制御回路130は、時刻 t_{A12} より所定の第2所定時間だけ後の時刻 t_{A13} において制御信号CNT2の値を“0”から“1”に切り替える。即ち、制御回路130は、時刻 t_{A13} において、スイッチ151及び152の夫々をオフ状態からオン状態に切り替えることで、ダンピング回路140を圧電素子20に接続する。これにより、時刻 t_{A13} を境に、ダンピング回路140及び圧電素子20間が遮断されている状態からダンピング回路140及び圧電素子20間が接続されている状態へと遷移することになる。尚、検出単位動作において、時刻 t_{A13} に至るまでは制御信号CNT2の値は“0”に維持されているものとする。そして、制御回路130は、時刻 t_{A13} より所定の第3所定時間だけ後の時刻 t_{A14} において駆動回路111の状態を第1ブレーキ状態から全オフ状態に切り替える。

[0055] 更に、制御回路130は、時刻 t_{A14} より後の時刻 t_{A15} において駆動回路111の状態を全オフ状態から第1ブレーキ状態に切り替え、時刻 t_{A15} より所定の第4所定時間だけ後の時刻 t_{A16} において制御信号CNT2の値を“1”から“0”に切り替える。即ち、制御回路130は、時刻 t_{A16} において、スイッチ151及び152の夫々をオン状態からオフ状態に切り替えることで、ダンピング回路140を圧電素子20から切り離す。これにより、時刻 t_{A16} を境に、ダンピング回路140及び圧電素子20間が接続されている状態からダンピング回路140及び圧電素子20間が遮断されている状態へと遷移することになる。そして、制御回路130は、時刻 t_{A16} より所定の第5所定時間だけ後の時刻 t_{A5} において駆動回路111の状態を第1ブレーキ状態から全オフ状態に切り替える。但し、特に図示しないが、時刻 t_{A5} から始まる受信期間 P_{A5} において、出力端子DRV1及びDRV2の内、何れか一方だけを所定電位（例えばグランド電位）に固定し、他方を開放状態とする変形も可能である（後述の他の実施例においても同様であって良い）。即ち例えば、受信期間 P_{A5} において、トランジスタM1H及びM2Hをオフ状態としつつ、トランジス

タM2L及びM1Lの内の一方をオン状態且つ他方をオフ状態にするようにしても良い。

[0056] 受信回路120にて取得される上述の包絡線信号の電圧値 V_{EV} は、時刻 t_{A4} から低下してゆく。制御回路130は電圧値 V_{EV} を所定閾値 V_{TH} と比較する比較器（不図示）を有し、当該比較器の比較結果に基づき時刻 t_{A15} を設定して良い。即ち例えば、制御回路130は、第1制動期間 P_{A3} の終了後、電圧値 V_{EV} が所定閾値 V_{TH} より高い状態から所定閾値 V_{TH} より低い状態へと遷移した時刻を時刻 t_{A15} に設定して良い。

[0057] 時刻 t_{A5} において又は時刻 t_{A5} の直後においては残響が十分に低減されている。受信回路120は、時刻 t_{A5} 以降に設定された受信期間中の入力端子IN1及びIN2間の電圧信号に基づき検波信号を生成し、制御回路130は受信期間中の検波信号に基づき上述の距離検出処理及び接近検出処理を行うことができる。

[0058] 尚、制御回路110は、第1駆動信号 P_{A3} の終了後、即時に、駆動回路111の状態を第1ブレーキ状態に切り替えるようにしても良い。つまり、制御回路110は、時刻 t_{A4} にて駆動回路111の状態を第2印加状態から第1ブレーキ状態に切り替えるようにしても良い（この場合、時刻 t_{A4} と時刻 t_{A12} は同じ時刻を指すものと解される）。

[0059] 図13に第1実施例と相違する比較例に係るタイミングチャートを示す。図13の比較例では、時刻 t_{A2} 及び t_{A3} 間において並びに時刻 t_{A4} 及び t_{A5} 間において駆動回路111が全オフ状態に維持されている。

[0060] これに対し、第1実施例では、図12に示す如く、送信期間 P_{A1} の後、第1制動期間 P_{A3} の前にブレーキ期間 P_{A2} が設けられ、当該ブレーキ期間 P_{A2} においてトランジスタM1L及びM2Lの双方をオンとするブレーキ動作が実行される。このため、図13の参考例と異なり、ブレーキ期間 P_{A2} において圧電素子20の残響エネルギー（即ち圧電素子20の蓄積機械エネルギー）がグラウンド電位を有するパターンに放出され、又は、トランジスタM1L及びM2Lと圧電素子20とを經由する電流ループにて消費され、以って圧電素子20の

残響時間の低減が図られる。

[0061] また、第1実施例では、圧電素子20への駆動信号の供給停止後に制動信号を駆動回路111より圧電素子20に供給させ、制動信号の供給停止後にダンピング回路140を圧電素子20に接続する（この点については図13の比較例も同様である）。これによっても、速やかなる残響低減が期待される（即ち残響時間を低く抑えることができる）。

[0062] 更に、第1実施例に係る制御回路130は、圧電素子20への制動信号の供給停止後、特異な流れでダンピング回路140を圧電素子20に接続するダンパー接続制御を実行する。即ち、第1実施例に係る制御回路130は、ダンパー接続制御において、ダンピング回路140を圧電素子20に接続する前にブレーキ動作を開始し（ t_{A12} ）、ダンピング回路140及び圧電素子20間を接続してからブレーキ動作を停止して駆動回路111を全オフ状態とする（ t_{A13} を経由して t_{A14} ）。仮に、時刻 t_{A13} にてスイッチ151及び152をターンオンする際に（即ちオフ状態からオン状態に切り替える際に）駆動回路111が全オフ状態であれば、スイッチ151及び152のターンオンに伴うパルス状のノイズが圧電素子20に加わって残響が長引くおそれがある。ダンパー接続制御の採用により、スイッチ151及び152のターンオン時において圧電素子20の両端電位がグランド電位に固定されるため、スイッチ151及び152のターンオンに伴うパルス状のノイズがグランド電位を有するパターンに吸収される。結果、圧電素子20へのノイズの重畳が回避され、ひいてはノイズによる残響時間の増大が回避される。

[0063] 加えて、第1実施例に係る制御回路130は、特異な流れでダンピング回路140を圧電素子20から切り離すダンパー切り離し制御を実行する。即ち、第1実施例に係る制御回路130は、ダンパー切り離し制御において、ダンピング回路140及び圧電素子20間を遮断する前にブレーキ動作を開始し（ t_{A15} ）、ダンピング回路140及び圧電素子20間を遮断してからブレーキ動作を停止する（ t_{A16} を経由して t_{A5} ）。仮に、時刻 t_{A16} にてスイッチ151及び152をターンオフする際に（即ちオン状態からオフ状態に切り替

える際に) 駆動回路 1 1 1 が全オフ状態であれば、スイッチ 1 5 1 及び 1 5 2 のターンオフに伴うパルス状のノイズが圧電素子 2 0 に加わって、減少済みの残響エネルギーが再増加するおそれがある。ダンパー切り離し制御の採用により、スイッチ 1 5 1 及び 1 5 2 のターンオフ時において圧電素子 2 0 の両端電位がグランド電位に固定されるため、スイッチ 1 5 1 及び 1 5 2 のターンオフに伴うパルス状のノイズがグランド電位を有するパターンに吸収される。結果、圧電素子 2 0 へのノイズの重畳が回避され、ひいてはノイズによる残響時間の増大が回避される。

[0064] <<第 2 実施例>>

第 2 実施例を説明する。第 2 実施例は第 1 実施例に応用技術を付加したものであり、第 2 実施例において特に述べない事項については、第 1 実施例の記載が第 2 実施例にも適用される。

[0065] 第 2 実施例においては、第 1 実施例との比較において、半導体装置 1 0 に対し、図 1 4 に示す分離スイッチ SW__L が追加される。つまり、第 1 実施例ではトランジスタ M 1 L 及び M 2 L の各ソースがライン L N 1 に直接接続されているのに対し、第 2 実施例では、トランジスタ M 1 L 及び M 2 L のソース同士が共通接続されるノード ND__L と、ライン L N 1 と、の間に分離スイッチ SW__L が挿入される。分離スイッチ SW__L の一端はノード ND__L に接続され、分離スイッチ SW__L の他端はグランド電位が加わるライン L N 1 に接続される。

[0066] 分離スイッチ SW__L は任意のスイッチング素子であって良いが、ここでは、Nチャネル型の MOSFET にて分離スイッチ SW__L が構成されているものとし、分離スイッチ SW__L としての Nチャネル型の MOSFET も、記号“SW__L”を用いてトランジスタ SW__L と称する。分離スイッチ SW__L のオンとトランジスタ SW__L のオンは互いに同義であり、分離スイッチ SW__L のオフとトランジスタ SW__L のオフは互いに同義である。トランジスタ SW__L のドレインはノード ND__L に接続され、トランジスタ SW__L のソースはグランド電位が加わるライン L N 1 に接続される。ゲ

ートドライバ112は、制御回路130から供給される制御信号CNT1に従ってトランジスタM1H、M1L、M2H及びM2L並びにSW__Lの各ゲート電位を制御することにより、トランジスタM1H、M1L、M2H及びM2L並びにSW__Lのオン／オフ状態を個別に制御する。

- [0067] 図15に第2実施例に係る検出単位動作のタイミングチャートを示す。図15のタイミングチャートは、図12のタイミングチャートに対して、分離スイッチSW__Lの状態遷移の様子を追加したものである。分離スイッチSW__Lを除き、検出単位動作の内容及び流れは第1実施例で示した通りであるので、第2実施例では以下、必要な限り、分離スイッチSW__Lの動作についてのみ説明する。
- [0068] 検出単位動作において、分離スイッチSW__Lは、時刻 t_{A2} に至るまではオン状態に維持され、時刻 t_{A2} 及び t_{A3} 間のブレーキ期間 P_{A2} においてオフ状態に維持される。分離スイッチSW__Lは、時刻 t_{A3} 及び t_{A4} 間の第1制動期間 P_{A3} 並びに時刻 t_{A5} 以降の受信期間 P_{A5} においてオン状態に維持される。また、図15に示す如く、時刻 t_{A4} 及び t_{A12} 間において分離スイッチSW__Lはオン状態とされ、時刻 t_{A12} 及び t_{A5} 間において分離スイッチSW__Lはオフ状態とされる。但し、時刻 t_{A4} 及び t_{A5} 間の第2制動期間 P_{A4} の全体に亘って分離スイッチSW__Lをオン状態に維持しておいても良い。
- [0069] 注目すべきは、ブレーキ期間 P_{A2} においてブレーキ動作が行われているときに（トランジスタM1L及びM2Lが共にオン状態であるときに）、分離スイッチSW__Lがオフ状態とされている点である。
- [0070] これにより、ブレーキ期間 P_{A2} において、グラウンドのパターンから分離されたトランジスタM1L及びM2Lと圧電素子20とを經由する電流ループが形成され、当該電流ループに圧電素子20の残響エネルギー（即ち圧電素子20の蓄積機械エネルギー）に基づく電流が流れることで、圧電素子20の残響エネルギーを効果的に消費することが可能となる。第1実施例の方法では、ブレーキ期間 P_{A2} において、トランジスタM1L及びM2Lとグラウンドのパターンとの関係等に依存して圧電素子20の残響エネルギーに基づく電流がグラ

ドのパターンに回り込む可能性がある。このような電流の回り込みは、残響の効果的な低減を幾分劣化させる可能性があると共に、グラウンドのパターンに接続された他の回路に好ましくない影響を与えるおそれもある。第2実施例によれば、これらの懸念が解消される。

[0071] 尚、図15の例では、ブレーキ期間 P_{A2} 中のブレーキ動作が行われている期間（トランジスタ $M1L$ 及び $M2L$ が共にオン状態とされている期間）の全部において分離スイッチ SW_L がオフ状態とされている。しかしながら、ブレーキ期間 P_{A2} において、ブレーキ動作が行われている期間の一部においてのみ、分離スイッチ SW_L をオフ状態に保つようにしても構わない。例えば、図16に示す如く、検出単位動作において、時刻 t_{A2} より所定の微小時間だけ後の時刻 t_{A2}' までは分離スイッチ SW_L をオン状態に保ち、時刻 t_{A2}' からその後の時刻 t_{A3} までの期間において分離スイッチ SW_L をオフ状態に保つようにしても良い。時刻 t_{A3} 以降は上述した通りである。

[0072] また、圧電素子20の第1端及び第2端間のインピーダンス（周波数 f におけるインピーダンス）と、トランジスタ $M1L$ 及び $M2L$ のオン抵抗の合計値と、が同じとなるように、トランジスタ $M1L$ 及び $M2L$ の構造を決定するようにしても良い。これにより、ブレーキ動作による圧電素子20の残響エネルギーの消費の最大化が図られ、残響を速やかに低減させることが可能となる。

[0073] <<第3実施例>>

第3実施例を説明する。図17に第3実施例に係る検出単位動作のタイミングチャートを示す。第3実施例では、ブレーキ動作において駆動回路111を第2ブレーキ状態（図4参照）に設定及び保持する。第1実施例を基準に、ブレーキ動作での駆動回路111の状態が第1ブレーキ状態から第2ブレーキ状態に変形される点を除き、第3実施例は第1実施例と同様である。

[0074] つまり、第3実施例では、ブレーキ期間 P_{A2} の全部又は一部において、駆動回路111が第2ブレーキ状態に維持される（即ちトランジスタ $M1H$ 及び $M2H$ がオン且つトランジスタ $M1L$ 及び $M2L$ がオフに維持される）。こ

のため、ブレーキ期間 P_{A2} の内、第 1 実施例では駆動回路 1 1 1 が第 1 ブレーキ状態に設定される期間（図 1 2 の例では時刻 t_{A2} 及び t_{A11} 間の期間）が、第 3 実施例では駆動回路 1 1 1 が第 2 ブレーキ状態に設定される期間（図 1 7 の例では時刻 t_{A2} 及び t_{A11} 間の期間）に置換される（この置換を第 1 置換と称する）。

[0075] また、第 2 制動期間 P_{A4} の内、第 1 実施例では駆動回路 1 1 1 が第 1 ブレーキ状態に設定される期間（図 1 2 の例では時刻 t_{A12} 及び t_{A14} 間の期間と時刻 t_{A15} 及び t_{A5} 間の期間）が、第 3 実施例では駆動回路 1 1 1 が第 2 ブレーキ状態に設定される期間（図 1 7 の例では時刻 t_{A12} 及び t_{A14} 間の期間と時刻 t_{A15} 及び t_{A5} 間の期間）に置換される（この置換を第 2 置換と称する）。即ち、第 1 実施例で述べたダンパー接続制御及びダンパー切り離し制御が第 3 実施例でも実施され、第 3 実施例ではダンパー接続制御及びダンパー切り離し制御におけるブレーキ動作にて駆動回路 1 1 1 が第 2 ブレーキ状態に設定及び保持される。

[0076] 尚、第 1 実施例を基準に、第 1 置換及び第 2 置換の内、任意の何れか一方のみを実施することも可能である。

[0077] <<第 4 実施例>>

第 4 実施例を説明する。第 4 実施例は第 3 実施例に応用技術を付加したものであり、第 4 実施例において特に述べない事項については、第 3 実施例の記載が第 4 実施例にも適用される。第 4 実施例は、第 1 実施例から第 2 実施例への変形と同様の変形を第 3 実施例に施したものである。

[0078] 第 4 実施例においては、第 1 及び第 3 実施例との比較において、半導体装置 1 0 に対し、図 1 8 に示す分離スイッチ SW_H が追加される。つまり、第 1 及び第 3 実施例ではトランジスタ $M1H$ 及び $M2H$ の各ソースがライン $LN2$ に直接接続されているのに対し、第 4 実施例では、トランジスタ $M1H$ 及び $M2H$ のソース同士が共通接続されるノード ND_H と、ライン $LN2$ と、の間に分離スイッチ SW_H が挿入される。分離スイッチ SW_H の一端はノード ND_H に接続され、分離スイッチ SW_H の他端は駆動電源

電圧 V_{DRV} が印加されるライン $LN2$ に接続される。

- [0079] 分離スイッチ SW_H は任意のスイッチング素子であって良いが、ここでは、Pチャネル型のMOSFETにて分離スイッチ SW_H が構成されているものとし、分離スイッチ SW_H としてのPチャネル型のMOSFETも、記号“ SW_H ”を用いてトランジスタ SW_H と称する。分離スイッチ SW_H のオンとトランジスタ SW_H のオンは互いに同義であり、分離スイッチ SW_H のオフとトランジスタ SW_H のオフは互いに同義である。トランジスタ SW_H のドレインはノード ND_H に接続され、トランジスタ SW_H のソースは駆動電源電圧 V_{DRV} が印加されるライン $LN2$ に接続される。ゲートドライバ 112 は、制御回路 130 から供給される制御信号 $CNT1$ に従ってトランジスタ $M1H$ 、 $M1L$ 、 $M2H$ 及び $M2L$ 並びに SW_H の各ゲート電位を制御することにより、トランジスタ $M1H$ 、 $M1L$ 、 $M2H$ 及び $M2L$ 並びに SW_H のオン／オフ状態を個別に制御する。
- [0080] 図19に第4実施例に係る検出単位動作のタイミングチャートを示す。第4実施例での分離スイッチ SW_H の状態制御（オン／オフ制御）は、第2実施例での分離スイッチ SW_L の状態制御（オン／オフ制御）と同様であり、第2実施例における分離スイッチ SW_L の状態制御の説明が第4実施例にも適用される。この適用の際、第2実施例での分離スイッチ SW_L を第4実施例では分離スイッチ SW_H に読み替えれば足る。第2実施例にて述べた図15から図16への変形と同様に、図19から図20への変形も可能である。従って、第4実施例では、ブレーキ期間 P_{A2} 中のブレーキ動作が行われている期間（駆動回路 111 が第2ブレーキ状態に設定及び保持されている期間）の全部又は一部において、分離スイッチ SW_H がオフ状態とされる。送信期間 P_{A1} 、第1制動期間 P_{A3} 及び受信期間 P_{A5} では分離スイッチ SW_H がオン状態に維持される。図19の例では、時刻 t_{A12} 及び t_{A5} 間において分離スイッチ SW_H がオフ状態とされるが、第2制動期間 P_{A4} の全体に亘って分離スイッチ SW_H をオン状態に保持しても良い。

- [0081] 第4実施例では、圧電素子 20 の第1端及び第2端間のインピーダンス（

周波数 f におけるインピーダンス) と、トランジスタ $M1H$ 及び $M2H$ のオン抵抗の合計値と、が同じとなるように、トランジスタ $M1H$ 及び $M2H$ の構造を決定するようにしても良い。これにより、ブレーキ動作による圧電素子 20 の残響エネルギーの消費の最大化が図られ、残響を速やかに低減させることが可能となる。

[0082] <<第5実施例>>

第5実施例を説明する。第5実施例では、上述の各技術に対する応用技術、変形技術及び補足事項等を説明する。

[0083] 超音波センサ1を任意の装置に搭載させることができる。例えば、図21に示す如く、自動等の車両CRに1以上の超音波センサ1を設置して良い。図21の例では、車両CRの車体の後部に4つの超音波センサ1が設置されており、各超音波センサ1を用い、車両CRの後部に位置しうる物体(図1の検出対象物OBJの例)への距離検出処理及び接近検出処理を行うことができる。この際、上位ブロック2は車両CRに搭載されるECU(Electronic Control Unit)であって良い。

[0084] 各実施形態に示されたFET(電界効果トランジスタ)のチャンネルの種類は例示であり、Nチャンネル型のFETがPチャンネル型のFETに変更されるように、或いは、Pチャンネル型のFETがNチャンネル型のFETに変更されるように、FETを含む回路の構成は変形され得る。

[0085] 不都合が生じない限り、上述の任意のトランジスタは、任意の種類のトランジスタであって良い。例えば、MOSFETとして上述された任意のトランジスタを、不都合が生じない限り、接合型FET、IGBT(Insulated Gate Bipolar Transistor)又はバイポーラトランジスタに置き換えることも可能である。任意のトランジスタは第1電極、第2電極及び制御電極を有する。FETにおいては、第1及び第2電極の内的一方がドレインで他方がソースであり且つ制御電極がゲートである。IGBTにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がゲートである。IGBTに属さないバイポーラトランジスタにおいては、第1及

び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がベースである。

[0086] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0087] <<付記>>

上述の実施形態にて具体的構成例が示された本開示について付記を設ける。

[0088] 本開示の一側面に係る半導体装置（10；図3参照）は、圧電素子（20）に超音波帯域の駆動信号を供給可能であって、前記駆動信号の供給停止後に前記駆動信号の位相と異なる位相を有する制動信号を前記圧電素子に供給可能に構成された駆動回路（111）と、前記駆動回路を制御可能に構成された制御回路（130）と、を備え、前記駆動回路は、第1ライン（LN1）と前記第1ラインよりも高い電位が加わるべき第2ライン（LN2）との間に設けられたフルブリッジ回路を備え、前記第1ライン及び前記第2ライン間の電位差に基づき前記フルブリッジ回路を用いて前記駆動信号及び前記制動信号を前記圧電素子に供給可能に構成され、前記フルブリッジ回路は、前記第2ライン側に設けられた第1スイッチ（M1H）と前記第1ライン側に設けられた第2スイッチ（M1L）との直列回路、及び、前記第2ライン側に設けられた第3スイッチ（M2H）と前記第1ライン側に設けられた第4スイッチ（M2L）との直列回路を有して、前記第1スイッチ及び前記第2スイッチ間の接続ノード、前記第3スイッチ及び前記第4スイッチ間の接続ノードを、夫々、前記圧電素子の第1端、第2端に接続可能に構成され、前記制御回路は、前記圧電素子への前記駆動信号の供給を停止してから前記制動信号を前記圧電素子に供給する前にブレーキ動作を前記駆動回路に行わ

せることが可能に構成され（図 1 2 又は図 1 7 参照）、前記ブレーキ動作では、前記第 1 スイッチ及び第 3 スイッチがオフ且つ前記第 2 スイッチ及び第 4 スイッチがオンとされる、又は、前記第 1 スイッチ及び第 3 スイッチがオン且つ前記第 2 スイッチ及び第 4 スイッチがオフとされる構成（第 1 の構成）である。

[0089] 上記のブレーキ動作により、駆動信号に基づく圧電素子の残響エネルギー（即ち圧電素子の蓄積機械エネルギー）が第 1 又は第 2 ラインのパターンに放出され、又は、第 2 及び第 4 スイッチ並びに圧電素子を經由する電流ループ若しくは第 1 及び第 3 スイッチ並びに圧電素子を經由する電流ループにて消費され、以って圧電素子の残響時間の低減が図られる。

[0090] 第 1 の構成に係る半導体装置において（図 1 4 ～図 1 6 参照）、前記第 2 スイッチ及び前記第 4 スイッチ間の接続ノードと前記第 1 ラインとの間に挿入された分離スイッチ（SW__L）を更に備え、前記制御回路は、前記圧電素子に対する前記駆動信号の供給期間及び前記圧電素子に対する前記制動信号の供給期間において前記分離スイッチをオンに保ち、前記ブレーキ動作により前記第 1 スイッチ及び第 3 スイッチがオフ且つ前記第 2 スイッチ及び第 4 スイッチがオンとされる期間の少なくとも一部において前記分離スイッチをオフに保つ構成（第 2 の構成）であっても良い。

[0091] ブレーキ動作時に分離スイッチをオフに保つことで、第 1 ラインから分離された第 2 及び第 4 スイッチと圧電素子とを經由する電流ループが形成され、当該電流ループに圧電素子の残響エネルギー（即ち圧電素子の蓄積機械エネルギー）に基づく電流が流れることで、圧電素子の残響エネルギーを効果的に消費することが可能となる。

[0092] 第 1 の構成に係る半導体装置において（図 1 8 ～図 2 0 参照）、前記第 1 スイッチ及び前記第 3 スイッチ間の接続ノードと前記第 2 ラインとの間に挿入された分離スイッチ（SW__H）を更に備え、前記制御回路は、前記圧電素子に対する前記駆動信号の供給期間及び前記圧電素子に対する前記制動信号の供給期間において前記分離スイッチをオンに保ち、前記ブレーキ動作に

より前記第1スイッチ及び第3スイッチがオン且つ前記第2スイッチ及び第4スイッチがオフとされる期間の少なくとも一部において前記分離スイッチをオフに保つ構成（第3の構成）であっても良い。

[0093] ブレーキ動作時に分離スイッチをオフに保つことで、第2ラインから分離された第1及び第3スイッチと圧電素子とを経由する電流ループが形成され、当該電流ループに圧電素子の残響エネルギー（即ち圧電素子の蓄積機械エネルギー）に基づく電流が流れることで、圧電素子の残響エネルギーを効果的に消費することが可能となる。

[0094] 第1～第3の構成の何れかに係る半導体装置において（図3及び図12等参照）、抵抗負荷（141）及び誘導負荷（142）を有するダンピング回路（140）と、備え、前記制御回路は、前記圧電素子への前記駆動信号の供給停止後に前記ブレーキ動作を経て前記駆動回路より前記制動信号を前記圧電素子に供給させた後、前記ダンピング回路を前記圧電素子に接続可能に構成される構成（第4の構成）であっても良い。

[0095] 圧電素子への駆動信号の供給停止後に駆動信号の位相とは異なる位相を有する制動信号を圧電素子に供給することで、圧電素子の残響を低減することができる。制動信号は残響の振幅（残響による圧電素子の振幅）が高い領域において残響を低減するために有効であるが、残響の振幅が低下してくると、制動信号自体が新たな残響の要因となることがある。他方、駆動信号の供給停止後に抵抗負荷又は誘導負荷を圧電素子に接続することでも圧電素子の機械エネルギーの吸収を通じて残響の低減が図られる。ここで、抵抗負荷又は誘導負荷は残響の振幅が小さいとき相対的に高い残響低減効果を奏する一方で、回路の電圧制約等により残響の振幅が大きいときには残響低減効果が相対的に低くなるという知見が、今回、発明者により得られた。この知見に基づき第4の構成を採用することで、速やかに残響を低減させることが可能となる（即ち残響時間を低く抑えることができる）。

[0096] 第4の構成に係る半導体装置において（例えば図12の時刻 t_{A12} 及び t_{A14} 間参照）、前記制御回路は、前記圧電素子への前記制動信号の供給停止後（ t_{A4}

の後)、ダンパー接続制御を実行可能に構成され、前記ダンパー接続制御において、前記ダンピング回路を前記圧電素子に接続する前に前記ブレーキ動作を開始し、前記ダンピング回路及び前記圧電素子間を接続してから前記ブレーキ動作を停止して前記第1～第4スイッチを全てオフとする構成（第5の構成）であっても良い。

[0097] ダンパー接続制御によれば、ダンピング回路及び圧電素子間が遮断状態から接続状態に切り替わる際に生じうるノイズの圧電素子への重畳が回避される。結果、ノイズによる残響時間の増大が回避される。

[0098] 第5の構成に係る半導体装置において（例えば図12の時刻 t_{A15} 及び t_{A5} 間参照）、前記制御回路は、前記圧電素子への前記制動信号の供給停止後（ t_{A4} の後）、前記ダンパー接続制御により前記ダンピング回路及び前記圧電素子間を接続した後に（ t_{A13} の後に）ダンパー切り離し制御を実行可能に構成され、前記ダンパー切り離し制御において、前記ダンピング回路及び前記圧電素子間を遮断する前に前記ブレーキ動作を開始し、前記ダンピング回路及び前記圧電素子間を遮断してから前記ブレーキ動作を停止する構成（第6の構成）であっても良い。

[0099] ダンパー切り離し制御によれば、ダンピング回路及び圧電素子間が接続状態から遮断状態に切り替わる際に生じうるノイズの圧電素子への重畳が回避される。結果、ノイズによる残響時間の増大が回避される。

[0100] 第4～第6の構成の何れかに係る半導体装置において、前記ダンピング回路では前記抵抗負荷と前記誘導負荷が並列接続される構成（第7の構成）であっても良い。

[0101] 本開示の一側面に係る超音波センサは、第1～第7の構成の何れかに係る半導体装置と、前記半導体装置に接続される圧電素子と、を備えた構成（第8の構成）である。

符号の説明

- [0102] 1 超音波センサ
 2 上位ブロック

- 1 0 半導体装置
- 1 1 送信回路
- 1 2 受信回路
- 1 3 制御回路
- 2 0 圧電素子
- W 1 出力波信号
- W 2 反射波信号
- 1 1 1 駆動回路
- 1 1 2 ゲートドライバ
- 1 2 0 受信回路
- 1 3 0 制御回路
- 1 4 0 ダンピング回路
- 1 4 1 抵抗負荷
- 1 4 2 誘導負荷
- 1 5 0 スイッチ回路
- 1 6 0 内部電源回路
- M 1 H、M 1 L、M 2 H、M 2 L トランジスタ（第 1 ～第 4 スイッチ）
- SW__L、SW__H 分離スイッチ

請求の範囲

[請求項1]

圧電素子に超音波帯域の駆動信号を供給可能であって、前記駆動信号の供給停止後に前記駆動信号の位相と異なる位相を有する制動信号を前記圧電素子に供給可能に構成された駆動回路と、

前記駆動回路を制御可能に構成された制御回路と、を備え、

前記駆動回路は、第1ラインと前記第1ラインよりも高い電位が加わるべき第2ラインとの間に設けられたフルブリッジ回路を備え、前記第1ライン及び前記第2ライン間の電位差に基づき前記フルブリッジ回路を用いて前記駆動信号及び前記制動信号を前記圧電素子に供給可能に構成され、

前記フルブリッジ回路は、前記第2ライン側に設けられた第1スイッチと前記第1ライン側に設けられた第2スイッチとの直列回路、及び、前記第2ライン側に設けられた第3スイッチと前記第1ライン側に設けられた第4スイッチとの直列回路を有して、前記第1スイッチ及び前記第2スイッチ間の接続ノード、前記第3スイッチ及び前記第4スイッチ間の接続ノードを、夫々、前記圧電素子の第1端、第2端に接続可能に構成され、

前記制御回路は、前記圧電素子への前記駆動信号の供給を停止してから前記制動信号を前記圧電素子に供給する前にブレーキ動作を前記駆動回路に行わせることが可能に構成され、

前記ブレーキ動作では、前記第1スイッチ及び第3スイッチがオフ且つ前記第2スイッチ及び第4スイッチがオンとされる、又は、前記第1スイッチ及び第3スイッチがオン且つ前記第2スイッチ及び第4スイッチがオフとされる

、半導体装置。

[請求項2]

前記第2スイッチ及び前記第4スイッチ間の接続ノードと前記第1ラインとの間に挿入された分離スイッチを更に備え、

前記制御回路は、前記圧電素子に対する前記駆動信号の供給期間及

び前記圧電素子に対する前記制動信号の供給期間において前記分離スイッチをオンに保ち、前記ブレーキ動作により前記第1スイッチ及び第3スイッチがオフ且つ前記第2スイッチ及び第4スイッチがオンとされる期間の少なくとも一部において前記分離スイッチをオフに保つ、請求項1に記載の半導体装置。

[請求項3] 前記第1スイッチ及び前記第3スイッチ間の接続ノードと前記第2ラインとの間に挿入された分離スイッチを更に備え、

前記制御回路は、前記圧電素子に対する前記駆動信号の供給期間及び前記圧電素子に対する前記制動信号の供給期間において前記分離スイッチをオンに保ち、前記ブレーキ動作により前記第1スイッチ及び第3スイッチがオン且つ前記第2スイッチ及び第4スイッチがオフとされる期間の少なくとも一部において前記分離スイッチをオフに保つ、請求項1に記載の半導体装置。

[請求項4] 抵抗負荷及び誘導負荷を有するダンピング回路と、備え、

前記制御回路は、前記圧電素子への前記駆動信号の供給停止後に前記ブレーキ動作を経て前記駆動回路より前記制動信号を前記圧電素子に供給させた後、前記ダンピング回路を前記圧電素子に接続可能に構成される

、請求項1～3の何れかに記載の半導体装置。

[請求項5] 前記制御回路は、前記圧電素子への前記制動信号の供給停止後、ダンパー接続制御を実行可能に構成され、前記ダンパー接続制御において、前記ダンピング回路を前記圧電素子に接続する前に前記ブレーキ動作を開始し、前記ダンピング回路及び前記圧電素子間を接続してから前記ブレーキ動作を停止して前記第1～第4スイッチを全てオフとする

、請求項4に記載の半導体装置。

[請求項6] 前記制御回路は、前記圧電素子への前記制動信号の供給停止後、前記ダンパー接続制御により前記ダンピング回路及び前記圧電素子間を

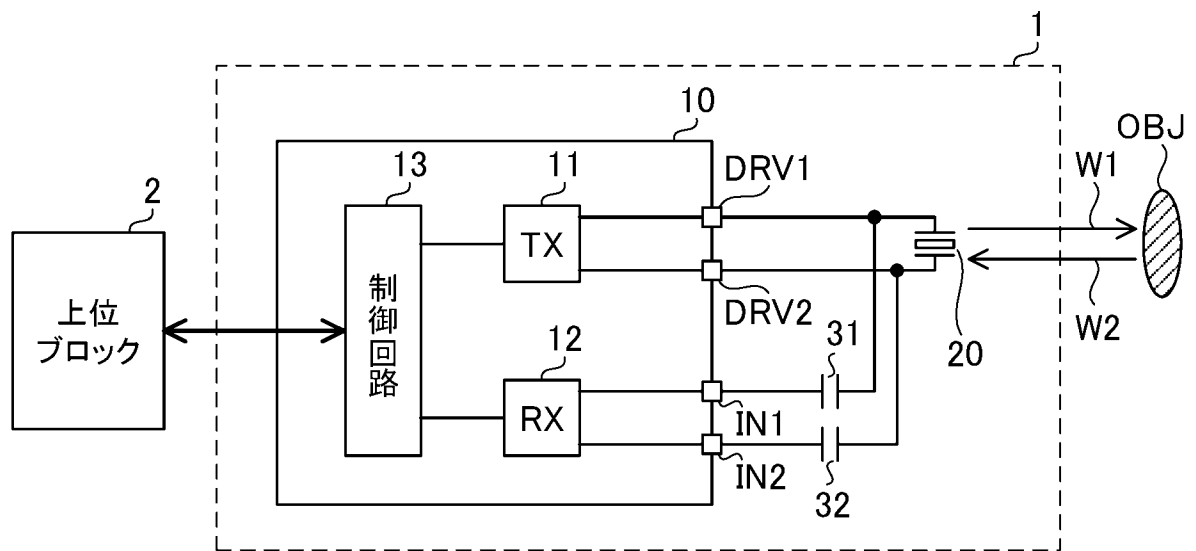
接続した後にダンパー切り離し制御を実行可能に構成され、前記ダンパー切り離し制御において、前記ダンピング回路及び前記圧電素子間を遮断する前に前記ブレーキ動作を開始し、前記ダンピング回路及び前記圧電素子間を遮断してから前記ブレーキ動作を停止する、請求項 5 に記載の半導体装置。

[請求項7] 前記ダンピング回路において前記抵抗負荷と前記誘導負荷は並列接続される

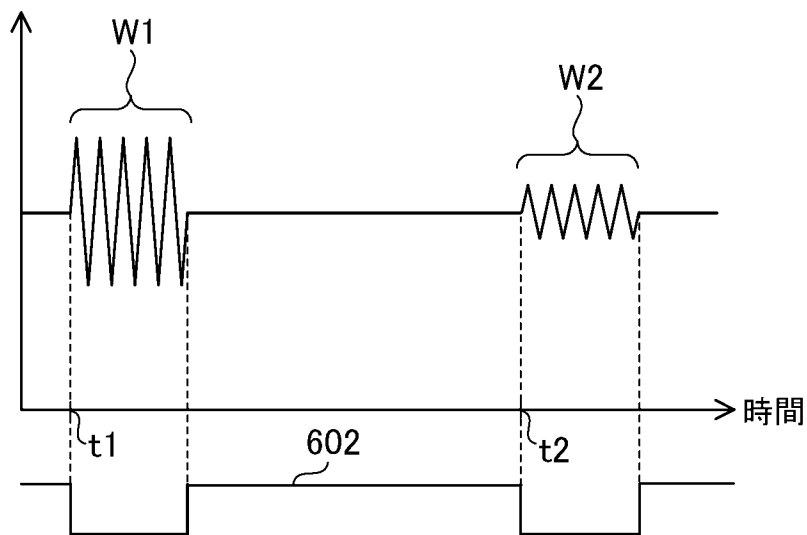
、請求項 4 ～ 6 の何れかに記載の半導体装置。

[請求項8] 請求項 1 ～ 7 の何れかに記載の半導体装置と、
前記半導体装置に接続される圧電素子と、を備えた
、超音波センサ。

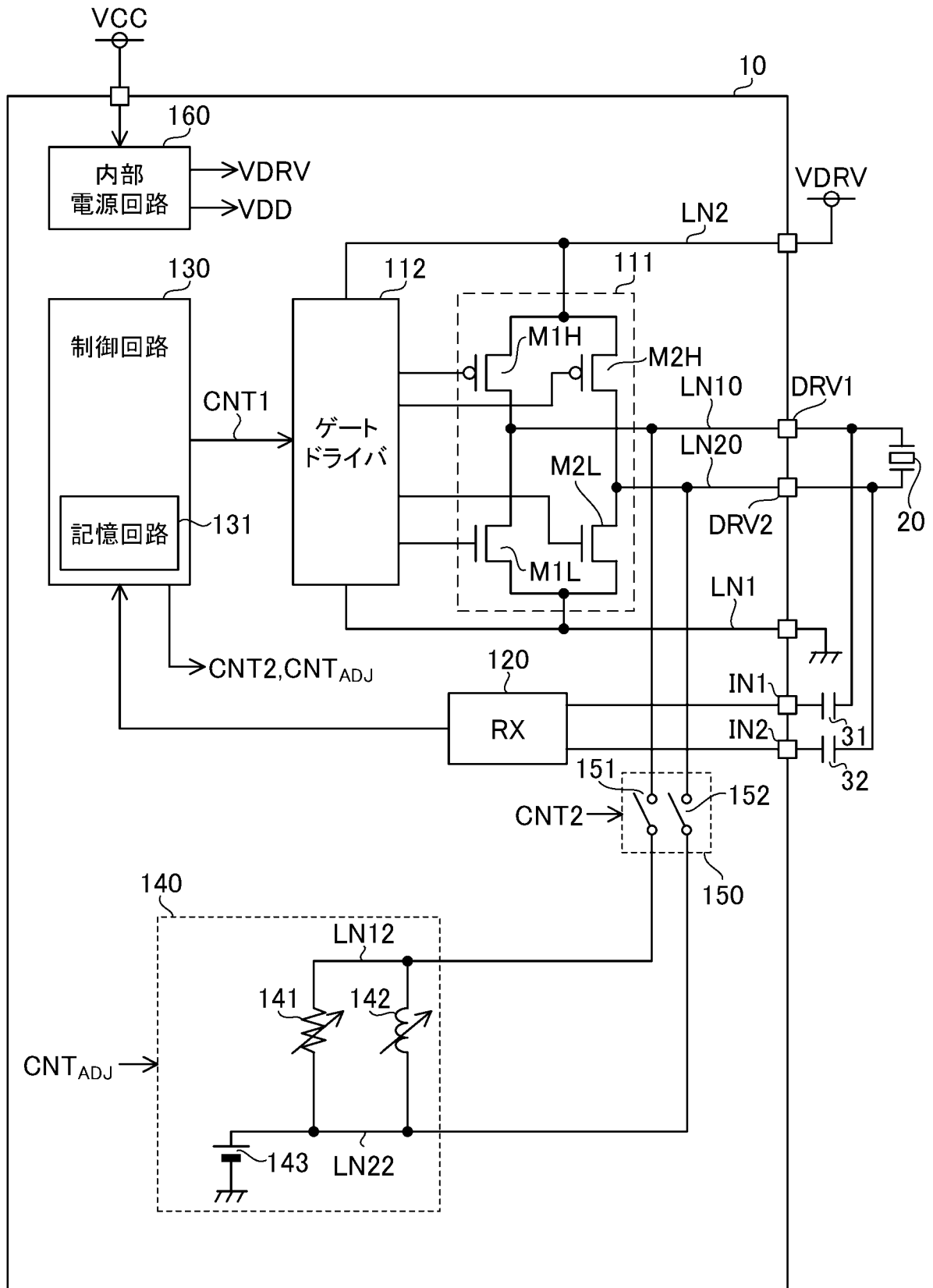
[図1]



[図2]

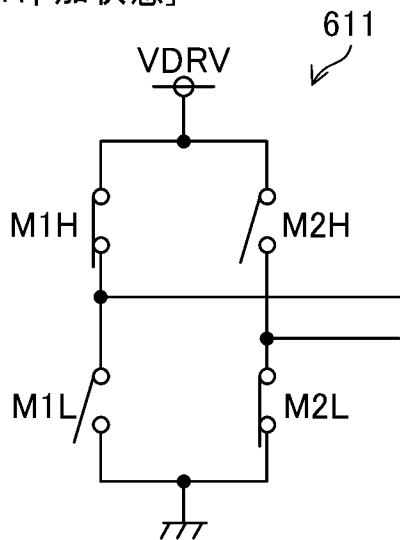


[図3]

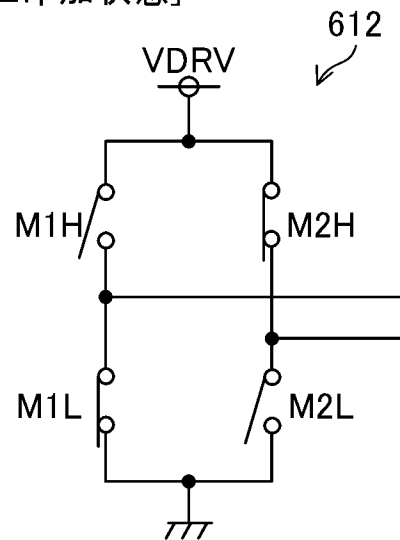


[図4]

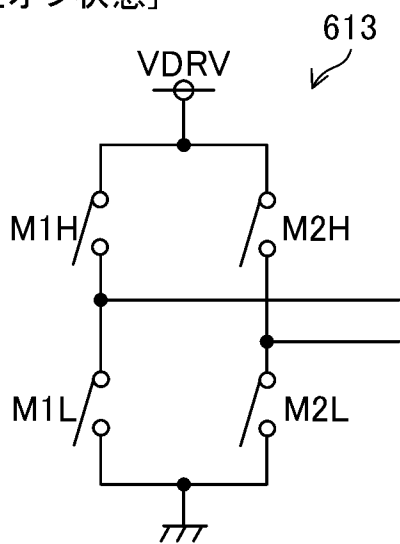
[第1印加状態]



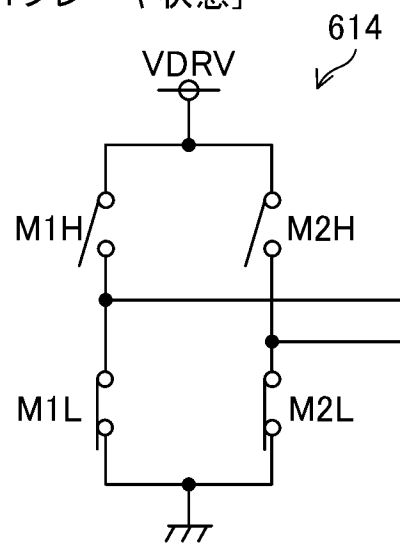
[第2印加状態]



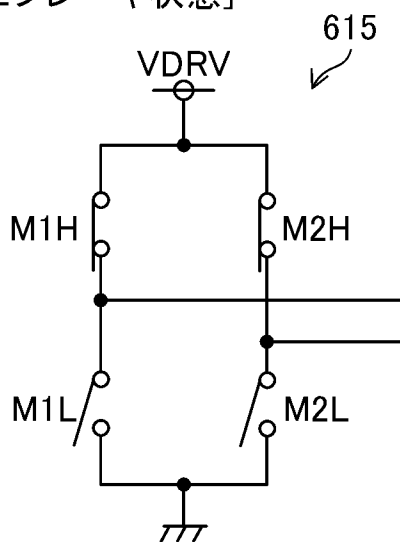
[全オフ状態]



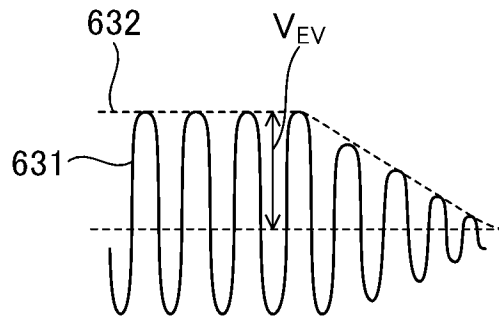
[第1ブレーキ状態]



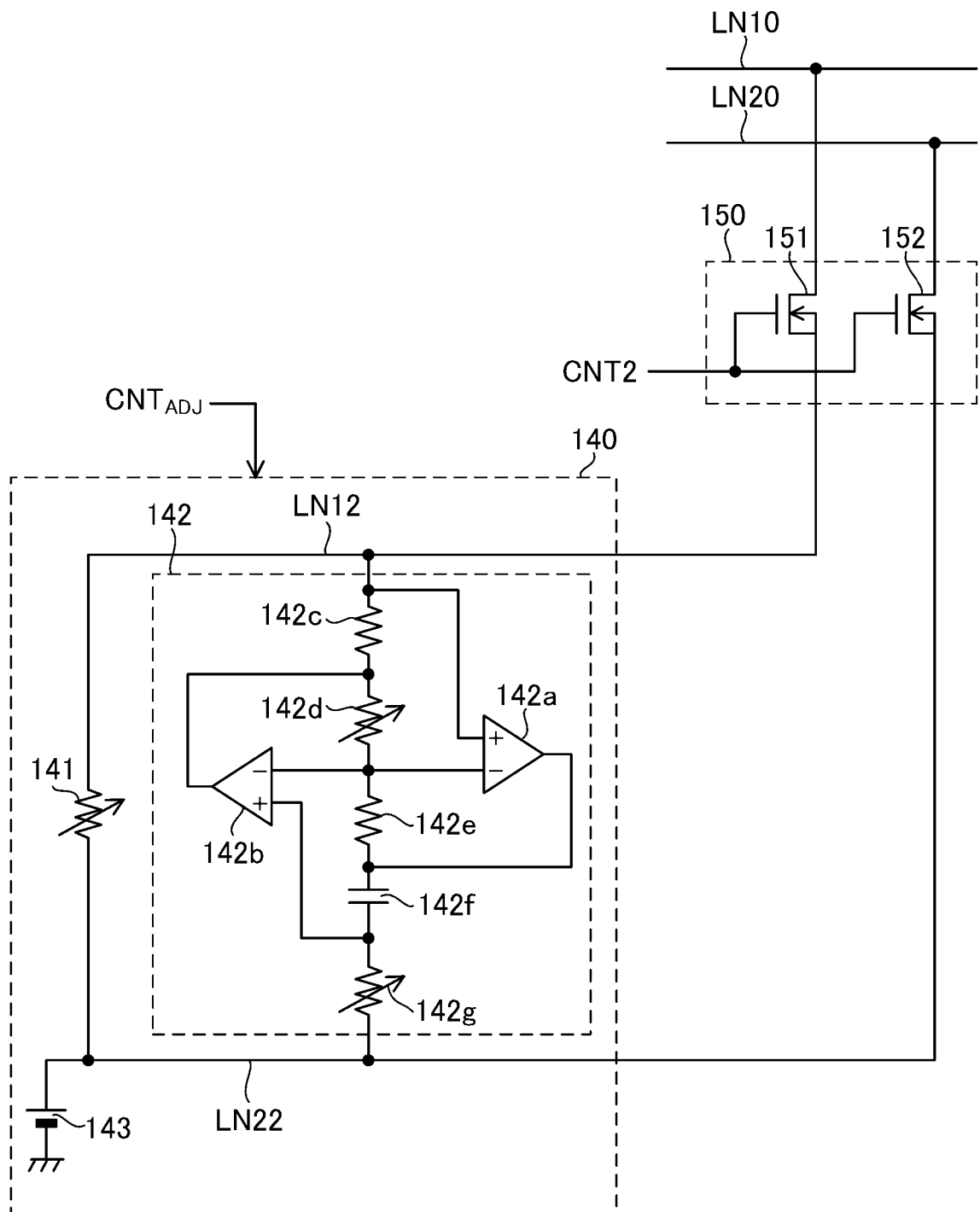
[第2ブレーキ状態]



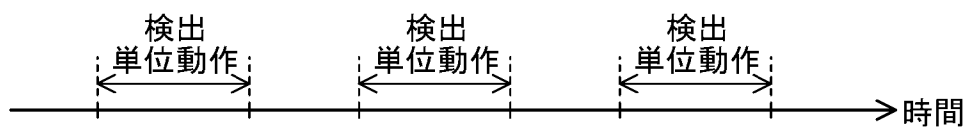
[図5]



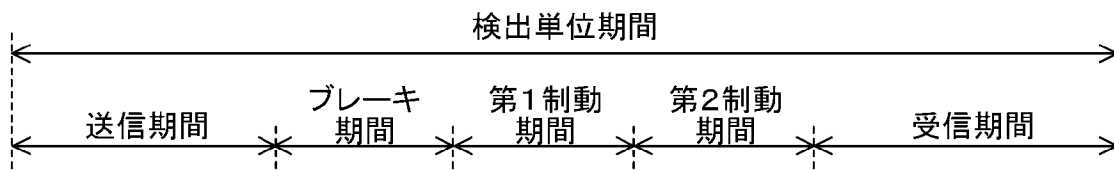
[図6]



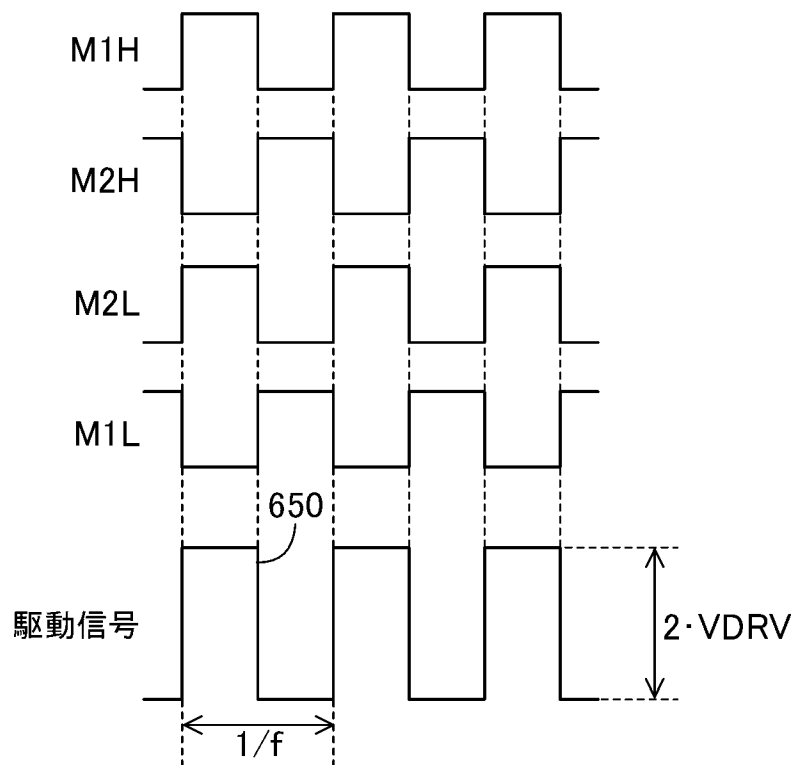
[図7]



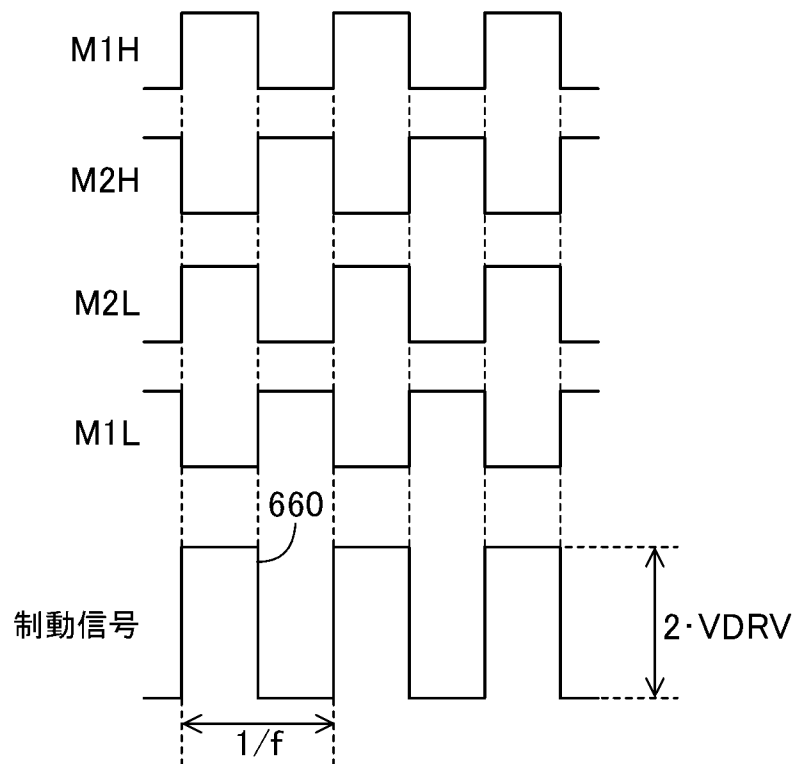
[図8]



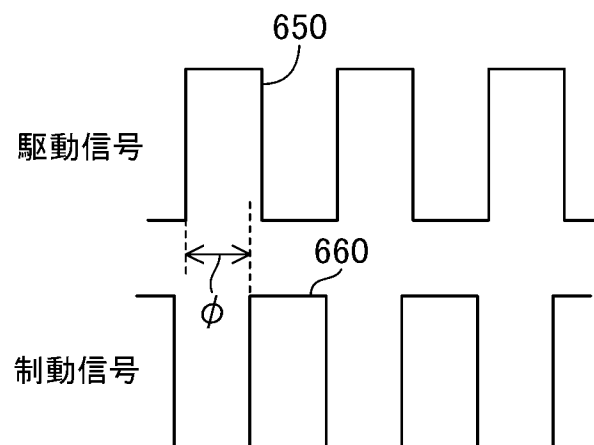
[図9]



[図10]

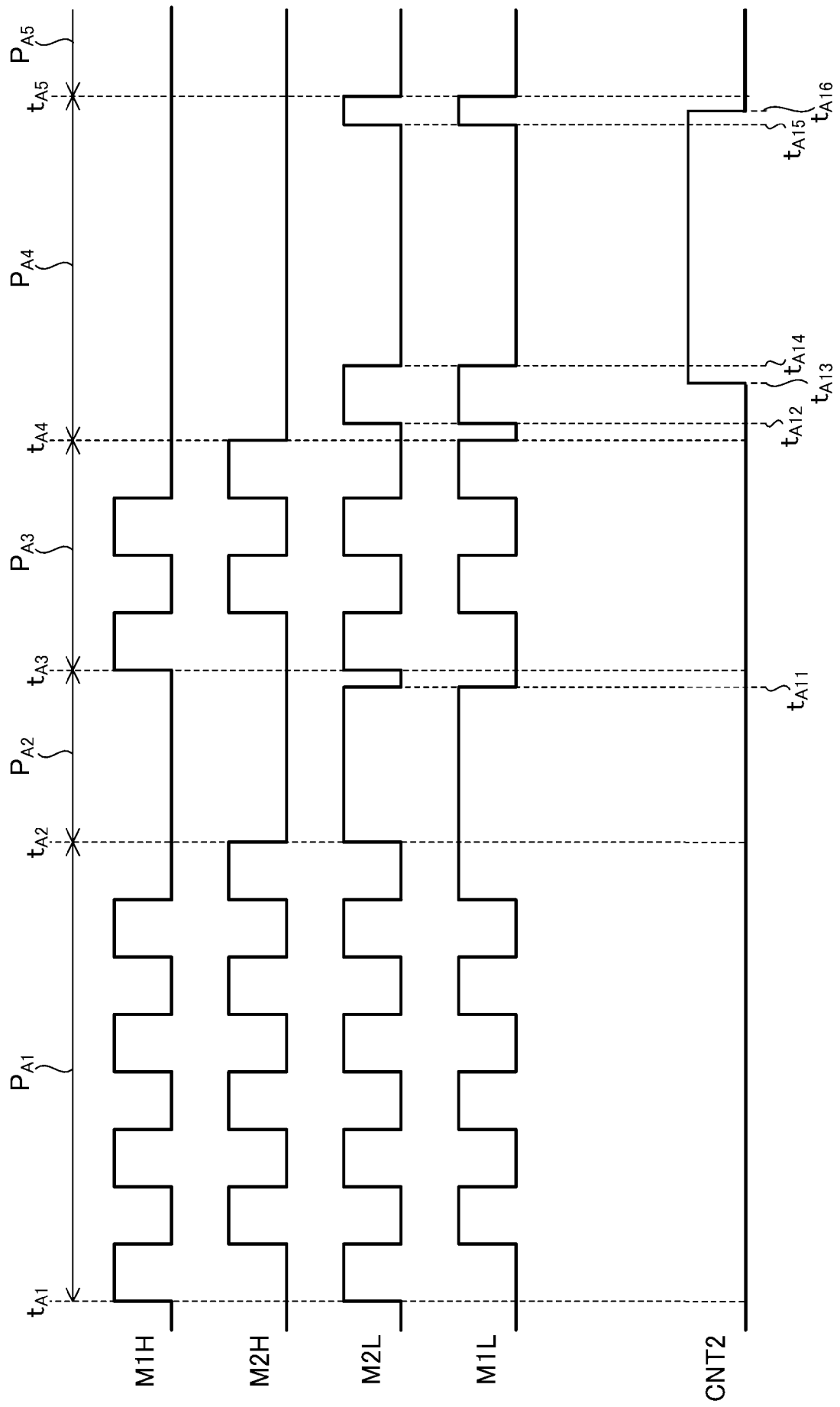


[図11]



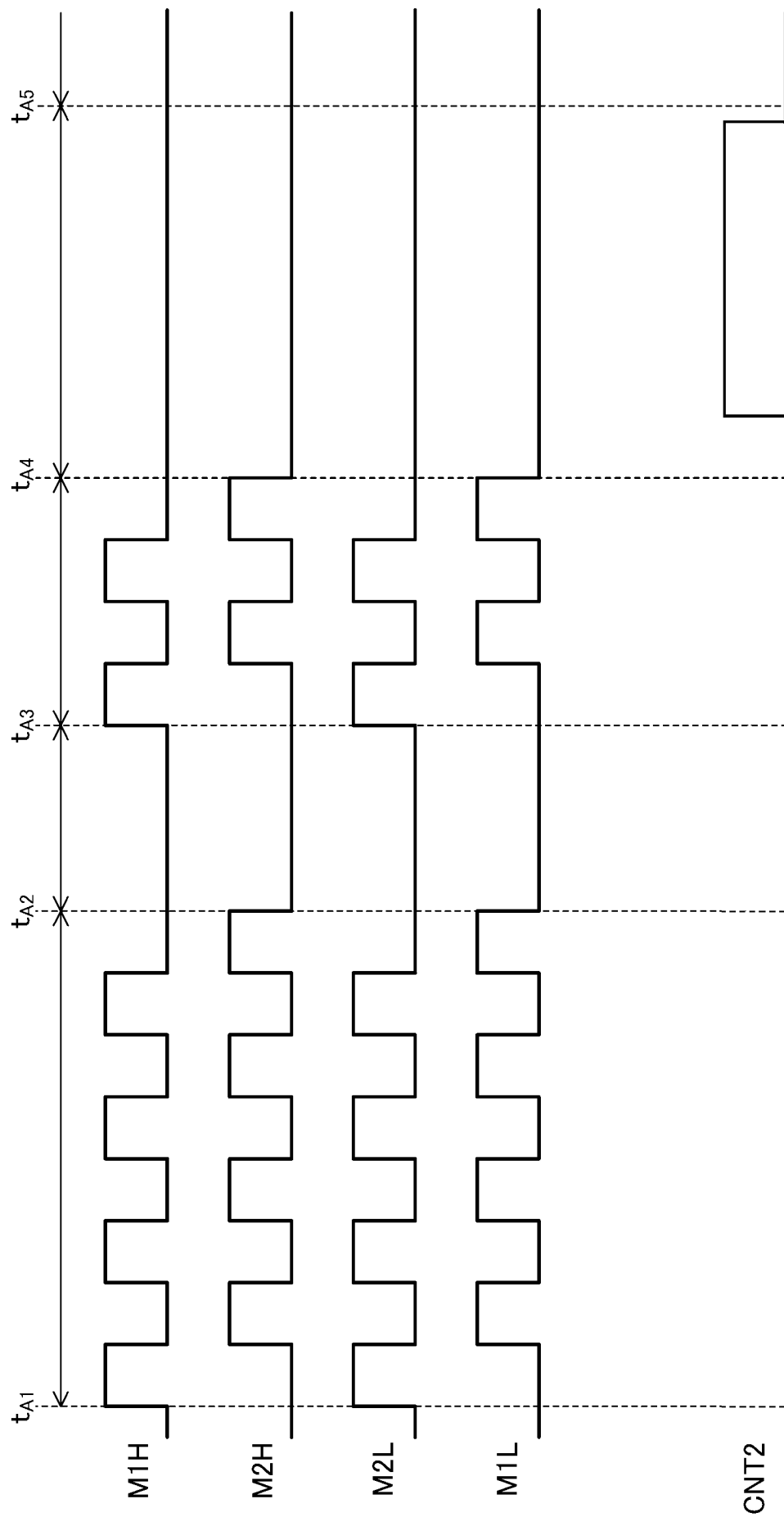
[図12]

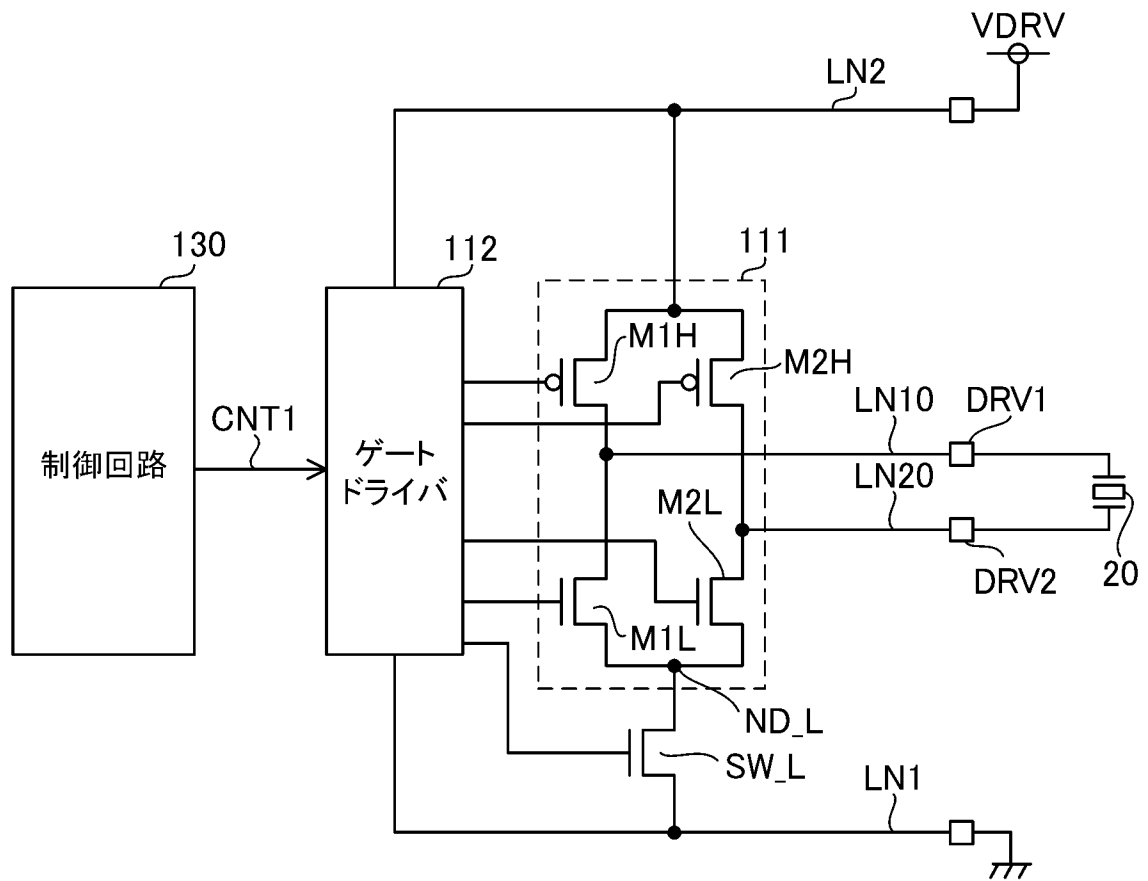
[第1実施例]



[図13]

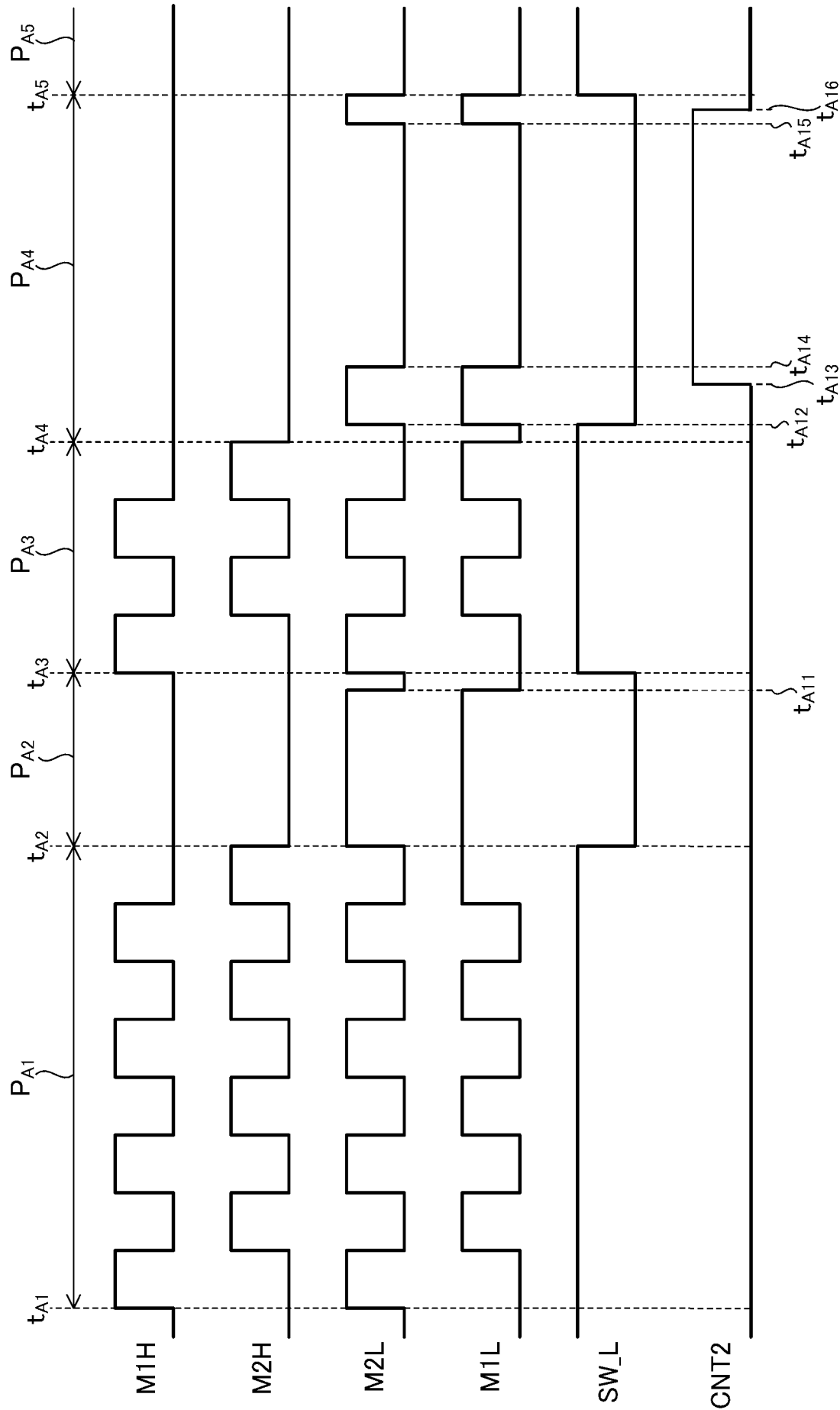
[比較例]





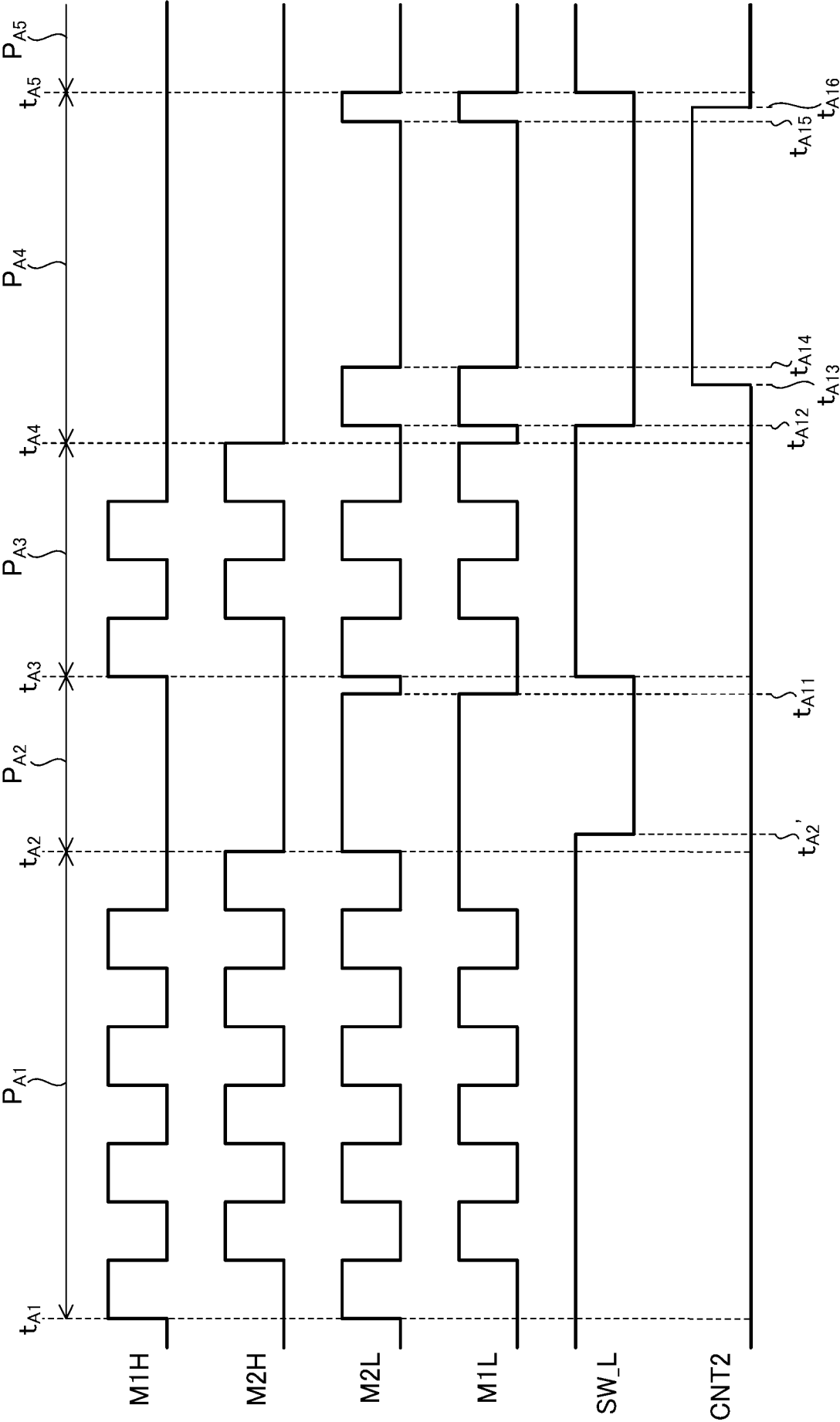
[図15]

[第2実施例]



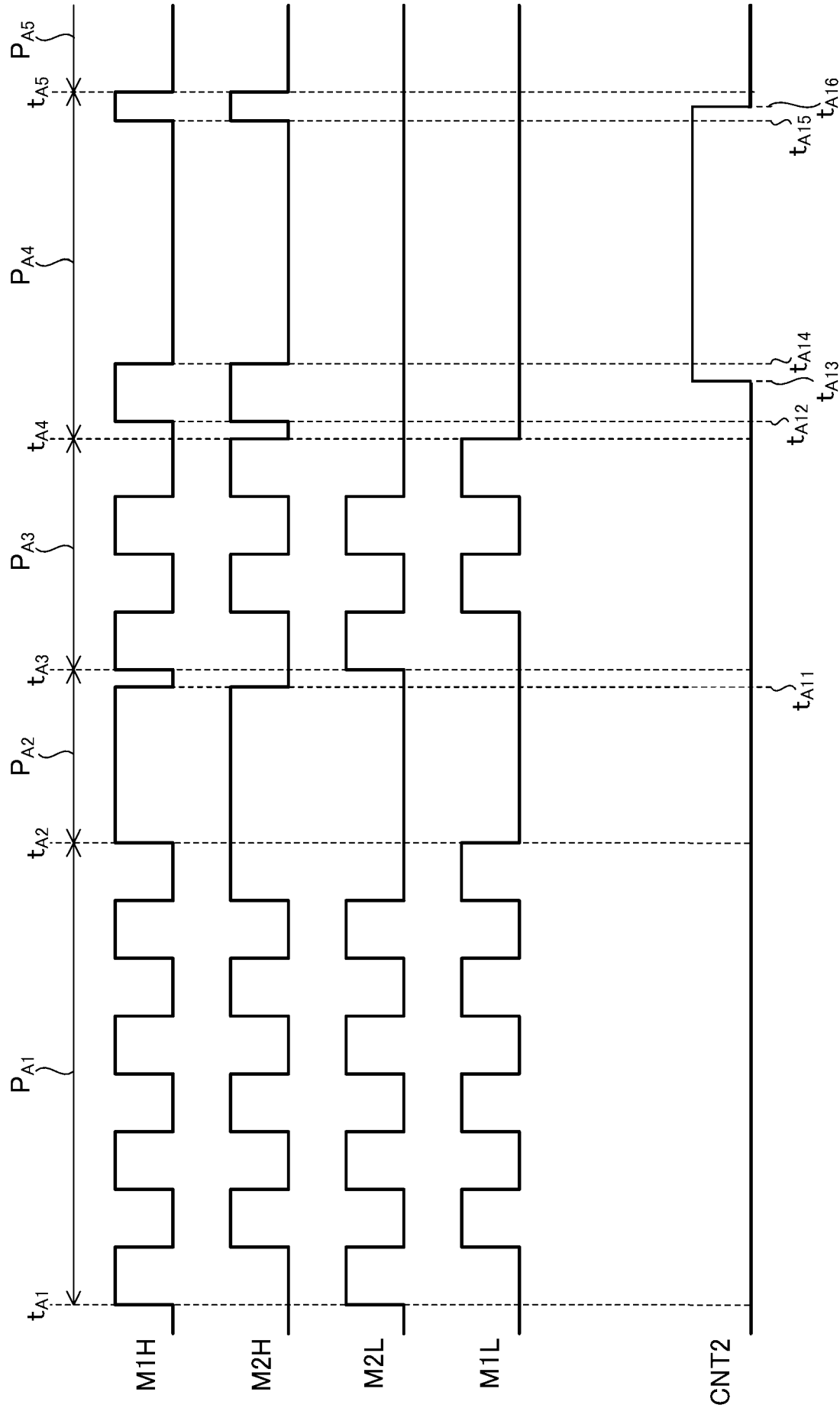
[図16]

[第2実施例]

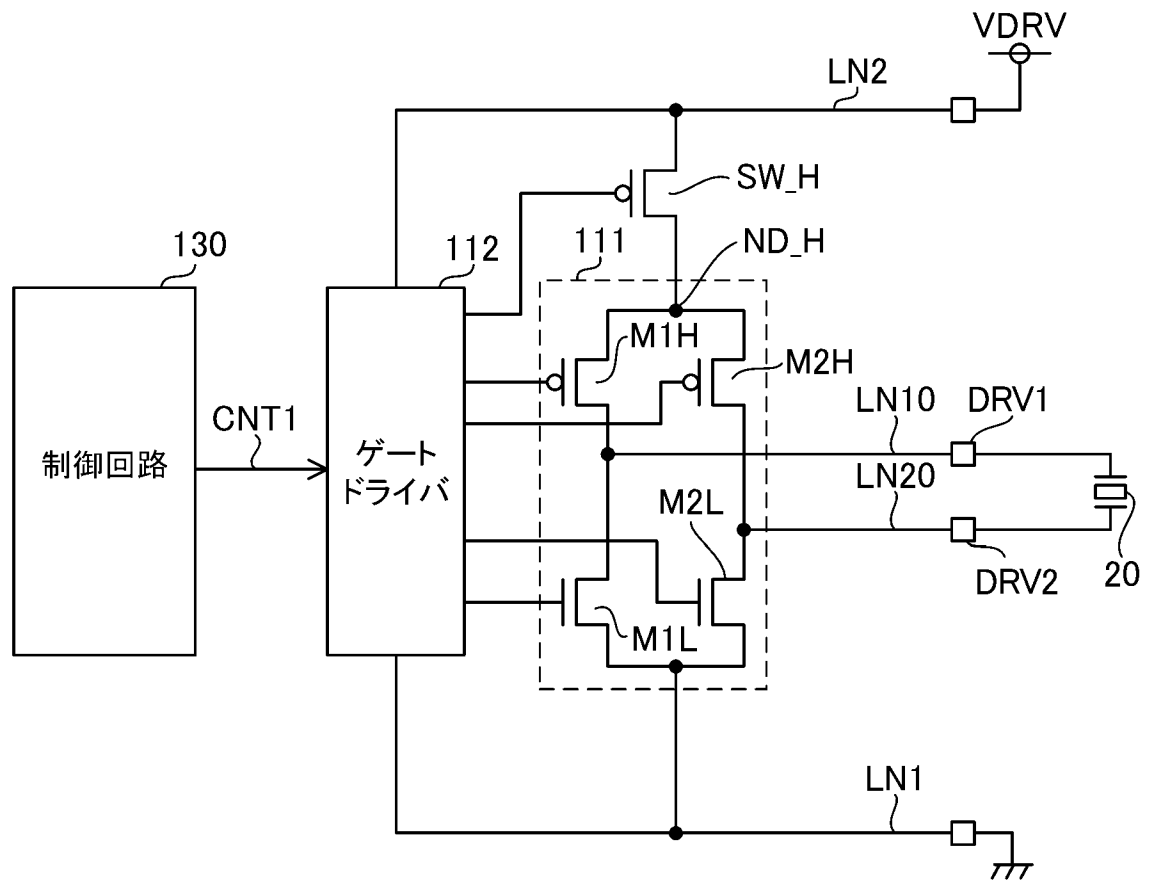


[図17]

[第3実施例]

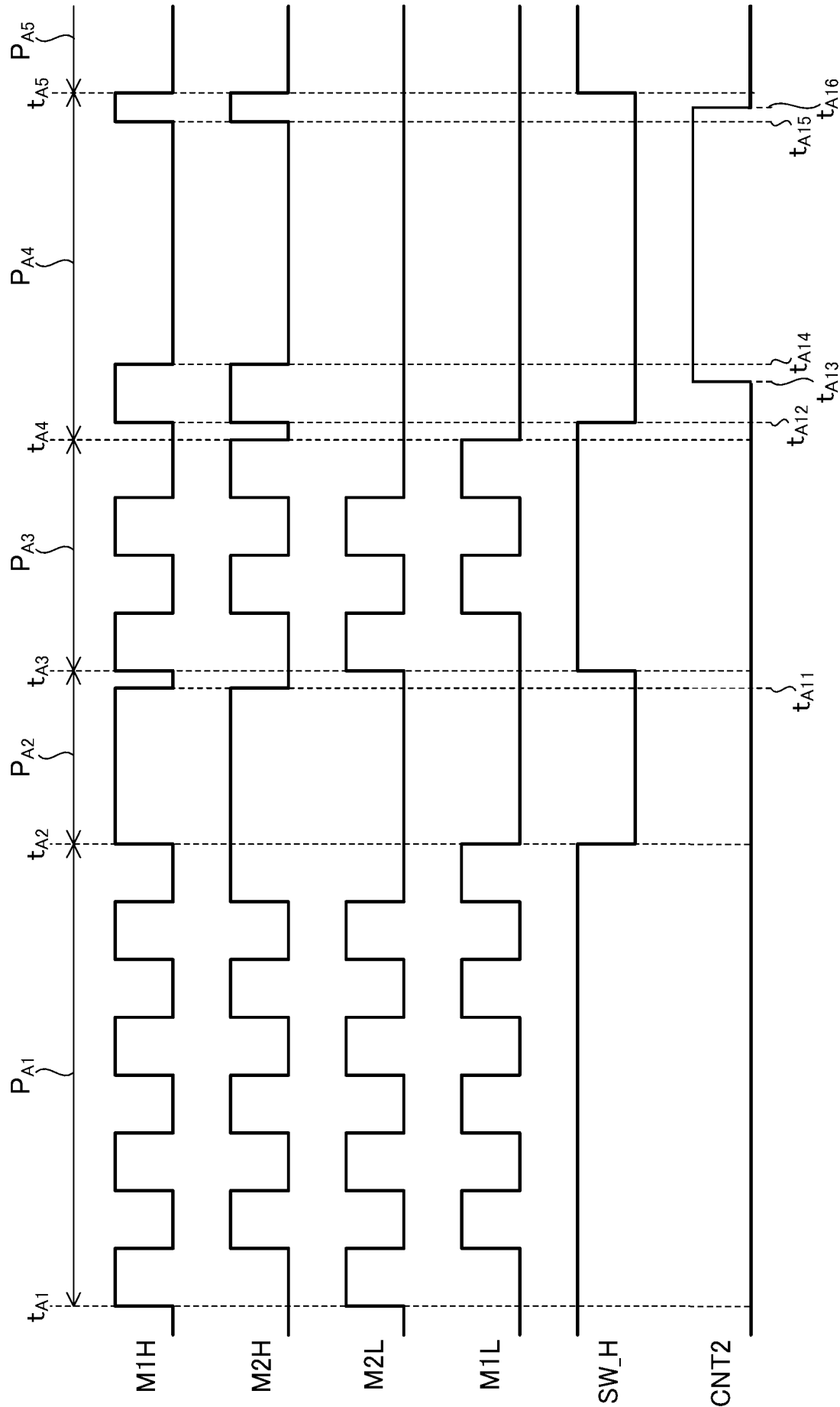


[図18]



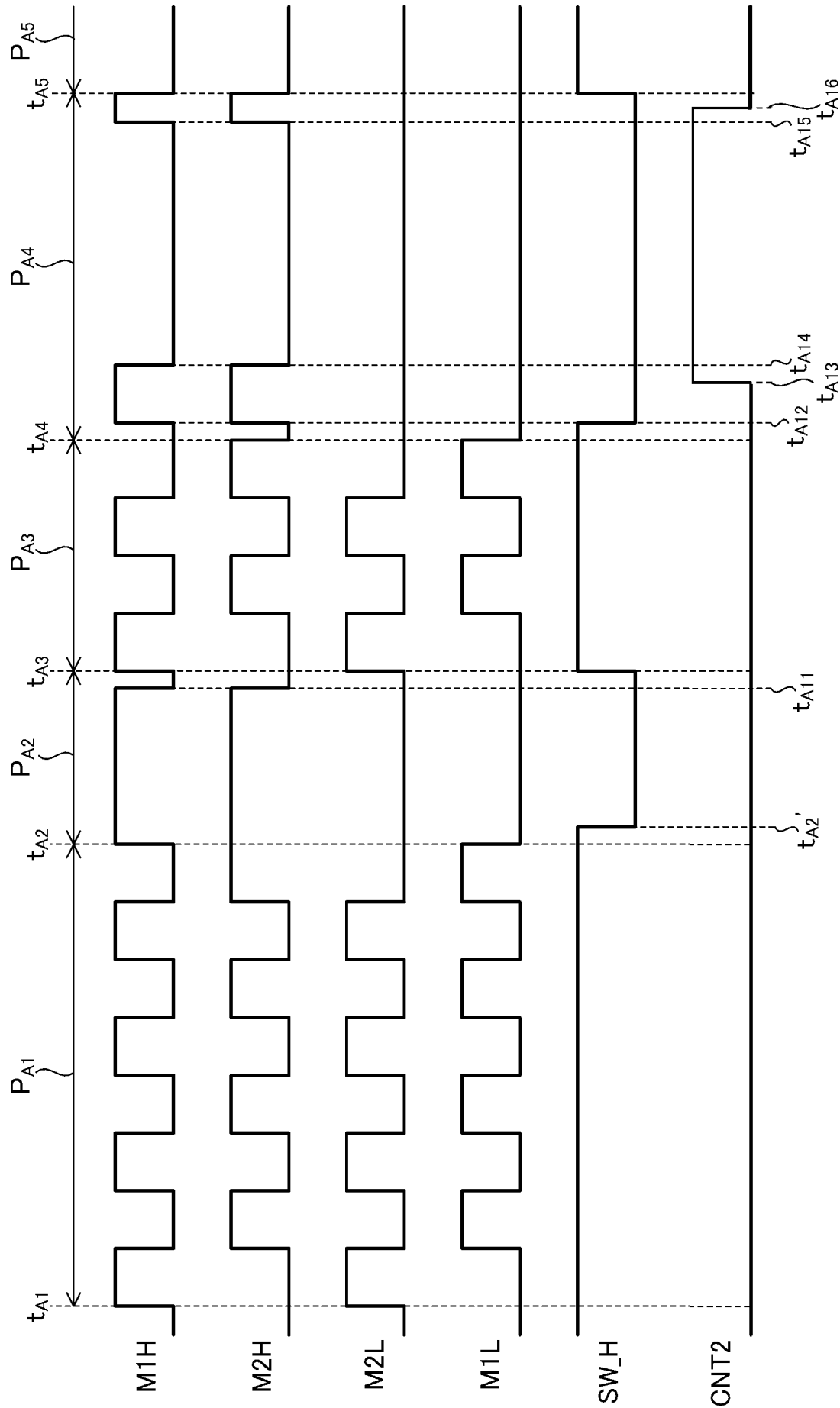
[図19]

[第4実施例]

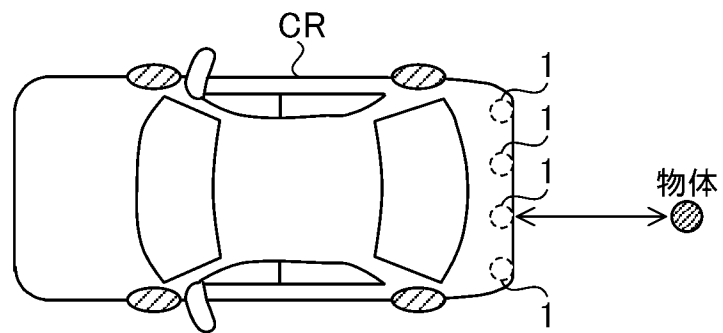


[図20]

[第4実施例]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/046960

A. CLASSIFICATION OF SUBJECT MATTER**G01S 7/524**(2006.01)i; **G01S 15/10**(2006.01)i; **G01S 15/931**(2020.01)i

FI: G01S7/524 R; G01S15/931; G01S15/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01S7/52-7/64; G01S15/00-15/96;

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2016/0284967 A1 (FREESCALE SEMICONDUCTOR, INC.) 29 September 2016 (2016-09-29) paragraphs [0017], [0030]-[0033], [0039]-[0040], fig. 1, 3-4	1, 8
A	US 2011/0026365 A1 (BECKHOVEN, Steef van et al.) 03 February 2011 (2011-02-03) entire text, all drawings	1-8
A	WO 2020/008868 A1 (MURATA MANUFACTURING CO., LTD.) 09 January 2020 (2020-01-09) entire text, all drawings	1-8
A	CN 201788278 U (WUXI CITY GACKO SEA HAWK MARINE TECHNOLOGY CO., LTD.) 06 April 2011 (2011-04-06) entire text, all drawings	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 February 2022

Date of mailing of the international search report

01 March 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/046960

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2016/0284967	A1	29 September 2016	(Family: none)	
US	2011/0026365	A1	03 February 2011	CN	101988965 A
WO	2020/008868	A1	09 January 2020	(Family: none)	
CN	201788278	U	06 April 2011	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01S 7/524(2006.01)i; G01S 15/10(2006.01)i; G01S 15/931(2020.01)i FI: G01S7/524 R; G01S15/931; G01S15/10														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G01S7/52-7/64; G01S15/00-15/96;														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	US 2016/0284967 A1 (FREESCALE SEMICONDUCTOR, INC.) 29.09.2016 (2016-09-29) 段落[0017], [0030]-[0033], [0039]-[0040], 図1, 3-4	1, 8												
A	US 2011/0026365 A1 (BECKHOVEN, Steef van et al.) 03.02.2011 (2011-02-03) 全文, 全図	1-8												
A	WO 2020/008868 A1 (株式会社村田製作所) 09.01.2020 (2020-01-09) 全文, 全図	1-8												
A	CN 201788278 U (WUXI CITY GACKO SEA HAWK MARINE TECHNOLOGY CO., LTD.) 06.04.2011 (2011-04-06) 全文, 全図	1-8												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 09.02.2022	国際調査報告の発送日 01.03.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安井 英己 2S 6001 電話番号 03-3581-1101 内線 3216													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/046960

引用文献			公表日	パテントファミリー文献	公表日
US	2016/0284967	A1	29.09.2016	(ファミリーなし)	
US	2011/0026365	A1	03.02.2011	CN	101988965 A
WO	2020/008868	A1	09.01.2020	(ファミリーなし)	
CN	201788278	U	06.04.2011	(ファミリーなし)	