



(12) 发明专利申请

(10) 申请公布号 CN 103577625 A

(43) 申请公布日 2014. 02. 12

(21) 申请号 201310300865. 5

(22) 申请日 2013. 07. 17

(30) 优先权数据

13/569, 717 2012. 08. 08 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 彭永州 周文升 洪照俊

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社泉 孙征

(51) Int. Cl.

G06F 17/50(2006. 01)

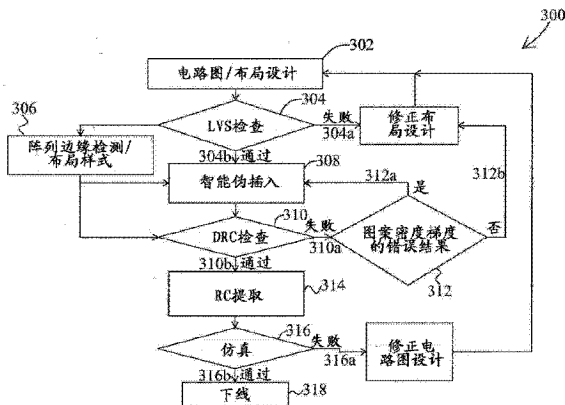
权利要求书2页 说明书10页 附图4页

(54) 发明名称

设计半导体器件、制造器件的系统以及使用系统的方法

(57) 摘要

本发明涉及一种制造半导体器件的方法。所述方法包括比较所述半导体器件的电路图设计与所述半导体器件的布局设计。所述方法进一步包括基于所述布局设计生成布局样式信息以及基于所述布局设计和所述电路图设计生成阵列边缘信息。所述方法进一步包括用智能伪插入使用述布局样式信息和所述阵列边缘信息选择性地修正布局设计。所述方法进一步包括使用所述布局样式信息和所述阵列边缘信对在修正的布局设计执行设计规则检查。本发明还涉及用于制造半导体器件的系统和半导体器件。



1. 一种制造半导体器件的方法,包括:

将所述半导体器件的电路图设计与所述半导体器件的布局设计比较以确定所述布局设计是否包括所述电路图设计的所有部件;

基于所述布局设计生成布局样式信息;

基于所述布局设计和所述电路图设计生成阵列边缘信息;

使用所述布局样式信息和所述阵列边缘信息执行智能伪插入以选择性地修正所述布局设计;以及

使用所述布局样式信息和所述阵列边缘信息对所修正的布局设计执行设计规则检查。

2. 如权利要求 1 所述的方法,其中生成所述布局样式信息包括确定所述布局设计是否包括分布式布局样式。

3. 如权利要求 1 所述的方法,其中生成所述阵列边缘信息包括确定有源边缘单元的位置以及所述布局设计是否包括一个或者多个伪单元。

4. 如权利要求 1 所述的方法,其中执行所述设计规则检查包括确定在所述半导体器件的有源边缘单元处的图案梯度密度是否超过阈值。

5. 一种用于制造半导体器件的系统,包括:

布局与电路图(LVS)工具,配置成比较所述半导体器件的电路图设计与所述半导体器件的布局设计;

配置成基于所述布局设计生成布局样式信息的布局样式工具,所述布局样式工具配置成从所述 LVS 工具接收所述布局设计;

配置成基于所述布局设计和所述电路图设计生成阵列边缘信息的阵列边缘检测工具,所述阵列边缘检测工具配置成从所述 LVS 工具接收所述电路图设计和所述布局设计;

智能伪单元插入工具,配置成使用从所述布局样式工具接收的所述布局样式信息和从所述阵列边缘检测工具接收的所述阵列边缘信息选择性地修正所述布局设计;以及

设计规则检查(DRC)工具,配置成使用所述布局样式信息和所述阵列边缘信息对所修正的布局设计执行设计规则检查。

6. 如权利要求 5 所述的系统,其中所述布局样式工具配置成确定所述布局设计是否包括分布式布局样式。

7. 一种半导体器件,包括:

设置在所述半导体器件的边缘附近的边缘有源单元,其中所述边缘有源单元包括多个指状件;

朝向所述半导体器件的中心部分的与所述边缘有源单元邻近的内部有源单元,其中,所述内部有源单元包括多个指状件并且所述边缘有源单元的所述多个指状件的至少一个电连接至所述内部有源单元的所述多个指状件的至少一个;以及

设置在所述半导体器件的所述中心部分附近的中间有源单元,其中所述中间有源单元包括多个指状件并且所述中间有源单元的所述指状件的每个相互电连接。

8. 如权利要求 7 所述的半导体器件,进一步包括:

位于所述有源边缘单元和所述半导体器件的外边缘之间的缓冲区,所述缓冲区的宽度小于大约 $6\mu\text{m}$ 。

9. 如权利要求 7 所述的半导体器件,其中所述边缘有源单元的所述多个指状件的至少

25% 电连接至所述内部有源单元中所述多个指状件的至少一个。

10. 如权利要求 7 所述的半导体器件,其中横穿所述边缘有源单元的图案密度梯度小于大约 10%。

设计半导体器件、制造器件的系统以及使用系统的方法

技术领域

[0001] 本发明涉及半导体技术领域,更具体地,涉及设计半导体器件、制造器件的系统以及使用系统的方法。

背景技术

[0002] 在半导体制造期间,化学机械抛光(CMP)工艺用于平坦化半导体器件的表面。在一些例子中,CMP工艺造成平坦化表面的图案密度中的梯度形成横穿半导体器件的平坦化表面。图案密度是半导体器件内单元占用的面积和半导体器件的总面积的比值。在一些例子中,CMP工艺导致半导体器件的凹陷,意思是半导体器件的一些单元去除比其他区域在图案密度中形成梯度快。梯度是半导体器件外边缘附近最明显的。具有图案密度梯度超过阈值的半导体器件工作不正常。为了确保必要数量的功能性单元形成在半导体器件中,半导体器件被设计成具有伪单元围绕图案密度梯度最明显的外边缘。这些伪单元增加了半导体器件的尺寸而不增加半导体器件的功能。

[0003] 在另一种半导体器件设计工艺中,布局对电路图(layout versus schematic, LVS)工具用于比较电路图设计与布局设计。布局设计包括具有形成在其内、用于形成电路图设计的部件的图案的掩模。一旦LVS工具确定布局设计与电路图设计精确对应,伪单元被插入布局设计内以补偿图案密度梯度。随着伪单元的插入,设计规则检查(DRC)工具确定修正的布局设计是否违背任何设计规则,例如,元件尺寸或者间距。如果LVS工具或者DRC工具检测到错误,布局设计被修正并且检查工艺从LVS工具重新开始。

发明内容

[0004] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种制造半导体器件的方法,包括:

[0005] 将所述半导体器件的电路图设计与所述半导体器件的布局设计比较以确定所述布局设计是否包括所述电路图设计的所有部件;

[0006] 基于所述布局设计生成布局样式信息;

[0007] 基于所述布局设计和所述电路图设计生成阵列边缘信息;

[0008] 使用所述布局样式信息和所述阵列边缘信息执行智能伪插入以选择性地修正所述布局设计;以及

[0009] 使用所述布局样式信息和所述阵列边缘信息对所修正的布局设计执行设计规则检查。

[0010] 在可选实施例中,生成所述布局样式信息包括确定所述布局设计是否包括分布式布局样式。

[0011] 在可选实施例中,生成所述阵列边缘信息包括确定有源边缘单元的位置以及所述布局设计是否包括一个或者多个伪单元。

[0012] 在可选实施例中,执行所述设计规则检查包括确定在所述半导体器件的有源边缘

单元处的图案梯度密度是否超过阈值。

[0013] 在可选实施例中,确定图案梯度密度是否超过阈值包括确定在所述有源边缘单元处的所述图案梯度密度横穿所述有源边缘单元的表面是否超过大约 10%。

[0014] 在可选实施例中,所述方法进一步包括:如果在所述有源边缘单元处的所述图案梯度密度超过所述阈值,重复修正所述布局设计的步骤。

[0015] 在可选实施例中,执行设计规则检查包括检查位于所述半导体器件的边缘处的有源边缘单元和所述半导体器件的外边缘之间的距离,其中所述距离小于或者等于大约 $6\ \mu\text{m}$ 。

[0016] 在可选实施例中,所述方法进一步包括执行所述电路图设计的电阻-电容提取。

[0017] 根据本发明的另一个方面,还提供了一种用于制造半导体器件的系统,包括:

[0018] 布局与电路图(LVS)工具,配置成比较所述半导体器件的电路图设计与所述半导体器件的布局设计;

[0019] 配置成基于所述布局设计生成布局样式信息的布局样式工具,所述布局样式工具配置成从所述 LVS 工具接收所述布局设计;

[0020] 配置成基于所述布局设计和所述电路图设计生成阵列边缘信息的阵列边缘检测工具,所述阵列边缘检测工具配置成从所述 LVS 工具接收所述电路图设计和所述布局设计;

[0021] 智能伪单元插入工具,配置成使用从所述布局样式工具接收的所述布局样式信息和从所述阵列边缘检测工具接收的所述阵列边缘信息选择性地修正所述布局设计;以及

[0022] 设计规则检查(DRC)工具,配置成使用所述布局样式信息和所述阵列边缘信息对所修正的布局设计执行设计规则检查。

[0023] 在可选实施例中,所述布局样式工具配置成确定所述布局设计是否包括分布式布局样式。

[0024] 在可选实施例中,所述阵列边缘检测工具配置成确定有源边缘单元的位置以及所述布局设计是否包括一个或者多个伪单元。

[0025] 在可选实施例中,所述 DRC 工具配置成确定在所述半导体器件的有源边缘单元处的图案梯度密度是否超过阈值。

[0026] 在可选实施例中,所述阈值为大约 10%。

[0027] 在可选实施例中,所述 DRC 工具配置成检查所述半导体器件的有源边缘单元和外边缘之间的距离。

[0028] 在可选实施例中,所述距离小于或者等于大约 $6\ \mu\text{m}$ 。

[0029] 在可选实施例中,所述系统进一步包括配置成对所述电路图设计执行 RC 提取仿真的电阻-电容(RC)提取工具。

[0030] 根据本发明的又一个方面,还提供了一种半导体器件,包括:

[0031] 设置在所述半导体器件的边缘附近的边缘有源单元,其中所述边缘有源单元包括多个指状件;

[0032] 朝向所述半导体器件的中心部分的与所述边缘有源单元邻近的内部有源单元,其中,所述内部有源单元包括多个指状件并且所述边缘有源单元的所述多个指状件的至少一个电连接至所述内部有源单元的所述多个指状件的至少一个;以及

[0033] 设置在所述半导体器件的所述中心部分附近的中间有源单元,其中所述中间有源单元包括多个指状件并且所述中间有源单元的所述指状件的每个相互电连接。

[0034] 在可选实施例中,所述半导体器件进一步包括:位于所述有源边缘单元和所述半导体器件的外边缘之间的缓冲区,所述缓冲区的宽度小于大约 $6\mu\text{m}$ 。

[0035] 在可选实施例中,所述边缘有源单元的所述多个指状件的至少 25% 电连接至所述内部有源单元中所述多个指状件的至少一个。

[0036] 在可选实施例中,横穿所述边缘有源单元的图案密度梯度小于大约 10%。

附图说明

[0037] 一种或者多种实施方式通过实例示出说明,并且不限于所述实施方式,具有相同标号的元件在附图中指代相同的元件。应该强调的是,根据工业中的标准实践,各种部件可不按比例绘制并且仅仅用于说明的目的。实际上,为了清楚的讨论,绘图中各种部件的尺寸可以被任意增加或减少。

[0038] 图 1A 是根据一种或者多种实施方式的半导体器件的俯视图;

[0039] 图 1B 是根据一种或者多种实施方式的图 2A 的部分半导体器件的俯视图;

[0040] 图 2 是根据一种或者多种实施方式的半导体设计系统的框图;

[0041] 图 3 是根据一种或者多种实施方式的制造半导体器件的方法流程图;以及

[0042] 图 4 是进行智能伪单元插入的方法流程图。

具体实施方式

[0043] 下面的公开文本提供了用于实现本发明不同特征的许多不同的实施方式或者实例。下面描述了部件和布置的具体实例以简化本发明。当然,这些仅是实例并不用来限制本发明。

[0044] 图 1A 是半导体器件 100 的俯视图。半导体器件 100 包括单元 C 的阵列。在所述的实施方式中,每个单元 C 包括 16 个指状件。指状件是用于单晶体管的多个栅电极,单晶体管中多个栅电极连接至共同的电源信号。在一些实施方式中,每个单元包括多于或者少于 16 个指状件。在一些实施方式中,不同的单元具有不同数量的指状件。单元 C 的子阵列 102 设置在半导体器件 100 的外边缘处。子阵列 102 包括邻近半导体器件 100 的外边缘设置的两个单元 104 和设置在与半导体器件 100 的外边缘分离的一列单元处的两个单元 106。

[0045] 图 1B 是半导体器件 100 的子阵列 102 的俯视图。在图 2B 中描绘了单元 104 和 106 的几个指状件 108。除单元 104 和 106 之外,子阵列 102 还包括导线 110 和 120。导线 110 将来自部分单元 106 的位于离半导体器件 100 的外边缘最远处的至少一个指状件 108 连接至来自部分单元 104 的位于离半导体器件最近处的至少一个指状件 108。导线 120 将来自部分单元 106 的离半导体器件 100 的外边缘最近的至少一个指状件 108 连接至单元 104 的离半导体器件的外边缘最远的至少一个指状件 108。相邻单元的电连接指状件导致分布式布局样式。

[0046] 分布式布局样式补偿了半导体器件 100 的外边缘附近的图案密度梯度。外边缘附近的图案密度梯度与半导体器件 100 的中心部分 150 附近的图案密度梯度相比更为严重。通过将单元 106 的指状件 108 电连接至单元 104 的指状件 108,半导体器件 100 外边缘处的

图案密度梯度的电影响在具有较高图案密度梯度的单元 104 和具有较低图案密度梯度的单元 106 之间共享。共享电影响,使用分布式布局样式,单元 104 能够满足可用性的阈值测试。在一些实施方式中,单元 104 的至少 25% 的指状件 108 电连接至单元 106 中的指状件 108。在一些例子中,如果少于 25% 的指状件 108 在单元 104 和 106 之间电连接,共享的电影响不足以使单元 104 可用作半导体器件 100 中的有源单元。在一些实施方式中,单元 104 的最多 50% 的指状件 108 电连接至单元 106 中的指状件 108。如果多于 50% 的指状件 108 在单元 104 和 106 之间连接,单元 106 上共享的电影响的负面影响会将单元 106 的性能降低到可接受的水平以下。由于单元 104 是可用的,半导体器件 100 的尺寸不需要增加伪单元的附加层以在单元 C 周围提供缓冲区而在半导体器件 100 内达到期望数量的正常运行的有源单元。因此,与不包括分布式布局样式的设计相比,半导体器件 100 可减小尺寸。

[0047] 然而,分布式布局样式不利地影响单元 106。由于单元 106 的电连接中包括到最接近单元 104 的外边缘的指状件的电连接,降低了单元 106 的性能。随着连接至单元 104 和单元 106 之间的指状件的数量增加,增加了对单元 106 的不利影响。在一些实施方式中,由于分布式布局,有关单元 106 的图案密度梯度提高了大约 25% 至大约 50%。尽管单元 106 中增加的变化,单元 106 的整体性能保持在可接受的数值内。因而,半导体器件 100 外边缘附近的分布式布局增加了可使用单元的数量而不增加半导体器件 100 的面积。

[0048] 对于包括半导体器件的角落的子阵列 130,子阵列包括大量的单元以在较大数量的内部单元 134 上分布边缘单元 132 的变化。例如,子阵列 130 为半导体器件 100 的角落处的三乘三阵列,包括五个边缘单元 132 和四个内部单元 134。通过电连接内部单元 134 的指状件,边缘单元 132 的性能提高到可使用的水平。通过分布由于足够数量的内部单元 134 上的分布式布局造成的增加的变化,内部单元也保持可用。在一些实施方式中,子阵列 130 的尺寸不同于三乘三。在一些实施方式中,子阵列 130 不是方形。

[0049] 设置在半导体器件中心部分 150 附近的半导体器件 100 的单元 C 可不包括分布式布局。分布式布局在用于给半导体器件 100 提供工作电压的互连结构的设计和制造中引入较大的复杂性。半导体器件 100 的外边缘附近,由于可减小半导体器件的尺寸,互连结构增加的复杂性是可接受的。然而,在一些实施方式中,在中心部分 150 附近,分布式布局不能帮助减小半导体器件 100 的尺寸。在一些实施方式中,中心部分 150 附近的单元 C 中的所有指状件在相同单元 C 内电连接。结果,与在分布式布局中连接的单元相比,中心部分 150 附近的互连结构简化了。

[0050] 图 2 是半导体设计系统 200 的框图。半导体设计系统 200 包括通过总线 206 连接至处理器 204 的输入 / 输出端 (I/O) 202。存储器 208 也通过总线 206 连接至 I/O 202 和处理器 204。存储器 208 包括用于布局对电路图 (LVS) 工具 212、阵列边缘确定工具 214, 布局样式确定工具 216、设计规则检查 (DRC) 工具 218、梯度误差检测工具 220, 电阻 - 电容 (RC) 提取工具 222 以及智能伪单元插入工具 224 的指令。这些工具的每个都包括由处理器 204 执行的一组指令。在一些实施方式中,存储器 208 是混合信号电路。

[0051] 在一些实施方式中,存储器 208 包括随机存取存储器 (RAM) 和 / 或其他动态存储器和 / 或只读存储器 (ROM) 和 / 或连接至总线 206 用于存储由处理器 204 执行的数据和指令的其他混合信号电路。在一些实施方式中,存储器 208 还用于存储由处理器 204 执行的指令执行期间的临时变量或者其他中间信息。

[0052] 在一些实施方式中,提供了存储器 208 (例如,磁盘或者光盘),并且存储器 208 连接至总线 206 以用于存储数据和 / 或指令。I/O 设备 202 包括输入设备,输出设备和 / 或组合的输入 / 输出设备使得能够用户交互。例如,输入设备包括键盘、小型键盘、鼠标、轨迹球、触控板和 / 或光标键以用于将信息和命令传送到处理器 204。输出设备包括诸如显示器、打印机、声音合成器,等,以用于将信息传送给用户。

[0053] 在一些实施方式中,处理器(例如,处理器 204)执行存储在存储器 208 中的指令。可操作存储器 208、I/O 设备 202 以及总线 206 中的一个或者多个以接收用于由处理器 204 处理的设计规则和 / 或其他参数。可操作存储器 208、I/O 设备 202 以及总线 206 的一个或者多个以输出由处理器 204 确定的结果。

[0054] 在一些实施方式中,由与处理器分离或者代替处理器的特定配置的硬件(例如,由提供的一个或者多个专用集成电路或者 ASIC)执行一个或者多个进程。一些实施方式在单专用集成电路(ASIC)中包括多于一个所述的进程。

[0055] 在一些实施方式中,进程实例化为存储在非暂时性计算机可读记录介质中程序的功能。非暂时性计算机可读记录介质的实例包括但不限于外部 / 可移动和 / 或内部 / 内置的贮存或者存储单元,例如,光盘(例如,DVD)、磁盘(例如,硬盘)、半导体存储器(例如,ROM, RAM),存储卡等的一个或者多个。

[0056] LVS 工具 212 确定布局设计是否与电路图设计精确对应。LVS 工具 212 比较电路图设计的元件是否精确结合到布局设计中。LVS 工具 212 比较电路图设计中的部件的尺寸和位置和布局设计上的部件的尺寸和位置。通过比较电路图设计和布局设计,LVS 工具 212 能够确定布局设计是否包括电路图设计的所有部件以及部件是否精确结合到布局设计中。

[0057] 阵列边缘检测工具 214 确定布局设计的外边缘是否包括有源单元或者伪单元。有源单元是包括电连接并且为半导体器件执行任务而实现某功能的单元。伪单元是充当间隔件并且不被半导体器件用于执行任务的单元。通过确定布局设计是否包括伪单元,半导体设计系统 200 确定附加的伪单元是否需要插入布局设计以说明布局设计的外边缘处的图案密度梯度。如果布局设计的外边缘包括有源边缘单元,阵列边缘检测工具 214 向智能伪单元插入工具 224 发送信号以在外边缘周围增加伪单元。在一些实施方式中,如果布局设计的外边缘包括伪边缘单元,阵列边缘检测工具 214 向智能伪单元插入工具 224 发送信号指示不必要插入附加的伪单元。在一些实施方式中,如果布局设计的外边缘包括伪边缘单元,阵列边缘检测工具 214 不向智能伪单元插入工具 224 发送信号并且智能伪单元插入工具 224 配置成仅当提示时插入附加的伪单元。在一些实施方式中,阵列边缘检测工具 214 包括用于识别沿布局设计的外边缘的单元的类型计算机辅助设计(CAD)程序。在一些实施方式中,引入识别 CAD 层以标记有源单元阵列的边缘。识别 CAD 层外部的单元被确定为是伪单元。在一些实施方式中,CAD 程序使用电路图设计来确定哪些单元用于执行半导体器件的任务。在用于执行半导体器件任务的单元的区域外部的单元确定为是伪单元。CAD 程序也可确定伪单元的行数。

[0058] 布局样式工具 216 检测半导体器件中有源单元的布局样式。布局样式可为随机的,分布式的,分组的或者另一种合适的布局样式。布局样式由有源单元的指状件如何电连接以接收工作电压确定。在一些实施方式中,布局样式工具 216 检查布局设计的互连结构以确定单元内的指状件如何相互电连接。在一些实施方式中,布局样式工具 216 确定有源

边缘单元是否包括分布式布局样式。如果布局样式工具 216 确定有源边缘单元不包括分布式布局样式,布局样式工具 216 向智能伪单元插入工具 224 发送信号指示要插入几行伪单元。在一些实施方式中,如果布局样式工具 216 确定有源边缘单元包括分布式布局样式,布局样式工具 216 向智能伪单元插入工具 224 发送信号指示为了正常功能需要单行伪单元。在一些实施方式中,如果布局样式工具 216 确定有源边缘单元包括分布式布局样式,布局样式工具 216 不向智能伪单元插入工具 224 发送信号并且智能伪单元插入工具配置成仅当提示时插入伪单元。

[0059] DRC 工具 218 确定布局设计是否满足设计规则。在一些实施方式中,设计规则包括元件之间的最小间距、最小元件尺寸、图案密度梯度或者其他设计参数。使用来自阵列边缘检测工具 214 和布局样式工具 216 的信息,DRC 工具 218 检查半导体器件的每侧,开始于有源单元的检测边缘并且延伸指定的距离。在一些实施方式中,如果半导体器件的外边缘具有分布式布局样式,指定距离小于或者等于大约 $6\ \mu\text{m}$ 。 $6\ \mu\text{m}$ 的指定距离源于环绕半导体器件 100 的单元 C 的伪单元的数量减少。通过使用分布式布局样式,指定距离相对于其他布局样式减小。大于 $6\ \mu\text{m}$ 的指定距离不必要地增加用于 DRC 工具 218 的大量时间来进行确定。在一些例子中,小于 $6\ \mu\text{m}$ 的指定距离不会提供足够精确对比以精确确定符合设计规则的情况。在一些实施方式中,如果半导体器件的外边缘不包括分布式布局样式,指定距离达到大约 $20\ \mu\text{m}$ 。

[0060] 如果图案密度的梯度超过指定距离大约 10%,DRC 工具 218 确定由于图案密度梯度的结果误差存在。如果图案密度梯度超过大约 10%,位于半导体器件 100 中心附近的单元 C 和位于半导体器件外边缘附近的单元 C 之间的单元性能差别对于半导体器件太大以致于不能正常工作。为了补偿图案密度梯度超过大约 10%,会增加伪单元的附加层,这增大了半导体器件 100 的尺寸。为了减少伪单元层的数量,图案密度梯度的阈值设置为大约 10%。如果间距或者尺寸小于制造工艺的阈值,DRC 工具 218 确定由于部件间距或者尺寸的结果误差存在。如果违背了设计规则,DRC 工具 218 输出误差信号指示布局设计包含误差和误差类型。

[0061] 误差确定工具 220 从 DRC 工具 218 接收误差信号并且确定误差是否是图案密度梯度问题的结果。误差确定工具 220 识别被编码在误差信号中的误差类型并且基于误差类型输出误差消息。如果误差是由于图案密度梯度问题,误差确定工具 220 输出需要修正的伪单元设计的消息。如果误差不是由于图案密度梯度问题,误差确定工具 220 输出需要修正的布局设计的消息。

[0062] 如果 DRC 工具 218 确定出布局设计中不存在误差,消息发送至 RC 提取工具 222 以使 RC 提取工具 222 基于电路图设计进行 RC 提取。在一些实施方式中,RC 提取工具 222 包括集成电路编程仿真(Simulation program with integrated circuit emphasis, SPICE)模型工具。在一些实施方式中,RC 提取工具 222 使用诸如部件尺寸、部件间间距和材料的信息仿真电路图设计的性能以确定电路图设计的不同部件之间的交互如何影响整体设计的性能。RC 提取工具 222 输出信号指示电路图设计是否满足由电路设计者提交到 RC 提取工具 222 的约束条件。如果 RC 提取工具 222 确定电路图设计是可接受的,即,满足约束条件,电路图设计和布局设计通过下线布局设计为制造做好准备。下线是形成布局设计的掩模或者多个掩模物理生成的工艺。如果 RC 提取工具 222 确定电路图设计不可接受,即,不

满足一个或者多个约束条件, RC 提取工具输出信号指示需要修正的电路图设计。

[0063] 智能伪单元插入工具 224 配置成从 LVS 工具 212、阵列边缘检测工具 214、布局样式工具 216 和误差确定工具 220 接收信息。智能伪单元插入工具 224 配置成基于接收的信息修正布局设计。在一些实施方式中, 智能伪单元插入工具 224 修正布局设计以增加环绕有源边缘单元的足够数量的伪单元以便半导体器件正常工作。在一些实施方式中, 如果布局设计包括伪单元, 智能伪单元插入工具 224 不增加附加的伪单元。在一些实施方式中, 由智能伪单元插入工具 224 增加的伪单元的数量由布局设计的布局样式确定。在一些实施方式中, 智能伪单元插入工具 224 基于由 DRC 工具 218 检测的误差增加伪单元。

[0064] 图 3 是制造半导体器件的方法 300 的流程图。方法 300 开始于操作 302, 在操作 302 中生成电路图设计和布局设计。在一些实施方式中, 使用计算机辅助设计 (CAD) 程序生成电路图设计。在一些实施方式中, 布局设计包括用于形成电路图设计的部件的掩模。在一些实施方式中, 布局设计包括多于一个的掩模。

[0065] 在操作 304, LVS 工具 212 进行 LVS 检查, LVS 检查确定布局设计是否与电路图设计对应。LVS 工具 212 比较电路图设计的元件是否精确结合到布局设计中。LVS 工具 212 将电路图设计的部件的尺寸和位置与布局设计的部件的尺寸和位置进行比较。通过对比电路图设计和布局设计, LVS 工具 212 能够确定布局设计是否包括电路图设计的所有部件以及这些部件是否精确结合到布局设计中。

[0066] 如果 LVS 工具 212 确定出布局设计不与电路图设计精确对应, LVS 工具 212 传送指示失败的信号, 向布局设计师报警以在操作 305 中修正布局设计。在操作 305 中, 设计工程师修正布局设计。方法 300 从操作 305 返回到操作 302, 并且由此继续。然而, 在操作 304, 如果 LVS 工具 212 确定布局设计与电路图设计精确对应, 布局设计和电路图设计信息依据指示“通过”传送至操作 306 和 308。

[0067] 在操作 306, 布局样式工具 216 确定沿半导体器件的外边缘的单元是否配置在分布式布局样式中。布局样式由一个有源单元中的指状件如何电连接以接收工作电压来确定。在一些实施方式中, 布局样式工具 216 检查布局设计的互连结构以确定单元内的指状件如何相互电连接。在一些实施方式中, 布局样式工具 216 确定有源边缘单元是否包括分布式布局样式。

[0068] 同样在操作 306 中, 阵列边缘检测工具 214 确定半导体器件是否包括沿半导体器件的外边缘的伪单元。在一些实施方式中, 阵列边缘检测工具 214 包括用于识别沿布局设计外边缘的单元类型的计算机辅助设计 (CAD) 程序。CAD 程序使用电路图设计确定哪些单元用于执行半导体器件的任务。在用于执行半导体器件任务的单元区外部的单元确定为伪单元。

[0069] 在操作 306 中生成的信息传送至智能伪插入操作 308 以及 DRC 检查操作 310 中。操作 308 和 310 都使用操作 306 中生成的信息来执行它们各自的功能。在所述的实施方式中, 如由从操作 306 至操作 308 和 310 的两个相应的箭头所描绘的, 操作 306 中生成的信息直接传送至智能伪插入 308 和 DRC 检查 310 的每个。

[0070] 在操作 308, 智能伪单元插入工具 224 基于从操作 304 接收的布局设计和电路图设计以及操作 306 的结果修正布局设计。在下面图 4 的描述中提供了智能伪插入操作的详细描述。

[0071] 在操作 310 中, DRC 工具 218 通过执行 DRC 检查确定布局设计是否满足指定的设计规则。DRC 工具 218 从边缘有源单元至半导体器件的外边缘检查半导体器件的每侧。在一些实施方式中, 边缘有源单元和外边缘之间的距离小于或者等于大约 $6\ \mu\text{m}$ 。通过检查从边缘有源单元至外边缘的减小的距离, 与检查整个半导体器件相比用于执行设计规则检查的时间减小了。

[0072] 在检查期间, DRC 工具 218 确定图案密度梯度是否低于边缘有源单元处的阈值。在一些实施方式中, 阈值在横穿有源边缘单元的表面小于大约 10% 变化量。

[0073] 在操作 310 中, 如果 DRC 工具 218 确定布局设计不满足设计规则, 那么方法 300 依据指示“失败”进行到操作 312。在操作 312, 误差确定工具 220 确定误差是否是由于图案密度梯度超过阈值。误差确定工具 220 从 DRC 工具 218 接收指示误差和误差的原因的误差信号。误差确定工具 220 分析来自 DRC 工具 218 的信号以确定误差是否是由图案密度梯度造成。在操作 312 中, 如果误差是由于图案密度梯度超过阈值, 布局设计依据指示“是”传送到操作 308, 并且方法 300 由此继续。然而, 在操作 312 中, 如果误差不是由于图案密度梯度, 消息依据指示“否”传送到操作 305, 通知布局设计者修正布局设计。然后, 如上所述方法 300 由此继续。

[0074] 然而, 在操作 310, 如果 DRC 工具 218 确定布局设计满足设计规则, 方法 300 依据指示“通过”进行到操作 314。在操作 314 中, RC 提取工具 222 从布局设计提取与部件尺寸、形状、材料和间距有关的信息以及与各种部件有关的其他合适的变量。在一些实施方式中, RC 提取工具 222 使用 CAD 程序提取数据。在一些实施方式中, RC 提取工具 222 基于色彩信息提取数据, 例如, 金属层号、掩模号或者其他合适的信息。这种信息被用于在操作 316 中执行仿真。

[0075] 在操作 316 中, 基于由 RC 提取工具 222 提取的信息进行仿真。在一些实施方式中, 由 RC 提取工具 222 执行仿真。在仿真期间, 电阻和电容值与可接受的性能数值对比。如果仿真确定出布局设计和电路图设计的电阻和电容值在可接受的性能数值内, 即, 满足由电路设计者施加的约束条件, 所述方法依据指示“通过”进行到下线操作 318。在一些实施方式中, 电路图设计和布局设计从操作 316 传送并且为下线操作 318 中的预生产加工做好准备。在一些实施方式中, 电路图设计和布局设计通过下线布局设计为制造做好准备。然而, 在操作 316 中, 如果仿真结果不在可接受的性能数值范围内, 即, 不满足由电路设计者施加的一个或者多个约束条件, 依据指示“失败”消息被传送到操作 317 以通知电路设计者修正电路图设计。在操作 317 中, 电路设计者修正电路图设计, 并且方法 300 进行到操作 302 并且相应继续进行。

[0076] 图 4 是用于图 3 操作 308 中的智能伪插入的方法 400 的流程图。在操作 402 中, 接收布局设计和电路图设计。在一些实施方式中, 智能伪插入工具 224 从 LVS 工具 212 接收布局设计和电路图设计。

[0077] 在操作 404 中, 接收有关阵列边缘检测和阵列边缘布局样式的信息。在一些实施方式中, 从阵列边缘检测工具 214 接收有关阵列边缘检测的结果。在一些实施方式中, 智能伪插入工具 224 从布局样式工具 216 接收有关阵列边缘布局样式的结果。

[0078] 在操作 406, 由智能伪单元插入工具 224 选择性地修正布局设计。如果半导体器件不包括伪单元, 环绕半导体器件的外边缘增加附加伪单元。在一些实施方式中, 附加的伪单

元包括环绕半导体器件的单行伪单元。如果半导体器件包括伪单元,附加的伪单元不会增加到布局设计中。

[0079] 在一些实施方式中,如果半导体器件包括伪单元并且阵列边缘包括分布式布局样式,半导体器件周围的缓冲区宽度减小了。在一些实施方式中,包括伪单元的缓冲区的总宽度小于或者等于大约 $6\ \mu\text{m}$ 。

[0080] 在操作 408,智能伪插入工具 224 从误差确定工具 220 接收反馈。

[0081] 在操作 410,基于来自误差确定工具 220 的反馈修正布局设计。如果 DRC 工具 218 基于图案密度梯度问题检测误差,误差检测工具 220 提供了用于将伪单元增加到布局设计的指令。在一些实施方式中,如果 DRC 工具 218 没有检测到误差,则不执行操作 410。

[0082] 在操作 412,修正的布局设计传送到 DRC 工具 218。

[0083] 通过使用上述系统和方法,与其他技术相比半导体器件的尺寸减小了。半导体器件减小的尺寸降低了芯片上的空间浪费并且有利于较小器件的制造。例如,使用其他技术制造的半导体器件具有大约 $20\ \mu\text{m}$ 宽度的缓冲区。然而,本发明包括具有小于或者等于大约 $6\ \mu\text{m}$ 宽度的缓冲区的半导体器件。较小的缓冲区减小了芯片的尺寸并且有助于减小半导体器件的整体尺寸。由于由 DRC 工具 218 检查较小的距离,较小的缓冲区还有助于减少半导体器件分析期间的计算时间。

[0084] 进一步地,与不将来自 LVS 工具 212 和 DRC 工具 218 的信息结合到伪单元插入操作的方法相比,伪单元插入期间使用附加信息减少了方法 300 的重复次数。在不包括来自误差确定工具 220 的反馈信息的方法中,尝试和误差法用于确定附加的伪单元是否有必要制造如所设计的功能的半导体器件。尝试和误差法增加了用于设计半导体器件需要的时间。在一些例子中,尝试和误差法导致具有其尺寸大于正常工作需要尺寸的半导体器件。

[0085] 另外,根据本发明的各种实施方式,由阵列边缘检测工具 214 检测有源边缘单元位置和来自布局样式工具 216 的布局样式信息的使用减少了由 DRC 工具 218 检查的大量缓冲区。进一步地,有源边缘单元位置和布局样式信息降低了在电路设计者或者布局设计者已经在设计中包括伪单元的情况下增加附加伪单元的风险。通过使用有源边缘单元位置和布局样式信息,最小化了半导体器件的总的尺寸。

[0086] 本发明的一个方面涉及制造半导体器件的方法。所述方法包括比较所述半导体器件的电路图设计与所述半导体器件的布局设计。所述方法进一步包括基于所述布局设计生成布局样式信息以及基于所述布局设计和所述电路图设计生成阵列边缘信息。所述方法进一步包括使用智能伪单元插入用所述布局样式信息和所述阵列边缘信息选择性地修正所述布局设计。所述方法进一步包括使用所述布局样式信息和所述阵列边缘信息对所述修正的布局设计执行设计规则检查。

[0087] 本发明的另一个方面涉及用于制造半导体器件的系统。所述系统包括布局对电路图(LVS)工具,配置成比较半导体器件的电路图设计与半导体器件的布局设计。所述系统进一步包括配置成基于布局设计生成布局样式信息的布局样式工具。所述系统进一步包括配置成基于所述布局设计和所述电路图设计生成阵列边缘信息的阵列边缘检测工具。所述系统进一步包括配置成使用所述布局样式信息和所述阵列边缘信息选择性地修正布局设计的智能伪单元插入工具。所述系统进一步包括配置成使用所述布局样式信息和所述阵列边缘信息对所述修正的布局设计执行设计规则检查的设计规则检查(DRC)工具。

[0088] 本发明的另一个方面涉及半导体器件,包括与半导体器件的边缘邻近的边缘有源单元,其中,所述边缘有源单元包括多个指状件。所述半导体器件进一步包括朝向所述半导体器件的中心部分的与边缘有源单元邻近的内部有源单元,其中所述内部有源单元包括多个指状件并且所述有源边缘单元的至少一个指状件电连接至所述有源内部单元的至少一个指状件。所述半导体器件进一步包括具有宽度小于大约 6 μm 的缓冲区。

[0089] 本领域普通技术人员可以容易看出批露的实施方式实现了上面阐述的一个或者多个优点。在阅读前面的说明书之后,如本文广泛批露的,本领域普通技术人员能够做出各种改变,等同替换和各种其他实施方式。因而,意图是授权的保护仅限于所附权利要求和他们的等同方式中包含的限定。

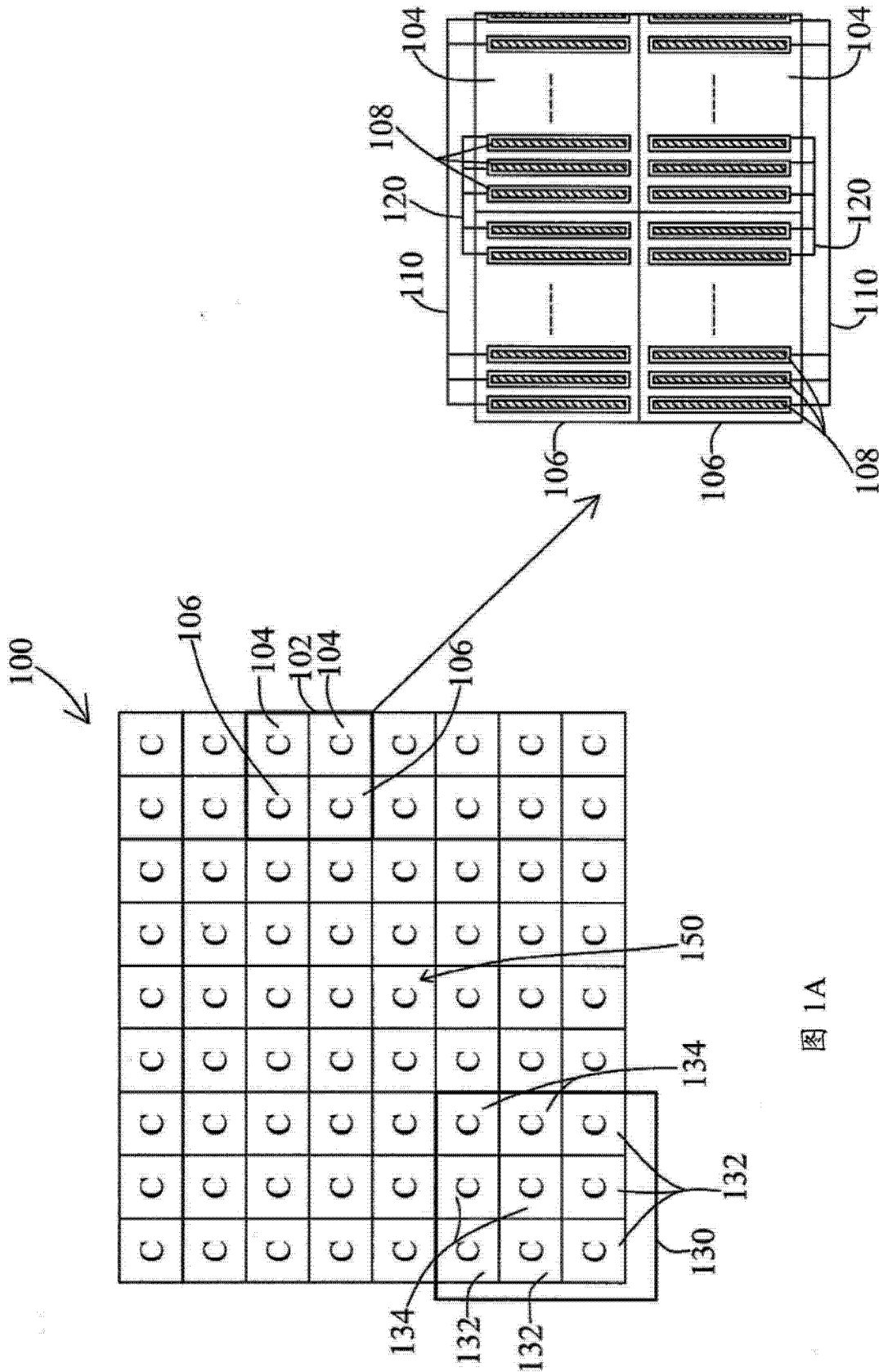


图 1A

图 1B

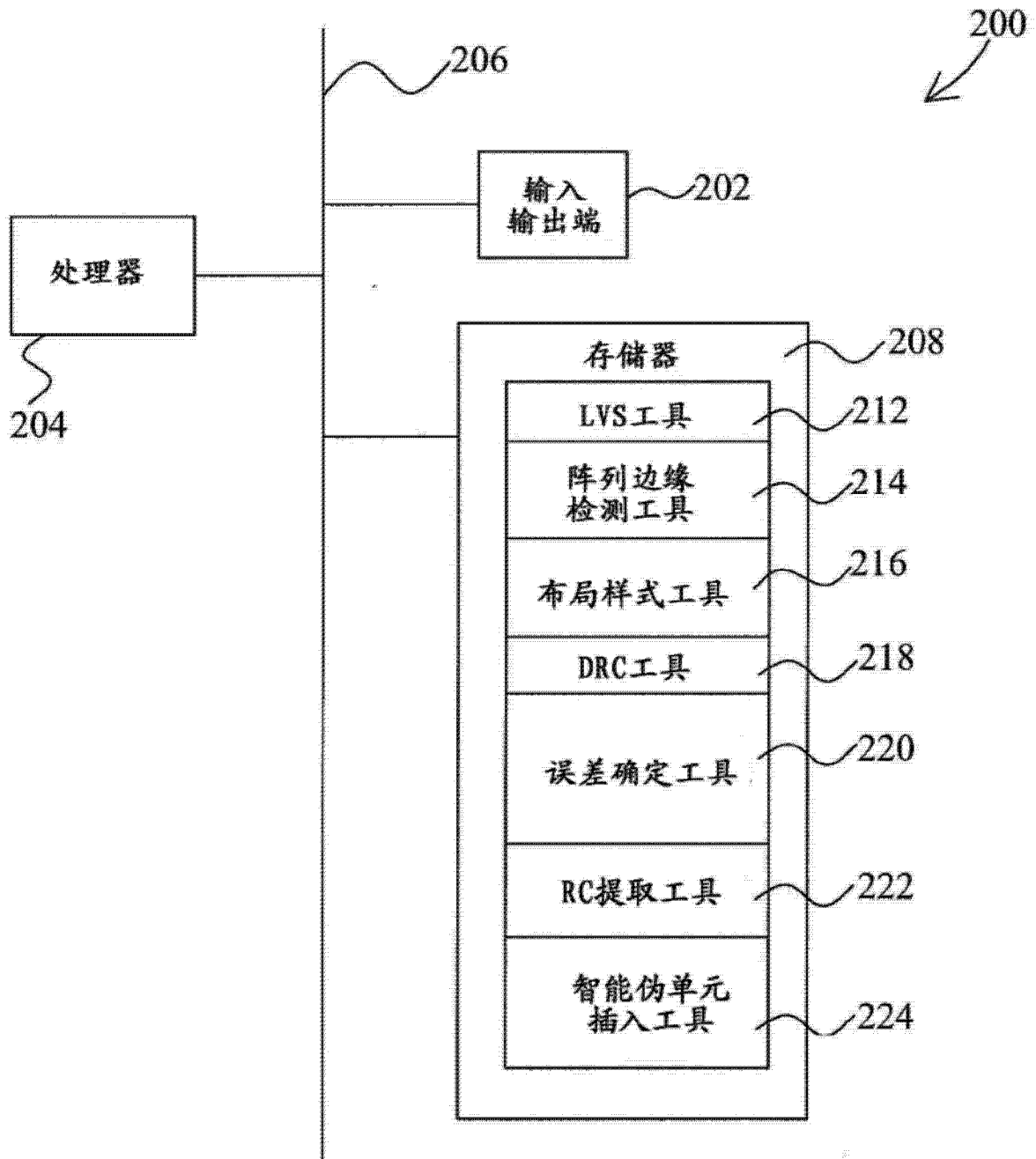


图 2

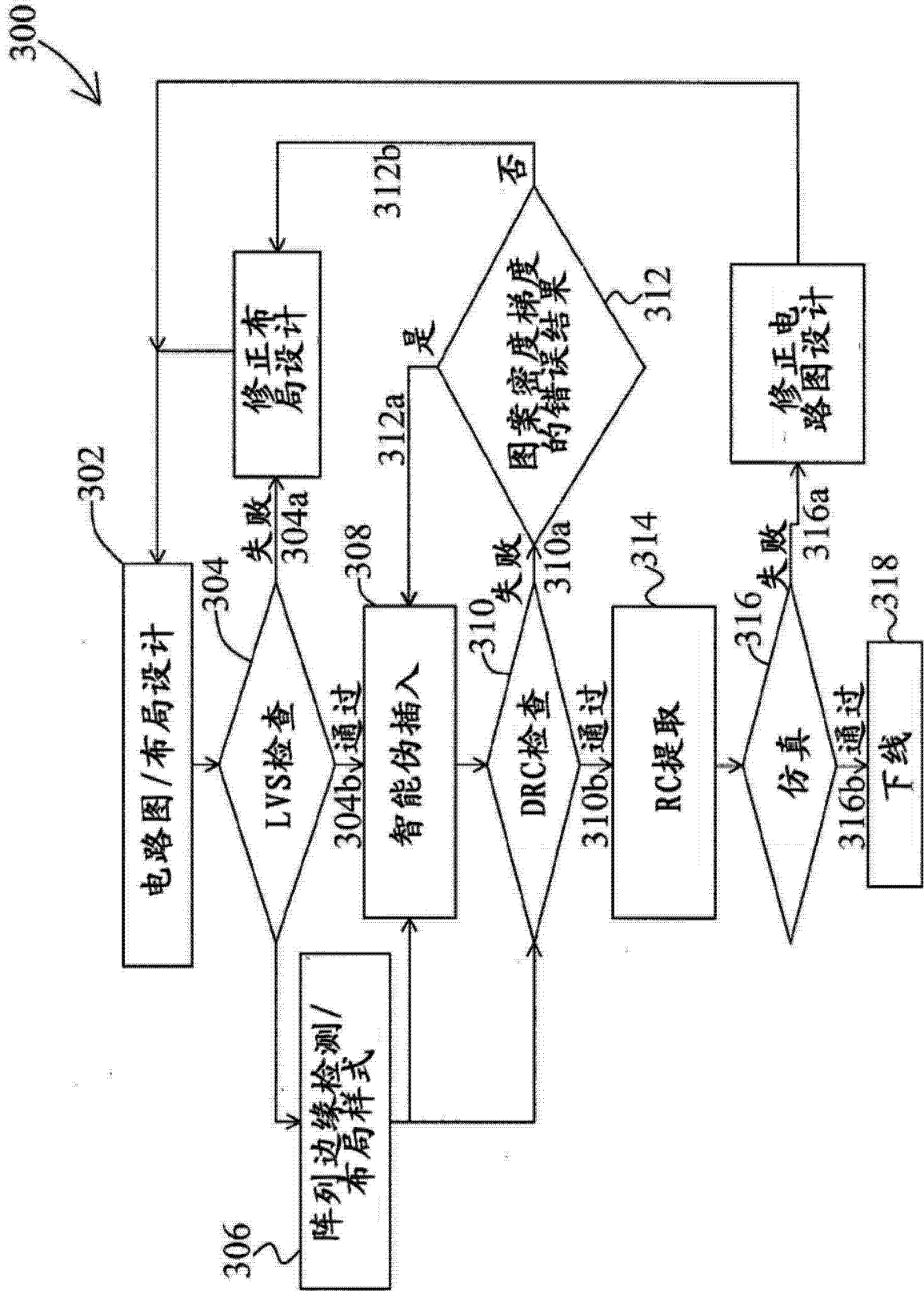


图 3

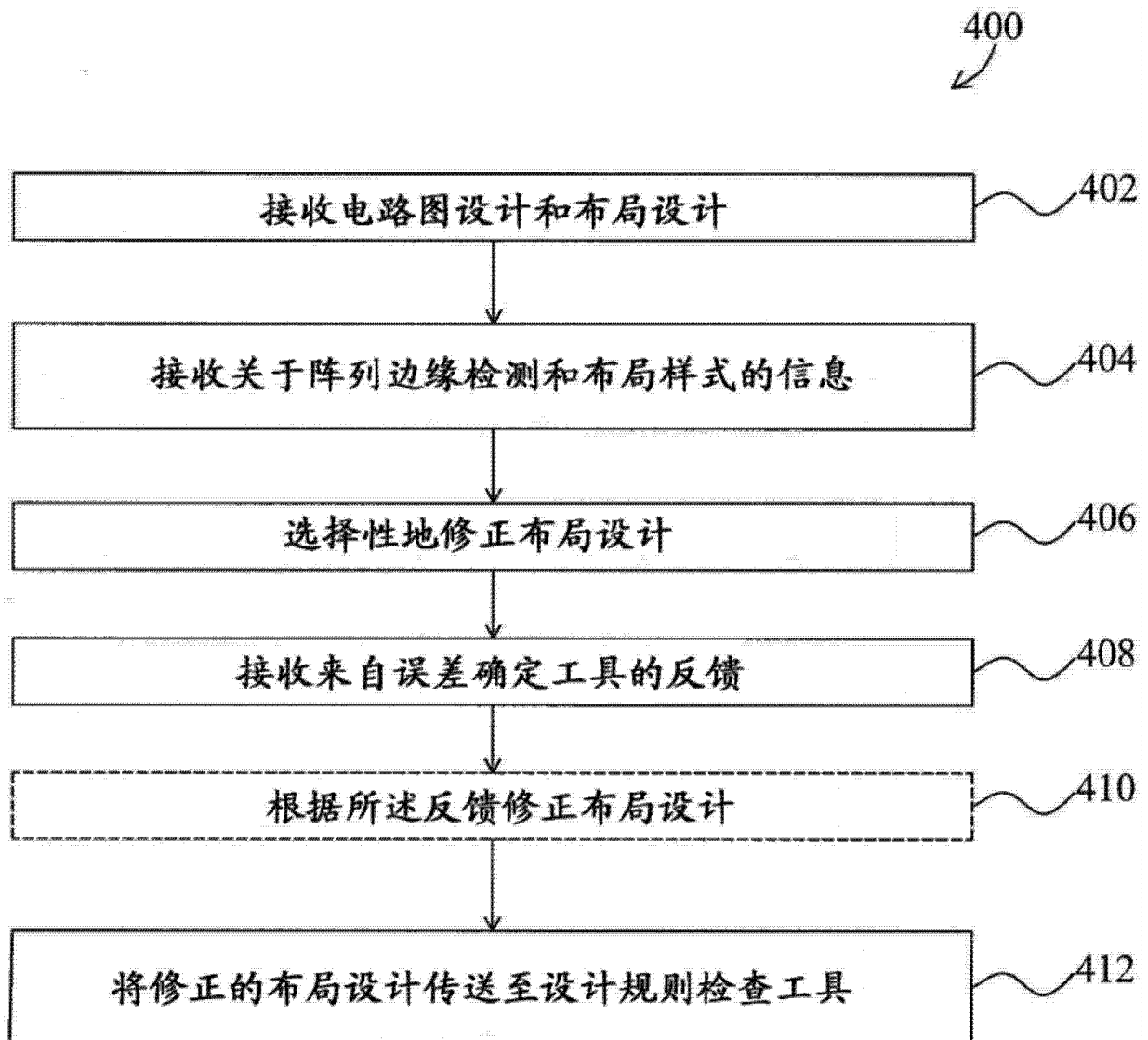


图 4