

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5935287号
(P5935287)

(45) 発行日 平成28年6月15日(2016.6.15)

(24) 登録日 平成28年5月20日(2016.5.20)

(51) Int.Cl.	F 1
HO4N 5/374 (2011.01)	HO4N 5/335 74 O
HO4N 5/32 (2006.01)	HO4N 5/32
HO1L 27/146 (2006.01)	HO1L 27/14 C
GO1T 1/17 (2006.01)	GO1T 1/17 C
GO1T 1/24 (2006.01)	GO1T 1/24

請求項の数 16 (全 36 頁)

(21) 出願番号 特願2011-231768 (P2011-231768)
 (22) 出願日 平成23年10月21日 (2011.10.21)
 (65) 公開番号 特開2013-90274 (P2013-90274A)
 (43) 公開日 平成25年5月13日 (2013.5.13)
 審査請求日 平成26年9月17日 (2014.9.17)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 山田 泰弘
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 田中 勉
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 千田 みちる
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】撮像装置および撮像表示システム

(57) 【特許請求の範囲】

【請求項 1】

各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と、

前記トランジスタのオン動作およびオフ動作を切り替えることにより、前記画素内に蓄積された信号電荷の読み出し駆動およびリセット駆動を行う駆動部とを備え、

前記トランジスタが半導体層を間にて第1および第2のゲート電極を有し、

前記駆動部は、

前記トランジスタの前記第1のゲート電極に第1の電圧、前記第2のゲート電極に第2の電圧をそれぞれ印加することにより、前記オン動作および前記オフ動作を切り替え、かつ

前記リセット駆動の際には、前記第1および第2の電圧のそれぞれにおいて、オン電圧からオフ電圧への切り替え時期が互いに異なるように設定する

撮像装置。

【請求項 2】

前記駆動部は、前記第1の電圧よりも前記第2の電圧におけるオン電圧からオフ電圧への切り替え時期を相対的に早めて前記リセット駆動を行う

請求項1に記載の撮像装置。

【請求項 3】

前記駆動部は、前記第1および第2の電圧において、オフ電圧からオン電圧への切り替

10

20

えを同期して、前記リセット駆動を行う

請求項 2 に記載の撮像装置。

【請求項 4】

前記駆動部は、前記第 1 の電圧よりも前記第 2 の電圧における前記オン電圧値を相対的に小さく設定して前記リセット駆動を行う

請求項 1 ないし請求項 3 のいずれか 1 つに記載の撮像装置。

【請求項 5】

前記駆動部は、

前記リセット駆動を 1 フレーム期間内で間欠的に複数回行い、

前記 1 フレーム期間内の少なくとも最終回のリセット駆動の際に、前記切り替え時期が 10 異なるように設定する

請求項 1 ないし請求項 4 のいずれか 1 つに記載の撮像装置。

【請求項 6】

前記駆動部による前記読み出し駆動に伴って、前記画素内の信号電荷のリセットがなされる

請求項 1 ないし請求項 5 のいずれか 1 つに記載の撮像装置。

【請求項 7】

前記トランジスタでは、前記第 1 および第 2 のゲート電極の各ゲート長が互いに異なっている

請求項 1 ないし請求項 6 のいずれか 1 つに記載の撮像装置。 20

【請求項 8】

前記トランジスタは、それぞれが、前記半導体層と電気的に接続されると共に、ソースまたはドレインとして機能する一対のソース・ドレイン電極を有し、

前記半導体層は、

活性層と、

前記活性層と前記一対のソース・ドレイン電極のそれぞれとの間に形成された L D D (Lightly Doped Drain) 層とを含み、

前記第 1 および第 2 のゲート電極のうちの一方または両方のゲート電極が、一方のソース・ドレイン電極側に形成された L D D 層にオーバーラップして設けられている

請求項 7 に記載の撮像装置。 30

【請求項 9】

前記第 2 のゲート電極が、一方のソース・ドレイン電極側に形成された L D D 層にオーバーラップして設けられている

請求項 8 に記載の撮像装置。

【請求項 10】

前記光電変換素子が、P I N 型のフォトダイオードまたはM I S 型センサからなる

請求項 1 ないし請求項 9 のいずれか 1 つに記載の撮像装置。

【請求項 11】

前記撮像部が、入射した放射線に基づいて電気信号を発生させるものである

請求項 1 ないし請求項 9 のいずれか 1 つに記載の撮像装置。 40

【請求項 12】

前記撮像部は、前記光電変換素子上に、放射線を前記光電変換素子の感度域に変換する波長変換層を有する

請求項 10 に記載の撮像装置。

【請求項 13】

前記撮像部は、入射した放射線を吸収して電気信号に変換する光電変換層を有する

請求項 11 に記載の撮像装置。

【請求項 14】

前記放射線が X 線である

請求項 11 ないし請求項 13 のいずれか 1 つに記載の撮像装置。 50

【請求項 15】

前記トランジスタの前記半導体層は、アモルファスシリコン、多結晶シリコン、微結晶シリコンまたは酸化物半導体よりなる

請求項 1 ないし請求項 14 のいずれか 1 つに記載の撮像装置。

【請求項 16】

撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、

前記撮像装置は、

各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と、

10

前記トランジスタのオン動作およびオフ動作を切り替えることにより、前記画素内に蓄積された信号電荷の読み出し駆動およびリセット駆動を行う駆動部とを備え、

前記トランジスタが半導体層を間にして第 1 および第 2 のゲート電極を有し、

前記駆動部は、

前記トランジスタの前記第 1 のゲート電極に第 1 の電圧、前記第 2 のゲート電極に第 2 の電圧をそれぞれ印加することにより、前記オン動作および前記オフ動作を切り替え、かつ

前記リセット駆動の際には、前記第 1 および第 2 の電圧のそれぞれにおいて、オン電圧からオフ電圧への切り替え時期が互いに異なるように設定する

撮像表示システム。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、光電変換素子を有する撮像装置、およびそのような撮像装置を備えた撮像表示システムに関する。

【背景技術】**【0002】**

従来、各画素（撮像画素）に光電変換素子を内蔵する撮像装置として、種々のものが提案されている。そのような光電変換素子を有する撮像装置の一例としては、例えばいわゆる光学式のタッチパネルや、放射線撮像装置などが挙げられる（例えば特許文献 1）。

30

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2011 - 135561 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

上記のような撮像装置では一般に、複数の画素に対し信号電荷の読み出し駆動およびリセット駆動を行うことにより撮像データが得られるが、このリセット駆動に起因して出力信号ではノイズが生じ、撮像画像の画質が劣化するという問題がある。

40

【0005】

本開示はかかる問題点に鑑みてなされたもので、その目的は、撮像画像の高画質化を実現することが可能な撮像装置、およびそのような撮像装置を備えた撮像表示システムを提供することにある。

【課題を解決するための手段】**【0006】**

本開示の撮像装置は、各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と、トランジスタのオン動作およびオフ動作を切り替えることにより、画素内に蓄積された信号電荷の読み出し駆動およびリセット駆動を行う駆動部とを備え、トランジスタが半導体層を間にして第 1 および第 2 のゲート電極を有し、駆動部は、ト

50

ランジスタの第1のゲート電極に第1の電圧、第2のゲート電極に第2の電圧をそれぞれ印加することによりオン動作およびオフ動作を切り替え、かつリセット駆動の際には、第1および第2の電圧のそれぞれにおいて、オン電圧からオフ電圧への切り替え時期が互いに異なるように設定するものである。

【0007】

本開示の撮像表示システムは、上記本開示の撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備えたものである。

【0008】

本開示の撮像装置および撮像表示システムでは、撮像部の各画素において入射光に基づく光電変換がなされ、信号電荷の読み出し駆動およびリセット駆動が行われることにより、入射光に基づく撮像画像が得られる。駆動部が、読み出し駆動およびリセット駆動の際に、トランジスタの第1のゲート電極に第1の電圧、第2のゲート電極に第2の電圧をそれぞれ印加し、かつリセット駆動の際に、第1および第2の電圧のそれぞれにおいて、オン電圧からオフ電圧への切り替え時期が互いに異なるように設定する。リセット駆動時のトランジスタのオン動作からオフ動作への切り替えに起因して生じる、いわゆるチャージインジェクションを低減することができる。10

【発明の効果】

【0009】

本開示の撮像装置および撮像表示システムによれば、撮像部の各画素が光電変換素子を含み、駆動部が、各画素からの信号電荷の読み出し駆動およびリセット駆動を行うことにより、入射光に基づく撮像画像を得ることができる。駆動部が、リセット駆動の際に、第1および第2の電圧のそれぞれにおいて、オン電圧からオフ電圧への切り替え時期が互いに異なるようにして、トランジスタのオン動作およびオフ動作を切り替えるようにしたので、この切り替えに起因して生じるチャージインジェクションを低減することができる。よって、撮像画像の高画質化を実現することが可能となる。20

【図面の簡単な説明】

【0010】

【図1】本開示の一実施の形態に係る撮像装置の全体構成例を表すブロック図である。

【図2】図1に示した撮像部の概略構成例を表す模式図である。

【図3】図1に示した画素等の詳細構成例を表す回路図である。30

【図4】図3に示したトランジスタの概略構成を表す断面図である。

【図5】図1に示した行走査部の詳細構成例を表すブロック図である。

【図6】図1に示した列選択部の詳細構成例を表すブロック図である。

【図7】(A)は露光期間の動作状態の一例を表す回路図、(B)は読み出し／第1リセット期間における動作状態の一例を表す回路図である。

【図8】ラテラル型構造のPIN型のフォトダイオードにおいて、(A)は蓄積状態を、(B)は空乏状態をそれぞれ説明するための模式図である。

【図9】バーティカル型構造のPIN型のフォトダイオードの一例を表す断面模式図である。

【図10】信号電荷残留のメカニズムを説明するための特性図である。40

【図11】読み出し／第1リセット期間後の経過時間とDecay電流との関係の一例を表す特性図である。

【図12】残留電荷量とDecay電流との関係について説明するための特性図である。

【図13】実施の形態に係る線順次撮像動作の概要を説明するためのタイミング図である。

【図14】1ライン分の撮像動作を説明するためのタイミング波形図である。

【図15】(A),(B)は、第2リセット期間における動作状態の一例を表す回路図である。

【図16】2回目のリセット動作により低減される残留電荷量について説明するための特性図である。50

【図17】電荷分配現象（チャージインジェクション）について説明するための回路図である。

【図18】比較例に係る撮像動作を説明するためのタイミング波形図である。

【図19】チャージインジェクション低減の効果を説明するための概念図である。

【図20】変形例1に係る撮像動作を説明するためのタイミング波形図である。

【図21】図20に示した撮像駆動を行うための行走査部の詳細構成を表すブロック図である。

【図22】変形例2に係る撮像動作を説明するためのタイミング波形図である。

【図23】図22に示した撮像駆動を行うためのバッファ回路の等価回路図である。

【図24】変形例3に係る撮像動作を説明するためのタイミング波形図である。 10

【図25】変形例4に係る撮像動作を説明するためのタイミング波形図である。

【図26】図25に示した撮像駆動を行うための行走査部の詳細構成を表すブロック図である。

【図27】変形例5に係るトランジスタの概略構成を表す断面図である。

【図28】変形例6に係る画素等の構成を表す回路図である。

【図29】変形例7に係る画素等の構成を表す回路図である。

【図30】図28に示した2つのトランジスタの概略構成を表す断面図である。

【図31】変形例8に係る画素等の構成を表す回路図である。

【図32】変形例9に係る画素等の構成を表す回路図である。

【図33】アクティブ型の画素回路における線順次撮像動作の一例を表すタイミング図である。 20

【図34】(A)は変形例10に係る撮像部の概略構成、(B)は変形例11に係る撮像部の概略構成をそれぞれ表す模式図である。

【図35】適用例に係る撮像表示システムの概略構成を表す模式図である。

【発明を実施するための形態】

【0011】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。尚、説明は以下の順序で行う。

1. 実施の形態（2つのゲート電圧パルスにおいて、一方をオン電位、他方をオフ電位としてリセット駆動を行う撮像装置の例） 30

2. 変形例1（一方の電圧パルスの切り換えタイミングを早めた例）

3. 変形例2（一方の電圧パルスの振幅（オン電位値）を相対的に小さくした例）

4. 変形例3（一方の電圧パルスの切り換えタイミングを早め、かつ振幅を相対的に小さくした例）

5. 変形例4（1回目のリセット駆動の際に切り換えタイミングを早めた例）

6. 変形例5（一方のゲート電極をLDD層にオーバーラップさせた例）

7. 変形例6（パッシブ型の画素回路の他の例）

8. 変形例7（パッシブ型の画素回路の他の例）

9. 変形例8, 9（アクティブ型の画素回路の例）

10. 変形例10, 11（放射線に基づいて撮像を行う撮像部の例） 40

12. 適用例（撮像表示システムへの適用例）

【0012】

<実施の形態>

[撮像装置1の全体構成]

図1は、本開示の一実施の形態に係る撮像装置（撮像装置1）の全体のブロック構成を表すものである。撮像装置1は、入射光（撮像光）に基づいて被写体の情報を読み取る（被写体を撮像する）ものである。この撮像装置1は、撮像部11、行走査部13、A/D変換部14、列走査部15およびシステム制御部16を備えている。これらのうち、行走査部13、A/D変換部14、列走査部15およびシステム制御部16が、本開示における「駆動部」の一具体例に対応する。 50

【0013】

(撮像部11)

撮像部11は、入射光(撮像光)に応じて電気信号を発生させるものである。この撮像部11では、画素(撮像画素、単位画素)20が、行列状(マトリクス状)に2次元配置されており、各画素20は、撮像光の光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子(後述の光電変換素子21)を有している。尚、図1中に示したように、以下、撮像部11内における水平方向(行方向)を「H」方向とし、垂直方向(列方向)を「V」方向として説明する。

【0014】

図2は、この撮像部11の概略構成例である。撮像部11は、画素20毎に光電変換素子21が配置された光電変換層111を有している。光電変換層111では、図中に示したように、入射した撮像光Linに基づく光電変換(撮像光Linから信号電荷への変換)がなされるようになっている。

10

【0015】

図3は、画素20の回路構成(いわゆるパッシブ型の回路構成)を、A/D変換部14内の後述する列選択部17の回路構成とともに例示したものである。このパッシブ型の画素20には、1つの光電変換素子21と、1つのトランジスタ22とが設けられている。この画素20にはまた、H方向に沿って延在する読み出し制御線Lread(詳細には後述する2つの読み出し制御線Lread1, Lread2)と、V方向に沿って延在する信号線Lsigとが接続されている。

20

【0016】

光電変換素子21は、例えばPIN(Positive Intrinsic Negative)型のフォトダイオードまたはMIS(Metal-Insulator-Semiconductor)型センサからなり、前述したように、入射光(撮像光Lin)の光量に応じた電荷量の信号電荷を発生させるようになっている。尚、この光電変換素子21のカソードは、ここでは蓄積ノードNに接続されている。

【0017】

トランジスタ22は、読み出し制御線Lreadから供給される行走査信号に応じてオン状態となることにより、光電変換素子21により得られた信号電荷(入力電圧Vin)を信号線Lsigへ出力するトランジスタ(読み出し用トランジスタ)である。このトランジスタ22は、ここではNチャネル型(N型)の電界効果トランジスタ(FET; Field Effect Transistor)により構成されている。但し、トランジスタ22はPチャネル型(P型)のFET等により構成されていてもよい。

30

【0018】

本実施の形態では、このトランジスタ22が、半導体層(後述の半導体層226)を挟んで2つのゲート(後述の第1ゲート電極220A, 第2ゲート電極220B)を備えた、いわゆるデュアルゲート型構造を有している。

【0019】

図4は、トランジスタ22の断面構造を表したものである。トランジスタ22は、基板110上に、第1ゲート電極220Aと、この第1ゲート電極220Aを覆うように形成された第1ゲート絶縁膜229を有している。第1ゲート絶縁膜229上には、チャネル層(活性層)226a, LDD(Lightly Doped Drain)層226bおよびN⁺層226cを含む半導体層226が設けられている。この半導体層226を覆って、第2ゲート絶縁膜230が形成され、第2ゲート絶縁膜230上の第1ゲート電極220Aに対向する領域に、第2ゲート電極220Bが配設されている。第2ゲート電極220B上には、コンタクトホールH1を有する第1層間絶縁膜231が形成されており、このコンタクトホールH1を埋め込むようにソース・ドレイン電極228が形成されている。これらの第1層間絶縁膜231およびソース・ドレイン電極228上には、第2層間絶縁膜232が設けられている。

40

【0020】

50

第1ゲート電極220Aおよび第2ゲート電極220Bはそれぞれ、例えばTi、Al、Mo、W、Cr等のいずれかよりなる単層膜またはそれらの積層膜よりなる。これらの第1ゲート電極220Aおよび第2ゲート電極220Bは、上述のように第1ゲート絶縁膜229、半導体層226および第2ゲート絶縁膜230を挟み込むようにして、互いに対向して設けられている。

【0021】

第1ゲート絶縁膜229および第2ゲート絶縁膜230は、例えば酸化シリコン(SiO₂)膜または酸窒化シリコン(SiON)膜等の単層膜であるか、あるいはこのようなシリコン化合物膜と、窒化シリコン(SiN_x)膜とを有する積層膜である。例えば、第1ゲート絶縁膜229は、基板110側から順に窒化シリコン膜229Aおよび酸化シリコン膜229Bを積層したものであり、第2ゲート絶縁膜230は、基板110側から順に、酸化シリコン膜230A、窒化シリコン膜230Bおよび酸化シリコン膜230Cを積層したものである。10

【0022】

半導体層226は、例えば非晶質シリコン(アモルファスシリコン)、微結晶シリコンまたは多結晶シリコン(ポリシリコン)等のシリコン系半導体を用いて構成されている。あるいは、酸化インジウムガリウム亜鉛(InGaZnO)または酸化亜鉛(ZnO)等の酸化物半導体を用いて構成されていてもよい。この半導体層226では、チャネル層226aとN⁺層226cとの間に、リーク電流を低減する目的でLDD層226bが形成されている。ソース・ドレイン電極228は、ソースまたはドレインとして機能し、例えばTi、Al、Mo、W、Cr等からなる単層膜またはこれらの積層膜からなる。20

【0023】

第1層間絶縁膜231および第2層間絶縁膜232は、例えば酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜のうちの単層膜またはこれらの積層膜により構成されている。例えば、第1層間絶縁膜231は、基板110側から順に酸化シリコン膜231aおよび窒化シリコン膜231bを積層したものであり、第2層間絶縁膜232は、酸化シリコン膜からなる。

【0024】

本実施の形態では、画素20の回路構成において、トランジスタ22の一方のゲート(例えば第1ゲート電極220A)が読み出し制御線Lread1に接続され、他方のゲート(例えば第2ゲート電極220B)が読み出し制御線Lread2に接続されている。トランジスタ22のソース(ソース・ドレイン電極228)は、例えば信号線Lsigに接続されており、ドレイン(ソース・ドレイン電極228)は、例えば光電変換素子21のカソードに蓄積ノードNを介して接続されている。また、光電変換素子21のアノードは、ここではグランドに接続(接地)されている。30

【0025】

(行走査部13)

行走査部13は、後述のシフトレジスタ回路や所定の論理回路等を含んで構成されており、撮像部11内の複数の画素20に対して行単位(水平ライン単位)での駆動(線順次走査)を行う画素駆動部(行走査回路)である。具体的には、後述する読み出し動作やリセット動作等の撮像動作を例えば線順次走査により行う。尚、この線順次走査は、読み出し制御線Lreadを介して前述した行走査信号を各画素20へ供給することによって行われるようになっている。40

【0026】

図5は、行走査部13のブロック構成例である。行走査部13は、V方向に沿って延在する複数の単位回路130を有している。尚、ここでは、図中に示した4つの単位回路130に接続された8組の読み出し制御線Lread(計16本の読み出し制御線Lread1, Lread2)を示している。但し、読み出し制御線Lread(n)a, Lread(n)bが(n=1~8)、上記2つの読み出し制御線Lread1, 2に相当する。

【0027】

各単位回路 130 は、複数（ここでは 2 つ）のシフトレジスタ回路 131, 132（図中のブロック内では便宜上、「S/R」と記載；以下同様）と、4 つの AND 回路（論理積回路）133A～133D と、2 つの OR 回路（論理和回路）134A, 134B と、4 つのバッファ回路 135A～135D を有している。

【0028】

シフトレジスタ回路 131 は、システム制御部 16 から供給されるスタートパルス VST1 およびクロック信号 CLK1 に基づいて、複数の単位回路 130 全体として、V 方向に順次シフトするパルス信号を生成する回路である。同様に、シフトレジスタ回路 132 は、システム制御部 16 から供給されるスタートパルス VST2 およびクロック信号 CLK2 に基づいて、複数の単位回路 130 全体として、V 方向に順次シフトするパルス信号を生成する回路である。10 これら 131, 132 は、後述するリセット駆動の実効回数（例えば 2 回）に対応して設けられたものである（実行回数に対応して 2 列設けられている）。即ち、例えば、シフトレジスタ回路 131 は、1 回目のリセット駆動用のパルス信号を生成する役割を担う一方、シフトレジスタ回路 132 は、2 回目のリセット駆動用のパルス信号を生成する役割を担っている。

【0029】

AND 回路 133A～133D にはそれぞれ、シフトレジスタ回路 131, 132 から出力される各パルス信号（各出力信号）の有効期間を制御（規定）するための 4 種類のイネーブル信号 EN1～EN4 が入力されている。具体的には、AND 回路 133A では、一方の入力端子にはシフトレジスタ回路 132 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 EN1 が入力されている。AND 回路 133B では、一方の入力端子にはシフトレジスタ回路 131 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 EN2 が入力されている。AND 回路 133C では、一方の入力端子にはシフトレジスタ回路 132 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 EN3 が入力されている。AND 回路 133D では、一方の入力端子にはシフトレジスタ回路 131 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 EN4 が入力されている。20

【0030】

OR 回路 134A は、AND 回路 133A からの出力信号と AND 回路 133B からの出力信号との論理和信号（OR 信号）を生成する回路である。同様に、OR 回路 134B は、AND 回路 133C からの出力信号と AND 回路 133D からの出力信号との論理和信号を生成する回路である。このようにして、上記した AND 回路 133A～133D と OR 回路 134A, 134B とによって、シフトレジスタ回路 131, 132 からの出力信号（パルス信号）同士の論理和信号が、各出力信号の有効期間を制御しつつ生成される。これにより、後述する複数回のリセット駆動の際の駆動タイミング等が規定される。30

【0031】

バッファ回路 135A, 135B は、OR 回路 134A からの出力信号（パルス信号）に対するバッファとして機能する回路である。これらのバッファ回路 135A, 135C によるバッファ後のパルス信号（行走検査信号）は、一方の読み出し制御線 L read(n)a を介して撮像部 11 内の各画素 20 へ出力されるようになっている。バッファ回路 135C, 135D は、OR 回路 134B からの出力信号に対するバッファとして機能する回路である。これらのバッファ回路 135B, 135D によるバッファ後のパルス信号（行走検査信号）は、読み出し制御線 L read(n)b を介して撮像部 11 内の各画素 20 へ出力されるようになっている。40

【0032】

(A/D 変換部 14)

A/D 変換部 14 は、複数（ここでは 4 つ）の信号線 L sig ごとに 1 つ設けられた複数の列選択部 17 を有しており、信号線 L sig を介して入力した信号電圧（信号電荷）に基づいて A/D 変換（アナログ / デジタル変換）を行うものである。これにより、デジタル信号からなる出力データ Dout（撮像信号）が生成され、外部へ出力されるようになって50

いる。

【0033】

各列選択部17は、例えば図3および図6に示したように、チャージアンプ172、容量素子（コンデンサ、フィードバック容量素子）C1、スイッチSW1、サンプルホールド（S/H）回路173、4つのスイッチSW2を含むマルチブレクサ回路（選択回路）174、およびA/Dコンバータ175を有している。これらのうち、チャージアンプ172、容量素子C1、スイッチSW1、S/H回路173およびスイッチSW2はそれぞれ、信号線Lsig毎に設けられている。マルチブレクサ回路174およびA/Dコンバータ175は、列選択部17毎に設けられている。

【0034】

チャージアンプ172は、信号線Lsigから読み出された信号電荷を電圧に変換（Q-V変換）するためのアンプ（増幅器）である。このチャージアンプ172では、負側（-側）の入力端子に信号線Lsigの一端が接続され、正側（+側）の入力端子には所定のリセット電圧Vrstが入力されるようになっている。チャージアンプ172の出力端子と負側の入力端子との間は、容量素子C1とスイッチSW1との並列接続回路を介して帰還接続（フィードバック接続）されている。即ち、容量素子C1の一方の端子がチャージアンプ172の負側の入力端子に接続され、他方の端子がチャージアンプ172の出力端子に接続されている。同様に、スイッチSW1の一方の端子がチャージアンプ172の負側の入力端子に接続され、他方の端子がチャージアンプ172の出力端子に接続されている。尚、このスイッチSW1のオン・オフ状態は、システム制御部16からアンプリセット制御線Lcarstを介して供給される制御信号（アンプリセット制御信号）によって制御される。

【0035】

S/H回路173は、チャージアンプ172とマルチブレクサ回路174（スイッチSW2）との間に配置されており、チャージアンプ172からの出力電圧Vcaを一時的に保持するための回路である。

【0036】

マルチブレクサ回路174は、列走査部15による走査駆動に従って4つのスイッチSW2のうちの1つが順次オン状態となることにより、各S/H回路173とA/Dコンバータ175との間を選択的に接続または遮断する回路である。

【0037】

A/Dコンバータ175は、スイッチSW2を介して入力されたS/H回路173からの出力電圧に対してA/D変換を行うことにより、上記した出力データDoutを生成して出力する回路である。

【0038】

（列走査部15）

列走査部15は、例えば図示しないシフトレジスタやアドレスデコーダ等を含んで構成されており、上記した列選択部17内の各スイッチSW2を走査しつつ順番に駆動するものである。このような列走査部15による選択走査によって、信号線Lsigの各々を介して読み出された各画素20の信号（上記した出力データDout）が、順番に外部へ出力されるようになっている。

【0039】

（システム制御部16）

システム制御部16は、行走査部13、A/D変換部14および列走査部15の動作を制御するものである。具体的には、システム制御部16は、前述した各種のタイミング信号（制御信号）を生成するタイミングジェネレータを有しており、このタイミングジェネレータにおいて生成される各種のタイミング信号を基に、行走査部13、A/D変換部14および列走査部15の駆動制御を行う。このシステム制御部16の制御に基づいて、行走査部13、A/D変換部14および列走査部15がそれぞれ撮像部11内の複数の画素20に対する撮像駆動（線順次撮像駆動）を行うことにより、撮像部11から出力データ

10

20

30

40

50

D_{out} が取得されるようになっている。

【0040】

[撮像装置1の作用・効果]

本実施の形態の撮像装置1では、撮像光 L_{in} が撮像部11へ入射すると、各画素20内の光電変換素子21では、この撮像光 L_{in} が信号電荷に変換（光電変換）される。このとき、蓄積ノードNでは、光電変換により発生した信号電荷の蓄積によって、ノード容量に応じた電圧変化が生じる。具体的には、蓄積ノード容量を C_s 、発生した信号電荷を q とすると、蓄積ノードNでは (q / C_s) の分だけ電圧が変化（ここでは低下）する。このような電圧変化に応じて、トランジスタ22のドレインには入力電圧 V_{in} （信号電荷に対応した電圧）が印加される。このトランジスタ22へ供給される入力電圧 V_{in} （蓄積ノードNに蓄積された信号電荷）は、読み出し制御線 L_{read} から供給される行走査信号に応じてトランジスタ22がオン状態になると、画素20から信号線 L_{sig} へ読み出される。

10

【0041】

読み出された信号電荷は、信号線 L_{sig} を介して複数（ここでは4つ）の画素列ごとに、A/D変換部14内の列選択部17へ入力される。列選択部17では、まず、各信号線 L_{sig} から入力される信号電荷毎に、チャージアンプ172等からなるチャージアンプ回路においてQ-V変換（信号電荷から信号電圧への変換）を行う。次いで、変換された信号電圧（チャージアンプ172からの出力電圧 V_{ca} ）毎に、S/H回路173およびマルチプレクサ回路174を介してA/Dコンバータ175においてA/D変換を行い、デジタル信号からなる出力データ D_{out} （撮像信号）を生成する。このようにして、各列選択部17から出力データ D_{out} が順番に出力され、外部へ伝送される（または図示しない内部メモリーへ入力される）。以下、このような撮像駆動動作について詳細に説明する。

20

【0042】

（露光期間、読み出し期間における動作）

図7（A）、（B）は、露光期間および読み出し期間における画素20および列選択部17内のチャージアンプ回路の動作例を表したものである。尚、以下では説明の便宜上、トランジスタ22のオン・オフ状態を、スイッチを用いて図示している。

【0043】

まず、図7（A）に示したように、露光期間 T_{ex} では、トランジスタ22はオフ状態となっている。この状態では、画素20内の光電変換素子21へ入射した撮像光 L_{in} に基づく信号電荷は、蓄積ノードNに蓄積され、信号線 L_{sig} 側へは出力されない（読み出されない）。一方、チャージアンプ回路では、後述するアンプリセット動作（チャージアンプ回路のリセット動作）がなされた後の状態であるため、スイッチ SW_1 がオン状態となつており、結果としてボルテージフォロワ回路が形成されている。

30

【0044】

続いて、この露光期間 T_{ex} 後には、画素20から信号電荷を読み出す動作（読み出し動作）と共に、画素20内に蓄積された信号電荷をリセット（排出）するため動作（リセット動作、画素リセット動作）がなされる。本実施の形態では、画素20がパッシブ型の画素回路を有することから、上記読み出し動作に伴ってリセット動作が行われる。尚、このリセット動作が、後述する複数回のリセット動作のうちの1回目のリセット動作（第1のリセット動作）に対応する。従って、以下では、この読み出し期間を、「読み出し／第1リセット期間 T_{r1} 」あるいは単に「期間 T_{r1} 」と称して説明を行う。

40

【0045】

具体的には、読み出し／第1リセット期間 T_{r1} では、図7（B）に示したように、トランジスタ22がオン状態となることにより、画素20内の蓄積ノードNから信号線 L_{sig} 側へ信号電荷が読み出される（図中の矢印P11参照）。このようにして読み出された信号電荷は、チャージアンプ回路へ入力される。一方、チャージアンプ回路では、スイッチ SW_1 がオフ状態となっている（チャージアンプ回路が読み出し動作状態となっている）。詳細には、トランジスタ22がオン状態とされる直前に、チャージアンプ回路においてスイッチ SW_1 がオフ状態とされる。従って、チャージアンプ回路へ入力された信号電

50

荷は容量素子 C 1 に蓄積され、その蓄積電荷に応じた信号電圧（出力電圧 V_{ca}）がチャージアンプ 172 から出力される。尚、容量素子 C 1 に蓄積された電荷は、後述するアンプリセット動作の際にスイッチ SW 1 がオン状態となることにより、リセットされる（アンプリセット動作がなされる）。

【0046】

この読み出し / 第 1 リセット期間 T_r1 では、上記のような読み出し動作に伴って、以下のようなリセット動作（1 回目のリセット動作）が行われる。即ち、図中の矢印 P 12 で示したように、チャージアンプ回路（チャージアンプ 172）における仮想短絡（イマジナリー・ショート）現象を利用して、1 回目のリセット動作がなされる。詳細には、仮想短絡現象によって、チャージアンプ 172 における負側の入力端子側（信号線 L_{sig} 側）の電圧が、正側の入力端子に印加されているリセット電圧 V_{rst} に略等しくなることから、蓄積ノード N もリセット電圧 V_{rst} となる。このように、パッシブ型の画素回路を用いた本実施の形態では、読み出し / 第 1 リセット期間 T_r1 において、上記した読み出し動作に伴って、蓄積ノード N が所定のリセット電圧 V_{rst} にリセットされる。10

【0047】

（読み出し / リセット後の信号電荷の残存）

上述のように、読み出し / 第 1 リセット期間 T_r1 では、読み出し動作に伴ってリセット動作がなされるが、この期間 T_r1 後であっても、それ以前に蓄積されていた信号電荷の一部が画素 20 内に（残留）する場合がある。信号電荷の一部が画素 20 内に残ると、次の読み出し動作時（次のフレーム期間での撮像時）においてその残留電荷に起因した残像が発生し、撮像画質が劣化してしまう。以下、図 8 ~ 図 12 を参照して、このような信号電荷の残存について、詳細に説明する。20

【0048】

ここで、光電変換素子 21 が PIN 型のフォトダイオード（薄膜フォトダイオード）である場合、具体的には以下の 2 つの構造のものに大別される。即ち、図 8 (A), (B) に示したような、いわゆるラテラル型（横型）構造のものと、図 9 に示したような、いわゆるバーティカル型（縦型）構造のものである。

【0049】

ラテラル型構造の場合、光電変換素子 21 は横方向（積層面内方向）に沿って、p 型半導体層 21P、真性半導体層（i 層）21I および n 型半導体層 21N を、この順に有している。また、真性半導体層 21I 付近でゲート絶縁膜（図示せず）を介して対向配置された、ゲート電極 21G を有している。一方、バーティカル型構造の場合には、光電変換素子 21 は縦方向（積層方向）に沿って、例えば、下部電極 211a、p 型半導体層 21P、真性半導体層 21I、n 型半導体層 21N および上部電極 211b を、この順に有している。尚、以下では、光電変換素子 21 が、上記 2 つの構造のうち、ラテラル型構造の PIN 型のフォトダイオードである場合を想定して説明を行う。30

【0050】

（信号電荷残存のメカニズム）

上記のような信号電荷の残存が発生する理由の一つとして、外光（特に、強外光）の影響を受けて画素 20 内の電荷が飽和してしまうことが考えられる。光電変換素子 21 では、ゲート電極 21G に印加されるゲート電圧により、真性半導体層 21I が、蓄積状態（飽和状態）、空乏状態、反転状態のいずれかの状態となる。ところが、薄膜フォトダイオードでは、その蓄積状態もしくは反転状態においてゲート電極 21G 側の界面に電荷が誘起された状態（図 8 (A)）から、空乏状態（図 8 (B)）に遷移するには、数百 μs オーダーの時間が必要である。通常、PIN 型のフォトダイオードは、空乏状態で光感度が最大となるため空乏状態で使用するが、例えば強外光が照射されて V_{np} < 0 V の状態になると、蓄積状態に遷移する。尚、V_{np} は、p 型半導体層 21P 側から見た n 型半導体層 21N の電位である。

【0051】

このため、例えば、強外光が照射された直後に暗状態に環境が変化し、かつリセット動40

50

作（1回目のリセット動作）が行われて $V_{np} > 0$ の状態に戻っても、数百 μs の間は蓄積状態から空乏状態に遷移しない。ここで、空乏状態と、蓄積状態もしくは反転状態とでは、上記したゲート電極 21G 側の界面に誘起された電荷の影響により、PIN 型のフォトダイオードにおける容量特性が異なることが知られている。具体的には、図 8 (A), (B) に示したように、ゲート電極 21G と p 型半導体層 21P と間に形成される寄生容量 C_{gp} は、蓄積状態では大きく、空乏状態では小さくなる。また、このような寄生容量 C_{gp} の変化は、光電変換素子 21 の光電変換材料あるいはトランジスタ 22 に使用される半導体材料等に依存する。

【0052】

ここで、蓄積ノード N に接続されている PIN 型のフォトダイオード（光電変換素子 21）では、その寄生容量 C_{gp} が空乏状態、蓄積状態および反転状態の状態毎に異なる場合、上記のような状態遷移により、画素 20 内における全体のカップリング量（寄生容量の大きさ）が変化する。このため、読み出し / 第 1 リセット期間 T_{r1} 後においても、その期間 T_{r1} の直前まで入射していた光の情報（電荷）が、蓄積ノード N に残ってしまう。このようなメカニズムにより、強外光が照射されて画素 20 内の電荷が飽和してしまう場合、リセット動作を伴う読み出し / 第 1 リセット期間 T_{r1} 後においても、その直前まで蓄積されていた信号電荷の一部が、画素 20 内に残存してしまうのである。このような強外光に起因する信号電荷の残存は、図 7 (A), (B) に示したような真性半導体層 21I の下にゲート電極が配置された構造を有するダイオードにおいて生じるものである。但し、ゲート電極のない構造のものであっても、ラテラル型、バーティカル型を問わず、強い光が照射されることによって電荷が飽和状態に達した場合には、信号電荷の残留が発生する。厳密には、電荷が飽和状態に達していないとも強い光が入射することで、発生したキャリアがトラップ準位に捕獲され、放出されるまでに時間がかかる。

【0053】

あるいは、上記のような場合（強外光の影響により電荷が飽和してしまう場合）に限らず、以下に説明するような理由から信号電荷が残存する場合もある。即ち、Decay 電流が光電変換素子 21（PIN 型のフォトダイオード）から生ずることによっても、残留電荷が発生する。

【0054】

図 10 (A), (B) はそれぞれ、前述した PIN 型のフォトダイオードにおける、エネルギー・バンド構造（各層の位置とエネルギー準位との関係）を表したものである。これらの図から分かるように、真性半導体層 21I には多数の欠陥準位 E_d が存在している。そして、図 10 (A) に示したように、読み出し / 第 1 リセット期間 T_{r1} の直後においては、これらの欠陥準位 E_d に電荷 e が捕獲（トラップ）された状態となっている。ところが、例えば図 10 (B) に示したように、読み出し / 第 1 リセット期間 T_{r1} からある程度の時間が経過すると、欠陥準位 E_d にトラップされている電荷 e が、真性半導体層 21I からフォトダイオード（光電変換素子 21）の外部へ放出される（図中の破線の矢印参照）。これにより、上記した Decay 電流（電流 I_{decay} ）が光電変換素子 21 から発生する。

【0055】

ここで、図 11 (A), (B) に、読み出し / 第 1 リセット期間 T_{r1} 後の経過時間 t と電流 I_{decay} との関係の一例を示す。図 11 (A) では、縦軸および横軸とも対数 (log) スケールで示し、図 11 (B) では、縦軸を対数スケール、横軸を線形（リニア）スケールでそれぞれ示している。各図において破線で囲った部分 (G1) が相対応する部分である。これらの図から分かるように、電流 I_{decay} は、読み出し / 第 1 リセット期間 T_{r1} の終了時 ($t = 0$) から時間の経過と共に相乗的に減少していく傾向にある ($I_{decay} = (I_0 / t)$, I_0 : 定数値)。また、このときに発生する残留電荷 (q_1 とする) は、例えば図 12 に示したように、電流 $I_{decay} = (I_0 / t)$ を経過時間 t で積分することにより求められることが分かる。このような光電変換素子 21 から発生する decay 電流によつても、画素 20 内に残留電荷が発生する。

10

20

30

40

50

【 0 0 5 6 】

以上のような理由（強外光照射，Decay電流の発生）により、リセット動作を伴う読み出し／第1リセット期間 T_{r1} 後においても、画素20内に残留電荷 q_1 が発生してしまうのである。

【 0 0 5 7 】

（複数回のリセット動作）

そこで本実施の形態では、複数回（ここでは、上記読み出し／第1リセット期間 T_{r1} におけるリセット動作を含む計2回）のリセット動作が行われる。また、読み出し駆動およびリセット駆動は、後述するように線順次でなされ、詳細には読み出し駆動および複数回のリセット駆動が単一の線順次駆動によってなされる。これにより、上記残留電荷を低減し、この残留電荷に起因して生じる残像を抑えるようにしている。以下、この複数回のリセット動作について詳細に説明する。10

【 0 0 5 8 】

具体的には、図13に示したように、1垂直期間（1フレーム期間） T_v において、露光期間 T_{ex} 後、読み出し／第1リセット期間 T_{r1} において読み出し動作および1回目のリセット動作がなされた後、所定の時間間隔後の第2リセット期間 T_{r2} において2回目のリセット動作（第2リセット動作）がなされる。また、これらのうち、期間 T_{r1} 、 T_{r2} における読み出し動作およびリセット動作はそれぞれ線順次に行われる（システム制御部16の制御に基づいて、各画素20では、線順次読み出し駆動および線順次リセット駆動がなされる）。20

【 0 0 5 9 】

図14（A）は、読み出し制御線 L_{read1} の電位 V_{read1} のタイミング波形を、図14（B）は、読み出し制御線 L_{read2} の電位 V_{read2} のタイミング波形を、図14（C）は、チャージアンプ172からの出力電圧 V_{ca} のタイミング波形を、図14（D）は信号線 L_{sig} の電位 V_{sig} のタイミング波形を、図14（E）は蓄積ノードNの電位 V_n のタイミング波形を、それぞれ表したものである。尚、これらの各タイミング波形は、1フレーム期間 T_v を含む前後の期間についてのものである。

【 0 0 6 0 】

本実施の形態では、上述のようにトランジスタ22が2つのゲート（第1ゲート電極220Aおよび第2ゲート電極220B）を有している。このようなトランジスタ22のオン動作およびオフ動作の切り替えの際には、これら2つの第1ゲート電極220Aおよび第2ゲート電極220Bのそれぞれに、略同期して電圧パルス（例えば、矩形波信号）が印加される。具体的には、第1ゲート電極220Aには、読み出し制御線 L_{read1} を介して電位 V_{read1} が印加され、第2ゲート電極220Bには、読み出し制御線 L_{read2} を介して電位 V_{read2} が印加される。尚、ここでは、読み出し制御線 L_{read1} 、 L_{read2} のそれぞれにおいて共通の2値の電位（オン電位 V_{on} およびオフ電位 V_{off} ）を印加可能となっていればよい。以下、このようなトランジスタ22を利用した複数回のリセット動作を行う撮像駆動動作について説明する。30

【 0 0 6 1 】

1フレーム期間 T_v では、まず露光期間 T_{ex} （タイミング $t_{11} \sim t_{12}$ ）において、前述（図7（A））のようにして露光動作がなされ、各画素20内の光電変換素子21では、入射した撮像光 L_{in} が信号電荷に変換（光電変換）される。そして、この信号電荷が画素20内の蓄積ノードNに蓄積されることにより、蓄積ノードNの電位 V_n が徐々に変化する（図14（E）中のP31）。ここでは、光電変換素子21のカソード側が蓄積ノードNに接続されているため、露光期間 T_{ex} では、電位 V_n がリセット電圧 V_{rst} 側から0Vへ向けて徐々に低下する。40

【 0 0 6 2 】

次いで、読み出し／第1リセット期間 T_{r1} （タイミング $t_{13} \sim t_{14}$ ）では、前述のように、読み出し動作と共に1回目のリセット動作が行われる。この際、本実施の形態では、読み出し制御線 L_{read1} 、 L_{read2} に対し、電位 V_{read1} 、 V_{read2} として同一の50

オン電位 V_{on} が印加される。また、電位 $V_{read\ 1}$, $V_{read\ 2}$ において、オフ電位 V_{off} からオン電位 V_{on} への切り替えタイミング（タイミング $t_{1\ 3}$ ）と、およびオン電位 V_{on} からオフ電位 V_{off} への切り替えタイミング（タイミング $t_{1\ 4}$ ）とがいずれも等しくなっている。尚、オン電位 V_{on} は、トランジスタ 2 2 をオフ状態からオン状態に切り替え可能な電位（電圧パルスにおけるhigh側の電位（例えば正電位））である。オフ電位 V_{off} は、トランジスタ 2 2 をオン状態からオフ状態に切り替え可能な電位（電圧パルスにおけるlow側の電位（例えば負電位））である。尚、タイミング $t_{1\ 3}$ の直前のタイミング $t_{1\ 3'}$ に（トランジスタ 2 2 がオン状態とされる直前に）、チャージアンプ回路のスイッチ SW 1 はオフ状態とされる。また、その後のタイミング $t_{1\ 5}$ において、チャージアンプ回路におけるスイッチ SW 1 がオン状態となることにより、このチャージアンプ回路内の容量素子 C 1 に蓄積された電荷がリセットされる（アンプリセット動作が行われる）。 10

【 0 0 6 3 】

この読み出し / 第 1 リセット期間 $T_{r\ 1}$ 後には、上述したような理由から、残留電荷 q_1 が発生し、蓄積ノード N の電位 V_n が徐々に低下する（図 14 (E) 中の P 32）。そこで、読み出し / 第 1 リセット期間 $T_{r\ 1}$ 後、所定の時間間隔をあいて続く第 2 リセット期間 $T_{r\ 2}$ （タイミング $t_{1\ 6} \sim t_{1\ 7}$ ）において、以下に説明する 2 回目のリセット動作が行われる。

【 0 0 6 4 】

（2回目のリセット動作）

第 2 リセット期間 $T_{r\ 2}$ では、具体的には、例えば図 15 (A) に示した第 1 の動作例のようにして、2回目のリセット動作が行われる。即ち、画素 2 0 内のトランジスタ 2 2 がオン状態になると共に、チャージアンプ回路におけるスイッチ SW 1 もオン状態となっている。これにより、チャージアンプ 1 7 2 を用いたボルテージフォロワ回路が形成されている。このため、チャージアンプ 1 7 2 では、その帰還特性（フィードバック特性）により、負側の入力端子側（信号線 Lsig 側）の電圧が、正側の入力端子に印加されているリセット電圧 V_{rst} に略等しくなる。このように第 1 の動作例では、チャージアンプ 1 7 2 における帰還特性を利用して、画素 2 0 内の蓄積ノード N の電位 V_n がリセット電圧 V_{rst} に変位する（2回目のリセット動作がなされる）。

【 0 0 6 5 】

あるいは、図 15 (B) に示した第 2 の動作例のように、2回目のリセット動作が行われてもよい。即ち、前述した1回目のリセット動作と同様、チャージアンプ回路における仮想短絡現象を利用して、2回目のリセット動作がなされてもよい（図中の P 42）。この仮想短絡現象によっても、画素 2 0 内の蓄積ノード N の電位 V_n がリセット電圧 V_{rst} に変位する。但し、この例では、読み出し / 第 1 リセット期間 $T_{r\ 1}$ のときと同様に、画素 2 0 内のトランジスタ 2 2 がオン状態であると共にチャージアンプ回路におけるスイッチ SW 1 がオフ状態であることから、チャージアンプ回路が読み出し動作状態となっている。つまり、図中の矢印 P 4 1 で示したように、この第 2 の動作例では、蓄積ノード N に残存している電荷をチャージアンプ回路によって読み出すことも可能である。 30

【 0 0 6 6 】

このようにして本実施の形態では、画素 2 0 内の蓄積電荷のリセット動作が、1フレーム期間内において間欠的に繰り返し行われる（リセット動作が複数回行われる）。具体的には、ここでは1回目のリセット動作（読み出し / 第 1 リセット期間 $T_{r\ 1}$ ）と2回目のリセット動作（第 2 リセット期間 $T_{r\ 2}$ ）とが、所定の時間間隔をあいて行われる。これにより、1回目のリセット動作後における画素 2 0 内の残留電荷 q_1 （信号電荷の残存量）が低減される。 40

【 0 0 6 7 】

具体的には、1回目のリセット動作の終了時（ $T_{r\ 1}$ の終了時）から2回目のリセット動作の終了時（ $T_{r\ 2}$ の終了時）までの時間を $t_{1\ 2}$ とすると、残留電荷 q_1 のうちの低減される電荷量は、例えば図 16 に示したようになる。即ち、例えば図 12 において説明した残留電荷 q_1 のうち、時間 $t_{1\ 2}$ の開始時 $t_1 (= 0)$ から終了時 t_2 までの時

10

20

30

40

50

間積分値に対応する電荷 q_{12} を、この2回目のリセット動作によって排出する（低減する）ことができる。尚、 $(q_1 - q_{12}) = q_{23}$ により算出される電荷 q_{23} が、2回目のリセット動作後に残存する電荷量に相当するため、上記した時間 t_{12} はできるだけ長くなるように設定するのが望ましい。

【0068】

このようにして、複数回のリセット動作により、1回目のリセット動作後における残留電荷 q_1 が低減され、次の読み出し動作時（次のフレーム期間での撮像時）において、この残留電荷に起因した残像の発生を抑えることができる。

【0069】

尚、上述したような複数回のリセット動作は、例えば線順次駆動における1水平期間（1水平走査期間：一例として $32\ \mu s$ 程度）を超える期間に亘って間欠的に行われることが望ましい。これは、以下の理由によるものである。即ち、前述したように、PIN型のフォトダイオードにおける状態遷移には、数百 μs 程度の時間がかかる。このことから、例えば $100\ \mu s$ 程度の時間、リセット電圧 V_{rst} を連続的または間欠的に蓄積ノードNに与えることで、残留電荷の発生を低減することができる。実際、リセット電圧 V_{rst} を与える期間が1水平期間（例えば $32\ \mu s$ 程度）を超えると残留電荷が大きく減少し始めることが、実験等により確認されている。

【0070】

（チャージインジェクションの低減）

上述のように、複数回のリセット動作がなされることにより、残留電荷を抑制して残像発生を低減することができるが、この残留電荷排出のためのリセット駆動に伴って、いわゆるチャージインジェクションと呼ばれる現象が生じる。即ち、蓄積ノードNでは、上述のように読み出し / 第1リセット期間 T_{r1} 後に所定のリセット電圧 V_{rst} となるが、この後、トランジスタ 22 がオン状態からオフ状態に遷移する。この際、その電位差（オン電位とオフ電位との差）に応じて、蓄積ノードNの電位がリセット電圧 V_{rst} から微小に変動する。ここでは、蓄積ノードNが光電変換素子 21 のカソード側に接続されていることから、図14（E）中の矢印X1で示したように、電位 V_n がリセット電圧 V_{rst} から下降する。このチャージインジェクションの発生は、撮像データ D_{out} においてノイズとなり画質劣化を招くことから、できるだけ低減されることが望ましい。また、このトランジスタ 22 のオフ動作の後、例えば図17に示したように、画素 20 内の寄生容量（トランジスタ 22 のゲート・ドレイン間に形成された寄生容量 C_{gd} 、ゲート・ソース間に形成された寄生容量 C_{gs} ）に蓄積された電荷は、電荷分配により例えばドレイン側からソース側へ流れる（図中のP2参照）。一方、光電変換素子 21 では暗電流（リーク電流；図中のP3参照）が発生する。このため、オフ動作後の電位 V_n は、これらの寄生容量に起因する電荷移動と暗電流との大小関係に応じて更に変動する（電位 $V_n = V_{rst} - V$ ）。例えば、暗電流よりも寄生容量による影響が強ければ、電位 V_n は上昇し（リセット電圧 V_{rst} に近づき）、逆に暗電流による影響がより強い場合には、電位 V_n は降下する。

【0071】

（比較例）

ここで、図18（A）～（E）に、本実施の形態の比較例に係る撮像駆動動作を表すタイミング波形図を示す。比較例では、本実施の形態と同様の回路構成およびトランジスタを用いて撮像駆動動作がなされる。また、読み出し制御線 L_{read1} 、 L_{read2} のそれぞれに対してオン電位 V_{on} およびオフ電位 V_{off} が印加されるようになっている。但し、比較例では、2回目のリセット動作に際し、電位 V_{read1} 、 V_{read2} において、同一のタイミング（ t_{16} ）でオフ電位 V_{off} からオン電位 V_{on} へ切り替えられ、かつ同一のタイミング（ t_{17} ）でオン電位 V_{on} からオフ電位 V_{off} へ切り替えられる。

【0072】

ところが、電位 V_{read1} 、 V_{read2} におけるオン電位 V_{on} からオフ電位 V_{off} の切り替えタイミングおよび振幅がいずれも同一である比較例では、2回目のリセット動作に際し

10

20

30

40

50

、電位 V_n の降下がより大きくなる（図 18（E）中の矢印 X0）。また、この場合、オフ動作後には、寄生容量に起因する電荷移動よりも、光電変換素子（PINフォトダイオード）における暗電流の影響が強くなることから、電位 V_n が更に降下する。

【0073】

これに対し、本実施の形態では、2回目のリセット動作の際、上記第1および第2の動作例のいずれにおいても、トランジスタ 22 をオン状態とするが、この際、次のような駆動がなされる。即ち、図 14（A），（B）に示したように、読み出し制御線 L read 1 にはオン電位 V_{on} が印加される一方、読み出し制御線 L read 2 にはオフ電位 V_{off} がそれぞれ印加される。具体的には、タイミング t_{16} において電位 $V_{read 1}$ のみがオフ電位 V_{off} からオン電位 V_{on} へ切り替えられた後、タイミング t_{17} にオン電位 V_{on} からオフ電位 V_{off} に切り替えられる。一方、電位 $V_{read 2}$ では、読み出し / 第1リセット期間 T_{r1} 後（タイミング t_{14} 以降）、タイミング $t_{16} \sim t_{17}$ を含む期間において、継続的にオフ電位 V_{off} に保持されている。換言すると、電位 $V_{read 2}$ では、オフ電位 V_{off} からオン電位 V_{on} への切り替えがなされない（切り替えタイミングが電位 $V_{read 1}$ と異なる）。

【0074】

このように、2回目のリセット動作に際し、読み出し制御線 L read 1 にはオン電位 V_{on} 、読み出し制御線 L read 2 にはオフ電位 V_{off} をそれぞれ印加することにより、上述のようなチャージインジェクションが抑制される。即ち、図 14（E）の矢印 X1 に示したように、リセット電位 V_{rst} の変動（電位降下）が低減される。ここで、図 19 には、タイミング $t_{16} \sim t_{18}$ 付近における上記比較例および本実施の形態における電位 V_n の推移について拡大して示したものである。このように、チャージインジェクションによる電位降下は、本実施の形態では比較例よりも小さくなる（ $|X_0| - |X_1| = d \times$ 分の電位降下を抑制できる）。つまり、オフセット電圧が低減される。

【0075】

更に、複数の画素 20 をアレイ状に配置した撮像部 11 では、面内の領域毎にチャージインジェクションの発生具合が異なる。これは以下のような理由による。即ち、電位 V_{read} において、オン電位からオフ電位への切り替えを行った場合、実際には、トランジスタ 22 がオン状態からオフ状態へ完全に遷移するまでに、ある程度の時間を要する。ここで、オン状態から完全にオフ状態となるまでの期間では、トランジスタ 22 は実質的に“オン状態”にあるため、光電変換素子 21 が充電され得る状態となっている。従って、この期間は、寄生容量 (Cgd) ではなく光電変換素子 21 の側へ電荷が流れる。

【0076】

のことから、トランジスタ 22 でのオン状態からオフ状態への遷移が遅くなる程、電荷が光電変換素子 21 にチャージされ易くなり、寄生容量 Cgd に起因するチャージインジェクションが低減される。トランジスタ 22 における状態遷移は、撮像部 11 の面内の端部から中央部に向かって徐々に遅くなる傾向があるため、面内の領域毎にチャージインジェクションの発生具合が異なるのである。本実施の形態では、上述のように、オフセット成分を低減可能であるため、結果として、面内のオフセット成分のばらつきも軽減される。

【0077】

上記のように、オフセット成分が低減され、また、その面内ばらつきが軽減されることにより、各画素 20 において信号蓄積に必要なダイナミックレンジ DR を小さくすることができる。即ち、ダイナミックレンジ DR は、オフセット電圧とそのばらつき具合とを考慮して余剰に設定されるが、それらが低減されることで、余剰に設定していた領域（本来必要のない領域）分を減らすことができる。

【0078】

以上のように本実施の形態では、撮像部 11 の各画素 20 において入射光（撮像光 Lin）に基づく光電変換がなされ、信号電荷の読み出し駆動およびリセット駆動が行われることにより、入射光に基づく撮像画像が得られる。読み出し駆動およびリセット駆動の際、トランジスタ 22 の一方のゲート電極（例えばゲート電極 220A）に電位 $V_{read 1}$ 、他

10

20

30

40

50

方のゲート電極（例えばゲート電極 220B）に電位 V_{read}2 をそれぞれ略同期して印加する。但し、リセット駆動の際には、電位 V_{read}1, V_{read}2 のそれぞれにおいて、オン電位 V_{on}からオフ電位 V_{off}への切り替え時期および振幅のうちの一方または両方が互いに異なるように設定して、トランジスタ 22 のオン動作およびオフ動作を切り替える。具体的には、本実施の形態では、2 回目のリセット動作の際に、電位 V_{read}1 としてオン電位 V_{on}を印加する一方、電位 V_{read}2 としてはオフ電位 V_{off}を印加する。これにより、リセット駆動時のトランジスタのオン動作からオフ動作への切り替えによって生じる、いわゆるチャージインジェクションを低減し、これに起因するリセット電位の変動を抑制することができる。よって、ノイズ成分を減らし、撮像画像の高画質化を実現することが可能となる。

10

【0079】

尚、上記実施の形態では、1 フレーム期間内に 2 回のリセット駆動を行う場合を例に挙げて説明したが、これには限られず、1 フレーム期間内で 3 回以上のリセット駆動を行うようにしてもよい。この場合、上記のような電位 V_{read}1 をオン電位 V_{on}、電位 V_{read}2 をオフ電位 V_{off}とする駆動を、少なくともいずれかのリセット動作の際に行なうようにすればよい。但し、望ましくは、1 フレーム期間における最終回のリセット動作の際に行なうようにするとよい。

【0080】

続いて、上記実施の形態の変形例（変形例 1～11）について説明する。尚、上記実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

20

【0081】

まず、上記実施の形態では、リセット動作の際、読み出し制御線 L_{read}2 に印加する電位 V_{read}2 をオフ電位 V_{off}に保持したままトランジスタ 22 のオン・オフ動作を切り替えたが、例えば以下の変形例 1～4 のように、切り替えタイミングあるいは振幅、もしくはその両方が異なるようにしてリセット駆動を行なうてもよい。

【0082】

<変形例 1>

図 20 (A)～(E) は、変形例 1 に係る撮像動作を説明するためのタイミング波形図である。このように、例えば 2 回目のリセット駆動の際、電位 V_{read}1, V_{read}2 においてオン電位 V_{on}からオフ電位 V_{off}への切り替えタイミングが異なっていてもよい。例えば、電位 V_{read}2 におけるオン電位 V_{on}からオフ電位 V_{off}への切り替えタイミングが、電位 V_{read}1 における上記タイミングよりも相対的に早めにリセット駆動がなされるとよい。具体的には、タイミング t₁₆において電位 V_{read}1, V_{read}2 のそれぞれがオフ電位 V_{off}からオン電位 V_{on}へ切り替えられた後、電位 V_{read}2 では、タイミング t₁₇よりも前のタイミング t_{17a}において、オン電位 V_{on}からオフ電位 V_{off}に切り替えられる。この後、タイミング t₁₇では電位 V_{read}1 においても、オン電位 V_{on}からオフ電位 V_{off}への切り替えがなされる。

30

【0083】

本変形例のように、2 回目のリセット駆動時において、電位 V_{read}1, V_{read}2 の振幅を変えずに、オン電位 V_{on}からオフ電位 V_{off}への切り替えタイミングのみを変化させることには、例えば図 21 に示したような単位回路 130a を行走査部 13 に設ければよい。

40

【0084】

図 21 に示したように、行走査部 13 では、V 方向に沿って延在する複数の単位回路 130a が設けられている。但し、ここでは、図中に示した 2 つの単位回路 130a に接続された 4 組の読み出し制御線 L_{read} (L_{read1}, L_{read2}) を示し、読み出し制御線 L_{read(n)a}, L_{read(n)b} (n = 1～4)、読み出し制御線 L_{read1}, L_{read2} に相当している。

【0085】

各単位回路 130a は、上記実施の形態において説明した単位回路 130 と同様、複数列（ここでは 2 列）のシフトレジスタ回路 131, 132 と、4 つの AND 回路 133A

50

～133Dと、2つのOR回路134A, 134Bとを有している。また、OR回路134Aのバッファとしてバッファ回路135A、OR回路134Bのバッファとしてバッファ回路135Cがそれぞれ設けられている。これらのバッファ回路135A, 135Cからの出力信号は、読み出し制御線L read(n)aを介して撮像部11内の各画素20へ出力される。

【0086】

但し、本変形例では、更に、2つのAND回路136A, 136Bと、2つのOR回路137A, 137Bとを有している。AND回路136A, 136Bにはそれぞれ、シフトレジスタ回路131, 132から出力される2種類のイネーブル信号EN5, EN6が入力されている。具体的には、AND回路136Aでは、一方の入力端子にはシフトレジスタ回路131からのパルス信号が入力され、他方の入力端子にはイネーブル信号EN5が入力されている。AND回路136Bでは、一方の入力端子にはシフトレジスタ回路131からのパルス信号が入力され、他方の入力端子にはイネーブル信号EN6が入力されている。また、OR回路137Aは、AND回路133A, 136Aからの各出力信号の論理和信号を生成し、OR回路137Bは、AND回路133C, 136Bからの各出力信号の論理和信号を生成するようになっている。OR回路137Aのバッファとしてバッファ回路135B、OR回路137Bのバッファとしてバッファ回路135Dがそれぞれ設けられている。これらのバッファ回路135B, 135Dからの出力信号は、読み出し制御線L read(n)bを介して撮像部11内の各画素20へ出力される。尚、このような単位回路130aにより、2回目のリセット駆動におけるオン動作からオフ動作への切り替えタイミングだけでなく、オフ動作からオン動作への切り替えタイミングについても変化させることができる。10 20

【0087】

本変形例のように、2回目のリセット動作に際し、電位V read 2におけるオン電位V onからオフ電位V offへの切り替えタイミングを、電位V read 1におけるそれよりも相対的に早めてもよく、このような駆動によっても、上記実施の形態と同様、リセット動作に伴うチャージインジェクションの発生を抑制することができる。よって、変形例1においても、上記実施の形態と同等の効果を得ることができる。

【0088】

<変形例2>30
図22(A)～(E)は、変形例2に係る撮像動作を説明するためのタイミング波形図である。本変形例では、上記変形例1と同様、2回目のリセット動作の際に、電位V read 1, V read 2としてオン電位(V on 1, V on 2)が印加される。但し、また、オン電位V on 1, V on 2からオフ電位V offへの各切り替えタイミングは、同時となっている。つまり、本変形例では、2回目のリセット動作の際に電位V read 1, V read 2のそれぞれにおけるオン電位V on 1, V on 2の値が異なっており、例えば、オン電位V on 1よりも、オン電位V on 2を相対的に小さくして駆動がなされる。具体的には、電位V read 1では、タイミングt 1 6においてオフ電位V offからオン電位V on 1へ切り替えられた後、タイミングt 1 7においてオン電位V on 1からオフ電位V offへ切り替えられる。一方、電位V read 2では、タイミングt 1 6においてオフ電位V offからオン電位V on 2へ切り替えられた後、タイミングt 1 7においてオン電位V on 2からオフ電位V offへ切り替えられる。このような駆動を行うため、本変形例では、読み出し制御線L read 1, L read 2に対し計3値の電位(オン電位V on 1, V on 2およびオフ電位V off)を印加可能となっている。40

【0089】

本変形例のように、読み出し制御線L read 1, L read 2に対して3値の電位を印加してリセット駆動を行う場合、例えば上記実施の形態において説明した単位回路130のバッファ回路135A～135Dとして、図23(A), (B)に示したようなバッファ回路を用いればよい。例えば、図23(A)に示したように、バッファ回路135A(または135B～135Dのいずれか)のhigh側にスイッチSW31, SW32を設け、スイッチSW31をオン状態、スイッチSW32をオフ状態にそれぞれ保持することにより、50

high側がオン電位Von1に切り替えられる。一方、スイッチSW31をオフ状態、スイッチSW32をオン状態にそれぞれ保持することにより、high側がオン電位Von2に切り替えられる。あるいは、図23(B)に示したように、撮像装置1の外部において2値(Von1, Von2)の電圧パルスを形成し、これをhigh側電圧として使用することも可能である。尚、ここでは、読み出し制御線Lread1, Lread2のうちの読み出し制御線Lread2のみにおいて3値の切り替えが可能であればよいので、バッファ回路135A~135Dのうち、バッファ回路135A(135C)またはバッファ回路135B(135D)のうちのどちらかが上記のような回路構成となつていればよい。

【0090】

このように、2回目のリセット動作に際し、電位Vread1におけるオン電位Von1よりも、電位Vread2におけるオン電位Von2を相対的に小さくしてもよく、このような駆動によつても、上記実施の形態と同様、リセット動作に伴うチャージインジェクションの発生を抑制することができる。よつて、変形例2においても、上記実施の形態と同等の効果を得ることができる。10

【0091】

<変形例3>

図24(A)~(E)は、変形例3に係る撮像動作を説明するためのタイミング波形図である。本変形例では、2回目のリセット動作の際に、上記変形例1と同様、電位Vread2のオン電位Von2からオフ電位Voffへの切り替えタイミングを、電位Vread1よりも相対的に早めると共に、上記変形例2と同様、オン電位Von1よりもオン電位Von2を相対的に小さくして駆動がなされる。20

【0092】

本変形例のように、2回目のリセット駆動において、切り替えタイミングとオン電位との両方が異なる場合には、行走査部13において、上記変形例1の単位回路130aを用い、かつ、バッファ回路135A~135D(詳細には135A, 135Cまたは135B, 135D)として上記変形例2において説明した3値切り替え可能なバッファ回路を用いればよい。

【0093】

このように、2回目のリセット動作に際し、電位Vread2において、オン電位Von2からオフ電位Voffへの切り替えタイミングを相対的に早め、かつオン電位Von2をオン電位Von1よりも相対的に小さくしてもよく、このような駆動によつても、上記実施の形態と同様、リセット動作に伴うチャージインジェクションの発生を抑制することができる。よつて、変形例3においても、上記実施の形態と同等の効果を得ることができる。30

【0094】

<変形例4>

図25(A)~(E)は、変形例4に係る撮像動作を説明するためのタイミング波形図である。上記実施の形態等では、2回目のリセット動作の際に、オン電位Vonからオフ電位Voffへの切り替えタイミングやオン電位Vonの値を異なるようにして駆動がなされる場合について説明したが、このような駆動を1回目のリセット動作時に行つてもよい。例えば、1回目のリセット駆動の際、電位Vread1, Vread2においてオン電位Vonからオフ電位Voffへの切り替えタイミングが異なつてもよい(電位Vread2のオン電位Vonからオフ電位Voffへの切り替えタイミングが、電位Vread1よりも相対的に早められてよい)。具体的には、タイミングt13において電位Vread1, Vread2のそれぞれがオフ電位Voffからオン電位Vonへ切り替えられた後、電位Vread2では、タイミングt14よりも前のタイミングt14aにおいて、オン電位Vonからオフ電位Voffに切り替えられる。この後、タイミングt14では電位Vread1においても、オン電位Vonからオフ電位Voffへの切り替えがなされる。40

【0095】

本変形例のように、1回目のリセット駆動(読み出し駆動)時と、2回目のリセット駆動時の双方において、電位Vread1, Vread2の切り替えタイミングを異なるようにする50

場合には、例えば図26に示したような単位回路130bを行走査部13に設ければよい。

【0096】

図26に示したように、行走査部13では、V方向に沿って延在する複数の単位回路130bが設けられている。但し、ここでは、図中に示した2つの単位回路130bに接続された4組の読み出し制御線Lread(Lread1, Lread2)を示し、読み出し制御線Lread(n)a, Lread(n)bが(n=1~4)、上記読み出し制御線Lread1, 2に相当している。

【0097】

各単位回路130bは、上記実施の形態において説明した単位回路130と同様、複数列(ここでは2列)のシフトレジスタ回路131, 132を有すると共に、複数のAND回路とOR回路、およびバッファ回路135A~135Dを有している。但し、本変形例では、シフトレジスタ回路131, 132から出力される計8種類のイネーブル信号EN1~EN8が用いられ、即ち8つのAND回路138A~138Hが設けられている。また、これらのAND回路138A~138Hの出力信号の論理和信号を生成する4つのOR回路139A~139Dが設けられている。

10

【0098】

具体的には、AND回路138Aでは、一方の入力端子にシフトレジスタ回路132からのパルス信号が、他方の入力端子にはイネーブル信号EN1がそれぞれ入力されている。AND回路138Bでは、一方の入力端子にはシフトレジスタ回路131からのパルス信号が、他方の入力端子にはイネーブル信号EN2が入力されている。AND回路138C~138Hについても同様で、一方の入力端子にシフトレジスタ回路131、132のどちらか一方からのパルス信号が入力され、他方の入力端子にはイネーブル信号EN3~EN8のいずれかが入力されている。OR回路139Aは、AND回路138A, 138Bからの各出力信号の論理和信号を生成し、OR回路139Bは、AND回路138C, 138Dからの各出力信号の論理和信号を生成するようになっている。同様に、OR回路139Cは、AND回路138E, 138Fからの各出力信号の論理和信号を、OR回路139Dは、AND回路138G, 138Hからの各出力信号の論理和信号をそれぞれ生成するようになっている。これらのOR回路139A~139Dのバッファとしてバッファ回路135A~135Dが設けられている。バッファ回路135A, 135Cからの出力信号は、読み出し制御線Lread(n)aを介して撮像部11へ出力され、バッファ回路135B, 135Dからの出力信号は、読み出し制御線Lread(n)bを介して撮像部11へ出力される。

20

【0099】

このように、1回目のリセット動作に際し、電位Vread2において、オン電位Von2からオフ電位Voffへの切り替えタイミングを相対的に早めてもよく、このような駆動によつても、上記実施の形態と同様、リセット動作に伴うチャージインジェクションの発生を抑制することができる。よつて、変形例4においても、上記実施の形態と同等の効果を得ることができる。尚、1回目のリセット動作時において、上記変形例2~4のそれぞれにおいて説明したような駆動を行つてもよく、また、それらの駆動を1回目と2回目のリセット駆動の際に組み合わせて行つてもよい。

30

【0100】

<変形例5>

図27は、変形例5に係るトランジスタ(トランジスタ22A)の概略構成を表す断面図である。上記実施の形態では、上述のような読み出し駆動およびリセット駆動を2つのゲート電極を有するトランジスタ(図4に示したトランジスタ22)を用いて行う場合について説明したが、その2つのゲート電極のうち一方がLDD層にオーバーラップしてもよい。具体的には、トランジスタ22Aは、上記実施の形態のトランジスタ22と同様、基板110上に、第1ゲート電極220A1、第1ゲート絶縁膜229、半導体層226(チャネル層226a, LDD層226b, N⁺層226c)が設けられている。また、半導体層226上には、第2ゲート絶縁膜230、第2ゲート電極220Bおよび第

40

50

1層間絶縁膜231が積層されている。第1層間絶縁膜231上には、コンタクトホールH1を埋め込むようにソース・ドレイン電極228が形成され、その上に第2層間絶縁膜232が設けられている。

【0101】

但し、本変形例では、一方のゲート電極、例えばゲート電極220A1が、LDD層226bにオーバーラップして形成されており、いわゆるGOLD(Gate Overlapped LDD)構造を有している。換言すると、ゲート電極220A1, 220Bの各ゲート長が異なっており、ここでは、ゲート電極220A1のゲート長GL1は、ゲート電極220Bのゲート長GL2よりも長くなっている。

【0102】

このようなゲート電極220A1, 220Bを有するトランジスタ22Aを用いて、上述したような読み出し駆動およびリセット駆動を行ってもよい。但し、ゲート電極220A1, 220Bのうち、GOLD構造をなすゲート電極220A1に上述の読み出し制御線Lread2が接続され、ゲート電極220Bに読み出し制御線Lread1が接続されるようにし、リセット駆動の際には、変形例1(図20(A), (B))と同様、ゲート電極220A1に印加される電位Vread2のオン電位Vonからオフ電位Voffへの切り替えタイミングが相対的に早まるような駆動がなされるようとする。これにより、電位Vread2がオン電位Vonからオフ電位Voffへ切り替わるタイミングt17aにおいて、LDD層226bのうちのゲート電極220A1とオーバーラップした部分(LDDa)が空乏化する。これにより、タイミングt17において、電位Vread1がオン電位Vonからオフ電位Voffへ切り替わると、チャネル層226aの電子が、その空乏化した部分LDDaに逃げるため、リーク電流が下がる。即ち、光電変換素子21を放電する期間が設けられ、結果としてチャージインジェクションが低減される。

10

【0103】

本変形例のように、ゲート長の互いに異なる2つのゲート電極を備えた(GOLD構造を有する)トランジスタ22Aを利用して、上述したような撮像動作を行うようにしてもよい。この場合には、上記実施の形態と同様の効果を得ることができると共に、LDD層226bの空乏化によるチャージインジェクション低減の効果がプラスされ、蓄積ノードNにおける電位Vnの低下をより効果的に抑制できる。

20

【0104】

30

尚、本変形例では、2つのゲート電極のうちの下側のゲート電極(ゲート電極220A1)を、LDD層226bとオーバーラップさせたが、上側のゲート電極(ゲート電極220B)の方をLDD層226bにオーバーラップさせてよい。また、2つのゲート電極の双方をオーバーラップさせてもよい。上側のゲート電極をLDD層226bにオーバーラップさせる場合には、下側よりも上側のゲート長が長くなっている(GL2 > GL1)とよい。

【0105】

<変形例6>

図28は、変形例6に係る画素(画素20A)の回路構成を、上記実施の形態で説明した列選択部17の回路構成例と共に表したものである。本変形例の画素20Aは、実施の形態の画素20と同様にいわゆるパッシブ型の回路構成となっており、1つの光電変換素子21と1つのトランジスタ22とを有している。また、この画素20AにはH方向に沿って延在する読み出し制御線Lread1, Lread2と、V方向に沿って延在する信号線Lsigとが接続されている。

40

【0106】

但し、本変形例の画素20Aでは、上記実施の形態の画素20とは異なり、光電変換素子21のアノードが蓄積ノードNに接続され、カソードがグランド(接地)に接続されている。このように、画素20Aにおいて光電変換素子21のアノードに蓄積ノードNが接続されるようにしてもよく、このように構成した場合であっても、上記実施の形態の撮像装置1と同様の効果を得ることが可能である。

50

【0107】

<変形例7>

図29は、変形例7に係る画素(画素20D)の回路構成を、上記実施の形態で説明した列選択部17の回路構成例と共に表したものである。本変形例の画素20Dは、実施の形態の画素20と同様にいわゆるパッシブ型の回路構成となっており、1つの光電変換素子21を有しており、H方向に沿って延在する読み出し制御線Lread1,Lread2と、V方向に沿って延在する信号線Lsigとに接続されている。

【0108】

但し、本変形例では、画素20Dが、2つのトランジスタ(トランジスタ22B1,22B2)を有している。これら2つのトランジスタ22B1,22B2は、互いに直列に接続されている(一方のソースまたはドレインと他方のソースまたはドレインとが電気的に接続されている。または、後述するように半導体層226が一体的に連結して形成されている。)。また、各トランジスタ22B1,22B2における一方のゲートが読み出し制御線Lread1に接続され、他方のゲートが読み出し制御線Lread2に接続されている。

【0109】

図30に、このような2つのトランジスタ22B1,22B2の断面構成例を示す。図30に示したように、2つのゲート電極220A,220Bにより半導体層226を挟み込んだ積層構造が2つ並んで形成されており、これらの積層構造の両側に一对のソース・ドレイン電極228が配設されている。尚、この例では、トランジスタ22B1,22B2において、半導体層226が一体的に連結して形成されている。具体的には、基板110上の選択的な領域に、2つの第1ゲート電極220Aを有し、これらの第1ゲート電極220Aを覆うように第1ゲート絶縁膜229および半導体層226が設けられている。この半導体層226上には、第2ゲート絶縁膜230が形成され、第2ゲート絶縁膜230上の選択的な領域(2つの第1ゲート電極220Aのそれぞれに対向する領域)に、第2ゲート電極220Bが配設されている。これらの第2ゲート電極220Bを覆って第1層間絶縁膜231が形成されており、この第1層間絶縁膜231上には、コンタクトホールH1を埋め込むように一对のソース・ドレイン電極228が配設されている。ソース・ドレイン電極228上には、2つのトランジスタ22B1,22B2を覆うように、第2層間絶縁膜232が設けられている。尚、本変形例のように、ゲート電極を並設させることにより、オフリーケ(Vg=0Vでの漏れ電流)を低減させることができる。

【0110】

このように、画素20D内に直列接続させた2つのトランジスタ22B1,22B2を設けてもよく、この場合にも、上記実施の形態で説明したような読み出し駆動およびリセット駆動を行うことにより、チャージインジェクションに起因する電位Vnの変動を抑制することができる。尚、3つ以上のトランジスタを直列接続させてもよい。

【0111】

<変形例8,9>

図31は、変形例8に係る画素(画素20B)の回路構成を、以下説明する列選択部17Bの回路構成例とともに表したものである。また、図32は、変形例9に係る画素(画素20C)の回路構成を、列選択部17Bの回路構成例とともに表したものである。これらの変形例8,9に係る画素20B,20Cはそれぞれ、これまで説明した画素20,20Aとは異なり、いわゆるアクティブ型の画素回路を有している。

【0112】

このアクティブ型の画素20B,20Cには、1つの光電変換素子21と、3つのトランジスタ22,23,24とが設けられている。これらの画素20B,20Cにはまた、H方向に沿って延在する読み出し制御線Lread1,Lread2およびリセット制御線Lrstと、V方向に沿って延在する信号線Lsigとが接続されている。

【0113】

画素20B,20Cではそれぞれ、トランジスタ22の一方のゲートが読み出し制御線Lread1、他方のゲートが読み出し制御線Lread2にそれぞれ接続され、ソースが信号線

10

20

30

40

50

L_{sig} に接続され、ドレインが、ソースフォロワ回路を構成するトランジスタ23のドレインに接続されている。トランジスタ23のソースは電源 V_{DD} に接続され、ゲートは、蓄積ノードNを介して、光電変換素子21のカソード（図31の例）またはアノード（図32の例）と、リセット用トランジスタとして機能するトランジスタ24のドレインとに接続されている。トランジスタ24のゲートはリセット制御線 L_{rst} に接続され、ソースにはリセット電圧 V_{rst} が印加されるようになっている。図31の変形例8では、光電変換素子21のアノードがグランドに接続され、図32の変形例9では、光電変換素子21のカソードがグランドに接続されている。

【0114】

また、これらの変形例8, 9において列選択部17Bは、前述した列選択部17において、チャージアンプ172、容量素子C1およびスイッチSW1に代わりに、定電流源171およびアンプ176を設けたものとなっている。アンプ176では、正側の入力端子には信号線 L_{sig} が接続されると共に、負側の入力端子と出力端子とが互いに接続され、ボルテージフォロワ回路が形成されている。尚、信号線 L_{sig} の一端側には定電流源171の一方の端子が接続され、この定電流源171の他方の端子には電源 V_{SS} が接続されている。

10

【0115】

このようなアクティブ型の回路構成を有する画素20B, 20Cを有する撮像装置においても、リセット動作に伴ってチャージインジェクションに起因して蓄積ノードNの電位 V_n が変動（例えば降下）する。このため、変形例8, 9においても、上記実施の形態と同様、所定のタイミングまたは所定の振幅を用いてリセット駆動を行うことにより、チャージインジェクションを低減して、撮像画像の高画質化を図ることができる。但し、アクティブ型の回路構成を有する画素20B, 20Cに対しては、以下のようにして撮像動作（線順次撮像駆動）が行われる。

20

【0116】

即ち、例えば図33に示したように、線順次読み出し駆動と複数回（ここでは2回）の線順次リセット駆動とが、互いに独立して（間欠的に）行われる。具体的には、読み出し期間 T_{r1a} の線順次動作を行うための線順次読み出し駆動と、1回目のリセット期間（第1リセット期間 T_{r1b} ）の線順次動作を行うための1回目の線順次リセット駆動と、2回目のリセット期間（第2リセット期間 T_{r2} ）の線順次動作を行うための2回目の線順次リセット駆動とが、互いに独立してなされる。尚、アクティブ型の回路構成の場合、各リセット動作は、リセット用トランジスタとしてのトランジスタ24がオン状態となることによって行われる。

30

【0117】

<変形例10, 11>

図34(A), (B)はそれぞれ、変形例10, 11に係る撮像部（撮像部11A, 11B）の概略構成を模式的に表したものである。

【0118】

図34(A)に示した変形例10に係る撮像部11Aは、上記実施の形態で説明した光電変換層111上（受光面側）に、更に波長変換層112を有している。波長変換層112は、放射線 R_{rad} （線，線，線，X線等）を、光電変換層111の感度域に波長変換するものであり、これにより光電変換層111では、この放射線 R_{rad} に基づく情報を読み取ることが可能となっている。この波長変換層112は、例えばX線などの放射線を可視光に変換する蛍光体（例えば、シンチレータ）からなる。このような波長変換層112は、例えば有機平坦化膜、スピンドルガラス材料等からなる平坦化膜、および蛍光体膜をこの順に積層したものである。蛍光体膜は、例えばCsI:Tl, Gd₂O₂S, BaFX（XはCl, Br, I等）, NaIまたはCaF₂等からなる。この撮像部11Aは、例えばいわゆる間接変換型の放射線撮像装置に適用されるものである。

40

【0119】

図34(B)に示した変形例11に係る撮像部11Bは、上記実施の形態と異なり、入

50

射した放射線 R_{rad} を吸収して電気信号に変換する光電変換層 111B を有するものである。光電変換層 111B は、例えば、アモルファスセレン (a-Si) 半導体や、カドミニウムテルル (CdTe) 半導体などにより構成されている。この撮像部 11B は、例えればいわゆる直接変換型の放射線撮像装置に適用されるものである。尚、この直接変換型の場合の画素 20 の回路構成は、図 3 に示した各要素のうち光電変換素子 21 を容量に置き換えたものとなる。

【0120】

これらの変形例 10, 11 に係る撮像部 11A, 11B を備えた撮像装置では、入射した放射線 R_{rad} に基づいて電気信号を得る、様々な種類の放射線撮像装置として利用される。放射線撮像装置としては、例えば、医療用の X 線撮像装置 (Digital Radiography 等) や、空港等で用いられる携帯物検査用 X 線撮影装置、工業用 X 線撮像装置 (例えば、コンテナ内の危険物等の検査や、鞄等の中身の検査を行う装置) などに適用することが可能である。10

【0121】

<適用例>

続いて、上記実施の形態および各変形例 (変形例 1 ~ 11) に係る撮像装置は、以下に説明するような撮像表示システムへ適用可能である。

【0122】

図 35 は、適用例に係る撮像表示システム (撮像表示システム 5) の概略構成例を模式的に表したものである。撮像表示システム 5 は、上記実施の形態等に係る撮像部 11 (11A, 11B) 等を有する撮像装置 1 と、画像処理部 52 と、表示装置 4 とを備えており、この例では放射線を用いた撮像表示システム (放射線撮像表示システム) として構成されている。20

【0123】

画像処理部 52 は、撮像装置 1 から出力される出力データ D_{out} (撮像信号) に対して所定の画像処理を施すことにより、画像データ D_1 を生成するものである。表示装置 4 は、画像処理部 52 において生成された画像データ D_1 に基づく画像表示を、所定のモニタ画面 40 上で行うものである。

【0124】

この撮像表示システム 5 では、撮像装置 1 (ここでは放射線撮像装置) が、光源 (ここでは X 線源等の放射線源) 51 から被写体 50 に向けて照射された照射光 (ここでは放射線) に基づき、被写体 50 の画像データ D_{out} を取得し、画像処理部 52 へ出力する。画像処理部 52 は、入力された画像データ D_{out} に対して上記した所定の画像処理を施し、その画像処理後の画像データ (表示データ) D_1 を表示装置 4 へ出力する。表示装置 4 は、入力された画像データ D_1 に基づいて、モニタ画面 40 上に画像情報 (撮像画像) を表示する。30

【0125】

このように、本適用例の撮像表示システム 5 では、撮像装置 1 において被写体 50 の画像を電気信号として取得可能であるため、取得した電気信号を表示装置 4 へ伝送することによって画像表示を行うことができる。即ち、従来のような放射線写真フィルムを用いることなく、被写体 50 の画像を観察することが可能となり、また、動画撮影および動画表示にも対応することが可能となる。40

【0126】

尚、本適用例では、撮像装置 1 が放射線撮像装置として構成されており、放射線を用いた撮像表示システムとなっている場合を例に挙げて説明したが、本開示の撮像表示システムは、他の方程式の撮像装置を用いたものにも適用することが可能である。

【0127】

以上、実施の形態、変形例および適用例を挙げたが、本開示内容はこれらの実施の形態等に限定されず、種々の変形が可能である。例えば、撮像部における画素の回路構成は、上記実施の形態等で説明したもの (画素 20, 20A ~ 20D の回路構成) には限られず50

、他の回路構成であってもよい。同様に、行走査部や列選択部等の回路構成についても、上記実施の形態等で説明したものには限られず、他の回路構成であってもよい。

【0128】

また、上記実施の形態等において説明した電位 $V_{read\ 1}$ と電位 $V_{read\ 2}$ は、トランジスタにおける 2 つのゲート電極のうちのどちらの電極に印加されるものであってもよい。また、上述の説明では、電位 $V_{read\ 1}$, $V_{read\ 2}$ のうち電位 $V_{read\ 2}$ のオン電位からオフ電位への切り替えタイミングあるいは振幅を変更する場合を例示したが、電位 $V_{read\ 1}$ 側を変更してもよいし、電位 $V_{read\ 1}$, $V_{read\ 2}$ の両方を変更してもよい。また、電位 $V_{read\ 1}$, $V_{read\ 2}$ において異なる振幅に設定する場合には、2 値または 3 値の切り替えを行ったが、4 値以上の間で切り替えを行うようにしてよい。更には、オン電位からオフ電位への切り替えタイミング（電位立ち下げタイミング）に限らず、オフ電位からオン電位への切り替えタイミング（電位立ちあげタイミング）を変更するようにしてよい。例えば、一方のゲート電位を他方よりも早く立ち上げると共に早く立ち下げるてもよい。即ち、本開示では、オン電圧とオフ電圧との切り替えタイミングおよびオン電圧値のうちの一方または両方が異なるように駆動されればよい。但し、上記実施の形態等のように、少なくとも一方のゲート電位を他方よりも早く立ち下げることが望ましく、これによりチャージインジェクション低減の効果をより有効に得ることができる。10

【0129】

更に、上記実施の形態等では、1 フレーム期間において複数回のリセット動作（パッシュ型駆動回路を用いた場合に、読み出し動作に伴って行われるリセット動作を含む）がなされる場合を例示したが、本開示は、1 フレーム期間において 1 回のみのリセット動作がなされる場合にも適用可能である。20

【0130】

尚、アクティブ型の回路構成を用いた場合には、上述のように読み出し動作とリセット動作とが互いに独立してなされるため、読み出し動作直後に行うリセット動作のタイミングを調整可能である。

【0131】

更に、上記実施の形態等で説明した撮像部、行走査部、A / D 変換部（列選択部）および列走査部等はそれぞれ、例えば同一基板上に形成されているようにしてよい。具体的には、例えば低温多結晶シリコンなどの多結晶半導体を用いることにより、これらの回路部分におけるスイッチ等も同一基板上に形成することができるようになる。このため、例えば外部のシステム制御部からの制御信号に基づいて、同一基板上における駆動動作を行うことが可能となり、狭額縫化（3 辺フリーの額縫構造）や配線接続の際の信頼性向上を実現することができる。30

【0132】

尚、本開示は以下のような構成を取ることも可能である。

(1) 各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と、前記トランジスタのオン動作およびオフ動作を切り替えることにより、前記画素内に蓄積された信号電荷の読み出し駆動およびリセット駆動を行う駆動部とを備え、前記トランジスタが半導体層を間にして第 1 および第 2 のゲート電極を有し、前記駆動部は、前記トランジスタの前記第 1 のゲート電極に第 1 の電圧、前記第 2 のゲート電極に第 2 の電圧をそれぞれ印加することにより、前記オン動作および前記オフ動作を切り替え、かつ前記リセット駆動の際には、前記第 1 および第 2 の電圧のそれぞれにおいて、オン電圧およびオフ電圧間の切り替え時期およびオン電圧値のうちの一方または両方が互いに異なるように設定する撮像装置。40

(2) 前記駆動部は、前記第 1 の電圧をオン電圧、前記第 2 の電圧をオフ電圧に保持して前記リセット駆動を行う上記(1)に記載の撮像装置。

(3) 前記駆動部は、前記第 1 の電圧よりも前記第 2 の電圧におけるオン電圧からオフ電圧への切り替え時期を相対的に早めて前記リセット駆動を行う上記(1)または(2)に記載の撮像装置。50

(4) 前記駆動部は、前記第1の電圧よりも前記第2の電圧における前記オン電圧値を相対的に小さく設定して前記リセット駆動を行う上記(1)～(3)のいずれかに記載の撮像装置。

(5) 前記駆動部は、前記第1の電圧よりも前記第2の電圧におけるオン電圧からオフ電圧への切り替え時期を相対的に早め、かつ前記第1の電圧よりも前記第2の電圧における前記オン電圧値を相対的に小さく設定して前記リセット駆動を行う上記(1)～(4)のいずれかに記載の撮像装置。

(6) 前記駆動部は、前記リセット駆動を1フレーム期間内で間欠的に複数回行い、前記1フレーム期間内の少なくとも最終回のリセット駆動の際に、前記第1および第2の電圧の前記切り替え時期および前記オン電圧値のうちの一方または両方が異なるように設定する上記(1)～(5)のいずれかに記載の撮像装置。 10

(7) 前記駆動部による前記読み出し駆動に伴って、前記画素内の信号電荷のリセット動作がなされる上記(1)～(6)のいずれかに記載の撮像装置。

(8) 前記トランジスタでは、前記第1および第2のゲート電極の各ゲート長が互いに異なっている上記(1)～(7)のいずれかに記載の撮像装置。

(9) 前記トランジスタは、それぞれが、前記半導体層と電気的に接続されると共に、ソースまたはドレインとして機能する一対のソース・ドレイン電極を有し、前記半導体層は、活性層と、前記活性層と前記一対のソース・ドレイン電極のそれぞれとの間に形成されたLDD(Lightly Doped Drain)層とを含み、前記第1および第2のゲート電極のうちの一方または両方のゲート電極が、一方のソース・ドレイン電極側に形成されたLDD層にオーバーラップして設けられている上記(8)に記載の撮像装置。 20

(10) 前記第2のゲート電極が、一方のソース・ドレイン電極側に形成されたLDD層にオーバーラップして設けられている上記(9)に記載の撮像装置。

(11) 前記光電変換素子が、PIN型のフォトダイオードまたはMIS型センサからなる上記(1)～(10)のいずれかに記載の撮像装置。

(12) 前記撮像部が、入射した放射線に基づいて電気信号を発生させるものである上記(1)～(11)のいずれかに記載の撮像装置。

(13) 前記撮像部は、前記光電変換素子上に、放射線を前記光電変換素子の感度域に変換する波長変換層を有する上記(12)に記載の撮像装置。

(14) 前記撮像部は、入射した放射線を直接的に電気信号に変換する光電変換層を有する上記(12)に記載の撮像装置。 30

(15) 前記放射線がX線である上記(12)～(14)のいずれかに記載の撮像装置。

(16) 前記トランジスタの前記半導体層は、アモルファスシリコン、多結晶シリコン、微結晶シリコンまたは酸化物半導体よりなる上記(1)～(15)のいずれかに記載の撮像装置。

(17) 撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、前記撮像装置は、各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と、前記トランジスタのオン動作およびオフ動作を切り替えることにより、前記画素内に蓄積された信号電荷の読み出し駆動およびリセット駆動を行う駆動部とを備え、前記トランジスタが半導体層を間にして第1および第2のゲート電極を有し、前記駆動部は、前記トランジスタの前記第1のゲート電極に第1の電圧、前記第2のゲート電極に第2の電圧をそれぞれ印加することにより、前記オン動作および前記オフ動作を切り替え、かつ前記リセット駆動の際には、前記第1および第2の電圧のそれぞれにおいて、オン電圧およびオフ電圧間の切り替え時期およびオン電圧値のうちの一方または両方が互いに異なるように設定する撮像表示システム。 40

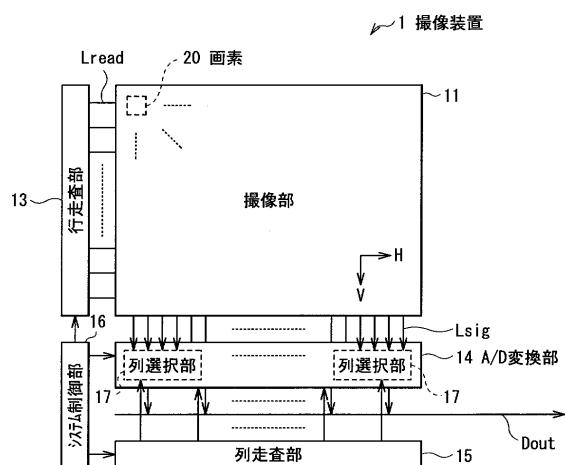
【符号の説明】

【0133】

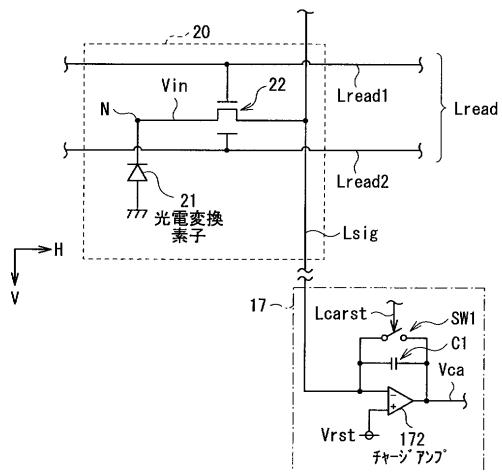
1...撮像装置、11, 11A, 11B...撮像部、111, 111B...光電変換層、112...波長変換層、13...行走査部、130...単位回路、131, 132...シフトレジスタ回路(S/R)、135A～135D...バッファ回路、133A～133D...AND回路 50

、 1 3 4 A , 1 3 4 B ... O R 回路、 1 4 ... A / D 変換部、 1 5 ... 列走査部、 1 6 ... システム制御部、 1 7 , 1 7 B ... 列選択部、 1 7 1 ... 定電流源、 1 7 2 ... チャージアンプ、 1 7 3 ... S / H 回路、 1 7 4 ... マルチプレクサ回路、 1 7 5 ... A / D コンバータ、 1 7 6 ... アンプ、 2 0 , 2 0 A ~ 2 0 C ... 画素（撮像画素）、 2 1 ... 光電変換素子、 2 1 P ... p 型半導体層、 2 1 N ... n 型半導体層、 2 1 I ... 真性半導体層（i 領域）、 2 1 G ... ゲート電極、 2 2 , 2 3 , 2 4 ... トランジスタ、 4 ... 表示装置、 4 0 ... モニタ画面、 5 ... 撮像表示システム、 5 0 ... 被写体、 5 1 ... 光源（放射線源）、 5 2 ... 画像処理部、 L sig ... 信号線、 L read ... 読み出し制御線、 L rst ... リセット制御線、 L carst ... アンプリセット制御線、 D out ... 出力データ、 D 1 ... 撮像信号、 V rst ... リセット電圧、 N ... 蓄積ノード、 SW 1 , S W 2 ... スイッチ、 C 1 ... 容量素子、 C gd , C gp , C dp ... 寄生容量、 V ST 1 , V ST 2 ... スタートパルス信号、 C L K 1 , C L K 2 ... クロック信号、 E N 1 ~ E N 4 ... イネーブル信号、 T v ... 1 垂直期間（1 フレーム期間）、 T ex ... 露光期間、 T r 1 ... 読み出し / 第 1 リセット期間、 T r 1 a ... 読み出し期間、 T r 1 b ... 第 1 リセット期間、 T r 2 ... 第 2 リセット期間、 L in ... 撮像光、 R rad ... 放射線。 10

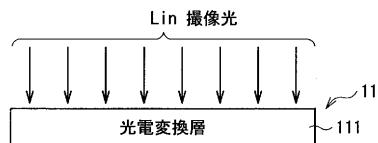
【図 1】



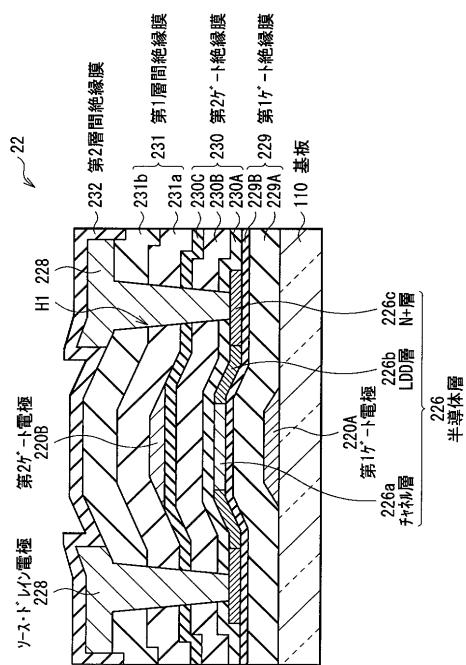
【図 3】



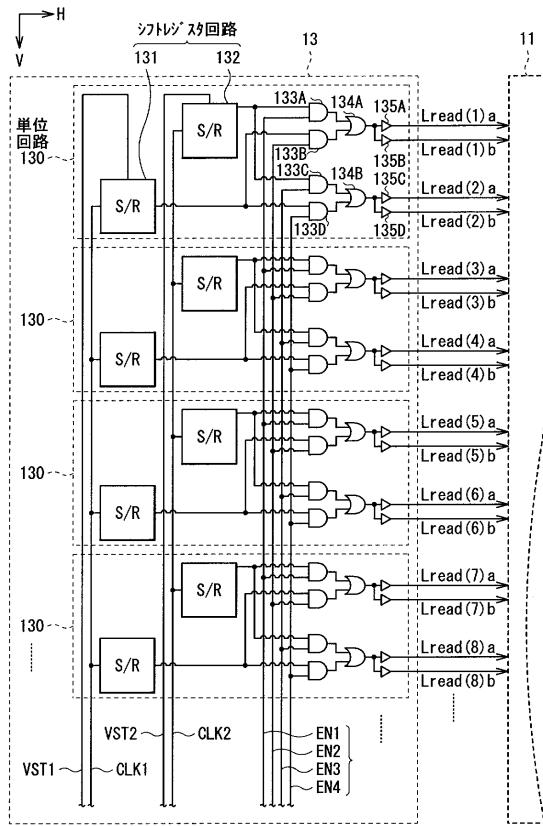
【図 2】



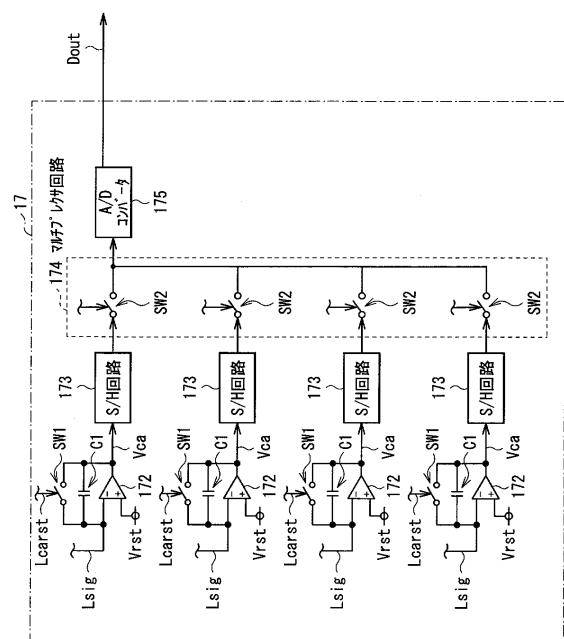
【図4】



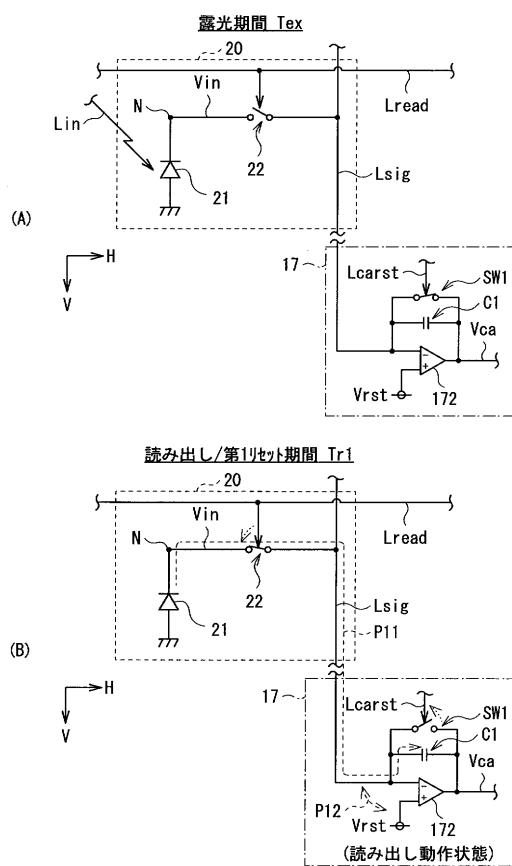
【図5】



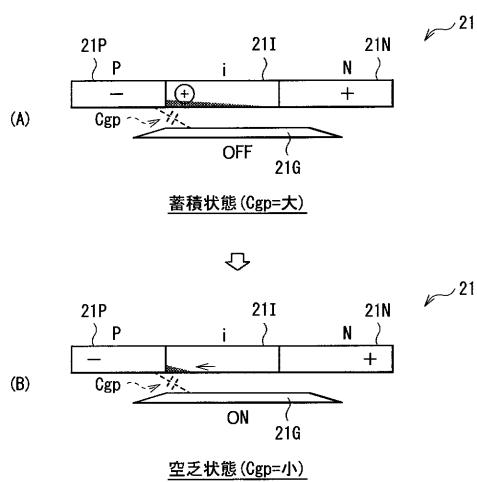
【図6】



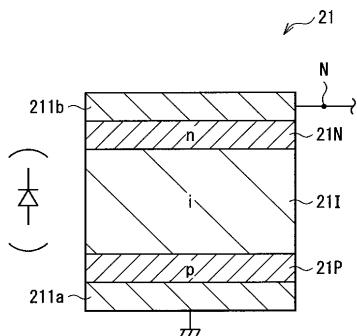
【図7】



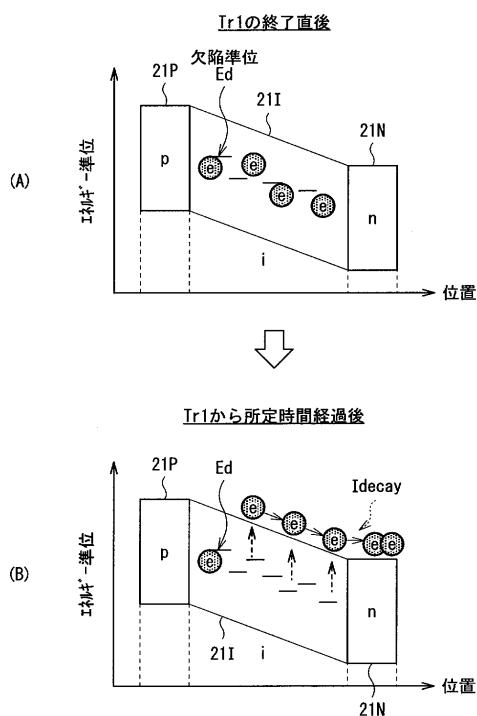
【図 8】



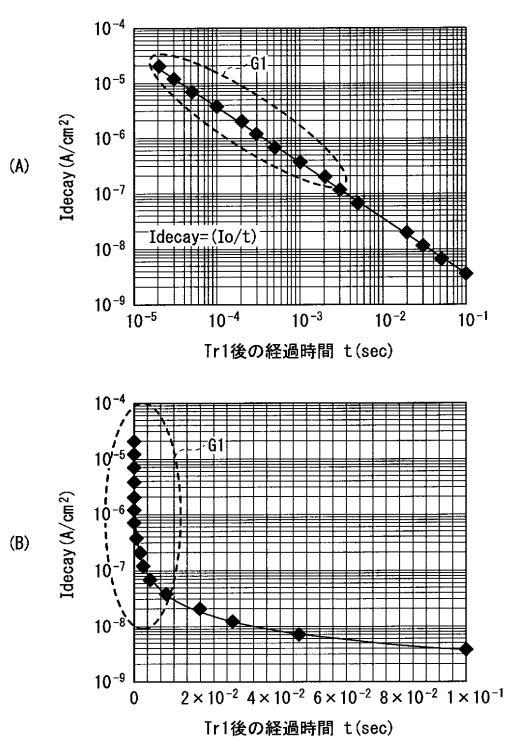
【図 9】



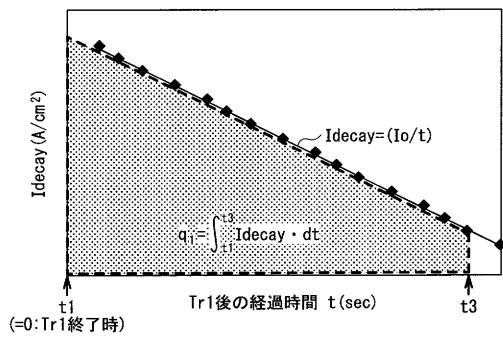
【図 10】



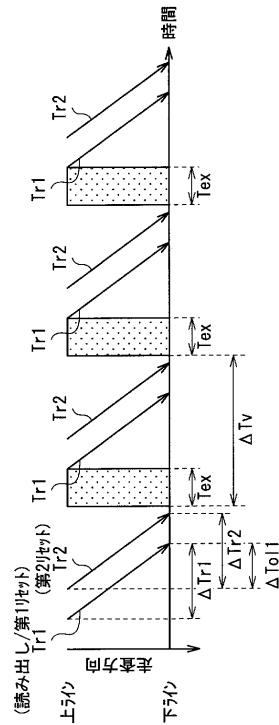
【図 11】



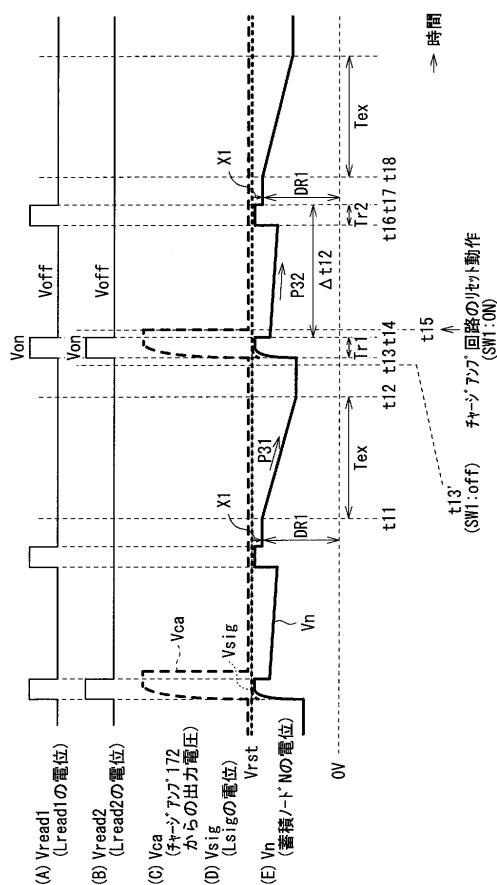
【図12】



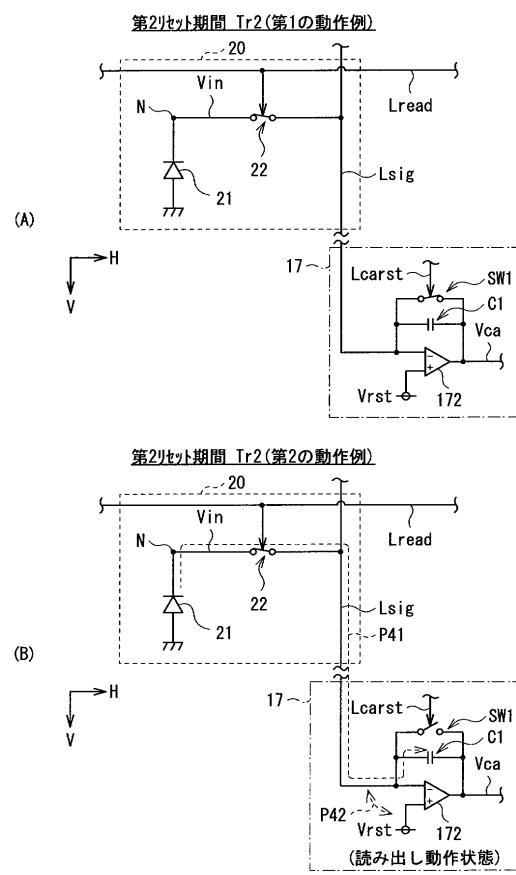
【図13】



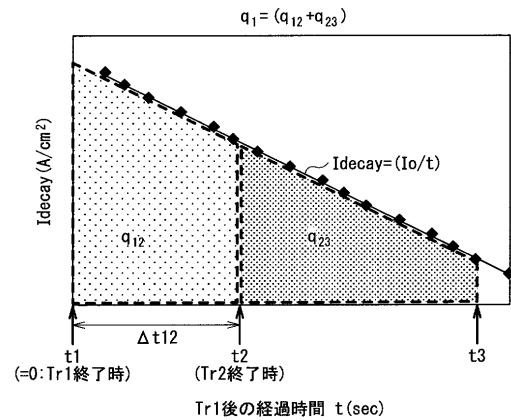
【図14】



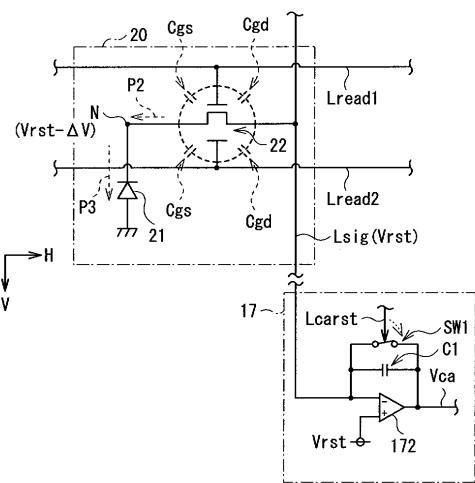
【図15】



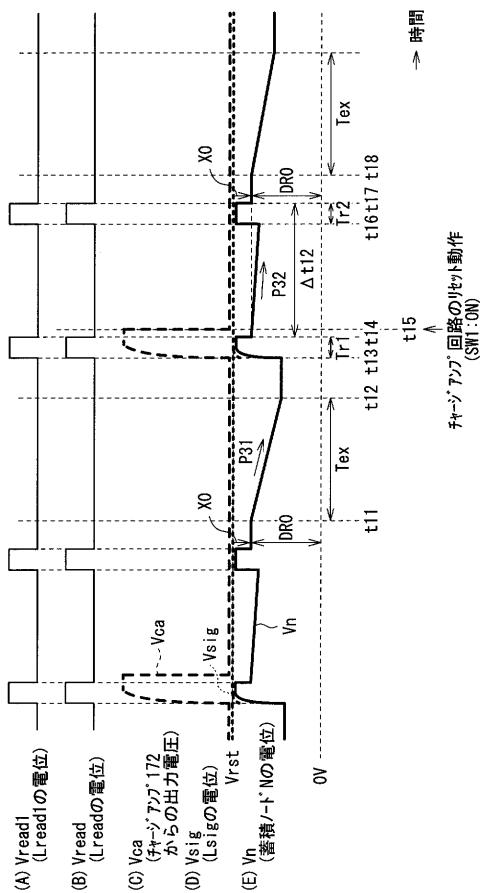
【図16】



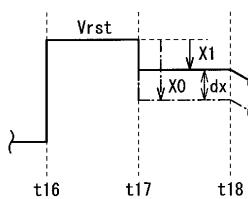
【図17】



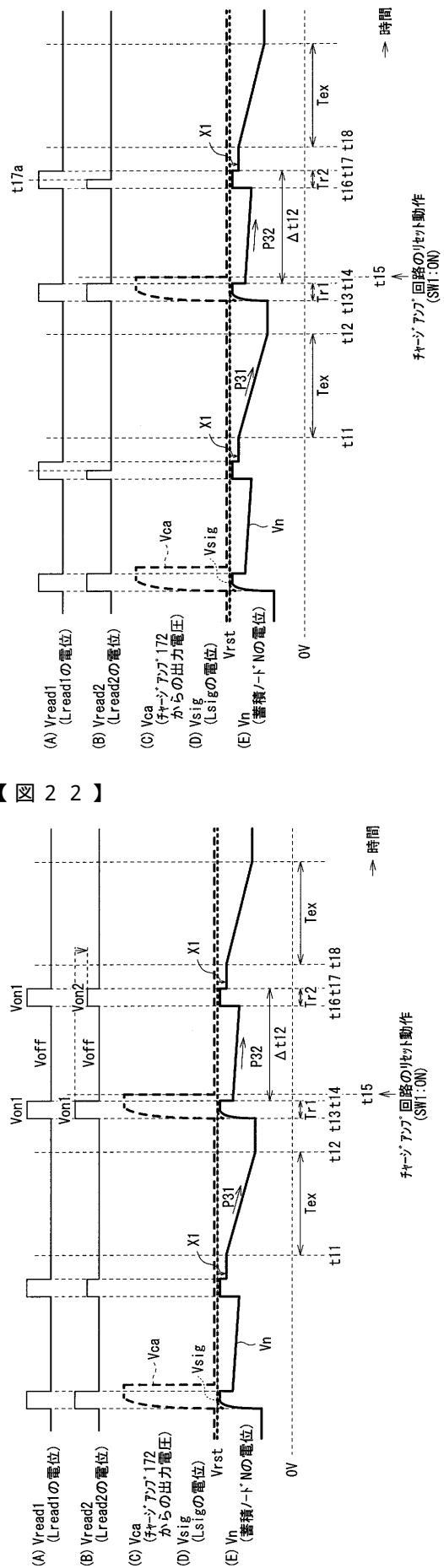
【図18】



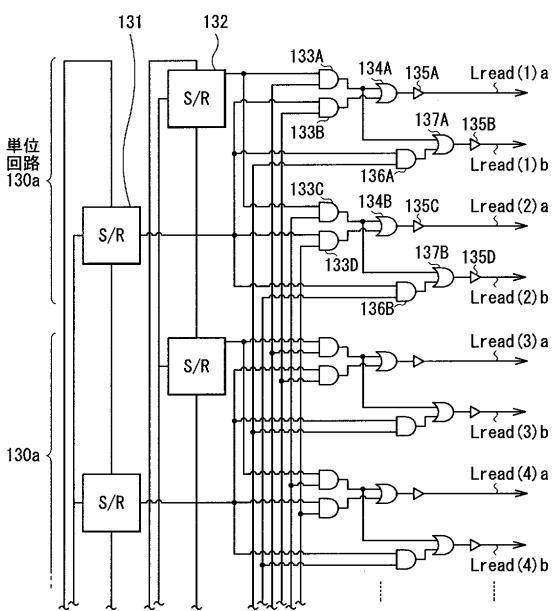
【図19】



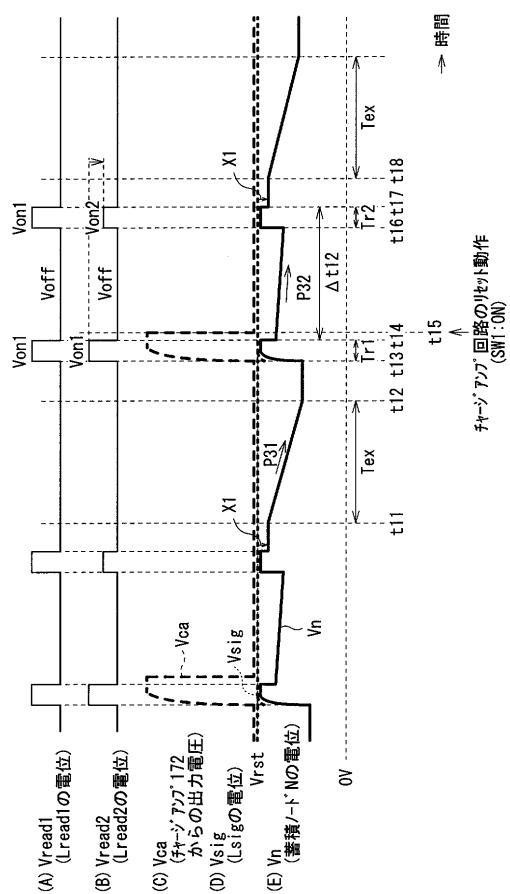
【図20】



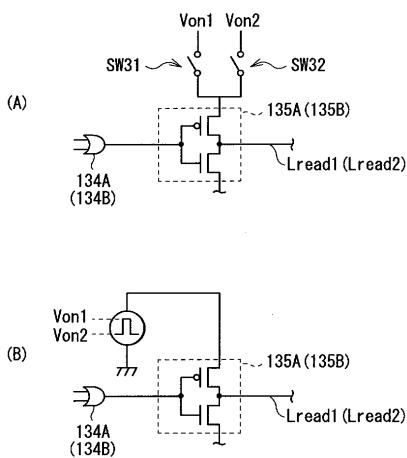
【図21】



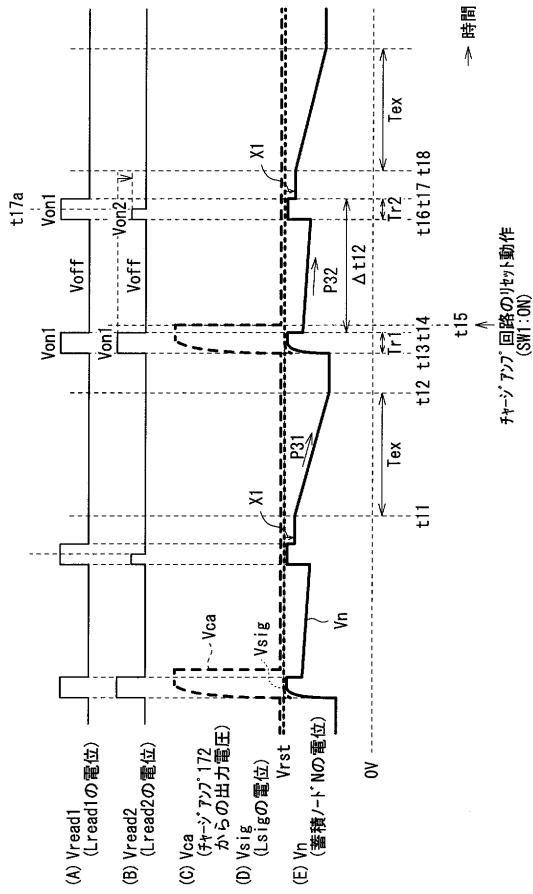
【 図 2 2 】



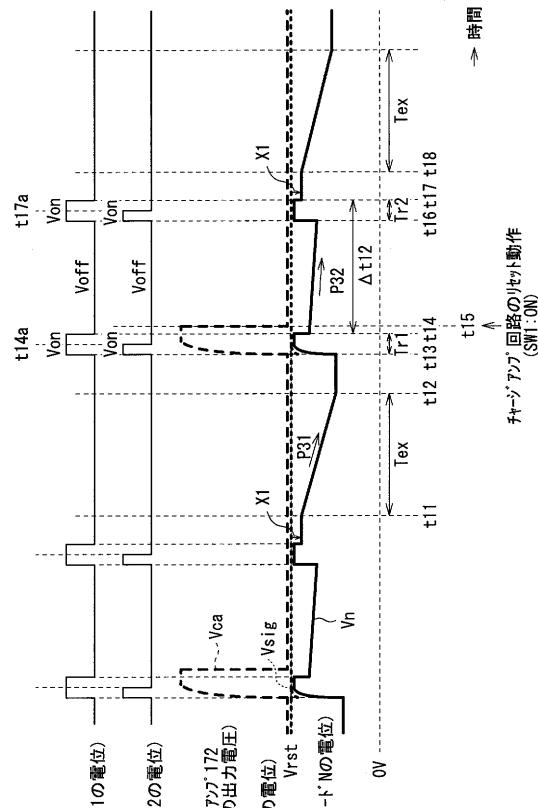
【 図 2 3 】



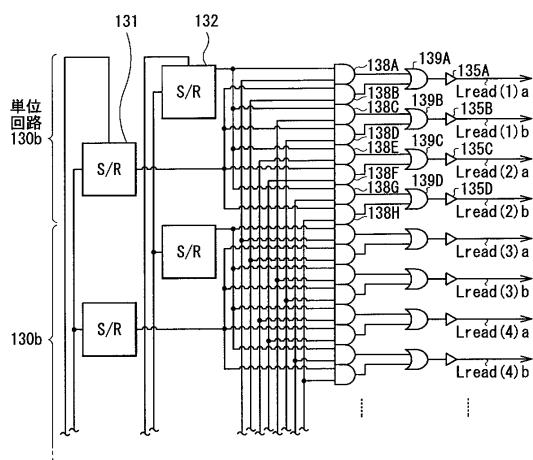
【図24】



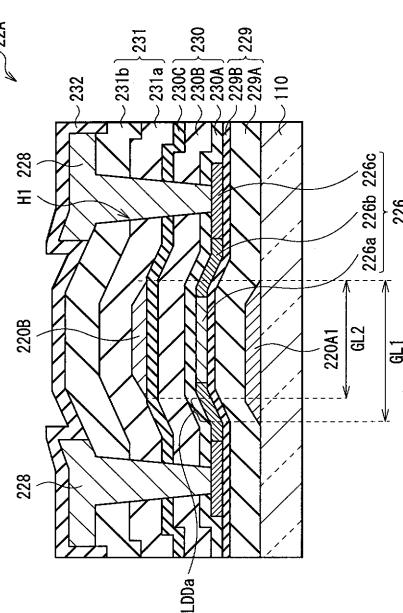
【図25】



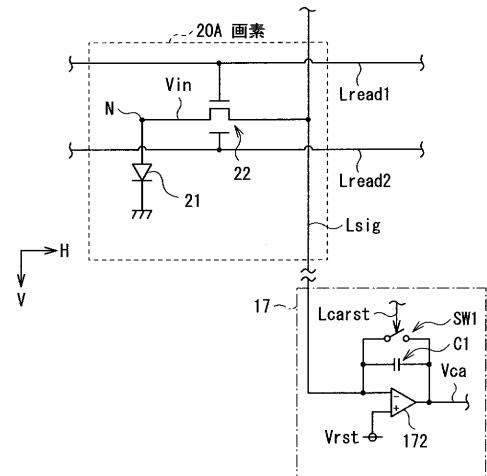
【図26】



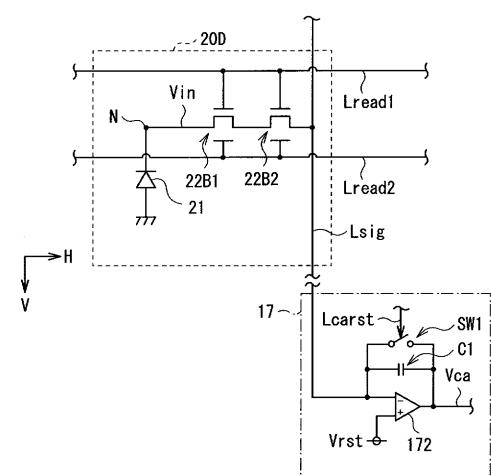
【図27】



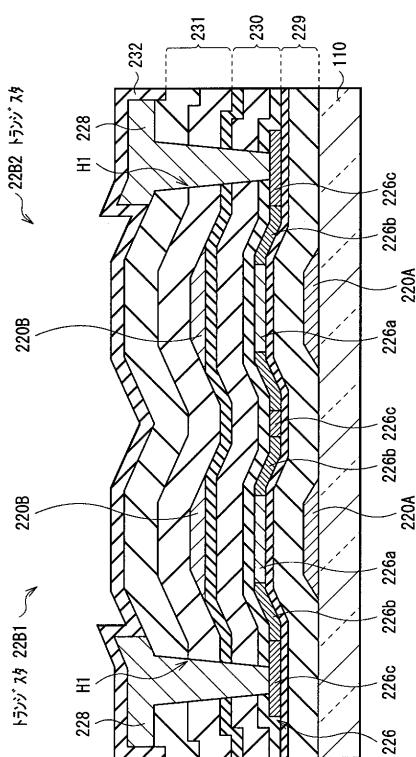
【図28】



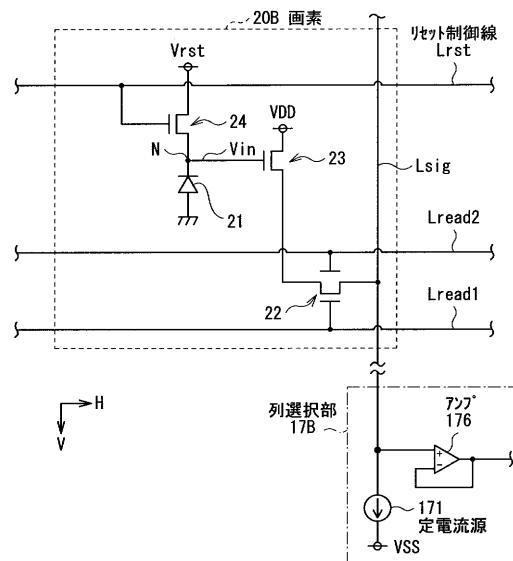
【図29】



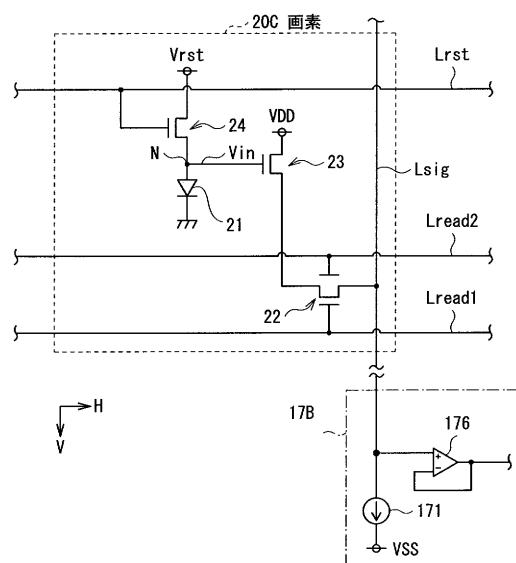
【図30】



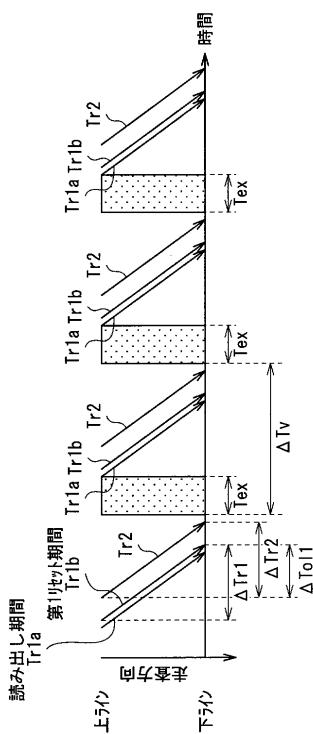
【図31】



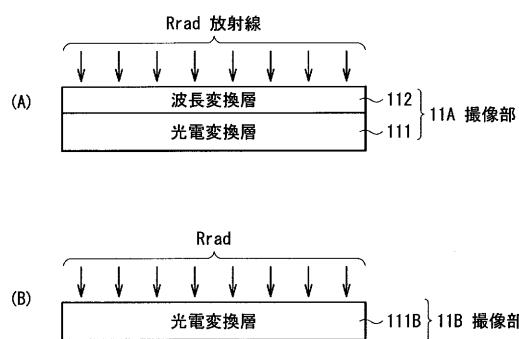
【図3-2】



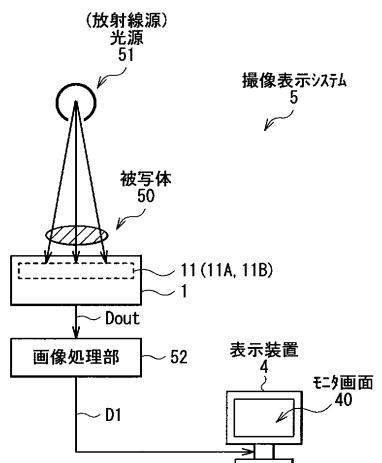
【図3-3】



【図3-4】



【図3-5】



フロントページの続き

審査官 松永 隆志

(56)参考文献 特開2004-265935(JP,A)

特開2001-136440(JP,A)

特開2010-171918(JP,A)

特開2011-135561(JP,A)

特開平05-090586(JP,A)

特開2004-247536(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5 / 374

G01T 1 / 17

G01T 1 / 24

H01L 27 / 146

H04N 5 / 32