

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6571805号
(P6571805)

(45) 発行日 令和1年9月4日(2019.9.4)

(24) 登録日 令和1年8月16日(2019.8.16)

(51) Int.Cl.

F I

HO 1 L 33/48 (2010.01)

HO 1 L 33/36 (2010.01)

HO 1 L 33/48

HO 1 L 33/36

請求項の数 12 (全 10 頁)

(21) 出願番号	特願2017-568302 (P2017-568302)	(73) 特許権者	599133716
(86) (22) 出願日	平成28年7月4日 (2016.7.4)		オスラム オプト セミコンダクターズ
(65) 公表番号	特表2018-519669 (P2018-519669A)		ゲゼルシャフト ミット ベシュレンクテ
(43) 公表日	平成30年7月19日 (2018.7.19)		ル ハフツング
(86) 国際出願番号	PCT/EP2016/065714		Osram Opto Semicond
(87) 国際公開番号	W02017/009085		uctors GmbH
(87) 国際公開日	平成29年1月19日 (2017.1.19)		ドイツ連邦共和国、93055 レーゲン
審査請求日	平成30年2月2日 (2018.2.2)		スブルグ、ライプニッツシュトラッセ 4
(31) 優先権主張番号	102015111485.2		Leibnizstrasse 4, D
(32) 優先日	平成27年7月15日 (2015.7.15)		-93055 Regensburg,
(33) 優先権主張国・地域又は機関	ドイツ (DE)	(74) 代理人	Germany
			110002952
			特許業務法人鷲田国際特許事務所
		最終頁に続く	

(54) 【発明の名称】 オプトエレクトロニクス半導体装置

(57) 【特許請求の範囲】

【請求項 1】

オプトエレクトロニクス半導体装置であって、

- p型半導体領域（3）と、n型半導体領域（5）と、前記p型半導体領域（3）と前記n型半導体領域（5）との間に配置されている活性層（4）と、を有する半導体積層体（2）、を備えた半導体ボディ（1）と、
- プラスチック材料を含み、かつ第1の貫通ビア（11）および第2の貫通ビア（12）を備えている、キャリア（10）と、
- 少なくとも部分的に前記キャリア（10）と前記半導体ボディ（1）との間に配置されているp型接続層（7）およびn型接続層（8，8A）であって、前記p型接続層（7）が前記第1の貫通ビア（11）を前記p型半導体領域（3）に接続しており、かつ前記n型接続層（8，8A）が前記第2の貫通ビア（12）を前記n型半導体領域（5）に接続している、前記p型接続層（7）および前記n型接続層（8）と、
- 前記キャリア（10）と前記半導体ボディ（1）との間に配置されているESD保護素子（15）であって、前記ESD保護素子（15）が前記第1の貫通ビア（11）と前記第2の貫通ビア（12）とに導電接続されており、前記ESD保護素子（15）の導通方向が前記半導体積層体（2）の導通方向と逆並列であり、前記ESD保護素子（15）が前記第1の貫通ビア（11）及び前記第2の貫通ビア（12）と直接隣接する、前記ESD保護素子（15）と、

を備えている、オプトエレクトロニクス半導体装置。

【請求項 2】

前記 ESD 保護素子 (15) が、平坦な層の形をとる、
請求項 1 に記載のオプトエレクトロニクス半導体装置。

【請求項 3】

前記 ESD 保護素子 (15) が、ダイオード、ショットキー接触、またはバリスタの形をとる、

請求項 1 または請求項 2 のいずれか 1 項に記載のオプトエレクトロニクス半導体装置。

【請求項 4】

前記 ESD 保護素子 (15) が、材料 ZnO、Si、TiO、ITO、SnO、Ge、Se、Te、AlN、またはグラフェンのうちの少なくとも 1 種類を含む、

請求項 1 から請求項 3 のいずれか 1 項に記載のオプトエレクトロニクス半導体装置。

【請求項 5】

前記 ESD 保護素子 (15) が、前記半導体ボディ (1) の側の前記キャリア (10) の境界面に配置されている、

請求項 1 から請求項 4 のいずれか 1 項に記載のオプトエレクトロニクス半導体装置。

【請求項 6】

前記 ESD 保護素子 (15) が、前記第 1 の貫通ビア (11) と前記第 2 の貫通ビア (12) とに直接隣接している、

請求項 1 から請求項 5 のいずれか 1 項に記載のオプトエレクトロニクス半導体装置。

【請求項 7】

前記 ESD 保護素子 (15) が、p 型導電領域 (13) および n 型導電領域 (14) を備えたダイオードであり、前記 n 型導電領域 (14) が前記第 1 の貫通ビア (11) に導電接続されており、かつ、前記 p 型導電領域 (13) が前記第 2 の貫通ビア (12) に導電接続されている、

請求項 1 から請求項 6 のいずれか 1 項に記載のオプトエレクトロニクス半導体装置。

【請求項 8】

前記 p 型導電領域 (13) および前記 n 型導電領域 (14) が、前記第 1 の貫通ビア (11) と前記第 2 の貫通ビア (12) の間に直線状の接続部を形成している、

請求項 7 に記載のオプトエレクトロニクス半導体装置。

【請求項 9】

前記 p 型導電領域 (13) および前記 n 型導電領域 (14) が、それぞれ環状構造である、

請求項 7 に記載のオプトエレクトロニクス半導体装置。

【請求項 10】

前記 p 型導電領域 (13) および前記 n 型導電領域 (14) が、前記 p 型接続層 (7) または前記 n 型接続層 (8, 8A) の周囲に環状に延在している、

請求項 9 に記載のオプトエレクトロニクス半導体装置。

【請求項 11】

前記キャリア (10) が、エポキシ樹脂またはシリコンを含む、

請求項 1 から請求項 10 のいずれか 1 項に記載のオプトエレクトロニクス半導体装置。

【請求項 12】

前記 n 型接続層 (8, 8A) が、前記 p 型半導体領域 (3) および前記活性層 (4) における開口部を通じて前記 n 型半導体領域 (5) の中に達している、

請求項 1 から請求項 11 のいずれか 1 項に記載のオプトエレクトロニクス半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、半導体ボディと、プラスチック材料のキャリアとを備えたオプトエレクトロニクス半導体装置に関する。

10

20

30

40

50

【関連出願】

【0002】

本特許出願は、独国特許出願第102015111485.2号の優先権を主張し、この文書の開示内容は参照により本明細書に組み込まれている。

【背景技術】

【0003】

オプトエレクトロニクス半導体装置は、特に、半導体ボディと、半導体ボディに電氣的に接触するための貫通ビアが設けられた、成形法を使用して作製されるプラスチックキャリアと、を備えていることができる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

達成すべき1つの目的は、短絡および／または静電放電（ESD）の影響を受けにくいことを特徴とし、かつ比較的簡単に製造される、改良されたオプトエレクトロニクス半導体装置を提供することである。

【課題を解決するための手段】

【0005】

この目的は、独立請求項1に記載のオプトエレクトロニクス半導体装置によって達成される。本発明の有利な構造およびさらなる発展形態は、従属請求項の主題である。

【0006】

一実施形態によると、本オプトエレクトロニクス半導体装置は、p型半導体領域と、n型半導体領域と、これらp型半導体領域とn型半導体領域との間に配置されている活性層と、を有する半導体積層体、を備えた半導体ボディ、を具備する。活性層は、特に、放射を放出する活性層とすることができる。p型半導体領域、n型半導体領域、および活性層は、それぞれ、1層または複数層の半導体層を備えていることができる。p型半導体領域は、1層または複数層のp型ドーブ半導体層を含み、n型ドーブ半導体領域は、1層または複数層のn型ドーブ半導体層を含む。p型半導体領域および／またはn型半導体領域が、1層または複数層のアンドーブ半導体層を含むことも可能である。

【0007】

活性層は、例えば、ダブルヘテロ構造のpn接合部、単一量子井戸構造のpn接合部、または多重量子井戸構造のpn接合部の形をとることができる。用語「量子井戸構造」は、本明細書においては、封入（「閉じ込め」）によって電荷キャリアにおいてエネルギー状態の量子化が起こる任意の構造を含む。特に、量子井戸構造という用語は、量子化の次元について何らかの指定を行うものではない。したがって、量子井戸構造には、特に、量子井戸、量子細線、および量子ドットと、これらの構造の任意の組合せが含まれる。

【0008】

さらに、本オプトエレクトロニクス半導体装置は、プラスチック材料を含むキャリアを備えている。キャリアは、特に、成形法を使用して作製することができる。言い換えれば、キャリアは「成形体」である。成形法という用語は、本明細書においては、成形材料を所定の金型の中に導入し、特にその後に硬化させるあらゆる製造方法を対象とする。成形法という用語は、特に、鋳造（ポットィング）、射出成形、トランスファ成形、および圧縮成形を包含する。キャリアは、圧縮成形によって、または膜支援トランスファ成形（film assisted transfer molding）によって、形成されることが好ましい。

【0009】

キャリアのプラスチック材料は、成形用樹脂（例えばエポキシ樹脂など）またはシリコンを含むことが好ましい。プラスチック材料は、混合材料として1種類または複数種類の添加物を含むことができる。例えば、キャリアは、熱膨張係数を調整するためのSiO₂粒子を含むことができる。キャリアは、例えば、50μm～500μmの範囲内の厚さ、好ましくは100μm～200μmの範囲内の厚さ、一般には約150μmの厚さを有することができる。

10

20

30

40

50

【0010】

少なくとも一実施形態によると、キャリアは、第1の貫通ビアおよび第2の貫通ビアを備えており、これらの貫通ビアそれぞれは、半導体ボディの側のキャリアの第1の主面から、半導体ボディとは反対側のキャリアの第2の主面まで延びている。

【0011】

貫通ビアがキャリアの第1の主面から、キャリアの反対側の第2の主面まで延びているため、本オプトエレクトロニクス装置には、キャリアの第2の主面に電気接続部を設けることができ、これは有利である。特に、本オプトエレクトロニクス装置を、キャリアの第2の主面においてプリント基板の導体トラックに接続することができ、これは例えば、第1の貫通ビアをはんだ層によってプリント基板の第1の導体トラックに接続し、第2の貫通ビアを第2のはんだ層によってプリント基板の第2の導体トラックに接続することによる。したがって、本オプトエレクトロニクス装置は表面実装可能であり、これは有利である。

10

【0012】

さらに、本オプトエレクトロニクス半導体装置は、少なくとも部分的にキャリアと半導体ボディとの間に配置されているp型接続層およびn型接続層を備えていることが有利であり、この場合、p型接続層が第1の貫通ビアをp型半導体領域に接続しており、n型接続層が第2の貫通ビアをn型半導体領域に接続している。第1の電気接触層と第2の電気接触層は、電気絶縁層によって互いに絶縁されている。本オプトエレクトロニクス半導体チップの場合、p型半導体領域およびn型半導体領域の両方にキャリア側から接触され、これは有利である。この利点として、キャリアとは反対側の半導体ボディの放射出口面に、接続層を存在させなくてよい。これによって放射効率 (radiant yield) が高まり、これは有利である。

20

【0013】

好ましい一実施形態においては、n型接続層は、p型半導体領域および活性層における開口部を通してn型半導体領域の中に達している。開口部の領域においては、n型接続層は、電気絶縁層によって活性層およびp型半導体領域から絶縁されている。

【0014】

キャリアの方向に放出された放射を放射出口面の方に反射する目的で、n型接続層および／またはp型接続層が、活性層によって放出される放射に対して反射性であることが、さらに有利である。n型接続層および／またはp型接続層は、特に、反射性の金属層を備えていることができ、好ましくは銀またはアルミニウムを含む。n型接続層および／またはp型接続層が複数の副層、特に、金属層と、透明導電性酸化物 (例えばITOまたはドーパされたZnO (ドーパントは例えばAlまたはGa) など) の層、を備えていることが可能である。

30

【0015】

さらに、本オプトエレクトロニクス半導体装置は、キャリアと半導体ボディとの間に配置されているESD保護素子を含み、これは有利である。

【0016】

ESD保護素子は、第1の貫通ビアおよび第2の貫通ビアに導電接続されており、この場合、ESD保護素子の導通方向は、半導体積層体の導通方向に逆並列である。ESD保護素子は、方向によって決まる導電率を示し、この場合、導通方向は、導電率が高い方向である。言い換えれば、ESD保護素子は、半導体積層体の逆方向においてより高い導電率を有し、半導体積層体の順方向においてより低い導電率を有する、または好ましくは非導電性である。このようにしてESD保護素子は、特に静電放電の結果として発生してオプトエレクトロニクス半導体装置の損傷につながりうる、半導体積層体の非導通方向における高電圧から、半導体積層体を保護し、これは有利である。

40

【0017】

ESD保護素子は、本オプトエレクトロニクス半導体装置に組み込まれた好ましくは平坦な層である。言い換えればESD保護素子は、特に、個別に製造される構成要素ではな

50

く、パッケージ (package) を有さない。ESD保護素子は、例えば、ダイオード、ショットキー接触、またはバリスタの形をとることができる。ESD保護素子は、例えば、材料ZnO、Si、TiO、ITO、SnO、Ge、Se、Te、AlN、またはグラフェンのうちの少なくとも1種類を含む、または少なくとも1種類からなることができる。ESD保護素子の材料に少なくとも部分的にn型ドーパントまたはp型ドーパントを含めて、例えばダイオードを形成することができる。

【0018】

1つの好ましい構造においては、ESD保護素子は、半導体ボディの側のキャリアの境界面に配置されている。半導体ボディとキャリアとの間に配置されている結果として、ESD保護素子は、キャリアのプラスチック材料によって外部の影響から保護され、これは有利であり、かつ外側から見え、これは好ましい。

10

【0019】

ESD保護素子は、特に、キャリアの第1の貫通ビアおよび第2の貫通ビアに直接隣接していることができる。ESD保護素子は、例えば、貫通ビアおよびキャリアを作製する前に、キャリアに面しているオプトエレクトロニクス半導体装置の面に形成することができる。例えば、ESD保護素子を最初に作製し、次いで例えば電気めっきによって貫通ビアを作製し、さらなるステップにおいて成形法によってキャリアを作製する。

【0020】

1つの好ましい構造においては、ESD保護素子は、n型導電領域およびp型導電領域を備えたダイオードである。この場合、n型導電領域が第1の貫通ビアに導電接続されており、p型導電領域が第2の貫通ビアに導電接続されている。好ましくは、n型導電領域が第1の貫通ビアに直接隣接しており、p型導電領域が第2の貫通ビアに直接隣接している。

20

【0021】

1つの好ましい構造においては、n型導電領域およびp型導電領域は、それぞれ環状構造である。n型導電領域を例えば第1の貫通ビアの周囲に環状に配置することができ、この場合、n型導電領域の周囲にp型導電領域が環状に配置される。この構造においては、p型導電領域をn型接続層または第2の貫通ビアが環状に囲むことができる。

【0022】

これに代えて、p型導電領域を第2の貫通ビアの周囲に環状に配置することも可能であり、この場合、p型導電領域をn型導電領域が環状に囲む。この構造においては、n型導電領域の周囲をn型接続層または第1の貫通ビアが環状に囲むことができる。

30

【0023】

ESD保護素子のp型導電領域およびn型導電領域の環状構造の利点として、pn接合部が比較的大きな面積を有する。このようにすることで、半導体積層体の非導通方向における電圧パルスの場合に、高い通電容量、したがって特に良好なESD保護が達成される。

【0024】

以下では、本発明について、図1～図4に関連して例示的な実施形態を参照しながらさらに詳しく説明する。

40

【図面の簡単な説明】

【0025】

【図1】第1の例示的な実施形態によるオプトエレクトロニクス半導体装置の断面の概略図である。

【図2】第1の例示的な実施形態における、第1の貫通ビアと第2の貫通ビアの間のESD保護素子の配置構造の、上からの概略平面図である。

【図3】第2の例示的な実施形態によるオプトエレクトロニクス半導体装置の断面の概略図である。

【図4】第2の例示的な実施形態における、第1の貫通ビアと第2の貫通ビアの間のESD保護素子の配置構造の、上からの概略平面図である。

50

【発明を実施するための形態】

【0026】

図面に示した構成要素と、構成要素の互いの大きさの比率は、正しい縮尺ではないものとみなされたい。

【0027】

図1に示したオプトエレクトロニクス半導体装置の例示的な実施形態は、LEDを備えている。このLEDは、放射を放出するのに適する活性層4を有する半導体積層体2を備えた半導体ボディ1、を具備する。活性層4は、例えば、放射を生成するpn接合部、あるいは単一量子井戸構造または多重量子井戸構造を備えている。活性層4は、p型半導体領域3とn型半導体領域5との間に配置されている。

10

【0028】

半導体積層体2は、III-V族化合物半導体材料系、特に、ヒ化物化合物半導体材料系、窒化物化合物半導体材料系、またはリン化物化合物半導体材料系であることが好ましい。半導体積層体2は、例えば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{P}$ 、または $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{As}$ （各場合において $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、かつ $x+y \leq 1$ ）を含むことができる。この場合、III-V族化合物半導体材料は、必ずしも上の化学式の1つに従った数学的に正確な組成を絶対的に有する必要はない。そうではなく、この材料は、1種類または複数種類のドーパントと、材料の物理特性を実質的に変化させることのない追加の構成成分を含むことができる。しかしながら説明を簡潔にする目的で、上の化学式は、結晶格子の基本的な構成成分のみを含んでおり、これらの構成成分は、その一部分を少量のさらなる物質によって置き換えることができる。

20

【0029】

この例示的な実施形態によるLEDは、薄膜LEDを備えており、半導体積層体2を成長させるために使用された成長基板が、その後に半導体積層体2から切り離されている。元の成長基板（例えばサファイア基板、シリコン基板、またはGaAs基板）は、この図の時点で放射出口面16が位置している半導体ボディ1の面から切り離されている。半導体ボディ1からの放射取り出しを改善する目的で、半導体ボディ1をその放射出口面16において粗面化する、またはパターニングを施すことができる。放射出口面16における半導体ボディ1のパターニングまたは粗面化は、特に、エッチング工程を使用して行うことができる。

30

【0030】

半導体ボディ1は、放射出口面16とは反対側の面においてキャリア10に接続されている。キャリア10はプラスチック材料から形成されている。キャリア10は、特に、圧縮成形、トランスファ成形、または別の成形法によって作製することができる。キャリア10のプラスチック材料は、例えば、エポキシ樹脂またはシリコンを含むことができる。

【0031】

キャリア10は、半導体ボディ1の側の第1の主面17と、半導体ボディとは反対側の第2の主面18とを備えている。キャリア10は、第1の貫通ビア11および第2の貫通ビア12を備えており、各貫通ビアは、キャリア10の第1の主面17から第2の主面18まで延びている。貫通ビア11、12は、金属または金属合金を含むことが有利であり、特に、電気めっきによって作製することができる。貫通ビア11、12は、例えば、Cu、Ni、またははんだを含むことができる。

40

【0032】

2つの貫通ビア11、12は、半導体ボディ1に電氣的に接触する役割を果たす。例えば、第1の貫通ビア11は、半導体積層体2のp型半導体領域3に導電接続されており、第2の貫通ビア12は、n型半導体領域5に導電接続されている。

【0033】

第1の貫通ビア11とp型半導体領域3との間の導電接続は、特に、半導体ボディ1とキャリア10との間に配置されているp型接続層7によって達成される。この例示的な実

50

施形態では、p型接続層7は、p型半導体領域3に直接隣接していない。そうではなく、p型半導体領域3とp型接続層7との間に導電性のミラー層6が配置されており、ミラー層6は、活性層4によってキャリア10の方向に放出された放射を放射出口面16の方に向きを変える。ミラー層6は、複数の副層、特に、金属層と、透明導電性酸化物（例えばITOまたはZnOなど）の層、を備えていることもできる。

【0034】

第2の貫通ビア12は、n型接続層8、8Aによって、n型半導体領域5に導電接続されている。この導電接続は、例えば、n型接続層8の一部分が、半導体積層体2の中の開口部を通じてn型半導体領域5の中に達し、このようにして貫通接触部8Aを形成するように、行うことができる。n型接続層8、8Aは、1つまたは複数の電気絶縁層9によって、p型半導体領域3、活性層4、p型接続層7、および第1の貫通ビア11から、電気的に絶縁されている。少なくとも1つの電気絶縁層9は、例えばシリコン酸化物または酸化アルミニウムを含むことができる。

10

【0035】

活性ゾーン4を貫通するn型接続層8、8Aによってオプトエレクトロニクス装置との接触を形成する利点として、n型半導体領域5およびp型半導体領域3の両方への接触が、キャリア10の側の半導体ボディ1の面から行われる。したがって、本オプトエレクトロニクス装置の放射出口面16には、電気接触要素（例えばボンディングパッド、接触メタライゼーション（contact metallization）、接続ワイヤなど）が存在せず、これは有利である。これにより、放射出口面16における接触要素によって放射が吸収されることが防止される。

20

【0036】

半導体ボディ1とは反対側のキャリア10の第2の主面18において、貫通ビア11、12に外部から接続することができ、これは有利である。特に、キャリア10の第2の主面18において、導電性の貫通ビア11、12を例えば導体トラックに接続することができる。したがって、本オプトエレクトロニクス半導体装置は表面実装可能であり、これは有利である。

【0037】

本オプトエレクトロニクス半導体装置においては、キャリア10と半導体積層体2との間にESD保護素子15が配置されており、これは有利である。ESD保護素子15は、方向によって決まる導電率を示し、半導体積層体2の導通方向に逆並列に接続されている。特に、ESD保護素子15は、半導体積層体2の逆方向におけるより、半導体積層体2の順方向において低い導電率を有する。

30

【0038】

この例示的な実施形態においては、ESD保護素子15は、p型導電領域13およびn型導電領域14を備えたダイオードの形をとる。この場合、n型導電領域14は第1の貫通ビア11に隣接しており、第1の貫通ビア11は、半導体積層体2のp型半導体領域3に導電接続されている。p型導電領域13は第2の貫通ビア12に隣接しており、第2の貫通ビア12は、n型半導体領域5に導電接続されている。したがって、ESD保護素子15のpn接合部は、半導体積層体2に逆並列に接続されている。したがって、半導体積層体2の非導通方向におけるESD電圧パルスの場合、結果としての電流を、ESD保護素子15のpn接合部を通じて放電させることができる。このようにすることで、静電放電による半導体積層体2の損傷が防止され、これは有利である。

40

【0039】

ダイオードとしての構成の代替形態として、ESD保護素子15を、ショットキー接触として、またはバリスタとして構成することもできる。

【0040】

ESD保護素子15は、半導体積層体2の側のキャリア10の第1の主面17に配置されていることが有利である。特に、ESD保護素子15はキャリア10に直接隣接していることができ、この場合、p型導電領域13が第2の貫通ビア12に直接隣接しており、

50

n型導電領域14が第1の貫通ビア11に直接隣接している。ESD保護素子は、少なくとも部分的に、キャリア10のプラスチック材料に直接隣接していることができる。したがってESD保護素子15は、オプトエレクトロニクス半導体装置の内側に配置されており、このようにすることで外部の影響から保護されている。

【0041】

ESD保護素子15を上から概略的に描いた平面図における図2から明らかであるように、図1の例示的な実施形態においては、ESD保護素子15は、第1の貫通ビア11と第2の貫通ビア12の間に直線状の接続部を形成している。平面図の下に概略的に描いた回路図は、ESD保護素子が発光半導体積層体に逆並列に接続されていることを明らかに示している。

10

【0042】

図3および図4は、さらなる例示的な実施形態を、断面図と、ESD保護素子15を上から概略的に描いた平面図で示している。第1の例示的な実施形態の場合と同様に、このESD保護素子15は、n型導電領域14およびp型導電領域13を備えたダイオードである。第1の例示的な実施形態の場合とは異なり、このESD保護素子15は、キャリア10との境界面に直接形成されているのではなく、p型接続層7とn型接続層8の間の領域に形成されている。

【0043】

図4の平面図から明らかであるように、n型導電領域14およびp型導電領域13は、それぞれ環状構造である。n型導電領域14は、p型接続層7に導電接続されており、特に、p型接続層7に直接隣接していることができる。このようにすることで、n型導電領域14は、第1の貫通ビア11と、半導体積層体2のp型半導体領域3とに間接的に導電接続されている。n型導電領域14は、特に、p型接続層7の周囲を環状に延在している。

20

【0044】

p型導電領域13は、n型導電領域14の周囲を環状に延在しており、かつn型接続層8に導電接続されており、特に、n型接続層8に直接隣接している。このようにすることで、p型導電領域13は、第2の貫通ビア12と、半導体積層体2のn型半導体領域5とに間接的に導電接続されている。平面図の下に概略的に描いた回路図は、ESD保護素子15が発光半導体積層体2の導通方向に逆並列に接続されていることを明らかに示している。

30

【0045】

p型導電領域13およびn型導電領域14が環状構造である利点として、p型導電領域13およびn型導電領域14が直線状に配置される場合と比べて、ESD保護素子15のpn接合部が比較的大きい面積を有する。結果として、オプトエレクトロニクス半導体装置1の非導通方向におけるかなり大きい通電容量、したがって特に良好なESD保護につながる。

【0046】

ここまで、本発明について例示的な実施形態を参照しながら説明してきたが、本発明はこれらの説明に限定されない。むしろ本発明は、任意の新規の特徴および特徴の任意の組合せを包含しており、特に、請求項における特徴の任意の組合せを含む。これらの特徴または特徴の組合せは、それ自体が請求項あるいは例示的な実施形態に明示的に記載されていない場合であっても、本発明に含まれる。

40

【符号の説明】

【0047】

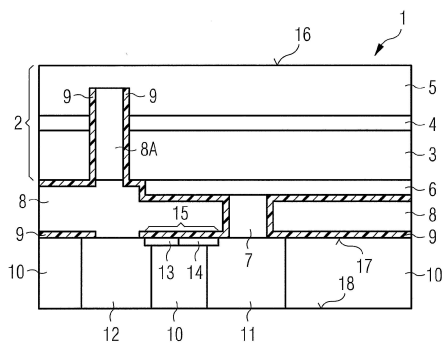
- 1 半導体ボディ
- 2 半導体積層体
- 3 p型ドープ半導体領域
- 4 活性層
- 5 n型ドープ半導体領域

50

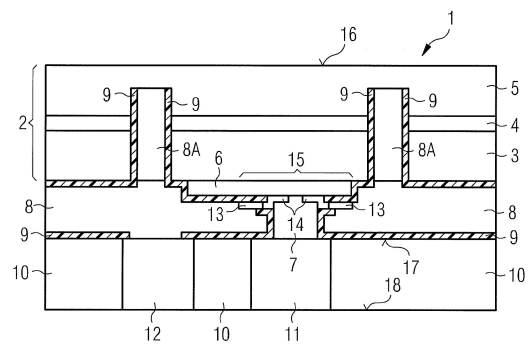
- 6 ミラー層
- 7 p型接続層
- 8 n型接続層
- 9 電気絶縁層
- 10 キャリア
- 11 第1の貫通ビア
- 12 第2の貫通ビア
- 13 p型導電領域
- 14 n型導電領域
- 15 ESD保護素子
- 16 放射出口面
- 17 第1の主面
- 18 第2の主面

10

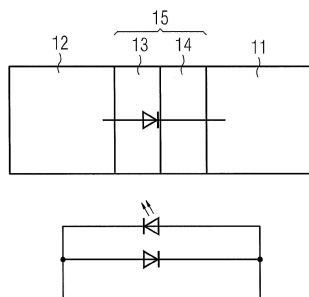
【図1】



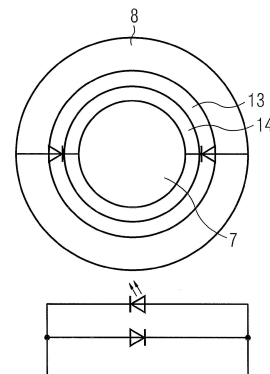
【図3】



【図2】



【図4】



フロントページの続き

- (72)発明者 ライラー クリスティアン
ドイツ国 フリートベルク アルブレヒトシュトラッセ 7
(72)発明者 ペルツルマイヤー コルビニアン
ドイツ国 レーゲンスブルク ビショフ-コンラート-シュトラッセ 2

審査官 高橋 健司

- (56)参考文献 特開2013-122951 (JP, A)
国際公開第2013/187318 (WO, A1)
特開2012-138499 (JP, A)
国際公開第2013/121787 (WO, A1)
特開2001-203428 (JP, A)
特開昭58-079746 (JP, A)
特開平05-110073 (JP, A)
特開2015-092547 (JP, A)
米国特許出願公開第2013/0020598 (US, A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 33/00-33/64
H05K 1/00-1/02, 3/46