



(12) 发明专利申请

(10) 申请公布号 CN 119563217 A

(43) 申请公布日 2025. 03. 04

(21) 申请号 202380052142.X

(22) 申请日 2023.06.13

(30) 优先权数据

2022-112586 2022.07.13 JP

(85) PCT国际申请进入国家阶段日

2025.01.06

(86) PCT国际申请的申请数据

PCT/JP2023/021861 2023.06.13

(87) PCT国际申请的公布数据

W02024/014212 JA 2024.01.18

(71) 申请人 株式会社村田制作所

地址 日本

(72) 发明人 水野孝昭 中砥俊幸 丰岛健司

吉冈由雅

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

专利代理师 朴云龙

(51) Int.Cl.

H01F 17/00 (2006.01)

H01G 4/40 (2006.01)

H01F 27/00 (2006.01)

H01L 21/3205 (2006.01)

H01L 21/768 (2006.01)

H01L 23/522 (2006.01)

H10D 1/20 (2025.01)

H10D 1/68 (2025.01)

权利要求书1页 说明书10页 附图19页

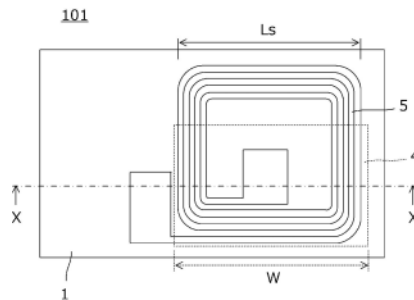
(54) 发明名称

电子部件

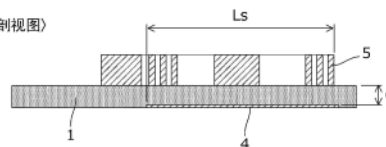
(57) 摘要

电子部件(101)具备:基板(1);绝缘体层(2),沿着基板(1)的面扩展;面状导体(4),形成在基板(1)上或者绝缘体层(2)内,与基板(1)的面平行地呈面状扩展;以及电感器用导体图案(5),形成在绝缘体层(2)上或者绝缘体层(2)中。从与基板(1)的面垂直的方向观察,将电感器用导体图案(5)的形成区域和面状导体(4)重叠的区域的长尺寸方向上的长度用 L_s 表示,将电感器用导体图案(5)和面状导体(4)的间隔用 d 表示,此时, L_s/d 的值为1以上且60以下。

〈俯视图〉



〈剖视图〉



1. 一种电子部件,具备:
基板;
绝缘体层,沿着所述基板的面扩展;
单个或者多个面状导体,形成在所述基板上或者所述绝缘体层内,与所述基板的面平行地呈面状扩展;以及
电感器用导体图案,形成在所述绝缘体层上或者所述绝缘体层中,
从与所述基板的面垂直的方向观察,将所述电感器用导体图案的形成区域和所述面状导体重叠的单个区域的长尺寸方向上的长度、或者所述电感器用导体图案的形成区域和所述面状导体重叠的多个区域的在给定方向上相加的长尺寸方向上的长度用 L_s 表示,将所述电感器用导体图案和最靠近所述电感器用导体图案的所述面状导体的间隔用 d 表示,此时, L_s/d 的值为1以上且60以下。
2. 根据权利要求1所述的电子部件,其中,
所述 L_s/d 的值为1以上且55以下。
3. 根据权利要求1或2所述的电子部件,其中,
具备:电介质层,形成在所述基板与所述绝缘体层之间,
所述面状导体是与所述电介质层一起构成电容器的电容器电极。
4. 根据权利要求1或2所述的电子部件,其中,
所述基板是低电阻的半导体基板,
所述面状导体是与所述半导体基板一起构成电容器的电容器电极。
5. 根据权利要求1或2所述的电子部件,其中,
所述基板是半导体基板,
所述面状导体与所述半导体基板一起构成半导体有源元件。
6. 根据权利要求1至5中的任一项所述的电子部件,其中,
所述面状导体是电阻薄膜。
7. 根据权利要求1至6中的任一项所述的电子部件,其中,
所述电感器用导体图案具有磁通量集中的磁通量的开口,在该开口配置有所述面状导体。
8. 根据权利要求7所述的电子部件,其中,
所述面状导体覆盖所述开口的整体。

电子部件

技术领域

[0001] 本发明涉及在基板具备构成电容器、电感器的导体图案的电子部件。

背景技术

[0002] 在基板具备构成电容器、电感器的导体图案的电子部件例如用作LC复合部件。

[0003] 在专利文献1中,示出了一种LC复合部件,其中,在由螺旋状的导体图案形成的线圈的空芯部的外侧配置了电容器用的电极。

[0004] 在专利文献2中,示出了一种LC复合部件,其中,配置为电容器用的电极不与由漩涡状的导体图案形成的线圈导体的中心轴重叠。

[0005] 在专利文献3中,示出了一种LC复合部件,其中,在由漩涡状的导体图案形成的线圈导体的中心区域以外的上层或者下层配置有由梳齿状电极形成的电容器,并且相对于电感器用导体布线垂直地形成了梳齿电极。

[0006] 在先技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2004-079973号公报

[0009] 专利文献2:日本特开2012-178717号公报

[0010] 专利文献3:日本特开2019-091847号公报

发明内容

[0011] 发明要解决的问题

[0012] 在专利文献1、专利文献2以及专利文献3所示的LC复合元件中,由线圈产生的磁场不通过电容部的电极,因此电感器的Q值不劣化。但是,在专利文献1、专利文献2以及专利文献3所示的构造的LC复合部件中,需要将电容器电极配置为避开线圈的中心部,因此LC复合部件的平面面积会变大。也就是说,若避开线圈的中心部来配置电容器电极,则无法确保所希望的电容,若避开电容器电极来配置线圈导体,则无法确保所希望的电感,因此无法实现LC复合部件的小型化。

[0013] 上述问题并不限于通过电感器和电容器的复合而形成的LC复合部件,对于具备面状导体和电感器用导体图案的电子部件也同样产生。

[0014] 因此,本发明的目的在于,提供一种具备产生所希望的电感的电感器用导体图案和具有所希望的大小的面状导体并且实现了小型化的电子部件。

[0015] 用于解决问题的技术方案

[0016] 作为本公开的一个例子的电子部件,其特征在于,具备:基板;绝缘体层,沿着所述基板的面扩展;单个或者多个面状导体,形成在所述基板上或者所述绝缘体层内,与所述基板的面平行地呈面状扩展;以及电感器用导体图案,形成在所述绝缘体层上或者所述绝缘体层中,从与所述基板的面垂直的方向观察,将所述电感器用导体图案的形成区域和所述面状导体重叠的单个区域的长尺寸方向上的长度、或者所述电感器用导体图案的形成区域

和所述面状导体重叠的多个区域的在给定方向上相加的长尺寸方向上的长度用 L_s 表示,将所述电感器用导体图案和最靠近所述电感器用导体图案的所述面状导体的间隔用 d 表示,此时, L_s/d 的值为1以上且60以下。

[0017] 发明效果

[0018] 根据本发明,可得到具备产生所希望的电感的电感器用导体图案和具有所希望的大小的面状导体并且实现了小型化的电子部件。

附图说明

[0019] 图1是第1实施方式涉及的电子部件101的立体图以及主视图。

[0020] 图2是电子部件101的主要部分的俯视图以及剖视图。

[0021] 图3是示出电感器用导体图案5和面状导体4的位置关系的立体图。

[0022] 图4是示出从多个 L_s 和 d 的组合发现的 L_s/d 和 Q/Q_0 的倾向的图。

[0023] 图5的(A)、图5的(B)、图5的(C)以及图5的(D)是示出电感器用导体图案5的形成区域和面状导体4重叠的区域的形状的例子图。

[0024] 图6是第2实施方式涉及的电子部件102的俯视图以及剖视图。

[0025] 图7是电子部件102的等效电路图。

[0026] 图8是示出电子部件102的各层的构造的图。

[0027] 图9的(A)、图9的(B)、图9的(C)以及图9的(D)是电子部件102的各制造工序中的剖视图。

[0028] 图10的(A)、图10的(B)、图10的(C)以及图10的(D)是电子部件102的各制造工序中的剖视图。

[0029] 图11是第3实施方式涉及的电子部件103的俯视图以及剖视图。

[0030] 图12是示出电子部件103的各层的构造的图。

[0031] 图13的(A)、图13的(B)、图13的(C)以及图13的(D)是电子部件103的各制造工序中的剖视图。

[0032] 图14的(A)、图14的(B)以及图14的(C)是电子部件103的各制造工序中的剖视图。

[0033] 图15是第4实施方式涉及的电子部件104的俯视图以及剖视图。

[0034] 图16是第5实施方式涉及的电子部件105的俯视图以及剖视图。

[0035] 图17是电子部件105的等效电路图。

[0036] 图18是示出电子部件105的各层的构造的图。

[0037] 图19的(A)、图19的(B)、图19的(C)以及图19的(D)是电子部件105的各制造工序中的剖视图。

[0038] 图20的(A)、图20的(B)以及图20的(C)是电子部件105的各制造工序中的剖视图。

[0039] 图21是第6实施方式涉及的电子部件106的剖视图。

具体实施方式

[0040] 以下,参照图并列举几个具体的例子来示出用于实施本发明的多个方式。在各图中对同一部位标注了同一附图标记。考虑到要点的说明或者理解的容易性,为便于说明实施方式,分为多个实施方式来示出,但是能够进行在不同的实施方式中示出的结构的部分

置换或者组合。在第2实施方式以后,省略关于与第1实施方式共同的事项的记述,仅对不同点进行说明。特别是,关于同样的结构带来的同样的作用效果,将不在每个实施方式中逐次提及。

[0041] 《第1实施方式》

[0042] 图1的上部是第1实施方式涉及的电子部件101的立体图。在该立体图中,用双点划线表示了外形。图1的下部是在Y轴方向上对电子部件101进行观察的主视图。

[0043] 该电子部件101具备:电绝缘性的基板1;绝缘体层2,沿着该基板1的面扩展;面状导体4,形成在基板1上或者绝缘体层2内,与基板1的面平行地呈面状扩展;以及矩形漩涡线圈型的电感器用导体图案5,形成在基板1上或者绝缘体层2中。

[0044] 图2中的上部是电子部件101的主要部分的俯视图,图2中的下部是俯视图中的X-X部分的剖视图。图3是示出电感器用导体图案5和面状导体4的位置关系的立体图。不过,为便于说明,特意将电感器用导体图案5和面状导体4的间隔扩大而进行了绘制。

[0045] 电感器用导体图案5具有磁通量集中的磁通量 φ 的开口MH。根据该磁通量(高频磁通量) φ 而在面状导体4流过涡流EC。上述磁通量 φ 越大,该涡流EC越大。

[0046] 在图2中,用W表示面状导体4的宽度。在用d表示电感器用导体图案5和面状导体4的间隔时,电感器用导体图案5和面状导体4的间隔d越小,涡流EC变得越大。此外,若用Ls表示从与基板1的面垂直的方向观察基板1的面时电感器用导体图案5的形成区域和面状导体4重叠的区域的长尺寸方向上的长度,则Ls越大,涡流EC变得越大。因此,Ls/d的值越大,涡流EC变得越大。

[0047] 表1是示出上述电感器用导体图案5的形成区域和面状导体4重叠的区域的长尺寸方向上的长度Ls、电感器用导体图案5和面状导体4的间隔d、以及电感器的Q值的劣化等的关系的表。

[0048] [表1]

[0049]

Ls[μm]	d[μm]	S[μm^2]	\sqrt{S}/d (=Ls/d)	Q/Q0	L/L0
330	3.5	108900	94.3	0.11	0.37
310	3.5	96100	88.6	0.12	0.41
290	3.5	84100	82.9	0.14	0.47
270	3.5	72900	77.1	0.18	0.55
230	3.5	52900	65.7	0.26	0.72
210	3.5	44100	60.0	0.32	0.80
190	3.5	36100	54.3	0.36	0.85
170	3.5	28900	48.6	0.38	0.88
150	3.5	22500	42.9	0.39	0.91
150	10	22500	15.0	0.46	0.93
150	20	22500	7.5	0.54	0.94
230	45	52900	5.1	0.72	0.97
210	100	44100	2.1	0.97	0.98
170	100	28900	1.7	1.00	1.00
250	250	62500	1.0	1.00	1.00
170	210	28900	0.8	1.00	1.00
170	330	28900	0.5	1.00	1.00

[0050] 在表1中,S[μm^2]是电感器用导体图案5和面状导体4重叠的区域为正方形的情况下的该重叠的区域的面积。此外,在表1中,Q0是没有面状导体4的状态下的由电感器用导体图案5形成的电感器的Q值,Q/Q0是将面积为S[μm^2]的面状导体配置在与电感器用导体图案5相距间隔d[μm]的位置的情况下的Q值与Q0之比。此外,L0是没有面状导体4的状态下的电感器用导体图案5的电感,L/L0是将面积为S[μm^2]的面状导体配置在与电感器用导体图案5相距间隔d[μm]的位置的情况下的L值与L0之比。

[0051] 图4是示出从上述多个Ls和d的组合发现的Ls/d和Q/Q0的倾向的图。在图4中,横轴为Ls/d,纵轴为Q/Q0。根据该图4可明确,在Ls/d的值(\sqrt{S}/d 的值)为1以上且60以下的范围内,Q/Q0为0.3以上,因此由面状导体4的存在导致的电感器的Q值的下降少。进而,在Ls/d的值为1以上且55以下的范围内,可进一步抑制Q/Q0的下降。

[0052] 在表1、图4的例子中,是电感器用导体图案5和面状导体4重叠的区域为正方形的情况下的例子,即,是最坏的情形,因此在电感器用导体图案5的形成区域和面状导体4重叠的区域不是正方形的情况下,只要将该重叠的区域的长尺寸方向上的长度作为Ls来处理即

可。

[0053] 在图1所示的例子中,从与基板1的面垂直的方向观察,电感器用导体图案5的形成区域和面状导体4重叠的区域为单个,但时在该区域为多个的情况下,只要将电感器用导体图案5的形成区域和面状导体4重叠的多个区域的在给定方向上相加的长尺寸方向上的长度作为 L_s 来处理即可。

[0054] 图5的(A)、图5的(B)、图5的(C)以及图5的(D)是示出电感器用导体图案5的形成区域和面状导体4重叠的区域的形状的例子图。如图5的(A)所示,如果与电感器用导体图案5的形成区域重叠的面状导体4的区域为L字状,则在该区域中将长尺寸方向的尺寸作为 L_s 。此外,如图5的(B)所示,如果与电感器用导体图案5的形成区域重叠的面状导体4的区域为圆形、椭圆形,则在该区域中将长尺寸方向上的尺寸作为 L_s 。进而,如图5的(C)所示,如果与电感器用导体图案5的形成区域重叠的面状导体4的区域为T字状,则将该区域的宽度 L_x 、高度 L_y 中的成为长尺寸方向的方向上的尺寸作为上述 L_s 。

[0055] 此外,如图5的(D)所示,在与电感器用导体图案5的形成区域重叠的面状导体的区域存在多个的情况下,将这些重叠区域的在给定方向上相加的长尺寸方向上的长度作为 L_s 。在图5的(D)所示的例子中,与电感器用导体图案5的形成区域重叠的两个面状导体的区域中的一个的X轴方向尺寸为 L_{x1} ,Y轴方向尺寸为 L_{y1} ,另一个区域的X轴方向尺寸为 L_{x2} ,Y轴方向尺寸为 L_{y2} 。在该例子中, $L_{y1}+L_{y2}$ 的相加尺寸大于 $L_{x1}+L_{x2}$ 的相加尺寸,因此该 $L_{y1}+L_{y2}$ 的值为长尺寸方向上的长度 L_s 。

[0056] 《第2实施方式》

[0057] 在第2实施方式中,对LC复合电子部件进行例示。图6的上部是第2实施方式涉及的电子部件102的俯视图,图6的下部是图6的上部的X-X部分的剖视图。

[0058] 电子部件102具备:基板1;绝缘体层2,沿着基板1的面扩展;电感器,形成在绝缘体层2内;面状导体3、4,形成在基板1并沿着基板1延伸;面状导体连接用导体7A、7B、7C,与面状导体3导通;以及面状导体连接用导体8,与面状导体4导通。

[0059] 在绝缘体层2的表面形成有端子电极10A、10B。端子电极10A、10B与端子电极9A、9B电导通。

[0060] 电感器是由沿着基板1的面的电感器用导体图案5形成的漩涡线圈型的电感器。

[0061] 面状导体3、4是电容器电极。也就是说,由面状导体3、4和被这些面状导体3、4夹着的电介质层11构成了电容器。即,面状导体3、4是与电介质层11一起构成电容器的电容器电极。

[0062] 从与基板1的面垂直的方向观察,电感器用导体图案5的形成区域与面状导体3重叠,还与面状导体4重叠。这些面状导体3、4中的面状导体4更靠近电感器用导体图案5,因此用 d 表示电感器用导体图案5和面状导体4的间隔。此外,用 L_s 表示电感器用导体图案5和面状导体4重叠的区域中的最大的区域的长尺寸方向上的长度。

[0063] 在图6中, L_s 的值为 $190\mu\text{m}$,电感器用导体图案5和面状导体4的间隔 d 为 $20\mu\text{m}$ 。因此, L_s/d 为9.5, L_s/d 小于60,还小于55。制作该图6所示的构造模型并进行了仿真,其结果是,根据本实施方式,没有面状导体4时的Q值 Q_0 与存在面状导体4时的Q值之比 Q/Q_0 为0.48,尽管Q值有所下降,但是并非极端的下降,可得到具备有效的Q值的电感器的电子部件。

[0064] 图7是电子部件102的等效电路图。像这样,电子部件102构成电感器L1和电容器C1

的串联电路。该电子部件102能够用作频率滤波器、阻抗匹配电路。

[0065] 图8是示出电子部件102的各层的构造的图。在图8中,层La是基板1的层,层Lb是面状导体3的形成层,层Lc是电介质层11以及面状导体连接用导体7A的形成层,层Ld是面状导体4以及面状导体连接用导体7B的形成层。层Le是面状导体连接用导体7C、8的形成层,层Lf是电感器用导体图案5以及端子电极9A、9B的形成层。而且,层Lg是端子电极10A、10B的形成层。

[0066] 接着,对由图8所示的各层构成的电子部件102的制造方法进行例示。图9的(A)是基板的剖视图。对于该基板1,不仅能够使用Si基板、GaAs基板这样的半导体基板,还能够使用玻璃基板、陶瓷基板。图9的(B)是形成了面状导体3的状态下的剖视图。在该工序中,通过如下的半导体工艺来形成:在基板1的表面蒸镀Al膜或者Cu膜,并进行剥离;通过溅射、CVD来进行Al膜或者Cu膜的成膜,并进行光刻、蚀刻;等。

[0067] 图9的(C)是形成了电介质层11的状态下的剖视图。在该工序中,通过溅射、CVD这样的半导体工艺在面状导体3的表面形成SiO₂膜、SiN膜等电介质层11。然后,如图9的(D)所示,在面状导体连接用导体7A的形成部形成开口,并形成面状导体连接用导体7A、7B以及面状导体4。在该工序中,通过光刻以及蚀刻来形成开口,并通过如下的半导体工艺来形成面状导体4的图案:蒸镀Al膜或者Cu膜,并进行剥离;通过溅射、CVD来进行Al膜或者Cu膜的成膜,并进行光刻、蚀刻;等。

[0068] 图10的(A)是形成绝缘体层2并形成了开口AP的状态下的剖视图。在该结构中,通过旋涂、CVD、溅射这样的方法形成树脂(有机)膜、SiO₂膜、SiN膜等无机膜,然后,通过光刻以及蚀刻在给定部位形成开口AP。

[0069] 图10的(B)是形成了面状导体连接用导体7C、8的状态下的剖视图。在该工序中,在图10的(A)所示的开口AP进行面状导体连接用导体7C、8的成膜。例如,通过如下的方法来形成:进行Cu的成膜,并进行光刻,进行镀敷;或者溅射Cu,并进行光刻,进行蚀刻;或者对Cu膜进行光刻,并进行蒸镀,进行剥离。

[0070] 图10的(C)是形成了电感器用导体图案5以及端子电极9A、9B的状态下的剖视图。在该工序中,在绝缘体层2的表面形成电感器用导体图案5以及端子电极9A、9B。例如,通过如下的方法来形成:进行Cu的成膜,并进行光刻,进行镀敷;或者溅射Cu,并进行光刻,进行蚀刻;或者对Cu膜进行光刻,并进行蒸镀,进行剥离。

[0071] 图10的(D)是形成了端子电极10A、10B的状态下的剖视图。在该工序中,端子电极10A、10B是安装用的电极,在端子电极9A、9B的表面实施Ni镀敷、Au镀敷等而形成。然后,形成保护膜,将端子电极10A、10B部分开口,使端子电极10A、10B露出。

[0072] 《第3实施方式》

[0073] 在第3实施方式中,对面状导体的结构与第1实施方式、第2实施方式中所示的例子不同的电子部件进行例示。

[0074] 图11是示出第3实施方式涉及的电子部件103的构造的图。图11中的<俯视图>是电子部件103的俯视图。图11中的<剖视图>是电子部件103的俯视图中的X-X部分的剖视图。

[0075] 电子部件103具备:基板1;绝缘体层2,沿着基板1的面扩展;电感器用导体图案5,形成在绝缘体层2内;电介质层11以及面状导体4,形成在基板1并沿着基板1延伸;面状导体连接用导体8,与面状导体4导通;以及面状导体连接用导体7A、7B、7C,与基板1导通。

[0076] 在基板1的表面形成有电介质层11,在该电介质层11的表面形成有面状导体4。此外,在基板1的表面的给定位置形成有面状导体连接用导体7A。基板1是导电率高的半导体基板。其它结构如第2实施方式中所示。

[0077] 在图11中, L_s 的值为 $210\mu\text{m}$,电感器用导体图案5和面状导体4的间隔 d 为 $30\mu\text{m}$ 。因此, L_s/d 为7, L_s/d 小于60,还小于55。根据本实施方式,没有面状导体4时的Q值 Q_0 与存在面状导体4时的Q值之比 Q/Q_0 为0.61,可得到具备有效的Q值的电感器的电子部件。

[0078] 图12是示出电子部件103的各层的构造的图。在图12中,层La是基板1的层,层Lb是面状导体连接用导体7A以及电介质层11的形成层,层Lc是电介质层11以及面状导体4的形成层,层Ld是面状导体连接用导体7C、8的形成层。层Le是电感器用导体图案5以及端子电极9A、9B的形成层。而且,层Lf是端子电极10A、10B的形成层。

[0079] 接着,对由图11所示的各层构成的电子部件103的制造方法进行例示。图13的(A)是基板的剖视图。对于该基板1,不仅能够使用Si基板、GaAs基板这样的半导体基板,还能够使用玻璃基板、陶瓷基板。图13的(B)是形成电介质层11并在给定位置形成了开口AP的状态下的剖视图。图13的(C)是在开口AP形成面状导体连接用导体7A并且在电介质层11的上表面形成了面状导体连接用导体7B以及面状导体4的状态下的剖视图。图13的(D)是形成绝缘体层2并形成了开口AP的状态下的剖视图。在该结构中,通过旋涂、CVD、溅射这样的方法形成树脂(有机)膜、 SiO_2 膜、SiN膜等无机膜,然后,通过光刻以及蚀刻在给定部位形成开口AP。

[0080] 图14的(A)是形成了面状导体连接用导体7C、8的状态下的剖视图。在该工序中,在图13的(D)所示的开口AP进行面状导体连接用导体7C、8的成膜。例如,通过如下的方法来形成:进行Cu的成膜,并进行光刻,进行镀敷;或者溅射Cu,并进行光刻,进行蚀刻;或者对Cu膜进行光刻,并进行蒸镀,进行剥离。

[0081] 图14的(B)是形成了电感器用导体图案5以及端子电极9A、9B的状态下的剖视图。在该工序中,在绝缘体层2的表面形成电感器用导体图案5以及端子电极9A、9B。例如,通过如下的方法来形成:进行Cu的成膜,并进行光刻,进行镀敷;或者溅射Cu,并进行光刻,进行蚀刻;或者对Cu膜进行光刻,并进行蒸镀,进行剥离。

[0082] 图14的(C)是形成了端子电极10A、10B的状态下的剖视图。在该工序中,端子电极10A、10B是安装用的电极,在端子电极9A、9B的表面实施Ni镀敷、Au镀敷等而形成。然后,形成保护膜,将端子电极10A、10B部分开口,使端子电极10A、10B露出。

[0083] 《第4实施方式》

[0084] 在第4实施方式中,对在基板的背面具有面状导体的电子部件进行例示。图15中的<俯视图>是电子部件104的俯视图。图15中的<剖视图>是电子部件104的俯视图中的X-X部分的剖视图。

[0085] 电子部件104具备:基板1;电介质层11,形成在基板1的上表面;端子电极9A,形成在基板1的下表面;绝缘体层2;电感器用导体图案5,形成在绝缘体层2内;面状导体4,沿着基板1延伸;以及面状导体连接用导体8,与面状导体4导通。

[0086] 本实施方式的电子部件104使用在面状导体4与端子电极9A之间产生的电容作为电容器。此外,使用上下表面的端子电极9A、9B。

[0087] 本实施方式中的 L_s 的值为 $210\mu\text{m}$, d 的值为 $30\mu\text{m}$ 。除了背面电极以外,与第3实施方

式中所示的电子部件103相同。因此, L_s/d 的值与第3实施方式中所示的结果相同。

[0088] 《第5实施方式》

[0089] 在第5实施方式中,对具有3个端子电极的电子部件以及包含电阻元件的电子部件进行例示。

[0090] 图16是示出第5实施方式涉及的电子部件105的构造的图。图16中的<俯视图>是电子部件105的俯视图。图16中的<剖视图>是电子部件105的俯视图中的X-X部分的剖视图。

[0091] 电子部件105具备:基板1;绝缘体膜20,沿着基板1的面扩展;电感器用导体图案5,形成在绝缘体层2内;电阻体膜21,形成在绝缘体膜20并沿着绝缘体膜20延伸;面状导体连接用导体7,与电阻体膜21以及端子电极9A导通;以及面状导体连接用导体8,与电阻体膜21以及端子电极9B导通。在本实施方式中,电阻体膜21相当于本发明涉及的面状导体。

[0092] 图17是电子部件105的等效电路图。像这样,电子部件105构成电感器L1和电阻元件R1的复合部件。

[0093] 图18是示出电子部件105的各层的构造的图。在图18中,层La是绝缘体膜20以及电阻体膜21的形成层,层Lb是面状导体连接用导体7、8的形成层,层Lc是电感器用导体图案5以及端子电极9A、9B、9C的形成层。而且,层Ld是端子电极10A、10B、10C的形成层。

[0094] 接着,对由图18所示的各层构成的电子部件105的制造方法进行例示。图19的(A)是基板的剖视图。图19的(B)是形成了绝缘体膜20的状态下的剖视图。图19的(C)是在绝缘体膜20形成了电阻体膜21的状态下的剖视图。图19的(D)是形成绝缘体层2并形成了开口AP的状态下的剖视图。

[0095] 电阻体膜21由具有绝缘体层的导电率与形成端子电极、电感器用导体图案的导电体的导电率之间的导电率的材料形成。关于电阻体膜21,例如,除了NiCr、含杂质的Si等以外,还可以是层叠了绝缘体、导电体的膜。

[0096] 图20的(A)是形成了面状导体连接用导体7、8的状态下的剖视图。在该工序中,在图19的(D)所示的开口AP进行面状导体连接用导体7、8的成膜。

[0097] 图20的(B)是形成了电感器用导体图案5、端子电极9A、9B、9C的状态下的剖视图。在该工序中,在绝缘体层2的表面形成电感器用导体图案5以及端子电极9A、9B、9C。

[0098] 图20的(C)是形成了安装用的端子电极10A、10B、10C的状态下的剖视图。在该工序中,在端子电极9A、9B、9C的表面实施Ni镀敷、Au镀敷等而形成。然后,形成保护膜,将端子电极10A、10B、10C部分开口,使端子电极10A、10B、10C露出。

[0099] 本实施方式中的 L_s 的值为 $250\mu\text{m}$, d 的值为 $30\mu\text{m}$, L_s/d 为大约8.3。在该例子中, L_s/d 也小于55, Q/Q_0 为0.52,可得到电感器的Q值充分大的电子部件。

[0100] 《第6实施方式》

[0101] 在第6实施方式中,对在电介质层的内部具有电容器电极的电子部件进行例示。

[0102] 图21是第6实施方式涉及的电子部件106的剖视图。该电子部件106具备:基板1;电介质层11,沿着基板1的面扩展;面状导体3、4,形成在电介质层11内;漩涡线圈型的电感器用导体图案5,形成在绝缘体层2;以及端子电极9A、9B、10A、10B。电感器用导体图案5的一端与面状导体4以及端子电极9A导通,电感器用导体图案5的另一端与面状导体3以及端子电极9B导通。该电子部件106构成电感器和电容器的并联电路。

[0103] 在本实施方式中,在用 L_s 表示电感器用导体图案5的形成区域和面状导体4重叠的

区域中的长尺寸方向上的长度,并用 d 表示电感器用导体图案和面状导体的间隔时, L_s/d 也为1以上且60以下的值。

[0104] 另外,在以上所示的各实施方式中,示出了电感器用导体图案具有磁通量集中的磁通量 ϕ 的开口MH并且在该开口MH的整体或者一部分配置有面状导体的例子,未必一定明示了面状导体覆盖磁通量 ϕ 的开口MH的整体的例子,但是面状导体也可以覆盖磁通量 ϕ 的开口MH的整体。

[0105] 此外,在以上所示的各实施方式中,示出了除电感器以外还包含电容器或者电阻元件作为无源组件的电子部件,但是具备包含电容器和电阻元件这两者的无源组件的电子部件也能够同样地构成。此外,对于具备包含多个电容器、多个电感器的无源组件的电子部件,也能够同样地构成。

[0106] 此外,对于用作LC并联谐振电路、包含多个电感器以及电容器的带通滤波器、双工器等的电子部件,也能够同样地应用本发明。

[0107] 进而,对于基板为半导体基板且面状导体与半导体基板一起构成半导体有源元件的电子部件,也能够同样地应用本发明。例如,对于在半导体基板设置了有源组件的高频功率放大器等,也能够同样地应用。

[0108] 最后,本发明并不限于上述的各实施方式。能够由本领域技术人员适当地进行变形以及变更。本发明的范围不是由上述的实施方式示出,而是由权利要求书示出。进而,在本发明的范围内,包含与权利要求书等同的范围内的从实施方式的变形以及变更。

[0109] 以下,列举本发明的电子部件的结构。

[0110] <1>

[0111] 具备:基板;绝缘体层,沿着所述基板的面扩展;单个或者多个面状导体,形成在所述基板上或者所述绝缘体层内,与所述基板的面平行地呈面状扩展;以及电感器用导体图案,形成在所述绝缘体层上或者所述绝缘体层中,从与所述基板的面垂直的方向观察,将所述电感器用导体图案的形成区域和所述面状导体重叠的单个区域的长尺寸方向上的长度、或者所述电感器用导体图案的形成区域和所述面状导体重叠的多个区域的在给定方向上相加的长尺寸方向上的长度用 L_s 表示,将所述电感器用导体图案和最靠近所述电感器用导体图案的所述面状导体的间隔用 d 表示,此时, L_s/d 的值为1以上且60以下。

[0112] <2>

[0113] 根据<1>所述的电子部件,其中,

[0114] 所述 L_s/d 的值为1以上且55以下。

[0115] <3>

[0116] 根据<1>或<2>所述的电子部件,其中,

[0117] 具备:电介质层,形成在所述基板与所述绝缘体层之间,

[0118] 所述面状导体是与所述电介质层一起构成电容器的电容器电极。

[0119] <4>

[0120] 根据<1>或<2>所述的电子部件,其中,

[0121] 所述基板是低电阻的半导体基板,

[0122] 所述面状导体是与所述半导体基板一起构成电容器的电容器电极。

[0123] <5>

- [0124] 根据<1>或<2>所述的电子部件,其中,
- [0125] 所述基板是半导体基板,
- [0126] 所述面状导体与所述半导体基板一起构成半导体有源元件。
- [0127] <6>
- [0128] 根据<1>至<5>中的任一项所述的电子部件,其中,
- [0129] 所述面状导体是电阻薄膜。
- [0130] <7>
- [0131] 根据<1>至<6>中的任一项所述的电子部件,其中,
- [0132] 所述电感器用导体图案具有磁通量集中的磁通量的开口,在该开口配置有所述面状导体。
- [0133] <8>
- [0134] 根据<7>所述的电子部件,其中,
- [0135] 所述面状导体覆盖所述开口的整体。
- [0136] 附图标记说明
- [0137] AP:开口;
- [0138] C1:电容器;
- [0139] d:间隔;
- [0140] EC:涡流;
- [0141] Ls:长尺寸方向上的长度;
- [0142] L1:电感器;
- [0143] Lx:宽度;
- [0144] Ly:高度;
- [0145] La、Lb、Lc、Ld、Le、Lf、Lg:层;
- [0146] MH:磁通量的开口;
- [0147] R1:电阻元件;
- [0148] φ :磁通量;
- [0149] 1:基板;
- [0150] 2:绝缘体层;
- [0151] 3、4:面状导体;
- [0152] 5:电感器用导体图案;
- [0153] 7、8:面状导体连接用导体;
- [0154] 7A、7B、7C、8:面状导体连接用导体;
- [0155] 9A、9B、9C、10A、10B、10C:端子电极;
- [0156] 11:电介质层;
- [0157] 20:绝缘体膜;
- [0158] 21:电阻体膜;
- [0159] 101~106:电子部件。

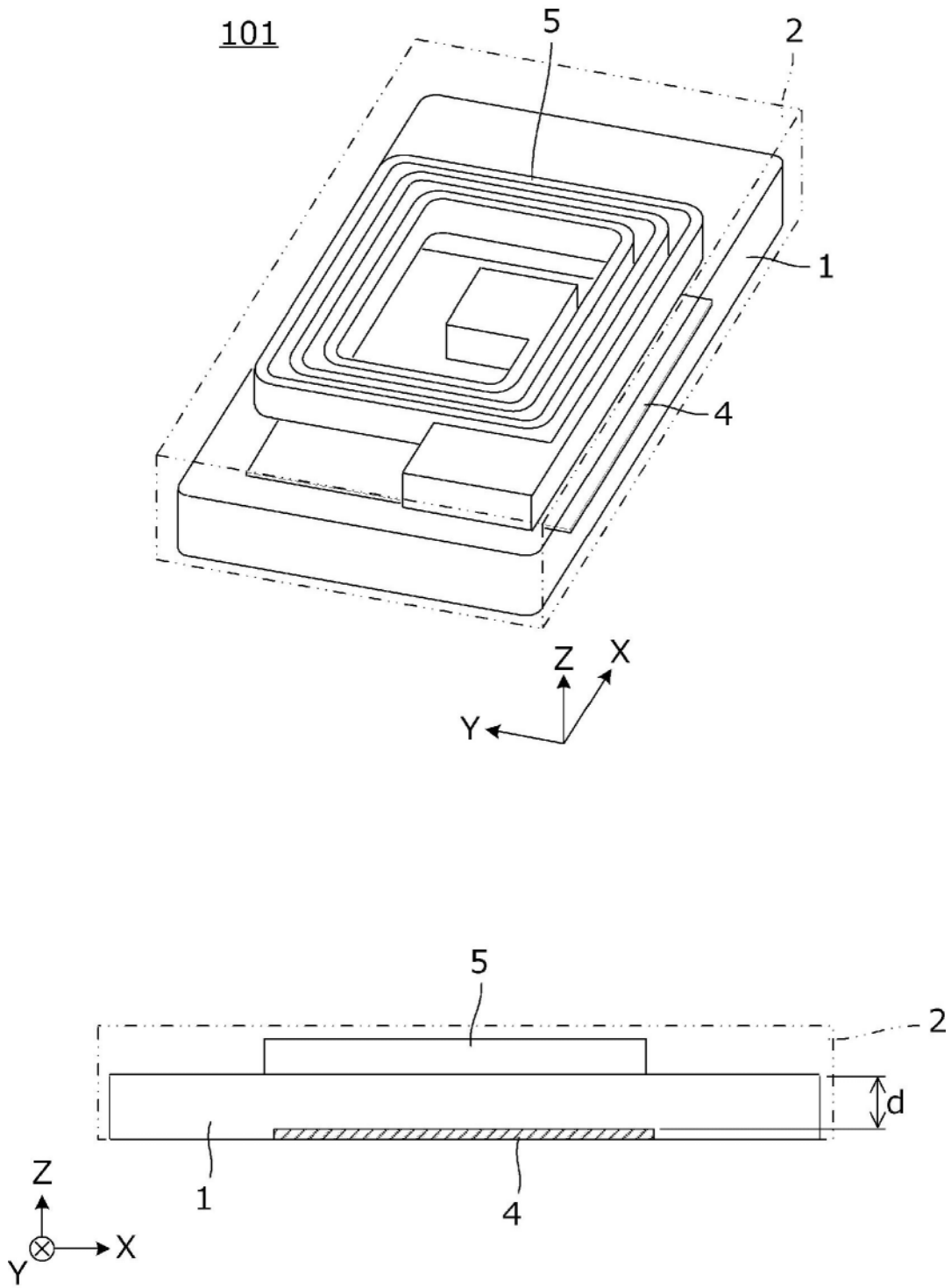
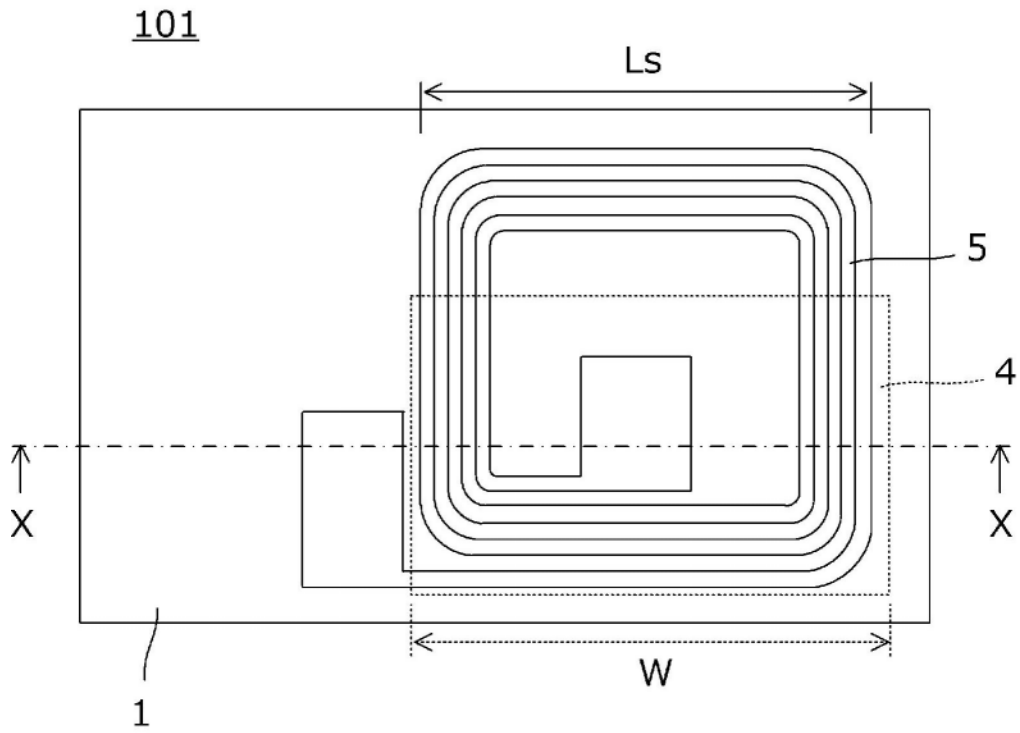


图1

〈俯视图〉



〈剖视图〉

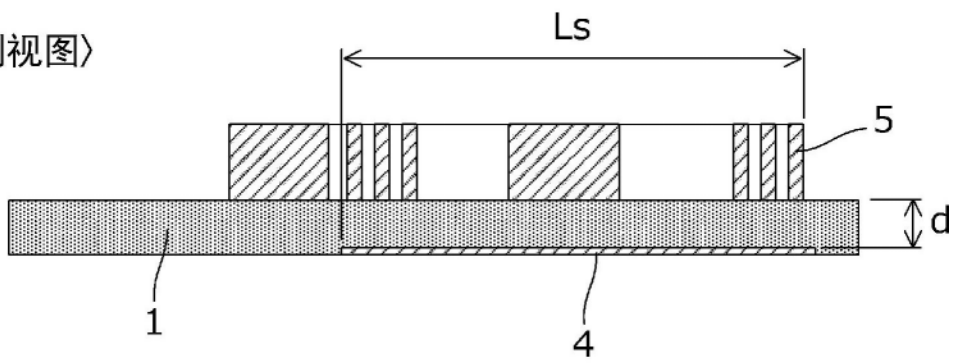


图2

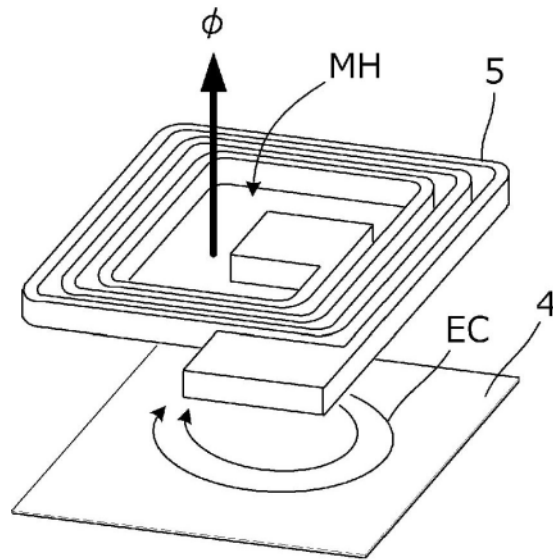


图3

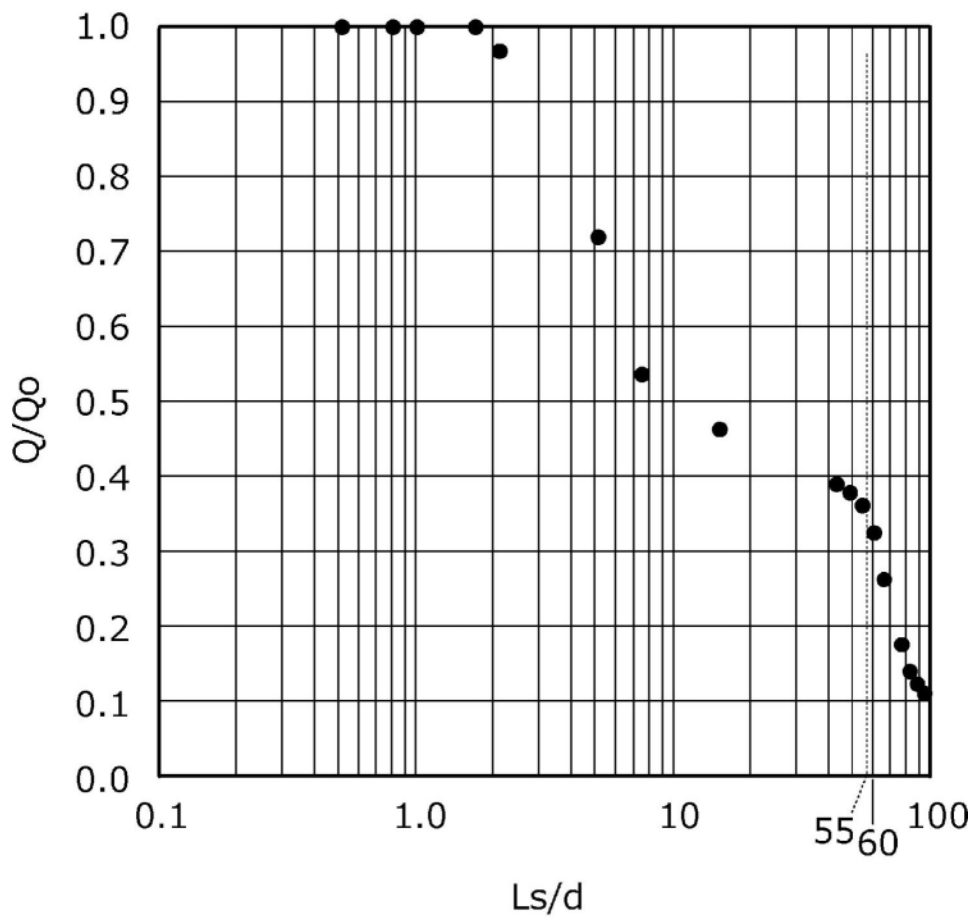


图4

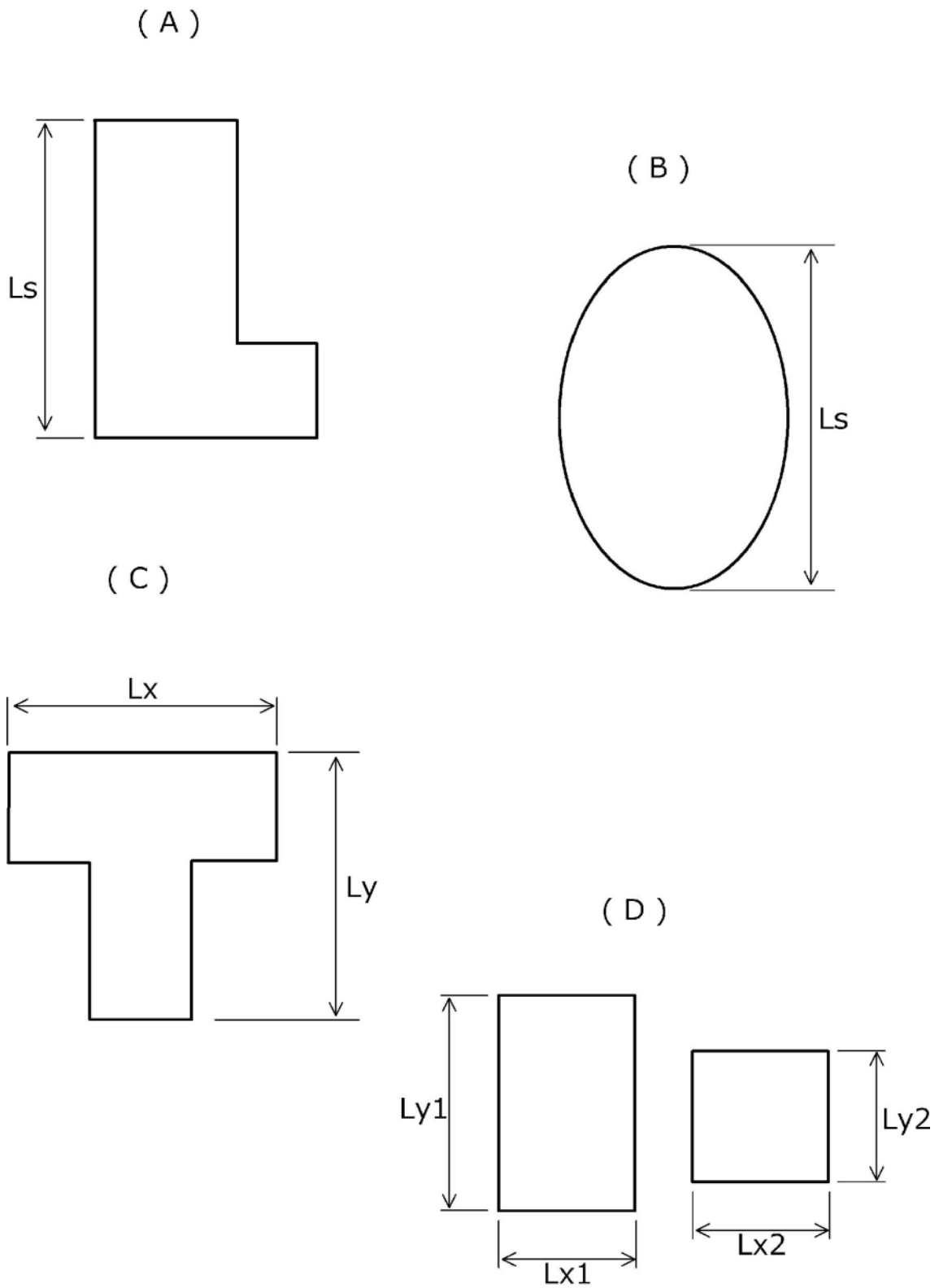
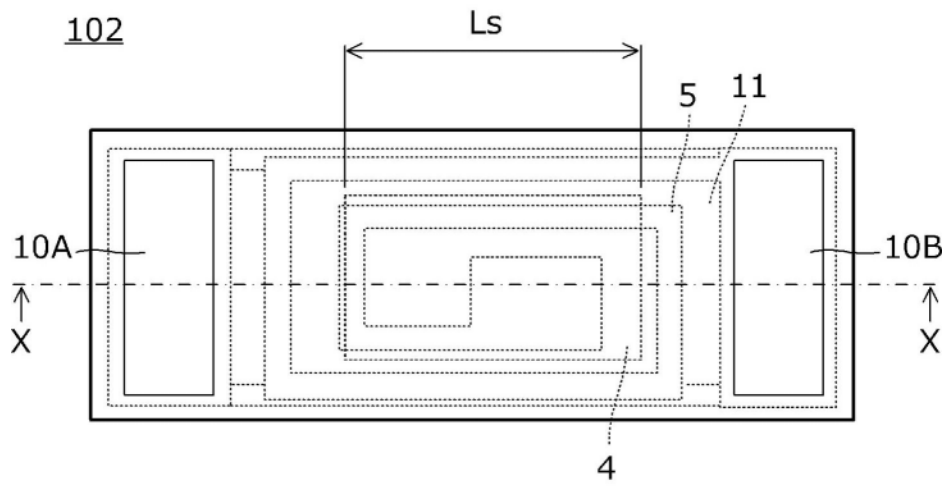


图5

〈俯视图〉



〈剖视图〉

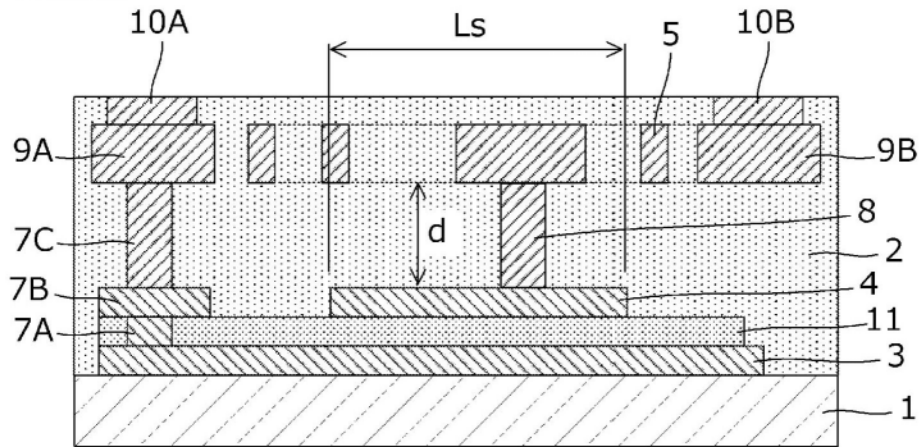


图6

102

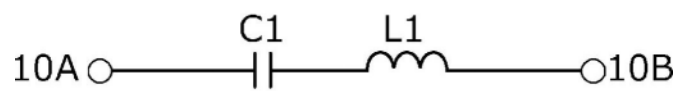


图7

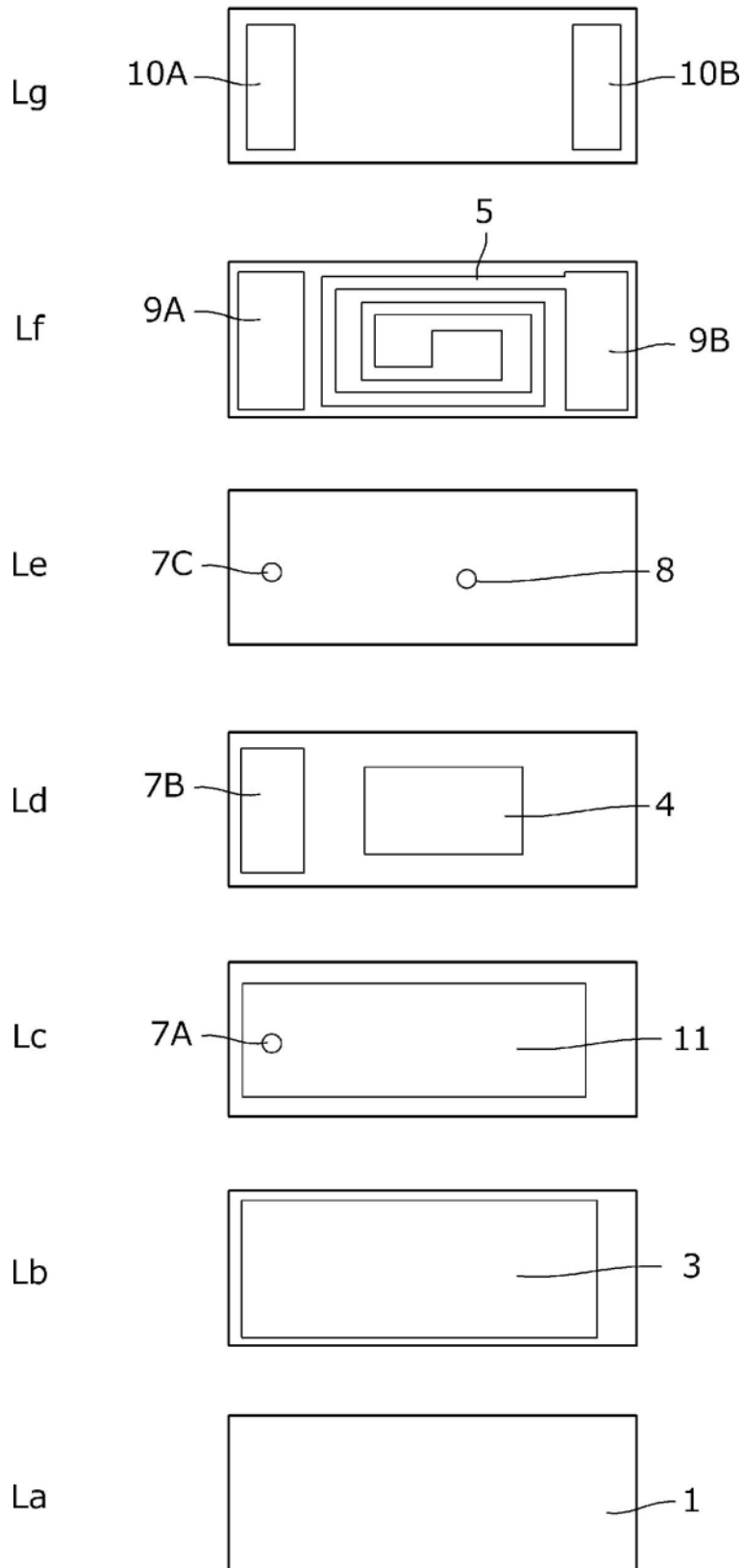


图8

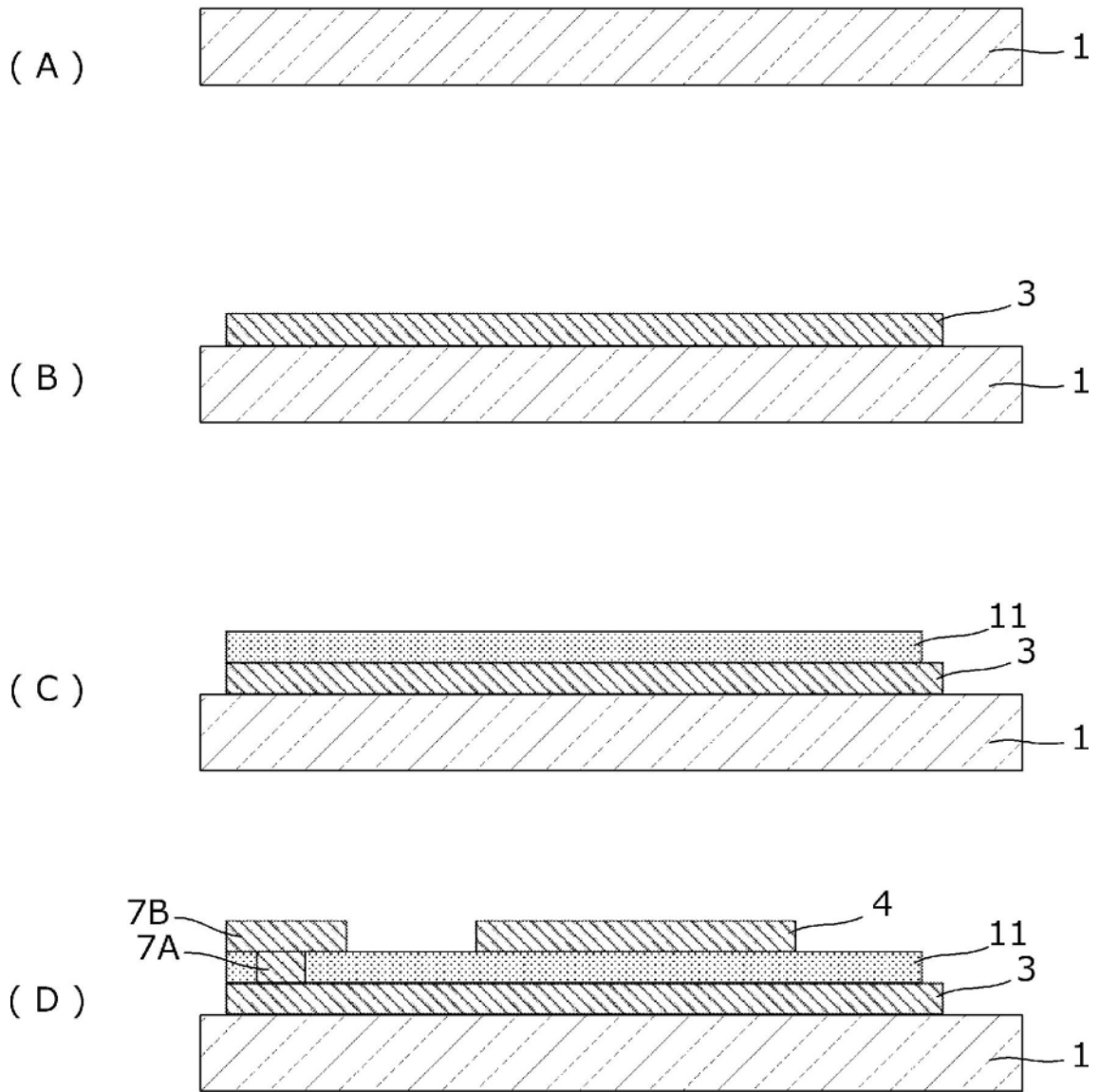


图9

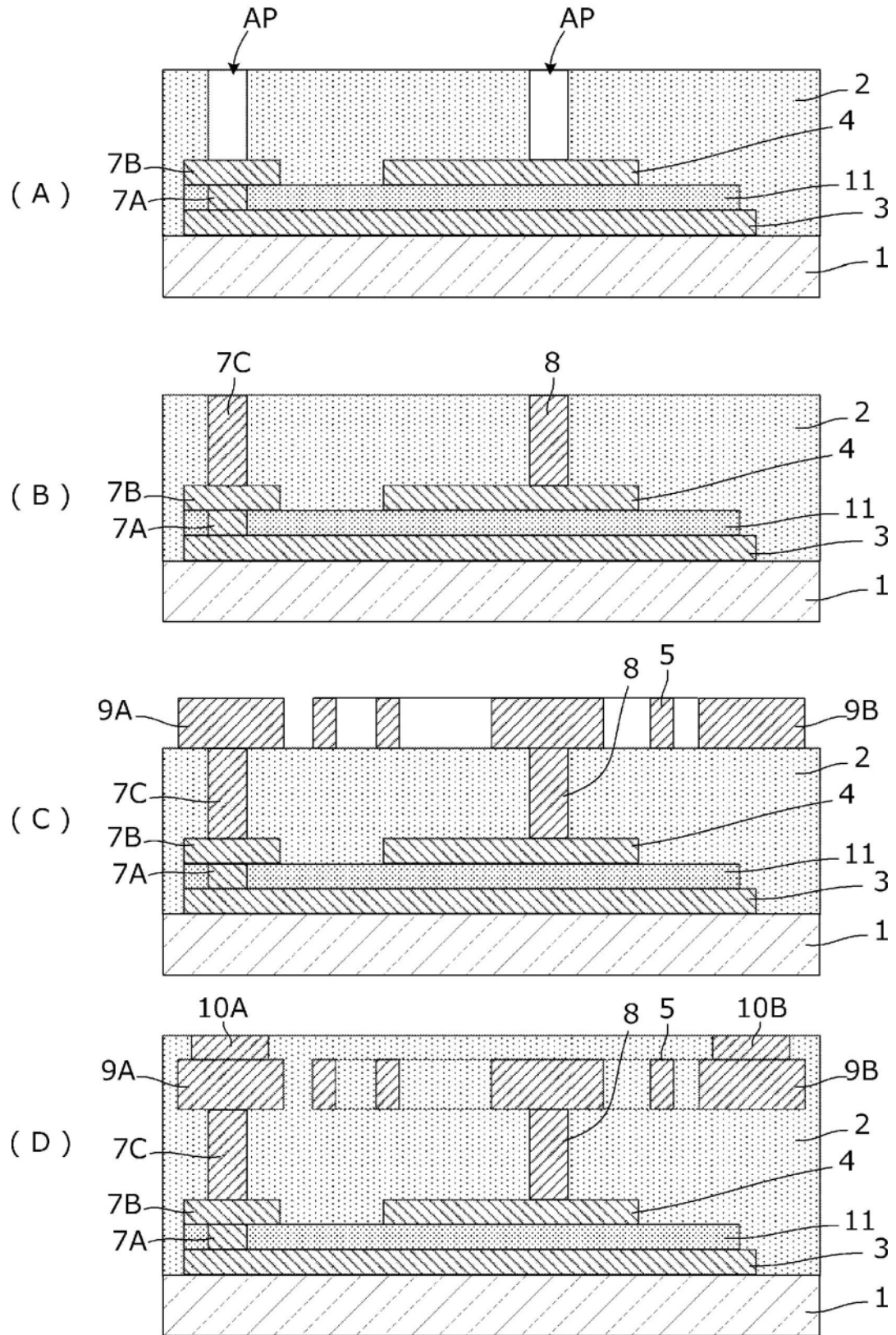
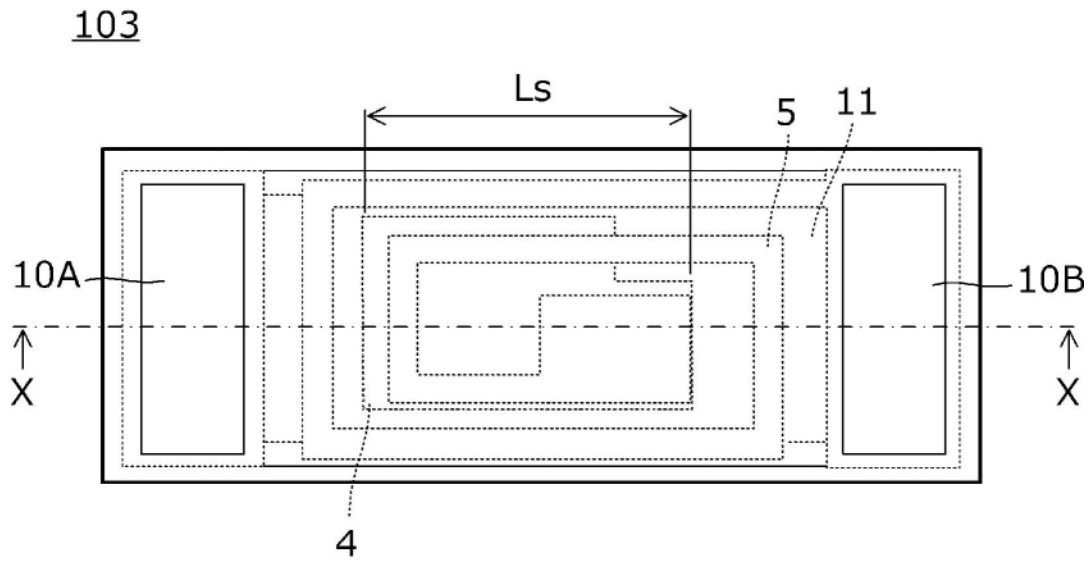


图10

〈俯视图〉



〈剖视图〉

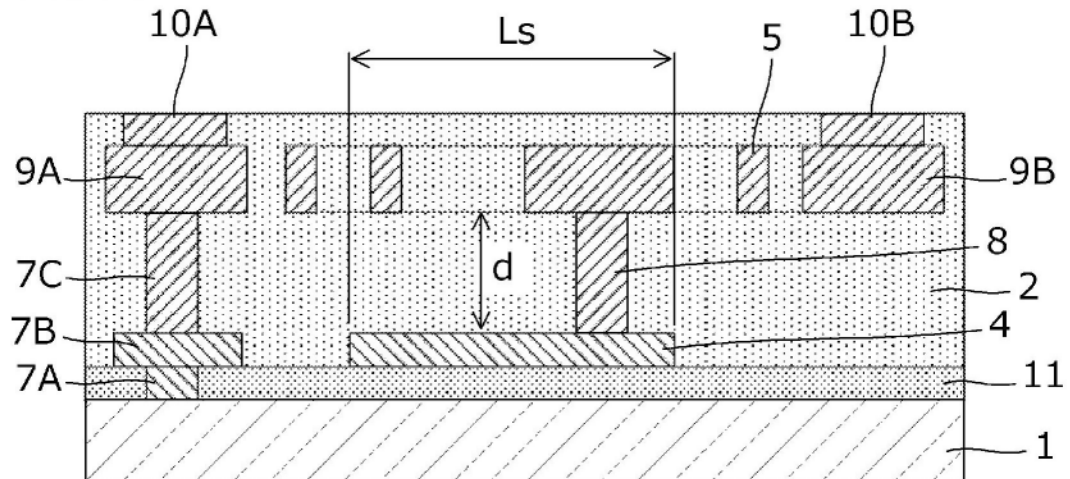


图11

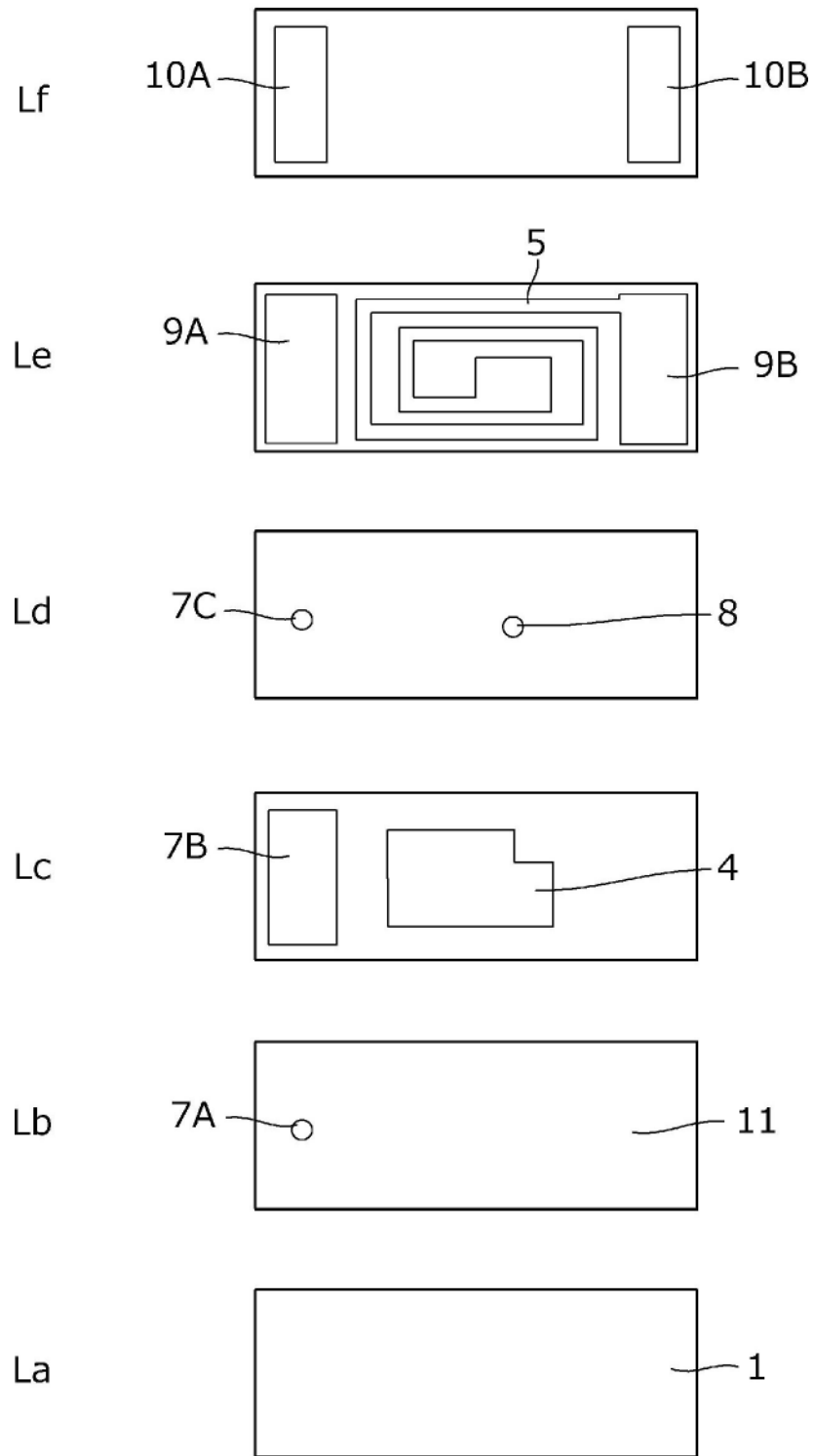


图12

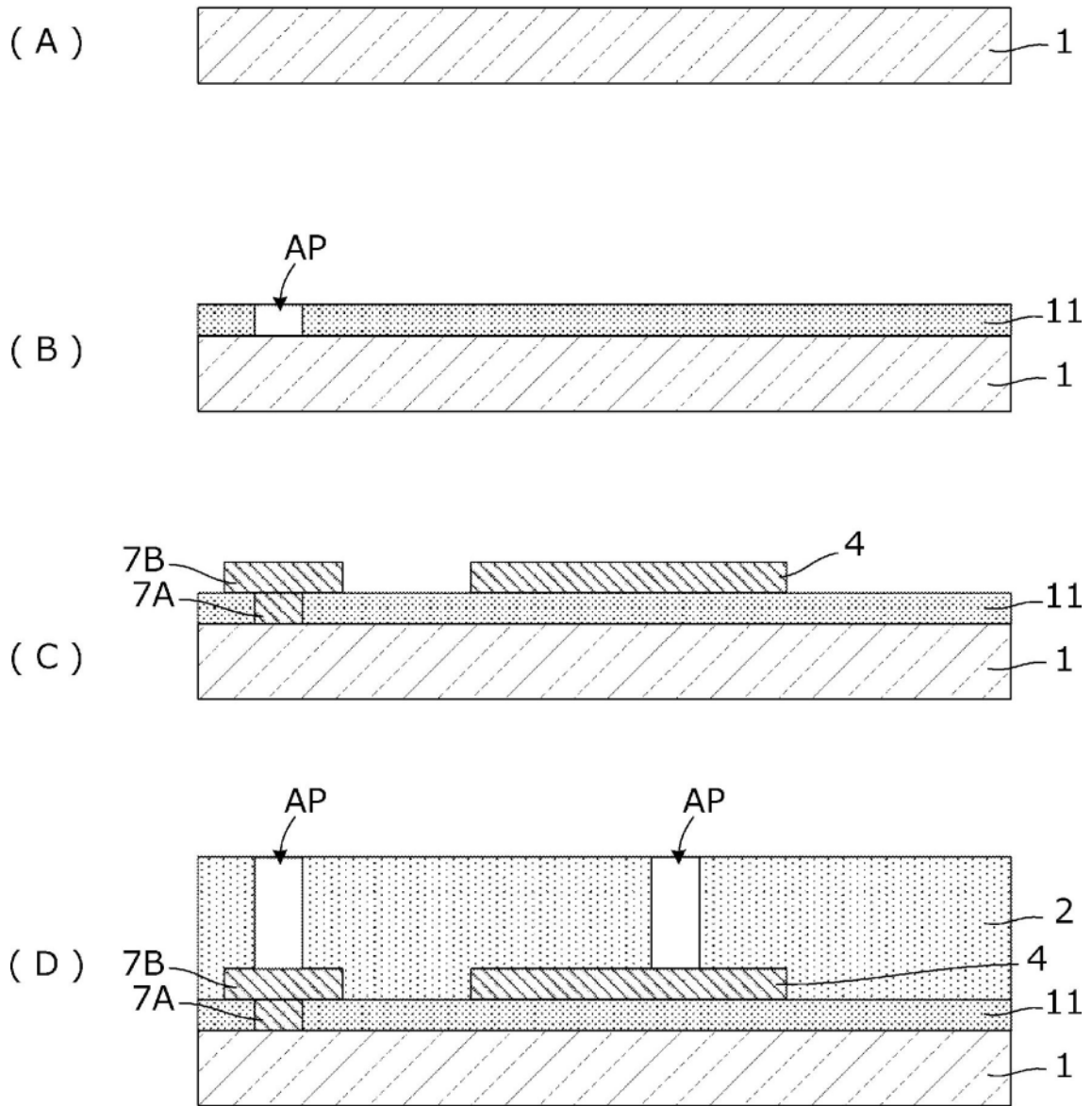


图13

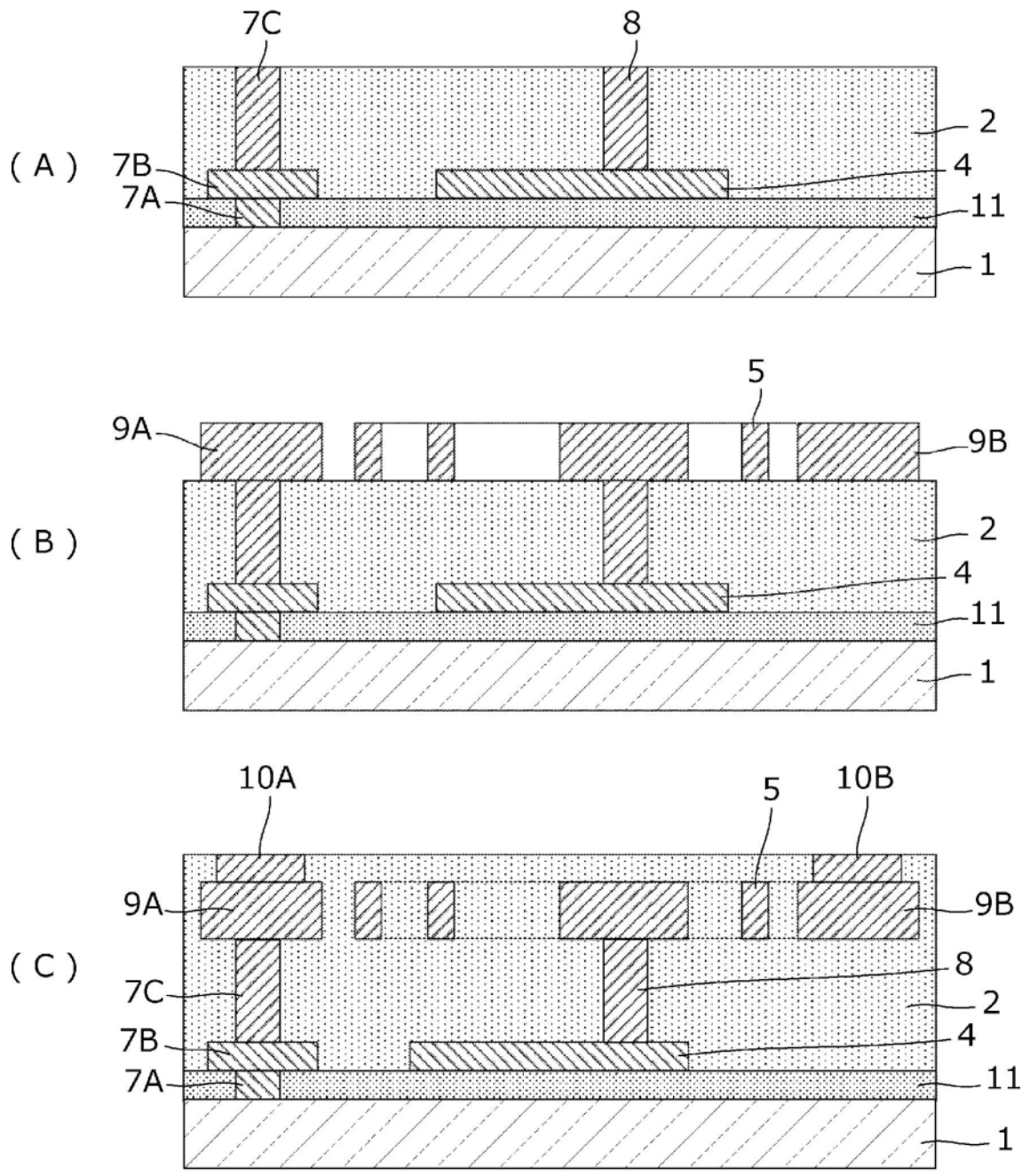
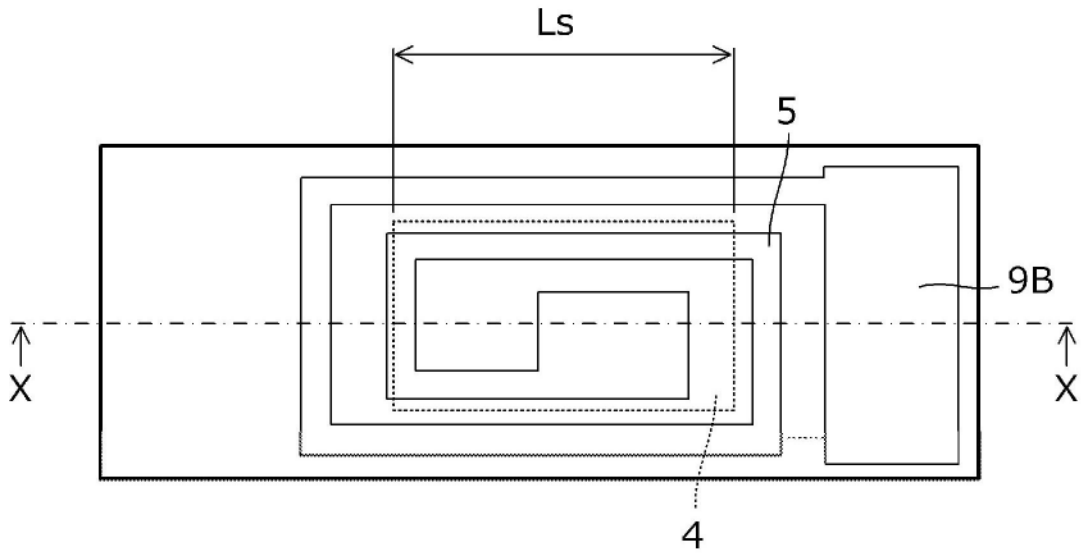


图14

〈俯视图〉

104



〈剖视图〉

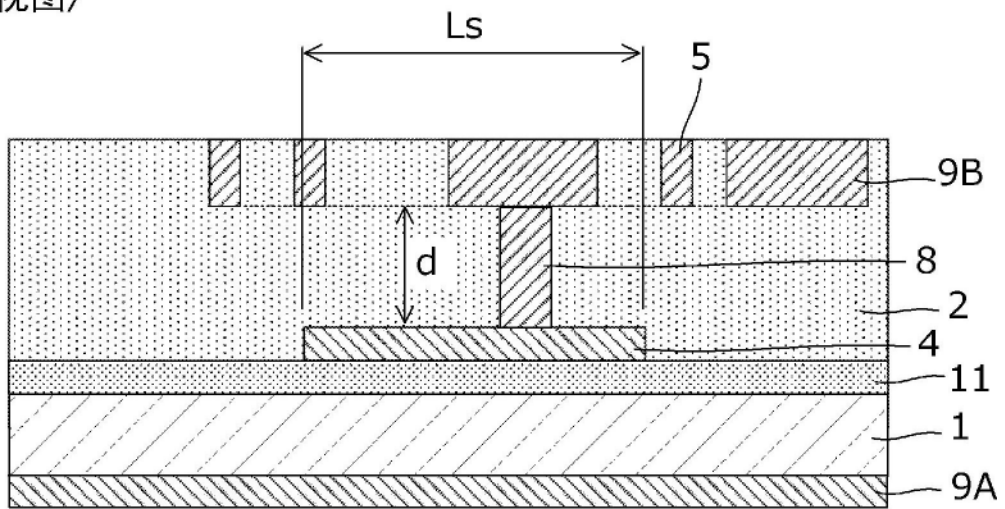
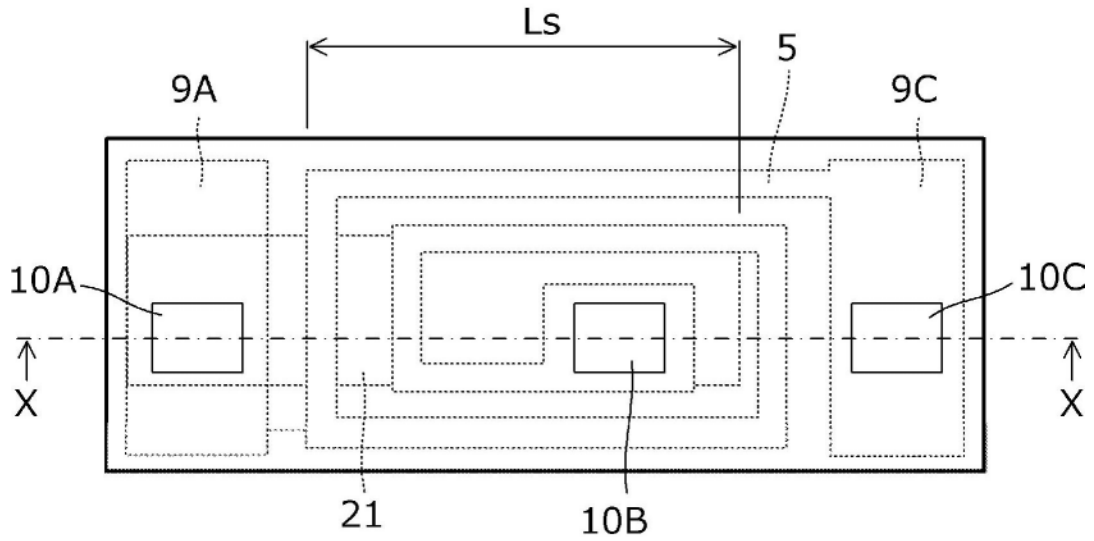


图15

〈俯视图〉

105



〈剖视图〉

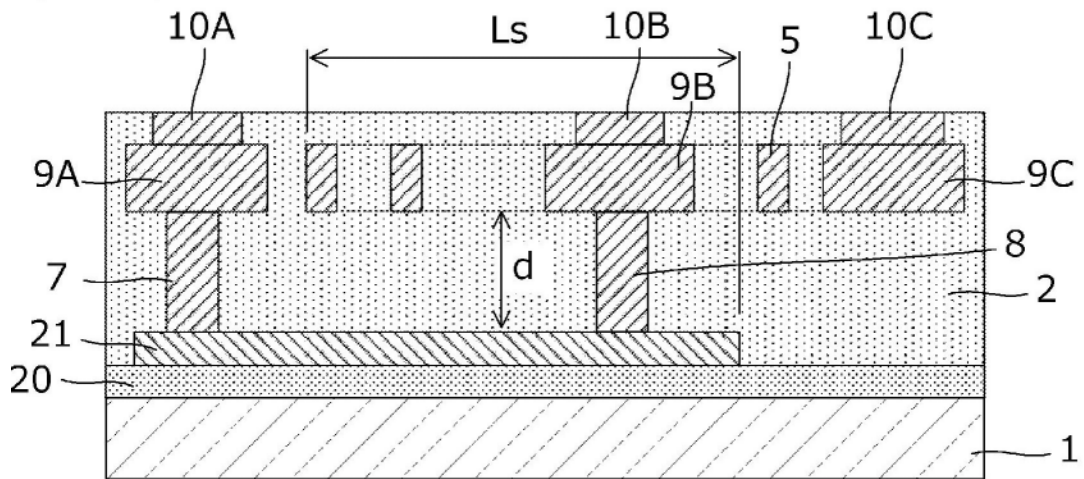


图16

105

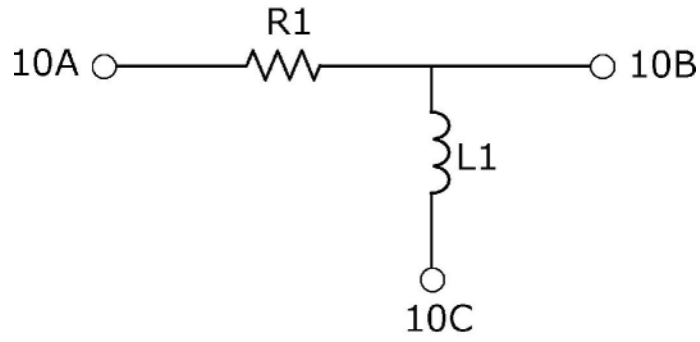


图17

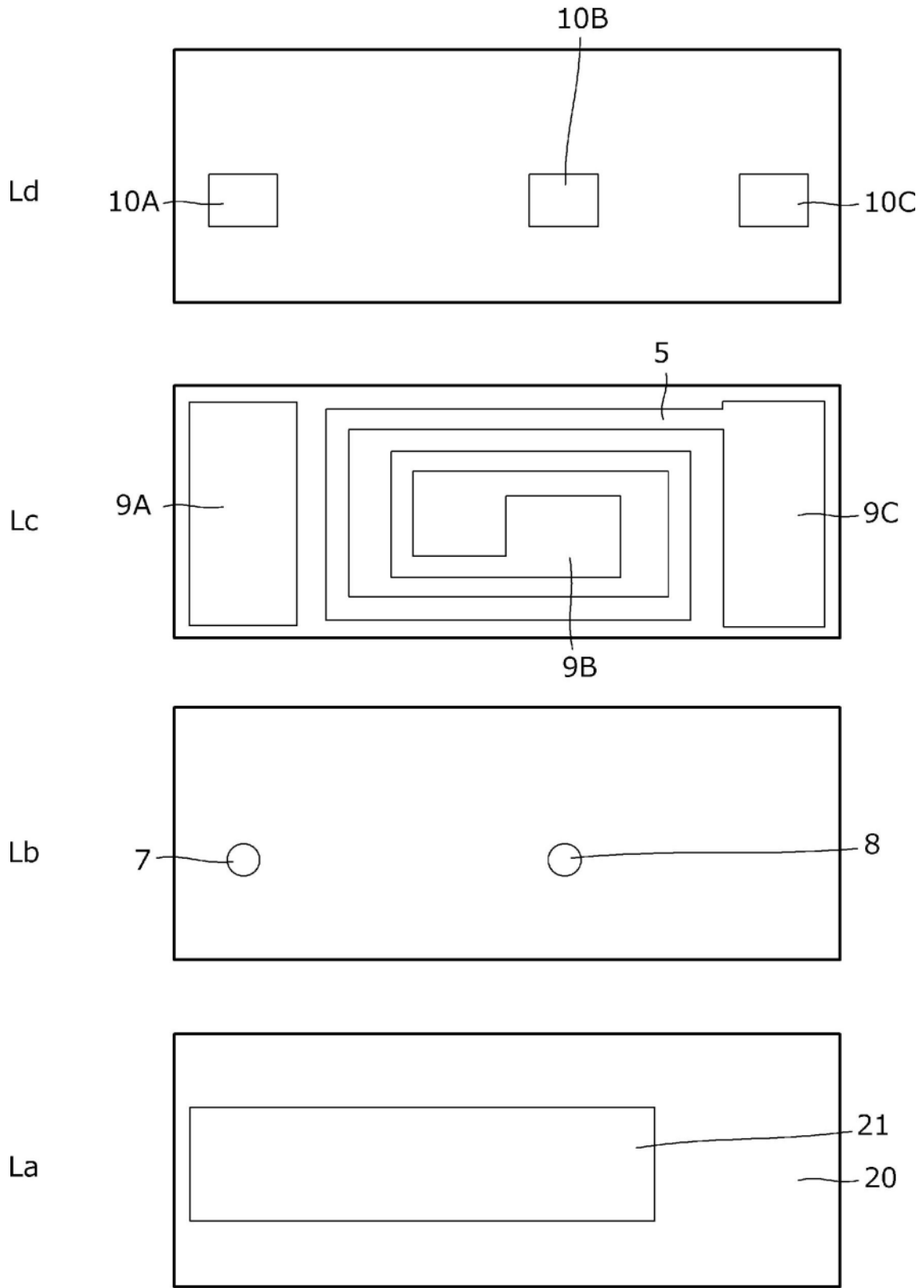


图18

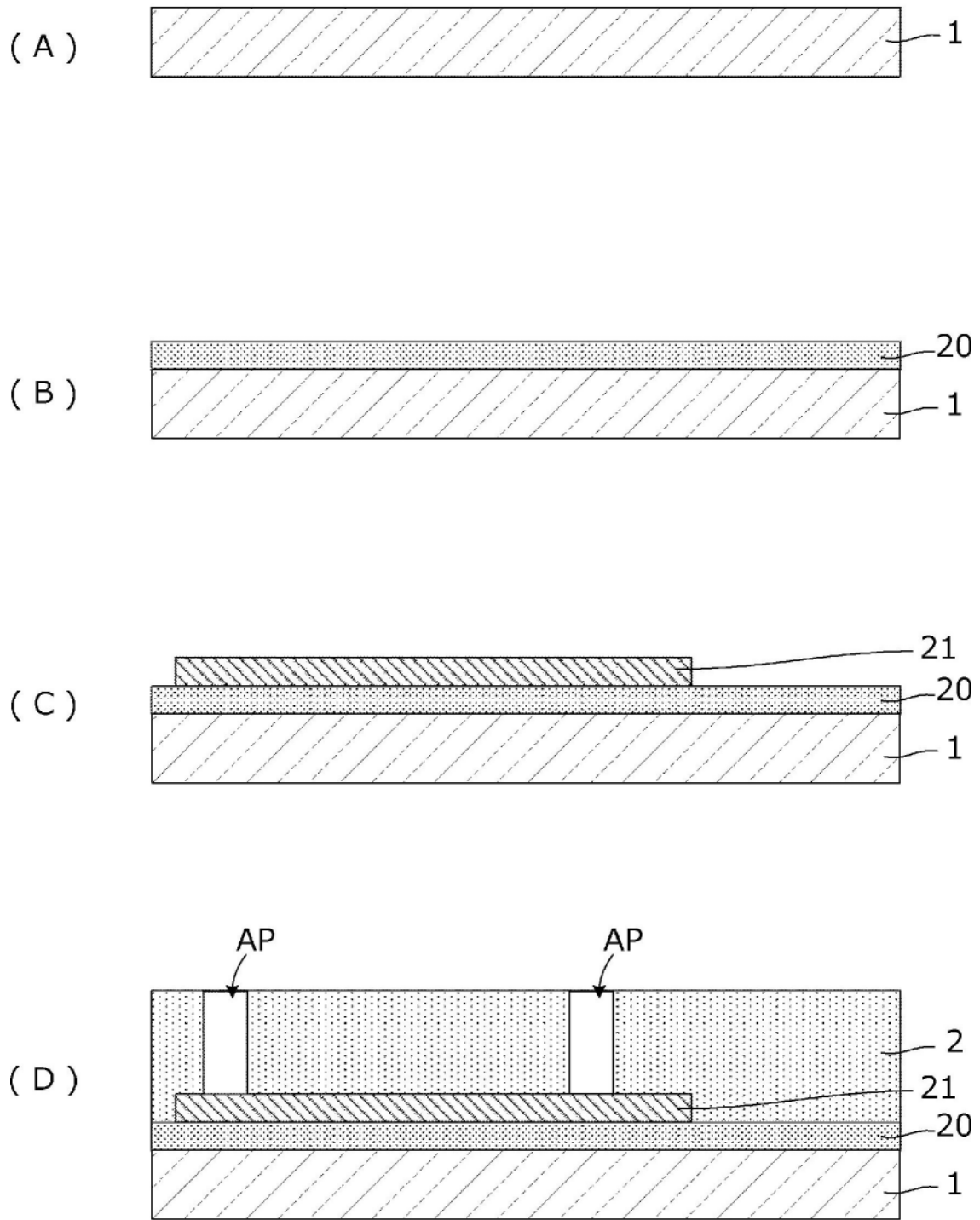


图19

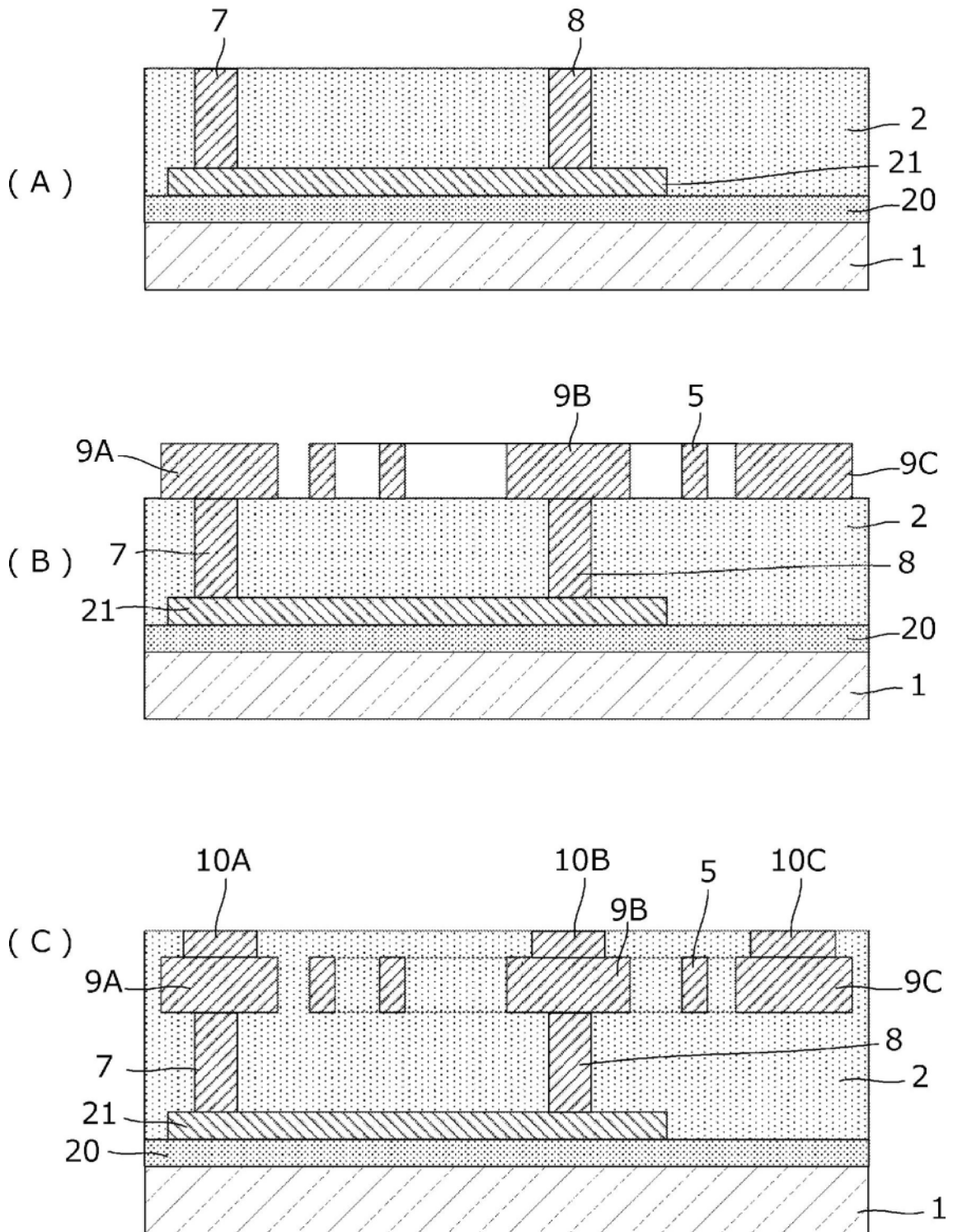


图20

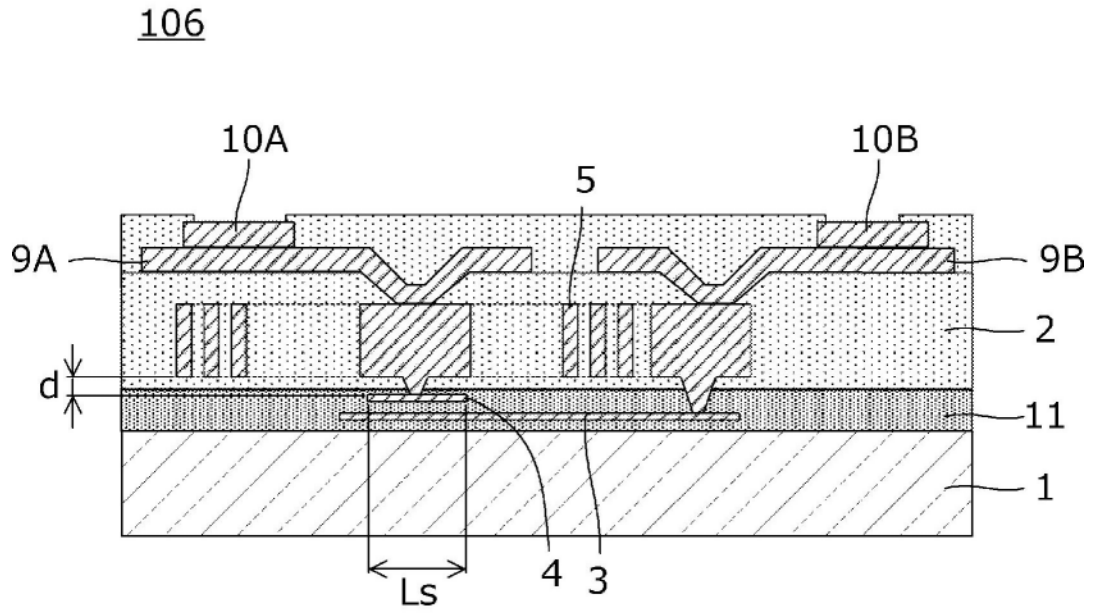


图21