

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4354648号
(P4354648)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.

F I

H03M 7/24 (2006.01)

H03M 7/24

請求項の数 5 (全 10 頁)

(21) 出願番号	特願2000-565606 (P2000-565606)	(73) 特許権者	595020643
(86) (22) 出願日	平成11年8月13日 (1999.8.13)		クァアルコム・インコーポレイテッド
(65) 公表番号	特表2002-523913 (P2002-523913A)		QUALCOMM INCORPORATED
(43) 公表日	平成14年7月30日 (2002.7.30)		ED
(86) 国際出願番号	PCT/US1999/018546		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02000/010253		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成12年2月24日 (2000.2.24)		ハウス・ドライブ 5775
審査請求日	平成18年8月1日 (2006.8.1)	(74) 代理人	100058479
(31) 優先権主張番号	09/134,248		弁理士 鈴江 武彦
(32) 優先日	平成10年8月14日 (1998.8.14)	(74) 代理人	100084618
(33) 優先権主張国	米国 (US)		弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 バイアスを招かないで固定少数点フォーマットに信号を圧縮するための方法と装置

(57) 【特許請求の範囲】

【請求項 1】

下記工程を具備する、KビットによりNビット信号を圧縮する方法、ここで、該信号は2の補数フォーマットで表現され、そして $K < N$ であり、該信号のビット1は最下位ビットであり、そして該信号のビットNは最上位ビットである：

該信号のビットKが“0”に等しい場合、該信号のN-K最上位ビットを出力する；

該信号のビットKが“1”に等しい場合及び該信号のビットK-1からビット1までが“0”に全て等しくない場合、該信号のN-K最上位ビットに“1”を加え、そして前記加えた結果を出力する；及び

該信号のビットKが“1”に等しい場合及び該信号のビットK-1からビット1までが全て“0”に等しい場合、該信号のN-K最上位ビットの奇数性或いは偶数性を決定し、そして偶数の場合、該信号のN-K最上位ビットに“1”を加え、前記加えた結果を出力する、そして奇数の場合、該信号のN-K最上位ビットを出力する。

【請求項 2】

奇数性或いは偶数性を決定する前記工程は、該信号のビットK+1ビットを検査することとを具備する、ここでビットK+1が“1”に等しい場合該信号は奇数であり、ビットK+1が“0”に等しい場合該信号は偶数である、請求項1の方法。

【請求項 3】

下記を具備する、KビットによりN-ビット信号を圧縮するシステム、ここで該信号は2の補数フォーマットで表現され、そして $K < N$ であり、そして該信号のビット1は最下位

10

20

ビットでありそして該信号のビットNは最上位ビットである：

該信号のビットKが“0”に等しいか否かを決定し、等しい場合、該信号のN-K最上位ビットを出力するための第一の手段；

該信号のビットKが“1”に等しいか否かを決定し、等しい場合、該信号のビットK-1からビット1までが全て“0”に等しくないか否かを決定し、等しくない場合、該信号のN-K最上位ビットに“1”を加え、そして前記加えた結果を出力するための第二の手段；及び

該信号のビットKが“1”に等しいか否かを決定し、等しい場合、該信号のビットK-1からビット1までが全て“0”に等しいか否かを決定し、等しい場合、該信号のN-K最上位ビットの奇数性或いは偶数性を決定し、偶数の場合、該信号のN-K最上位ビットに“1”を加えて前記加えた結果を出力し、奇数の場合、該信号のN-K最上位ビットを出力するための第三の手段。

10

【請求項4】

奇数性或いは偶数性を決定する前記第三の手段は、該信号のビットK+1ビットを検査するための手段、ここでビットK+1が“1”に等しい場合該信号は奇数であり、ビットK+1が“0”に等しい場合該信号は偶数である、を具備する、請求項3のシステム。

【請求項5】

下記を具備する、KビットによりN-ビット信号を圧縮するシステム、ここで該信号は2の補数フォーマットで表現され、そして $K < N$ であり、そして該信号のビット1は最下位ビットでありそして該信号のビットNは最上位ビットである：

20

該信号のビット1からK-1までの一つ以上が“1”に等しいか否かを決定するための第一のOR手段、ここで前記第一のOR手段は第一の出力を有する；

前記第一の出力と該信号のビットK+1が共に“0”であるか否かを決定するための第一のNOR手段、ここで前記第一のNOR手段は第二の出力を有する；

前記第一の出力又は前記第二の出力のいずれかが“1”であるか否かを決定するための第二のOR手段、ここで前記第二のOR手段は第三の出力を有する；

前記第三の出力と該信号のビットKとが共に“1”であるか否かを決定するための第一のAND手段、ここで前記第一のAND手段は第四の出力を有する；及び

該信号のN-K最上位ビットに前記第四の出力を加え、前記加えられた結果を出力するための加算器。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は信号圧縮に関する。より具体的には、本発明は、バイアスを招かずに固定少数点信号を圧縮するための新規性のある改善された方法と装置に関する。

【0002】

【従来の技術】

電子デジタルシステムは、二つの異なるフォーマット、即ち浮動少数点(floating point)と固定少数点(fixed point)に従って内部で数値を示す。浮動少数点の表記法は、固定点を有さない。数値は、2個の成分による浮動少数点、即ち仮数と指数で示される。固定点は、反対に、全ての数的量が、予め設定された桁の数字で、絶対的に予め設定された位置の所にある小数点を付けて示されるフォーマットである。固定点の数字は、本発明の主題である。

40

【0003】

システムの設計者は、できるだけ少ないビットで数字を示すように努力する。ハードウェアのコストと複雑さは、部分的にビット数により左右され、ビットが大きいほど、ハードウェアは複雑になる。たとえ1個のビットを節約しても、それは直接ハードウェアのコスト削減に反映される。設計者は、システムの動的範囲の必要条件を決定して、それに従ってビットの数を設定する。

【0004】

50

デジタルシステムの中の種々の信号を、種々の動的範囲の必要条件を有するものとしてとすることができる。例えば、Mビット数のNビット数による乗算の結果は、正確にはM + Nビットを有する積である。しかし、システムは、必ずしも積の信号がこの高い動的範囲を必要としない。従って、信号からビットを捨てる（即ち信号を圧縮する）ことが好ましい。

【0005】

信号を圧縮するための従来の方法は、切捨てと丸めである。切捨ては、この場合、信号から単に1個あるいはそれ以上の最下位のビットあるいは桁を落とすことを指す。しかし、切捨ては、切捨てが、正の量（切り捨てられたビット）を捨てることが常に伴うので、負のバイアスを圧縮された信号に招く。より多くの切捨て演算がなされると、これらのバイアスは蓄積する。特に低い信号レベルの環境の中では、これらのバイアスが、著しく下流の性能を劣化させる可能性がある。丸めは、切捨てより良く性能を発揮するが、それでも、また下流の性能を劣化させる可能性があるビットを招く。

【0006】

従って、バイアスを招かない固定少数点信号を圧縮するための設計された方法と装置が必要である。

【0007】

【課題を解決するための手段】

本発明は、バイアスを招かないで固定少数点信号を圧縮するための新規性がある改善された方法と装置である。本発明に従って、信号は、ディザ(dithered)による切上げ方法により圧縮され、信号値は、ほぼ等しい確率で切り上げられまた切り捨てられ、そうでなければ前記の丸め演算から生ずるバイアスを取り消す。本発明は、入力信号の数字の特性を活用して、信号値が切上げられるべきか切り捨てられるべきかどうかを決定する。

【0008】

本発明により提供される利点は、信号の圧縮が、バイアスを招かないで達成されることである。従って、信号圧縮を、信号バイアスを蓄積して、下流の性能を劣化することなく、システムの中の多重点の所に導くことができる。

【0009】

本発明の特徴は、1ビットの信号の圧縮を、最低限のハードウェアの量で一般的に達成することができることである。

【0010】

【発明の実施の形態】

本発明の特徴、目的、利点は、図面全体をつうじて同じ要素に対して同じ参照符号が振られている、別添の図面を引用したときに下記の詳しい説明から明かとなる。

【0011】

本発明の目的は、バイアスを招かないで固定少数点信号を圧縮するための新規性のある改善された方法と装置である。図1は、Nビットの入力信号102をN - Kビット出力信号104（Kビット圧縮）に圧縮する圧縮器106を示している。当業者にとって公知であるように、本明細書の意味での信号圧縮(signal compression)は、信号を示すためのビットの数を系統的に減らすことを指す。図1の中で示されているとおり、圧縮器106は、入力信号102を示すビット数をKビットだけ減らし、よって、出力信号104を形成する。

【0012】

図1の中で示されているとおり、入力信号102と出力信号104のビットは、段々と上位に行く順序で引用されている。例えば、ビット1は最下位のビットを指し、ビットKはK番目の最下位ビットを指し、またビットNは、Nビット数の最上位のビットを指す。ビットのグループは、また、例えば（N - Kビット数のビットN - KからビットNまでを特定する）N - K最上位ビット、または（少なくともKビットを有する数のビット1からビットKまでを特定する）K最下位ビットを指す。更に、入力信号102と出力信号104は、整数成分（N - K最上位ビット）を有するものと、また少数成分（K最下位ビット）を指す。

【 0 0 1 3 】

信号圧縮器 1 0 6 の種々の実施形態が、下記に説明されている。本発明に従った信号圧縮方法が、最初に図 2 - 5 と 6 を引用して説明されている。次に K ビット信号圧縮器の実施形態が、図 7 を引用して説明されている。1 ビット信号圧縮器の実施形態は、図 8 を引用して説明されている。

I I . 信号圧縮方法

このセクションと次のセクションは、図 2 - 5 と 6 を引用して本発明に従った信号圧縮方法を説明している。図 2、3、4 は、1 ビット信号圧縮の 3 個の方法の入力 / 出力関係を示している（グラフ 2 0 0、2 0 2、2 0 4 で示されているとおり）。これらのグラフは、所与の入力数値の範囲にわたる信号圧縮器 1 0 6 による数値出力を記載している。最初の 2 つのグラフ（2 0 0 と 2 0 2）は、従来の信号圧縮方法を示している一方で、第 3（2 0 4）は、本発明に従った方法を示している。入力と出力数値の双方が、信号入力 1 0 2 と信号出力 1 0 4 として 2 の補数（2 's complement）2 進フォーマットで示されているのに、便宜上 1 0 進法のフォーマットで示されていることに留意しなければならない。

【 0 0 1 4 】

図 2 - 5（2 0 0、2 0 2 および 2 0 4）の 3 つのグラフは 4 ビット入力信号の 3 ビット出力信号に対する 1 ビット圧縮を示している。当業者であれば、固定少数点フォーマットの中の 1 ビットの圧縮の数が、入手できる動的範囲を半分だけ減らしてることが分かるはずである。例えば、4 ビット信号入力 1 0 2 を、“0”を含む“7”から“- 8”の範囲内の整数信号値で示すことができる。3 ビット信号入力 1 0 4 を、“0”を含む“3”から“- 4”の範囲内の整数信号で示すことができる。ビット整数の切捨てあるいは丸めは、2 の冪(power)で除算の線形演算に近付ける。平均あるいはこの理想的な予期される偏差はバイアスである。2 による除算の線形演算は、破線で、グラフ 2 0 0、2 0 2、2 0 4 のグラフの中で示されている。しかし 2 により除算されたときの奇数の入力値は、整数の出力数値の結果とならないので、出力信号 1 0 4 により正確に示されることができない。下記で説明されているとおりの使用される特定の信号圧縮方法は、どの整数出力値が、これ等の状況で入力値を示すかを決定する。グラフ 2 0 0、2 0 2、2 0 4 が、簡単な 1 ビットの信号圧縮の場合を示しているが、下記の解説が、一般的に K ビット圧縮に言及しており、当業者が、3 つのグラフの中で伝達されている情報を、容易に K ビット圧縮に拡大させることができることが分かるはずであることに留意しなければならない。

【 0 0 1 5 】

図 2 は、従来の 1 ビット切捨ての入力 / 出力関係を示している。当業者にとって公知であるとおり、切捨ては、出力信号 1 0 4 を形成するために、単に入力信号 1 0 2 から K の最下位ビット（小数点以下成分）を切り捨てることを指す。言い換えれば、出力値は、常に丸めて切り捨てられている。図 2 の中の実線は、この関係を示している。例えば、“5”（2 進 0 1 0 1）の入力値は、理想的に“2.5”の数値に圧縮される。従来の切捨てでは、入力値の整数成分である出力値の“2”（2 進 0 1 0）が作られる。当業者であれば、実際の入力値が、常に理想値と等しいかあるいはそれ以下であるので、従来の切捨てが、平均して負のバイアスを出力信号 1 0 4 に招くことが分かるはずである。

【 0 0 1 6 】

図 3 は、従来の 1 ビット丸めの入力 / 出力関係を示している。従来の丸めに従って、出力値は、常に切り上げられる、2 個の整数の間の中間の理想的数値（即ち、0.5 で終る理想値）で、最も理想値に近い整数と等しい。1 ビットの圧縮に対して、奇数入力値の各々は、従って、理想的な圧縮された数値が、2 個の整数の間の中間であるので、切り上げられる（図 3 の中の実線により示されているとおり）。例えば、理想的に“2.5”の数値に圧縮される“5”の入力値は、“2.5”が、整数“2”と“3”との中間であるので、“3”の出力値に切り上げられる。正の従来の丸めにより招じ入れられたバイアスを、図 3 の中で明らかにすることができる、即ち、実際の出力値は、常に理想値と等しいかそれより大きい。

【 0 0 1 7 】

図4は、この発明に従った、“ディザ丸め(dithered rounding)”と呼ばれる信号圧縮方法の入力/出力関係を示している。ディザ丸めは、従来の丸めのように、理想値に最も近い整数に等しい出力値を作り出す。しかし、ディザ丸めは、2個の整数の中間の理想的な圧縮値を結果として生ずるこれらの入力値上で、異なって演算される。ディザ丸めは、これ等の数値の一方の約半分に切上げようと努力し、他方の半分を切り捨てようと努力する。ディザ丸めは、従来の丸めにより招じ入れられた多くのバイアスを取り消す。前記で説明されているとおり、従来の1ビットの丸めは、各々の奇数入力値に対する常に切上げにより正のバイアスを出力信号104に招き入れる。ディザ丸めされた1ビットは、図2Cの中で示されているとおり、一部の奇数入力値(“-7”、“-3”、“1”、および“5”)に対して切り上げ、他の奇数(“-5”、“-1”、“3”、および“7”)に対して切り捨てる。従って、平均してディザ丸めは、負のバイアスを招く入力値が、正のバイアスを招く入力値を取り消すので、バイアスを作り出さない(入力値が、入力の動的範囲を横断して均等に配分されていると仮定して)。

10

【0018】

図2Dは、平均誤差を従来の切捨て、従来の丸め、ディザ丸めに対して比較している表206である。表206は、4ビット数の3ビット数への1ビット圧縮の結果を示している。誤差は、各々の入力値、と三つの方法の各々に対する全体の平均誤差に対して計算されている。表の中で見ることができるよう、従来の切捨ては、最も高い平均誤差を生み、従来の切上げは、次に高い平均誤差を有し、またディザ丸めは、平均誤差が無い。

【0019】

20

当業者であれば、誤差(“エッジ効果(edge effect)”として知られている)が、時には、2の補数がたとえ圧縮されたとしても、最も大きな正の入力値(the most positive input value)を招くことが分かるはずである。この理由は、場合によっては、次の最も高い整数に丸められる最も大きな正数の圧縮された数値を示すことが不可能であるからである。例えば、従来の丸めに従って、“7”の入力値は“4”の入力値となるはずである。しかし3ビットの2の補数フォーマットを使用して“4”を示すことは不可能である。“7”の入力値は、従って、従来の丸めの規則を破って“3”として示されなければならない。当業者であれば、エッジ効果を、入力値が最も大きな正数にほとんど近付かないように入力信号をスケールリングすることで最小限度に抑えることができることが分かるはずである。しかし、これらのエッジ効果は、1ビット圧縮より大きいもの、に対してのみ現れる、即ち、圧縮は、エッジ効果の影響を受けない。

30

【0020】

次のセクションで、本発明に従ったディザ丸めが、詳しく説明される。後のセクションは、ディザ丸めを実行する信号圧縮の実施形態を説明している。

III. ディザ丸め

図6は、本発明に従ったディザ丸めを示しているフローチャート300である。この方法は、入力信号102を、Kビットで圧縮して、入力信号102の数値的特性を基礎とする出力信号104を形成している。下記の説明は、入力信号102と出力信号104が、2の補数フォーマットで示されているものと仮定している。当業者であれば、下記に説明されているアイデアを、容易に他のフォーマットで示されている2進数字に応用できることが分かるはずである。

40

【0021】

工程302の中で、ビットは、入力信号102のKビットが“0”かどうか点検される。入力信号102のKビットが“0”であれば、処理は、工程304に進む。工程304の中で、入力信号102のN-K最上位ビットは、Kビット出力104としての出力である。工程302の条件を満たす入力値(即ちこれらの数値が“0”と等しいK番目ビットを有している)は、理想的な圧縮された数値が、次の最も近いより低い整数値である数値であり、従って、切り捨てられる。入力信号1032のビットKが“0”でない場合は、処理は工程306に進む。

【0022】

50

工程 3 0 6 の中で、ビットは、入力信号 1 0 2 のビット K が “ 1 ” であるかどうか点検される。入力信号 1 0 2 のビット K が “ 1 ” であり、またビット 1 から K - 1 まだがすべて “ 0 ” でない場合は、処理は工程 3 0 8 に進む。工程 3 0 8 の中で、“ 1 ” が入力信号 1 0 2 の N - K 最上位のビットに加算され、その結果、N - K ビット出力信号 1 0 4 として出力される。工程 3 0 6 の中で “ 1 ” に対するテストを満たす入力値は、理想的に圧縮された数値が、次に大きな出力整数値に最も近い数値であり、従って切り上げられる。

【 0 0 2 3 】

入力信号 1 0 2 のビット K が “ 1 ” であり、またビット 1 から K - 1 がすべて “ 0 ” である場合は、処理は、工程 3 1 0 に進む。これらの入力値は、2 個の整数の中間の理想的な圧縮された数値である。前記で説明されているとおり、本発明のディザ丸めは、これ等の数値の一方の約半分に切り上げようと努力し、他方の半方を切り捨てようと努力する。丸めは、入力信号 1 0 2 の N - K 最上位ビット（入力信号 1 0 2 の整数成分）が、奇数あるは偶数であるかどうか（即ち、唯一であると思なされる N - K 最上位が、奇数あるいは偶数を示しているかどうか）ビットを決定することで達成される。当業者であれば、入力値の一方の半分が、奇数整数成分を有しており、他方の半分が、偶数整数成分を有していることが分かるはずである。好ましい実施形態の中で、偶数整数成分を有するこれらの入力値は、切り上げられ、奇数整数成分を有するものは切り捨てられる。

【 0 0 2 4 】

別の実施形態の中で、この従来の丸めは、反対となる。即ち、奇数整数成分を有するこれらの入力値は、切り上げられ、偶数整数成分を有するものは、切り捨てられる。当業者であれば、これらの 2 つの実施形態が、別の実施形態と異なり、好ましい実施形態が、1 ビット圧縮に対するエッジ効果の影響を受けないことを除いて、ほぼ同じ結果を生むことが分かるはずである。当業者であれば、また、ハードウェアに対する配慮が、所定の応用の中で実施するのに、どの実施形態が最も適しているかを左右する可能性があることが分かるはずである。

【 0 0 2 5 】

入力信号 1 0 2 の奇数性 / 偶数性 (oddness/evenness) は、できれば、入力信号 1 0 2 のビット K + 1 を検査することで決定されることが好ましい。奇数整数成分は、ビット K + 1 で “ 1 ” により示されるのに対して、偶数整数成分は、“ 0 ” により示される。当業者であれば、奇数性 / 偶数性を、他の方法で決定できることが分かるはずである。

【 0 0 2 6 】

偶数の場合は、処理は、“ 1 ” が入力信号 1 0 2 の N - K 最上位ビットに加算され、また結果が N - K ビット出力信号 1 0 4 としての出力である工程 3 1 2 に進む。奇数の場合は、処理は、入力信号 1 0 2 の N - K 最上位ビットが N - K ビット出力信号 1 0 4 として出力される工程 3 1 4 に進む。その結果、工程 3 1 0 で試験された入力値の一方のほぼ半分は、切り上げられ、他方の半分は切り捨てられる。

【 0 0 2 7 】

ディザ丸めを使用する信号圧縮器 1 0 6 複数の実施形態が、次に説明される。K ビット丸めを実行する実施形態が、初めに説明され、次に、より複雑な 1 ビットディザ丸めの実施形態が説明される。当業者であれば、下記に記載されている説明が、等しくハードウェアとソフトウェアあるいは双方の組み合わせに応用されることが分かるはずである。例えば、汎用ハードウェア装置あるいはコンピュータをプログラミングして、必要とする機能を発揮させること、あるいは、特定のハードウェアを使用することで、加算器を実施することができる。

IV . K ビットディザ丸めの実施形態

図 7 は、K ビットディザ丸め信号圧縮器 4 0 2 を示している。信号圧縮器 4 0 2 は、K ビットにより N ビット入力信号 1 0 2 を圧縮して、N - K ビット出力信号 1 0 4 を形成する。圧縮 K の量は、1 ビットから N - 1 ビットまで変化することがある。信号圧縮器 4 0 2 は、できれば、OR ゲート (4 1 0 と 4 1 6)、AND ゲート 4 0 8、NOR ゲート 4 1 2、加算器 4 0 6 を含むことが好ましい。前記で説明されているとおり、当業者であれば

10

20

30

40

50

、信号圧縮器 402 の成分が、ハードウェアの用語（例えばゲート）で説明されていても、これらの機能を、ソフトウェアあるいはハードウェアとソフトウェアの組み合わせの中で等しく発揮させることができることが分かるはずである。更に、当業者であれば、同等の機能を発揮する代案としてのデジタル論理あるいは演算を、本明細書の中の論理と取って代わらせることができることが分かるはずである。

【0028】

加算器 406 は、選択的に、“1”を入力信号 102（即ち $N - K$ 最上位ビット）の整数成分に加算して、 $N - K$ ビット出力信号 104 を形成する。信号圧縮器 402 の成分の残りは、“1”を加えるかどうかを決定する。前記で説明されているとおり、“1”は切り上げられるべき整数成分に対して加算される。

10

【0029】

AND ゲート 408 は、入力の双方が“1”、即ち入力信号 102 と OR ゲート 410 の出力のビット K である場合は、“1”のみを加算器 406 に出力する。従って、入力信号 102 のビット K が“1”でない場合は、入力信号 102 の整数成分は、切り上げられない。

【0030】

OR ゲート 410 は、入力の何れかが“1”である場合は、“1”を出力する。従って、その入力の一つは、入力信号 102 の整数成分が切り上げられるために、“1”のはずである。OR ゲート 410 は、入力信号 102 の $K - 1$ 最下位ビットの何れかが“1”であるかどうかを決定する。これらのビットの何れかが“1”である場合は、OR ゲート 416 は“1”を出力して、OR ゲート 410 がまた“1”を出力させるようにする。あるいは、入力信号 102 の $K - 1$ 最下位ビットが“0”である場合は、OR ゲート 416 の出力は“0”である。 $K + 1$ ビットがまた“0”である場合は、NOR ゲート 412 の出力は“1”であり、OR ゲート 410 が“1”を出力させるようにする。

20

【0031】

信号圧縮器 402 は、 K - ビット信号圧縮を実施するための好ましい実施形態である。下記のセクションは、1 ビットディザ丸めのための代案としての実施形態を説明している。

V. 1 ビットディザ丸め実施形態

図 8 は、1 ビットディザ丸め信号圧縮器 502 を示している。信号圧縮器 502 は、単一ビットにより N - ビット入力信号 102 を圧縮して、 $N - 1$ ビット出力信号 104 を形成する。信号圧縮器 502 は、OR ゲート 504 から成る。当業者であれば、単一ビットの圧縮のみしか必要としない複雑さの著しい削減が得られることが分かるはずである。従って、圧縮器 502 は、1 ビット圧縮が必要である状況では、好ましい実施形態である。

30

【0032】

OR ゲート 504 は、選択的に、“1”を入力信号 102（即ち、 $N - 1$ の最上位ビット）の整数成分に加算して、 $N - 1$ ビット出力信号 104 を形成する。OR ゲート 504 は、入力信号 102 のビット 1 あるいはビット 2 の何れかが“1”である場合、“1”を出力する。従って、入力信号 102 の整数成分は、ビット 2 が“0”であり、またビット 2 が“1”である場合に切り上げられる。

【0033】

40

VI. 結論

好ましい実施形態の前記の説明は、当業者が、本発明を利用できるように行われた。本発明が、特に本発明の好ましい実施形態を引用して示され説明されてきたが、当業者であれば、種々の形態と詳細の変更を、本発明の精神と範囲を逸脱することなく行うことができることが分かるはずである。

【図面の簡単な説明】

【図 1】 K ビットによる信号圧縮を示す図。

【図 2】 従来の切捨ての入力 / 出力の関係を示しているグラフ。

【図 3】 従来の丸めの入力 / 出力の関係を示しているグラフ。

【図 4】 本発明に従ったディザ丸めの入力 / 出力の関係を示しているグラフ。

50

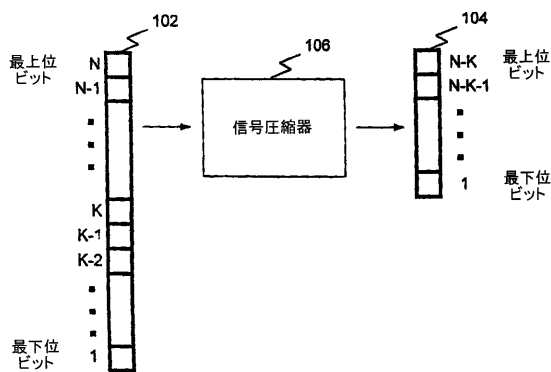
【図 5】 従来の丸めにより生成された平均丸め誤差を、1 ビットの従来の切捨てとまたディザ丸めと比較している表。

【図 6】 K ビットのディザ丸めを示すフローチャート。

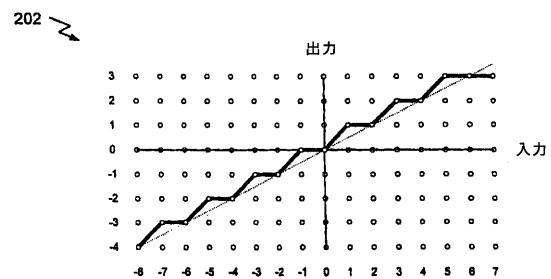
【図 7】 K ビットのディザ丸めを実行するための回路の好ましい実施形態を示しているグラフ。

【図 8】 1 ビットのディザ丸めを実行するための回路の好ましい実施形態を示しているグラフ。

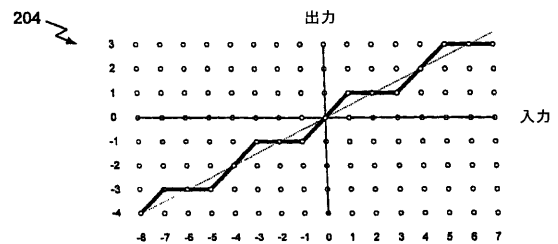
【図 1】



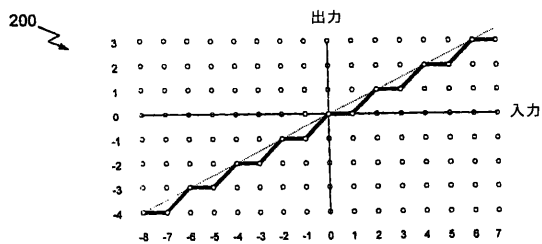
【図 3】



【図 4】



【図 2】



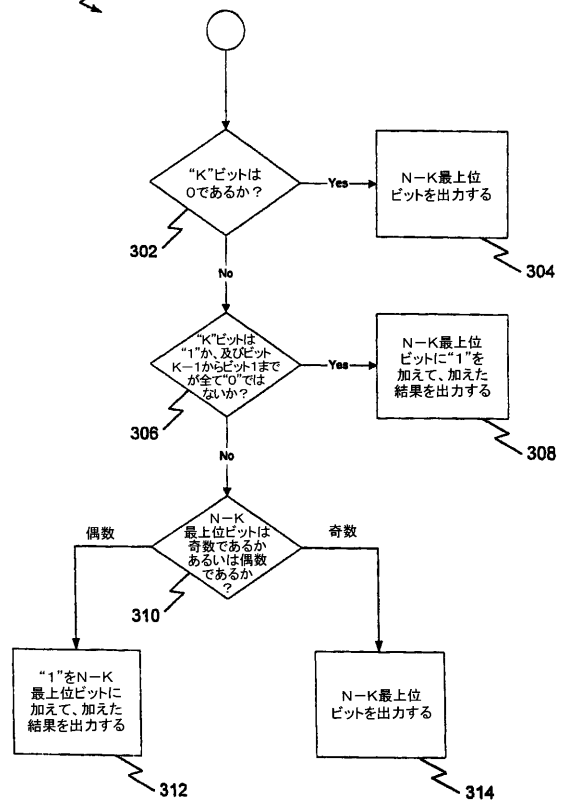
【図 5】

206

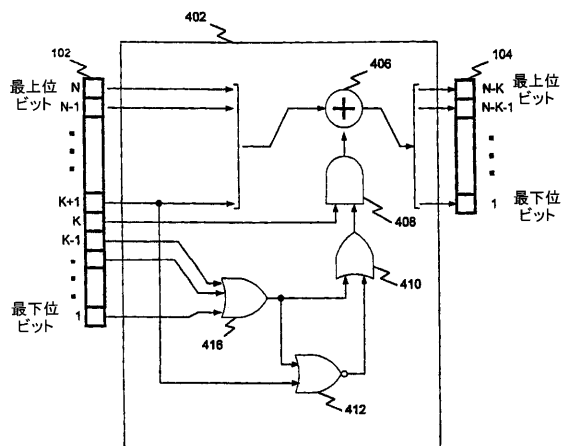
10進値	2進値	切捨て	誤差	丸め	誤差	ディザ 丸め	誤差
7	0111	011	-0.5	011	-0.5	011	-0.5
6	0110	011	0.0	011	0.0	011	0.0
5	0101	010	-0.5	011	0.5	011	0.5
4	0100	010	0.0	010	0.0	010	0.0
3	0011	001	-0.5	010	0.5	001	-0.5
2	0010	001	0.0	001	0.0	001	0.0
1	0001	000	-0.5	001	0.5	001	0.5
0	0000	000	0.0	000	0.0	000	0.0
-1	1111	111	-0.5	000	0.5	111	-0.5
-2	1110	111	0.0	111	0.0	111	0.0
-3	1101	110	-0.5	111	0.5	111	0.5
-4	1100	110	0.0	110	0.0	110	0.0
-5	1011	101	-0.5	110	0.5	101	-0.5
-6	1010	101	0.0	101	0.0	101	0.0
-7	1001	100	-0.5	101	0.5	101	0.5
-8	1000	100	0.0	100	0.0	100	0.0
平均誤差			-0.250		0.188		0.00

【図 6】

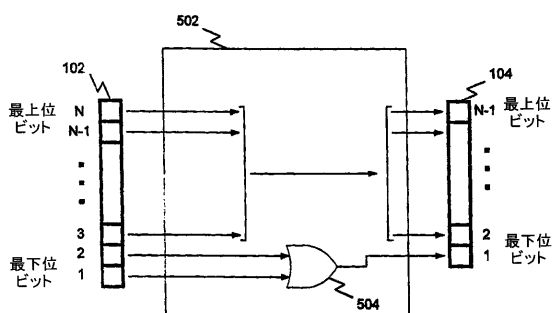
300



【図 7】



【図 8】



フロントページの続き

- (72)発明者 リドル、クリストファー・シー
アメリカ合衆国 カリフォルニア州 9 2 1 3 1 サン・ディエゴ、アイアンウッド・ロード 1
1 0 4 1
- (72)発明者 レビン、ジェフリー・エー
アメリカ合衆国 カリフォルニア州 9 2 1 3 0 サン・ディエゴ、ハーウィック・レーン 1 3
0 6 3

審査官 渡辺 未央子

- (56)参考文献 特開平05 - 167456 (JP, A)
特表平05 - 503178 (JP, A)
特開平07 - 200265 (JP, A)
特開平11 - 031976 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M 7/24
G06F 7/38