

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3616518号
(P3616518)

(45) 発行日 平成17年2月2日(2005.2.2)

(24) 登録日 平成16年11月12日(2004.11.12)

(51) Int.Cl.⁷

H03K 19/177

F I

H03K 19/177

請求項の数 4 (全 12 頁)

(21) 出願番号	特願平11-33252	(73) 特許権者	000004237
(22) 出願日	平成11年2月10日(1999.2.10)		日本電気株式会社
(65) 公開番号	特開2000-232354(P2000-232354A)		東京都港区芝五丁目7番1号
(43) 公開日	平成12年8月22日(2000.8.22)	(74) 代理人	100109313
審査請求日	平成11年3月24日(1999.3.24)		弁理士 机 昌彦
審査番号	不服2003-9446(P2003-9446/J1)	(74) 代理人	100085268
審査請求日	平成15年5月26日(2003.5.26)		弁理士 河合 信明
		(74) 代理人	100111637
			弁理士 谷澤 靖久
		(72) 発明者	古田 浩一朗
			東京都港区芝五丁目7番1号 日本電気株
			式会社内
		(72) 発明者	藤井 太郎
			東京都港区芝五丁目7番1号 日本電気株
			式会社内

最終頁に続く

(54) 【発明の名称】 プログラマブルデバイス

(57) 【特許請求の範囲】

【請求項1】

内部に第1記憶手段を有し、前記第1記憶手段によってプログラマブル論理手段、プログラマブル結線手段又はメモリ手段として動作し、アレイ状に配置された複数のプログラマブルセルであり、隣接するプログラマブルセル間の入出力ポート同士が直結された複数のプログラマブルセルと、

複数の配線により構成され、第2記憶手段によって配線群の結線状態を決定する配線ネットワークと、

を有するプログラマブルデバイスであり、

前記プログラマブルセルの入出力ポート群をnセット（nは2以上の整数）設け、

10

前記配線ネットワークをmセット（mは2以上の整数）設け、

前記プログラマブルセルが記憶情報によって前記プログラマブル結線手段として動作する時に、前記記憶情報によって同一セット内及びセット間の配線接続を決定することを特徴とするプログラマブルデバイス。

【請求項2】

前記プログラマブルセルのnセットの入出力ポート群の一部又は全部と、前記mセットの配線ネットワークの一部又は全部を、共通に接続することを特徴とする請求項1記載のプログラマブルデバイス。

【請求項3】

前記プログラマブルセルの入出力ポートが、前記第1記憶手段によって前記プログラマブ

20

ルセル内の他の入出力ポートと接続されることを特徴とする請求項1、2のいずれか一つに記載されたプログラマブルデバイス。

【請求項4】

前記記憶情報は、同一セット内及びセット間の配線接続をプログラマブルセル内で一括に制御する配線モード情報と、同一セット内及びセット間の配線接続の一部を制御する前記第1記憶手段の配線マトリクス接続情報とからなることを特徴とする請求項1記載のプログラマブルデバイス。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

10

本発明は、プログラマブルデバイスに関し、特に、FPGA (Field Programmable Gate Array) 等のプログラマブルデバイスを構成するプログラマブルセルと配線ネットワークに関する。

【0002】

【従来の技術】

従来、FPGAを代表とするプログラマブルデバイスは、ハードウェアをどのように構成するかを指定するコンフィグレーション情報を内部に保持し、このコンフィグレーション情報の指示に従って所望のハードウェアを実現するLSIである。近年半導体製造技術の進歩によってプログラマブルデバイスで実現可能なハードウェアの規模が拡大するに伴い、ゲートアレイLSIからプログラマブルデバイスへの置き換えが進んでおり、大きな注目を集める様になってきている。この様なプログラマブルデバイスは、一般的に任意の機能のハードウェアを実現することが求められるが、その汎用性から任意の論理を実現するプログラマブルセルの回路規模が大きくなる為に大規模な回路を実現することが難しく、より大きな規模の回路を搭載するセル及びチップアーキテクチャが要求されている。

20

【0003】

又、実現する回路によっては論理ゲート間の配線が大規模となって、プログラマブルセルの配線リソースが不足することから、より多くの配線リソースが求められている。

【0004】

この様な要請に応える為に、例えば平成10年特許願309285号には、任意の論理とメモリ、結線手段をプログラマブルセルで実現することにより、ハードウェア規模及び配線リソースの要求に応える技術が開示されている。具体的には、この技術は、プログラマブルセルのモードとしてメモリと結線手段を持たせることにより、論理ゲートで実現するには効率が悪いメモリを効率良く実現し、配線リソースが不足した場合にはセルを配線リソースとして用いることにより大規模な回路を効率良く実現するものである。

30

【0005】

又、特願平7-273640号公報(「フィールドプログラマブルゲートアレイ素子」)においては、プログラマブル論理回路は、図8に示すように、比較器104への入力の一つをメモリセル102に格納されたデータと外部データ信号の間で切り替えるためのマルチプレクサ103を含ませている。このようなプログラマブル論理回路と図示しない復号器とを2次元配列して、小型ROM、連想メモリ、マルチポートレジスタファイルを構成している。

40

【0006】

又、特開平9-83347号公報(「マルチポートRAMを有するフィールド・プログラマブル・ゲート・アレ」)においては、図9に示すように、第1、第2RAMセル102、108は、対応する第1、第2読み出し/書き込みポート104、110に接続される。RAMセルは、スイッチングデバイス114によって切り離される時シングルポートRAMとして独立して機能する。しかし、RAMセルは、スイッチングデバイス114によって接続される時、二重ポートRAMとして集合適に機能するためデータを分け合う。又、特開平9-186581号公報(「フィールド・プログラマブル・メモリ・アレイ」)においては、図10に示すように、アドレス・デコーダ、階層ビット線配列、入出力配置

50

、はプログラム可能であり、アレイのそれぞれの部分を選択モードにプログラムすることができる。

【0007】

又、特開平10-240678号公報（「拡張入出力バス」）においては、図11に示すように、マスタプロセッサ1とスレーブプロセッサ4との間に配置されたFPGA3は、コンフィグレーション信号Dを選択することにより、任意の数のレジスタからなるFIFO（先入れ先出しメモリ）として動作する。複数のコンフィグレーション信号Dは、コンフィグレーションROM7から読み出され、セクタ6で其の中の一つが選択される。

【0008】

【発明が解決しようとする課題】

しかし、従来の技術では、プログラマブルセルを配線リソースやメモリとして使う必要がない場合、プログラマブルセルの配線リソースモードとメモリモードが不要となり、プログラマブルセルに生じた回路及び面積のオーバーヘッドが無駄であるという問題がある。又、モード追加により1つのプログラマブルセルの回路および面積が増加しチップに載せるプログラマブルセルが少なくなるために、実現出来る回路規模が小さくなるという問題がある。又、例えばFIFO回路を実現する場合メモリの書き込みと読み出しが同時に出来ないプログラマブルセルでは、多くのプログラマブルセルが必要になる。

【0009】

ここで、プログラマブルセルのモード追加に伴うオーバーヘッドについて説明しておく。

【0010】

図12は任意の論理を実現する4入力1出力論理と16ビットRAMをモードの切り替えによって実現する構成の1例である。本回路が4入力1出力回路として動作する場合、記憶素子801中の記憶情報は任意の論理を可能にするルックアップテーブルの内容とるため書き換えの必要はない。よって動作としてはデータがIN1～4に入力されると入力されたアドレスに対応する記憶素子801の情報が読み出されることにより任意の論理を実現する。次に本回路が16ビットRAMとして動作する場合、読み出し動作はアドレスがIN1～4に入力されるとアドレスに対応する記憶素子801の情報が読み出され、4入力1出力回路の動作と全く同じである。しかしながらデータを書き込む場合は新たな経路が必要となり書き込みバッファ805及びそれに付随する配線がオーバーヘッドとなる。

【0011】

図13は任意の論理を実現する4入力1出力回路と16ビットRAM、縦4本横4本のクロスバースイッチをモード切り替えにより実現するプログラマブルセルの1例である。本プログラマブルセルは、隣接した上下左右のプログラマブルセル及び配線ネットワークとを入出力ポート901により直結させる。又プログラマブルセルの上下左右にセクタを有し、入出力ポートとメモリ手段との接続を制御する。動作としては、プログラマブルセルが任意の論理を実現する4入力1出力回路又は16ビットRAMとして動作する場合、データ及びアドレス信号はアドレス入力端子から入力され、データ出力端子から出力される。又プログラマブルセルがクロスバースイッチとして動作する場合は、隣接するプログラマブルセル及び配線ネットワークとメモリ手段が縦横4本ずつの配線により接続され、記憶素子の情報により縦配線と横配線が接続される。よって縦と横の配線とスイッチ素子がクロスバースイッチモードの主なオーバーヘッドである。

【0012】

そこで、本発明は、従来技術によるプログラマブルデバイスの欠点である論理回路の実現効率を改善し、より大規模な回路を実現することを課題としている。

【0013】

又、本発明は、従来技術によるプログラマブルデバイスでは不可能であったプログラマブルセルでの複数ポートメモリを提供することを課題としている。

【0014】

【課題を解決するための手段】

上記の課題を解決するための本発明は、内部に記憶手段を有し、記憶手段によってプログ

10

20

30

40

50

ラマブル論理またはメモリとして動作するプログラマブルセルと、複数の配線により構成され記憶手段によって配線群の結線状態を決定する配線ネットワークを有するプログラマブルデバイスにおいて、プログラマブルセルの入出力ポート群をnセット（nは2以上の整数）設け、配線ネットワークをmセット（mは2以上の整数）設けている。

【0015】

又、本発明は、記憶素子の2次元配列と、前記記憶素子を選択するデコーダと、書込み信号を入力するバッファと、前記記憶素子の出力を選択して出力するセクタとを備えたプログラマブルデバイスであって、前記デコーダ及び前記セクタを2以上の組に組織し、前記2以上の組の制御信号を前記デコーダ及び前記セクタに入力し、前記記憶素子を、前記書込み信号を書き込む前記組と、前記記憶素子に既に書き込まれた信号を読み出す前記組とに組織している。

10

【0016】

又、本発明は、プログラマブルセルの2次元配列と、2以上の配線ネットワーク群とを備えたプログラマブルデバイスであって、前記プログラマブルセルの入出力ポート群の各々を、前記配線ネットワーク群の各々に結線し、前記配線群の各々に、同一又は異なる機能の制御信号を入力している。

【0017】

又、本発明は、記憶素子・スイッチ素子の対の2次元配列と、前記対を選択するセクタとを備えたプログラマブルデバイスであって、前記セクタに、データ信号、アドレス信号、及び制御信号を入力し、前記制御信号に基いて、前記対を記憶素子又はスイッチ素子のいずれかとして機能させ、前記対の出力ポートからの出力を前記セクタから出力している。

20

【0018】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

【0019】

図1は、入出力ポートを2セット化し、2セットの4入力1出力回路（2読み出し）、又は16ビット2ポート（1読み出し1書き込み）RAMを実現する回路の構成を示している。

【0020】

30

本回路において、記憶素子101はマトリクス状に配置され、2組のワード線及びデータ線対により接続される。

【0021】

接続されたワード線はデコーダ102に接続される。

【0022】

センスアンプ103は、記憶素子101のデータ線対とセクタ104に接続される。

【0023】

セクタ104はセンスアンプ103のデータを信号INa3、INa4、INb3、INb4により選択しOUTa及びOUTbに出力する。

【0024】

40

書き込みバッファ105は、記憶素子101のデータ線対のどちらか一方に接続され、writeEna1～4が活性化された時にWriteDataをデータ線対に伝搬する。

【0025】

よって本回路が4入力1出力回路として動作する場合、2組の入力ポート群INa1～4とINb1～4はそれぞれ16個の記憶素子101の1つを選択し、情報をOUTa及びOUTbに出力する。この時、記憶素子101の情報は入力ポートによらず共通であるため4入力1出力回路としての論理は同一である。

【0026】

又本回路が16ビット2ポートRAMとして動作する場合、データの読み出しは入力ポート群INa1～4とINb1～4から入力されたデータに従って記憶素子101の情報が

50

読み出されるが、データの書き込みは書き込みバッファ105により一方のポートから行われる為、残りのポートは読み出し動作となる。

【0027】

この様に本回路では書き込みバッファ105及び記憶素子101の大部分を共通化し面積オーバーヘッドを抑えつつ2倍の論理及び2ポートRAMを実現出来る。

【0028】

図2は、3組の入出力ポート群（port-a、port-b、port-c）を持ったプログラマブルセル201をアレイ状に配置し、3組の配線群（配線ネットワークa202、配線ネットワークb203、配線ネットワークc204）を用いてプログラマブルセル201を接続した場合のプログラマブルデバイスを示している。

10

【0029】

本回路では、各プログラマブルセルの3つの入出力ポート群がそれぞれ別の配線ネットワークで接続されており、プログラマブルセルの同一入出力ポート群間（例えばport-aとport-a）の任意の接続を可能とする。

【0030】

よって、例えばプログラマブルセル201の入出力ポート群と3組の配線群を同一に構成、接続することにより、プログラマブルデバイスを同一機能の3つの回路として用いることができ面積オーバーヘッドを抑えつつ3倍の性能を実現出来る。

【0031】

図3は、本発明の一実施の形態として、2組の4入力1出力回路と2ポート16ビットRAM、2組の縦4本横4本のクロスバースイッチをモード切り替えにより実現するプログラマブルセルの構成を示している。

20

【0032】

本回路において回路外部又は内部を選択的に接続するセクタ304は、隣接するプログラマブルセルとの接続を実現する為に、本回路の上下左右、場合によっては右上右下左上左下に配置される。

【0033】

セクタ304は、専用配線により他のセクタ304、メモリ手段303、入出力ポート群（aポート入出力301、bポート入出力302）に接続され、接続された信号を任意に接続出来る。

30

【0034】

動作としては、プログラマブルセルが2つの4入力1出力回路か2ポート16ビットRAMの場合、データ及びアドレス信号は入出力ポート群からセクタ304を通してaポートデータ入力端子306及びbポートデータ入力端子307に入力され、aポートデータ出力端子308及びbポートデータ出力端子309からセクタ304を通して入出力ポート群に出力される。

【0035】

又、モードがクロスバースイッチの場合、隣接するプログラマブルセル及び配線ネットワークとメモリ手段304が縦横4本ずつの配線により接続され、記憶素子310の情報により縦配線と横配線を接続するクロスバースイッチとして動作する。この時、本図に示すメモリ手段303ではaポート入出力301及びbポート入出力302から接続された縦横4本の配線の交点全てにスイッチ素子311がマトリクス状に配置されており、1ビットの記憶素子を使ってaポート配線群とbポート配線群の同位置のスイッチ素子311を2つ制御している。

40

【0036】

よって本プログラマブルセルでは、記憶素子310を共通化することにより面積オーバーヘッドを抑えつつ2組の4入力1出力回路、2ポート16ビットRAM、2組のクロスバースイッチのいずれかを実現できる。

【0037】

図4は、プログラマブルセルを2組のクロスバースイッチとして用いた時のメモリ手段に

50

おけるスイッチ素子 3 1 1 と記憶素子 3 1 0 の配置を示している。

【0038】

本回路においてスイッチ素子 3 1 1 は、マトリクス状に配置された記憶素子 3 1 0 の情報を用いて縦横に 8 本ずつ配置された配線群を接続出来る。

【0039】

よって、本図に示すようにプログラマブルセルをクロスバースイッチとして用いる場合、スイッチ素子 3 1 1 を接続したい任意の位置に配置し、クロスバースイッチのサブモードとして図 4 (a) ~ (i) を切り替えることにより、同一ポート同士 (a ポート縦配線 4 0 1 と a ポート横配線 4 0 3、b ポート縦配線 4 0 2 と b ポート横配線 4 0 4) の接続だけでなく他ポート間の接続 (a ポート配線と b ポート配線) を実現でき、ポートを問わず任意の接続を実現するクロスバースイッチを実現できる。

10

【0040】

更にこのクロスバースイッチを用いれば、2 組の論理ゲート又は 2 ポート R A M を接続する際に多く用いられるデータのコピー、乗り換え、入れ替え、通過をプログラマブルセルで実現出来る為、従来配線リソースで持っていたデータのコピー、乗り換え、入れ替え、通過の機能を縮小又は削減でき面積を削減することが出来る。

【0041】

図 5 は、プログラマブルセル 5 0 1 をアレイ状に配置したプログラマブルセルブロック 5 0 2 を、3 組の配線群 (配線ネットワーク a 5 0 3、配線ネットワーク b 5 0 4、配線ネットワーク c 5 0 5) で接続した場合のプログラマブルデバイスを示している。

20

【0042】

本回路において、プログラマブルセル 5 0 1 は、a ポート入出力群 (n a、s a、w a、e a) と b ポート入出力群 (n b、s b、w b、e b) により隣接したプログラマブルセル 5 0 1 に接続され、プログラマブルセルブロック 5 0 2 を構成する。

【0043】

プログラマブルセルブロック 5 0 2 は、a ポート入出力群により配線ネットワーク a 5 0 3 と配線ネットワーク b 5 0 4 に、b ポート入出力群により配線ネットワーク b 5 0 4 と配線ネットワーク c 5 0 5 に接続される。又場合によっては隣接するプログラマブルセルブロック 5 0 2 にも接続される。

【0044】

よってプログラマブルセル 5 0 2 の a ポート入出力群と b ポート入出力群は配線ネットワーク b 5 0 4 を用いて自由に乗り換えが出来る様になり、例えば a ポート入出力群と b ポート入出力群に共通なデータを配線ネットワーク b 5 0 4 で接続することにより効率のよい配線が可能になる。

30

【0045】

又、本構成は、プログラマブルセル 5 0 1 のクロスバースイッチモードと組み合わせることにより、更に自由度が高く配線リソースと論理の比率が任意に変更出来るプログラマブルデバイスを実現出来る。

【0046】

図 6 は、図 3 のプログラマブルセルにより 2 個の全加算器を実現し、2 つの全加算器を接続することにより 2 ビット分の加算器 1 つのプログラマブルセルで構成している。

40

【0047】

本回路は、太線で示すデータ経路からも分かるように、プログラマブルセルの左側の a ポート入出力 3 0 1 から入力されたデータ (A n と B n) と b ポート入出力 3 0 2 から入力されたデータ (A n+1 と B n+1) はセレクタ 3 0 4 によりメモリ手段 3 0 3 に入力する。この時、一方の全加算器の入力には A n と B n 以外に下位ビットからのキャリー信号である C a r r y (n-1) がプログラマブルセル外部から入力され、S u m (n) と C a r r y (n) が出力される。又他方の全加算器は上位ビットの演算になるため A n+1 と B n+1 と C a r r y (n) が入力され、S u m (n+1) と C a r r y (n+1) が出力される。

50

【0048】

この様に本発明のプログラマブルセルを使えば複数ビットの演算回路を低面積で実現することが出来る。

【0049】

図7は、図3のプログラマブルセルによりクロスバースイッチを実現し、2ビットのデータをコピーすると同時に出力ポートの位置を入れ替える場合の構成を示している。

【0050】

ここでメモリ手段303としては図4の(b)を用い、aポート配線とbポート配線の乗り換えを可能とした。

【0051】

動作としては、プログラマブルセルの左側のaポート入出力301から入力されたA信号とB信号が、クロスバースイッチの通過機能を用いてプログラマブルセル右側のaポート入出力301から出力される。又、スイッチ素子311の黒丸部分を接続することにより、A信号とB信号の出力位置を入れ替えながらbポート入出力302にも信号を出力出来る。

10

【0052】

よって、このプログラマブルセルの右側に隣接するプログラマブルセルに減算器を構成すれば、絶対値減算回路に必要な $A-B$ と $B-A$ の1ビット分の演算が1つのプログラマブルセルで実現出来る。

【0053】

【発明の効果】

以上説明した本発明によれば、従来技術によるプログラマブルデバイスの欠点である論理回路の実現効率を改善し、より大規模な回路を実現することができる。

20

【0054】

又、本発明によれば、従来技術によるプログラマブルデバイスでは不可能であったプログラマブルセルでの複数ポートメモリを提供することができる。

【図面の簡単な説明】

【図1】本発明による2つの同一論理の4入力1出力回路又は16ビット2ポート（2読み出し、又は1読み出し1書き込み）RAMの実施の形態を示したブロック図である。

【図2】本発明によるプログラマブルデバイスの実施の形態を示したブロック図である。

30

【図3】本発明による2組の4入力1出力回路と2ポート16ビットRAM、2組の縦4本横4本のクロスバースイッチをモード切り替えにより実現するプログラマブルセルの実施の形態を示したブロック図である。

【図4】本発明によるプログラマブルセルを2組のクロスバースイッチとして用いた時のメモリ手段におけるスイッチ素子と記憶素子の配置の実施の形態を示したブロック図である。

【図5】本発明によるプログラマブルデバイスの別の実施の形態を示したブロック図である。

【図6】本発明によってプログラマブルセルにより2個の全加算器を実現し、2つの全加算器を接続することにより2ビット分の加算器1つのプログラマブルセルで構成した時の実施の形態を示したブロック図である。

40

【図7】本発明によってプログラマブルセルによりクロスバースイッチを実現し、2ビットのデータをコピーすると同時に出力ポートの位置を入れ替える場合の実施の形態を示したブロック図である。

【図8】従来のFPGAのブロック図である。

【図9】従来のもう一つのFPGAのブロック図である。

【図10】従来の他のFPGAのブロック図である。

【図11】従来の更に他のFPGAのブロック図である。

【図12】任意の論理を実現する4入力1出力論理と16ビットRAMをモードの切り替えによって実現する従来例の具体的な例を示したブロック図である。

50

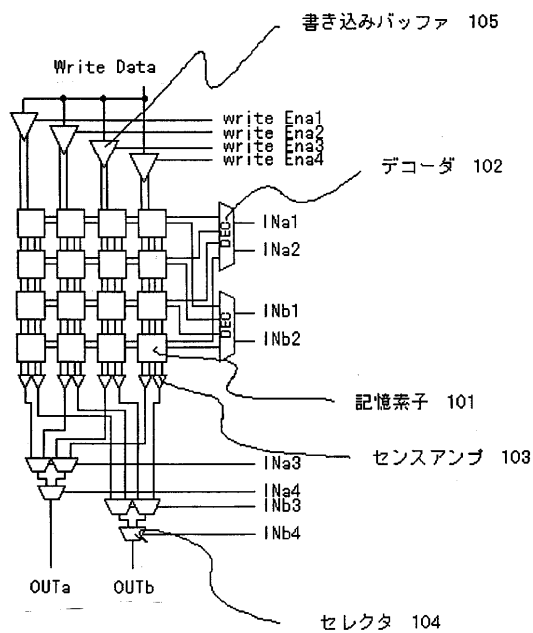
【図 1 3】 任意の論理を実現する 4 入力 1 出力回路と 16 ビット RAM、縦 4 本横 4 本のクロスバースイッチをモード切り替えにより実現するプログラマブルセルの従来例の具体的な例を示したブロック図である。

【符号の説明】

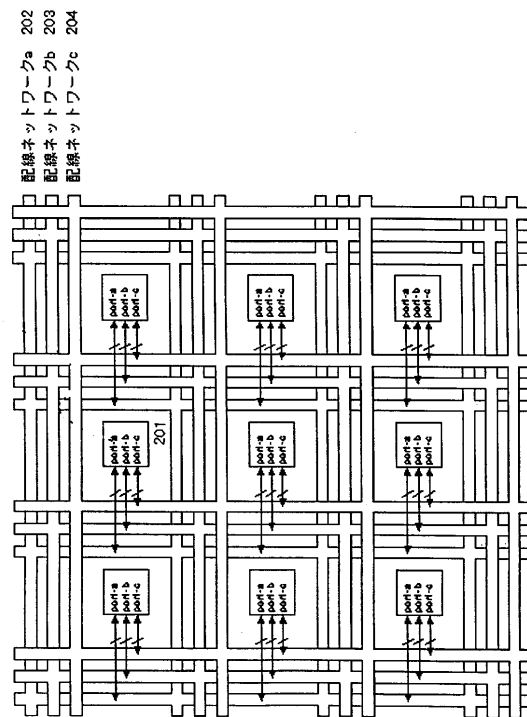
- 1 0 1 記憶素子
- 1 0 2 デコーダ
- 1 0 3 センスアンプ
- 1 0 4 セレクタ
- 1 0 5 書き込みバッファ
- 3 0 1 a ポート入出力
- 3 0 2 b ポート入出力
- 3 0 3 メモリ手段
- 3 0 4 セレクタ
- 3 0 6, 3 0 8 a ポートデータ入力端子
- 3 0 7, 3 0 9 b ポートデータ入力端子
- 3 1 0 記憶素子
- 3 1 1 スイッチ素子

10

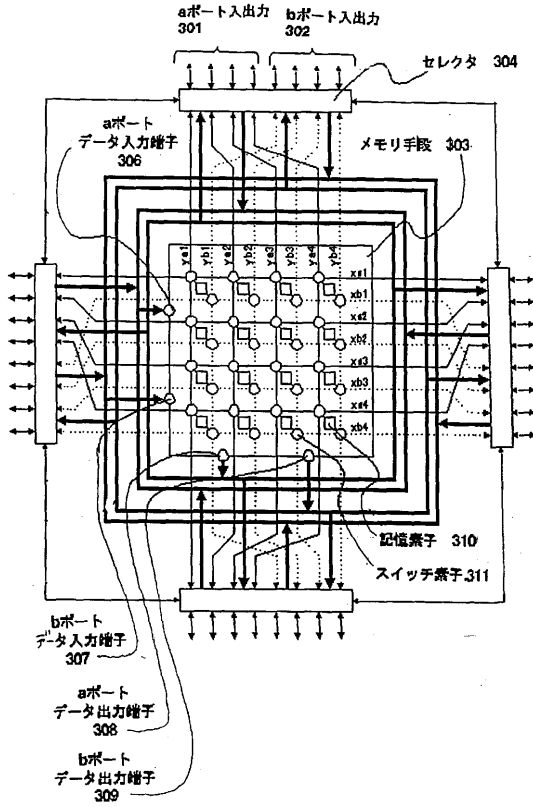
【図 1】



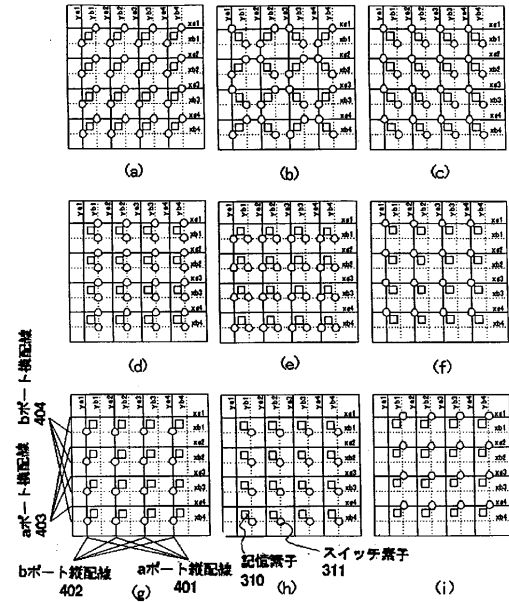
【図 2】



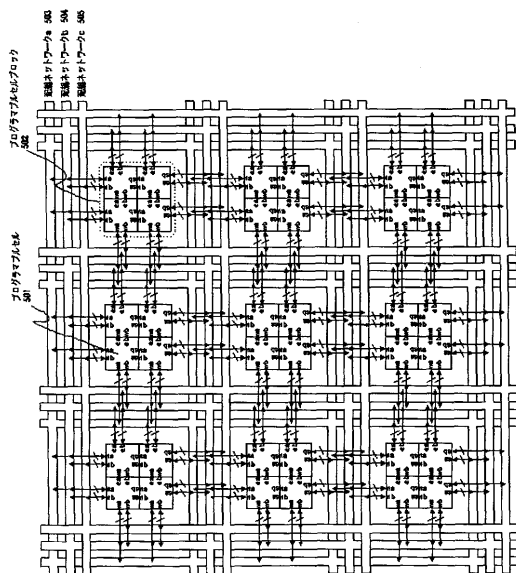
【図 3】



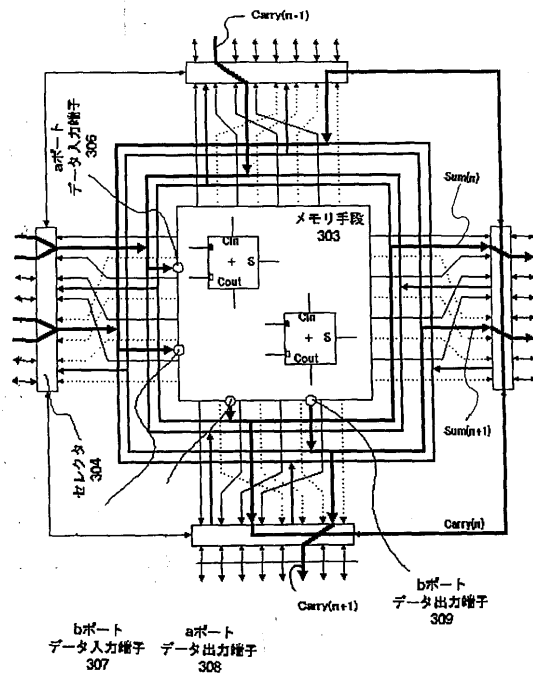
【図 4】



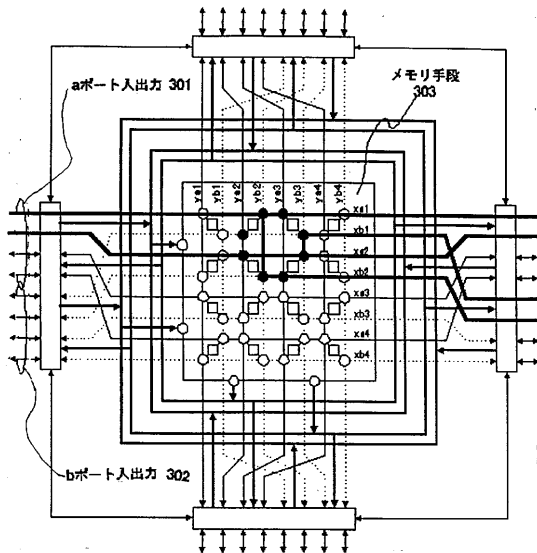
【図 5】



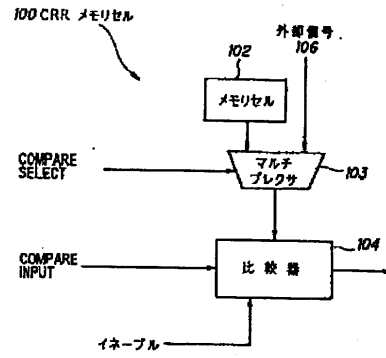
【図 6】



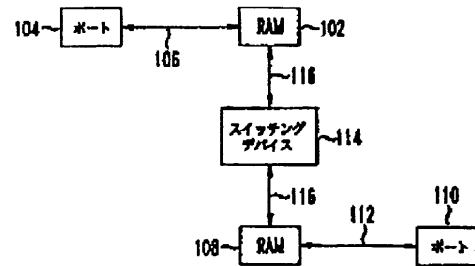
【図 7】



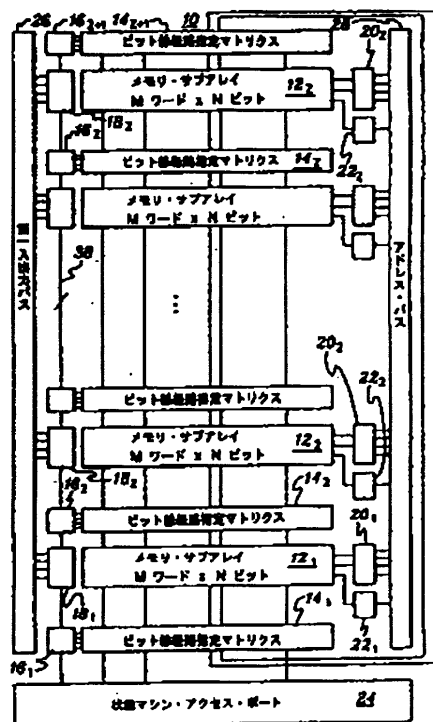
【図 8】



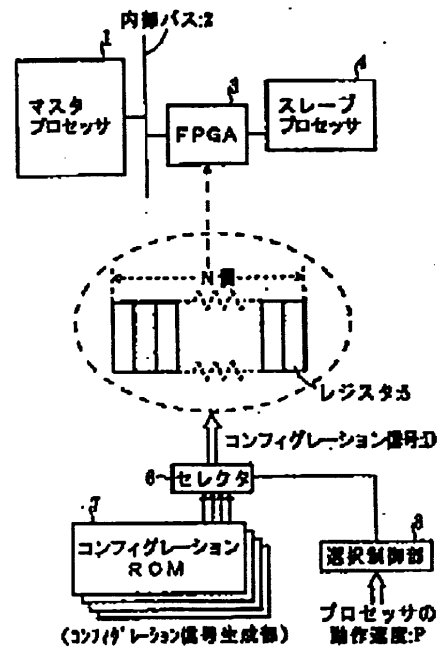
【図 9】



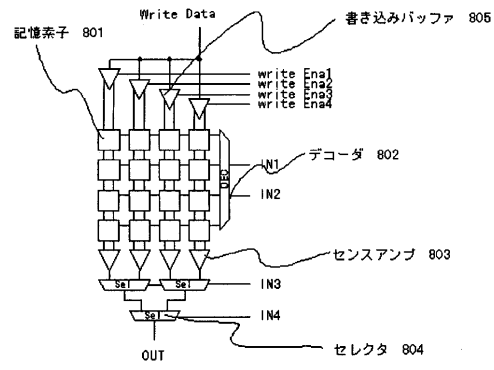
【図 10】



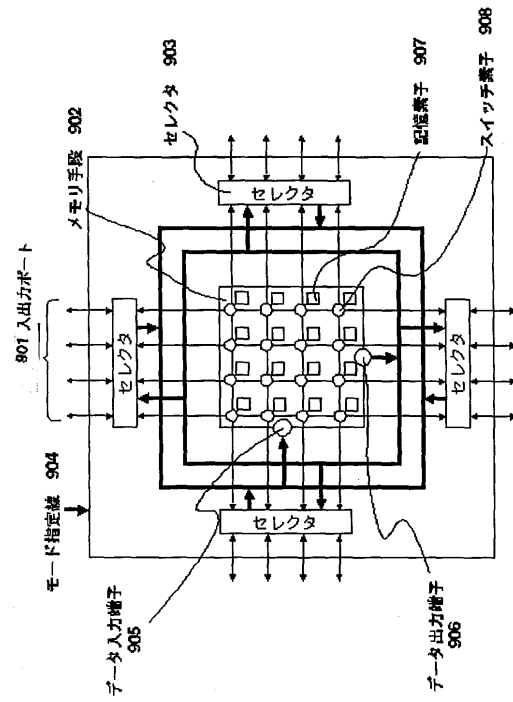
【図 11】



【図 1 2】



【図 1 3】



フロントページの続き

(72)発明者 本村 真人
東京都港区芝五丁目7番1号 日本電気株式会社内

合議体
審判長 鈴木 康仁
審判官 有泉 良三
審判官 吉田 隆之

(56)参考文献 特開昭57-129536 (JP, A)
特開平8-51356 (JP, A)
特開平11-24891 (JP, A)
国際公開第97/44730 (WO, A1)

(58)調査した分野(Int.Cl.⁷, DB名)
H03K 19/173, 101