(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2002 年8 月1 日 (01.08.2002)

PCT

(10) 国際公開番号
WO 02/059900 A1

(51) 国際特許分類[7]: G11C 11/22, H01L 27/10

(21) 国際出願番号: PCT/JP02/00256

(22) 国際出願日: 2002 年1 月17 日 (17.01.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-15053 2001 年1 月23 日 (23.01.2001) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都 品川区 北品川６丁目７番３５号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 西原 利幸 (NISHIHARA,Toshiyuki) [JP/JP]; 〒141-0001 東京都 品川区 北品川６丁目７番３５号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 山本 孝久 (YAMAMOTO,Takahisa); 〒141-0032 東京都 品川区 大崎４丁目３番２号 秋葉ビル３０１号 Tokyo (JP).

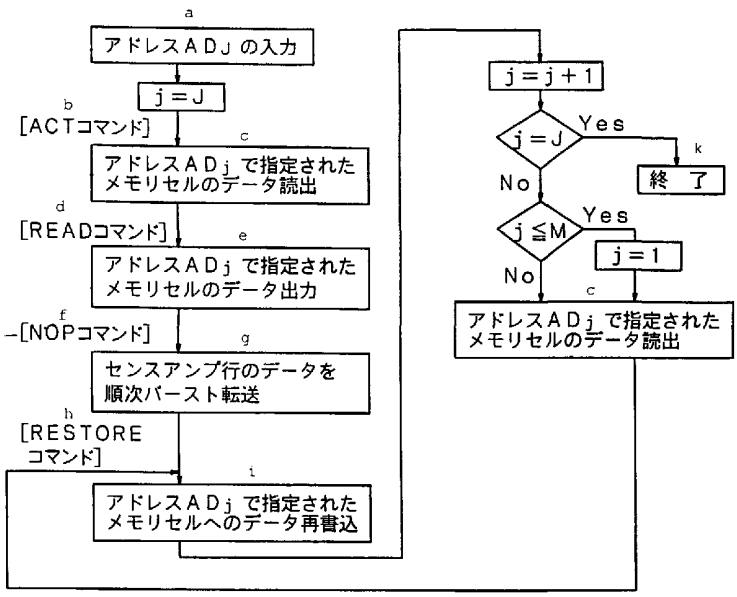
(81) 指定国 (国内): DE, KR, US.

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: FERROELECTRIC NONVOLATILE SEMI-CONDUCTOR MEMORY, AND ITS DRIVING METHOD

(54) 発明の名称: 強誘電体型不揮発性半導体メモリ及びその駆動方法



a...INPUT OF ADDRESS AD_J
b...[ACT COMMAND]
c...READ DATA IN MEMORY CELL DESIGNATED BY ADDRESS AD_j
d...[READ COMMAND]
e...OUTPUT DATA IN MEMORY CELL DESIGNATED BY ADDRESS AD_j
f...[NOP COMMAND]
g...SUCCESSIVE BURST TRANSFER OF DATA IN SENSE AMPLIFIER LINE
h...[RESTORE COMMAND]
i...RE-WRITE DATA IN MEMORY CELL DESIGNATED BY ADDRESS AD_j
k...END

(57) Abstract: A ferroelectric nonvolatile semi-conductor memory comprising a memory unit comprising a bit line, a transistor for selection, a sub-memory unit comprising M memory cells, M plate lines, and a sense amplifier connected to the bit line. Each memory cell comprises a first electrode, a ferroelectric layer, and a second electrode. The first electrode of the memory cell constituting the sub-memory unit is common in the sub-memory unit. The common first electrode is connected to the bit line via the transistor for selection, and the second electrode is connected to the plate line. In a method for driving the ferroelectric nonvolatile semi-conductor memory, data stored in the memory cell at an externally designated address is read, latched to the sense amplifier, and the data latched to the sense amplifier is output.

WO 02/059900 A1

[続葉有]

(57) 要約:

ビット線と、選択用トランジスタと、M個のメモリセルから構成されたサブメモリユニットと、M本のプレート線と、ビット線に接続されたセンスアンプから成るメモリユニットから構成され、各メモリセルは、第１の電極と強誘電体層と第２の電極とから成り、サブメモリユニットを構成するメモリセルの第１の電極は、サブメモリユニットにおいて共通であり、該共通の第１の電極は、選択用トランジスタを介してビット線に接続され、第２の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法にあっては、外部から指定された指定アドレスのメモリセルに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを出力する。

明　細　書

強誘電体型不揮発性半導体メモリ及びその駆動方法

技術分野

本発明は、強誘電体型不揮発性半導体メモリ及びその駆動方法に関する。

背景技術

近年、大容量の強誘電体型不揮発性半導体メモリに関する研究が盛んに行われている。強誘電体型不揮発性半導体メモリ（以下、不揮発性メモリと略称する場合がある）は、高速アクセスが可能で、しかも、不揮発性であり、また、小型で低消費電力であり、更には、衝撃にも強く、例えば、ファイルのストレージやレジューム機能を有する各種電子機器、例えば、携帯用コンピュータや携帯電話、ゲーム機の主記憶装置としての利用、あるいは、音声や映像を記録するための記録メディアとしての利用が期待されている。

この不揮発性メモリは、強誘電体薄膜の高速分極反転とその残留分極を利用し、強誘電体層を有するメモリセル（キャパシタ部）の蓄積電荷量の変化を検出する方式の、高速書き換えが可能な不揮発性メモリであり、基本的には、メモリセルと選択用トランジスタ（スイッチング用トランジスタ）とから構成されている。メモリセルは、例えば、下部電極、上部電極、及び、これらの電極間に挟まれた強誘電体層から構成されている。この不揮発性メモリにおけるデータの書き込みや読み出しは、図２７に示す強誘電体のＰ－Ｅヒステリシスループを応用して行われる。即ち、強誘電体層に外部電界を加えた後、外部電界を除いたとき、強誘電体層は残留分極を示す。そして、強誘電体層の残留分極は、プラス方向の外部電界が印加されたとき＋P_r、マイナス方向の外部電界が印加されたとき－P_rとなる。ここで、残留分極が＋P_rの状態（図２７の「Ｄ」参照）の場合を「０」とし、

残留分極が$-P_r$の状態（図２７の「Ａ」参照）の場合を「１」とする。

「１」あるいは「０」の状態を判別するために、強誘電体層に例えばプラス方向の外部電界を印加する。これによって、強誘電体層の分極は図２７の「Ｃ」の状態となる。このとき、データが「０」であれば、強誘電体層の分極状態は、「Ｄ」から「Ｃ」の状態に変化する。一方、データが「１」であれば、強誘電体層の分極状態は、「Ａ」から「Ｂ」を経由して「Ｃ」の状態に変化する。データが「０」の場合には、強誘電体層の分極反転は生じない。一方、データが「１」の場合には、強誘電体層に分極反転が生じる。その結果、メモリセルの蓄積電荷量に差が生じる。選択された不揮発性メモリの選択用トランジスタをオンにすることで、この蓄積電荷を信号電流として検出する。データの読み出し後、外部電界を０にすると、データが「０」のときでも「１」のときでも、強誘電体層の分極状態は図２７の「Ｄ」の状態となってしまう。即ち、読み出し時、データ「１」は、一旦、破壊されてしまう。それ故、データが「１」の場合、マイナス方向の外部電界を印加して、「Ｄ」、「Ｅ」という経路で「Ａ」の状態とし、データ「１」を再度書き込む。

現在主流となっている不揮発性メモリの構造及びその動作は、米国特許第４８７３６６４号において、Ｓ．Ｓｈｅｆｆｉｌｅｄらが提案したものである。この不揮発性メモリは、図２８に等価回路図を示すように、２つの不揮発性メモリセルから構成されている。尚、図２８において、１つの不揮発性メモリを点線で囲った。各不揮発性メモリセルは、例えば、選択用トランジスタTR_{11}，TR_{12}、メモリセルMC_{11}，MC_{12}から構成されている。

尚、２桁あるいは３桁の添字、例えば添字「１１」は、本来、添字「１，１」と表示すべき添字であり、例えば「１１１」は、本来、添字「１，１，１」と表示すべき添字であるが、表示の簡素化のため、場合によっては、２桁あるいは３桁の添字で表示する。また、添字「Ｍ」を、例えば複数のメモリセルやプレート線を総括的に表示する場合に使用し、添字「ｍ」を、例えば複数のメモリセルや

プレート線を個々に表示する場合に使用し、添字「N」を、例えば選択用トランジスタやサブメモリユニットを総括的に表示する場合に使用し、添字「n」を、例えば選択用トランジスタやサブメモリユニットを個々に表示する場合に使用する。

そして、それぞれの不揮発性メモリセルに相補的なデータを書き込むことにより、1ビットを記憶する。図28において、符号「WL」はワード線を示し、符号「BL」はビット線を示し、符号「PL」はプレート線を意味する。1つの不揮発性メモリに着目すると、ワード線W_1は、ワード線デコーダ／ドライバWDに接続されている。また、ビット線BL_1，BL_2は、センスアンプSAに接続されている。更には、プレート線PL_1は、プレート線デコーダ／ドライバPDに接続されている。

このような構造を有する不揮発性メモリにおいて、記憶されたデータを読み出す場合、ワード線WL_1を選択し、更には、プレート線PL_1を駆動すると、相補的なデータが、対となったメモリセルMC_{11}，MC_{12}から選択用トランジスタTR_{11}，TR_{12}を介して対となったビット線BL_1，BL_2に電圧（ビット線電位）として現れる。かかる対となったビット線BL_1，BL_2の電圧（ビット線電位）を、センスアンプSAで検出する。

1つの不揮発性メモリは、ワード線WL_1、及び、対となったビット線BL_1，BL_2によって囲まれた領域を占めている。従って、仮に、ワード線及びビット線が最短ピッチで配置されるとすると、1つの不揮発性メモリの最小面積は、加工最小寸法をFとしたとき、$8F^2$である。従って、このような構造を有する不揮発性メモリの最小面積は$8F^2$である。

このような構造の不揮発性メモリを大容量化しようとした場合、その実現は加工寸法の微細化に依存するしかない。また、1つの不揮発性メモリを構成するために2つの選択用トランジスタ及び2つのメモリセルが必要とされる。更には、ワード線と同じピッチでプレート線を配設する必要がある。それ故、不揮発性メ

モリを最小ピッチで配置することは殆ど不可能であり、現実には、１つの不揮発性メモリの占める面積は、$8F^2$よりも大幅に増加してしまう。

しかも、不揮発性メモリと同等のピッチで、ワード線デコーダ／ドライバＷＤ及びプレート線デコーダ／ドライバＰＤを配設する必要がある。言い換えれば、１つのロー・アドレスを選択するために２つのデコーダ／ドライバが必要とされる。従って、周辺回路のレイアウトが困難となり、しかも、周辺回路の占有面積も大きなものとなる。

不揮発性メモリの面積を縮小する手段の１つが、特開平９－１２１０３２号公報から公知である。図２９に等価回路を示すように、この特許公開公報に開示された不揮発性メモリは、１つの選択用トランジスタTR_1の一端に並列に複数のメモリセルのそれぞれの一端が接続されたメモリセルMC_{1M}（例えば、Ｍ＝４）から構成され、かかる不揮発性メモリと対となった不揮発性メモリも、１つの選択用トランジスタTR_2の一端に並列に複数のメモリセルのそれぞれの一端が接続されたメモリセルMC_{2M}から構成されている。選択用トランジスタTR_1，TR_2の他端は、それぞれ、ビット線BL_1，BL_2に接続されている。対となったビット線BL_1，BL_2は、センスアンプＳＡに接続されている。また、メモリセルMC_{1m}，MC_{2m}（ｍ＝１，２・・・Ｍ）の他端はプレート線PL_mに接続されており、プレート線PL_mはプレート線デコーダ／ドライバＰＤに接続されている。更には、ワード線ＷＬは、ワード線デコーダ／ドライバＷＤに接続されている。

そして、対となったメモリセルMC_{1m}，MC_{2m}（ｍ＝１，２・・・Ｍ）に相補的なデータが記憶される。例えば、メモリセルMC_{1m}，MC_{2m}（ここで、ｍは１，２，３，４のいずれか）に記憶されたデータを読み出す場合、ワード線ＷＬを選択し、プレート線PL_k（$k \neq m$）には（１／２）V_{cc}の電圧を印加した状態で、プレート線PL_mを駆動する。ここで、V_{cc}は、例えば、電源電圧である。これによって、相補的なデータが、対となったメモリセルMC_{1m}，MC_{2m}から選択用トランジスタTR_1，TR_2を介して対となったビット線BL_1，BL_2に電圧（ビット線電位）と

して現れる。そして、かかる対となったビット線BL_1，BL_2の電圧（ビット線電位）をセンスアンプSAで検出する。

対となった不揮発性メモリにおける一対の選択用トランジスタTR_1及びTR_2は、ワード線WL、及び、対となったビット線BL_1，BL_2によって囲まれた領域を占めている。従って、仮に、ワード線及びビット線が最短ピッチで配置されるとすると、対となった不揮発性メモリにおける一対の選択用トランジスタTR_1及びTR_2の最小面積は、$8F^2$である。しかしながら、一対の選択用トランジスタTR_1，TR_2を、M組の対となったメモリセルMC_{1m}，MC_{2m}（m＝1，2・・・M）で共有するが故に、1ビット当たりの選択用トランジスタTR_1，TR_2の数が少なくて済み、また、ワード線WLの配置も緩やかなので、不揮発性メモリの縮小化を図り易い。しかも、周辺回路についても、1本のワード線デコーダ／ドライバWDとM本のプレート線デコーダ／ドライバPDでMビットを選択することができる。従って、このような構成を採用することで、セル面積が$8F^2$に近いレイアウトを実現可能であり、DRAM並のチップサイズを実現することができる。

特開平9－121032号公報に開示された不揮発性メモリにデータを書き込む方法を、以下、説明する。尚、一例として、対となったメモリセルMC_{11}，MC_{21}にデータを書き込むものとし、メモリセルMC_{11}にデータ「1」を、メモリセルMC_{21}にデータ「0」を書き込むものとする。図11に動作波形を示す。尚、図11中、括弧内の数字は、以下に説明する工程の番号と対応している。

（1）待機状態では、ワード線、全プレート線は0ボルトとなっている。また、ビット線BL_1，BL_2は0ボルトにイコライズされている。尚、センスアンプSAには、書き込むべきデータが保持されているものとする。

（2）データ書き込みの開始時、ビット線BL_1に高電位V_{BL-H}（$=V_{cc}$）を印加し、ビット線BL_2に低電位V_{BL-L}（＝0ボルト）を印加する。ここで、V_{cc}は電源電圧である。

（3）次いで、ワード線WLをハイレベルとすることによって、選択用トランジ

スタTR_1，TR_2をオン状態とする。併せて、選択プレート線PL_1に高電位V_{PL-H}（$=V_{cc}$）を印加し、非選択プレート線PL_k（k＝2，3，4）には中間電位V_{PL-M}［＝（1／2）V_{cc}］を印加する。これによって、メモリセルMC_{21}においては、選択プレート線PL_1の電位が高電位V_{PL-H}であり、ビット線BL_2の電位が低電位V_{BL-L}であるが故に、データ「0」が書き込まれる。

（4）その後、選択プレート線PL_1を低電位V_{PL-L}（＝0ボルト）とする。これによって、メモリセルMC_{11}においては、選択プレート線PL_1の電位が低電位V_{PL-L}であり、ビット線BL_1の電位が高電位V_{BL-H}であるが故に、データ「1」が書き込まれる。

（5）データの読み出しを終了する場合には、次いで、ワード線WLをローレベルとすることによって、選択用トランジスタTR_1，TR_2をオフ状態とした後、ビット線BL_1を0ボルトまで放電し、非選択プレート線PL_k（k＝2，3，4）を0ボルトまで放電する。

以上の書き込み動作において、非選択プレート線PL_k（k＝2，3，4）には（1／2）V_{cc}が印加される。従って、非選択メモリセルMC_{1k}，MC_{2k}（k＝2，3，4）においては、±（1／2）V_{cc}の電圧が加わる。それ故、非選択メモリセルMC_{1k}，MC_{2k}（k＝2，3，4）に記憶されているデータによっては、非選択メモリセルMC_{1k}，MC_{2k}のメモリセルを構成する強誘電体層に対して、分極が反転する方向に電界が加わり、ディスターブによるデータ保持状態の劣化が発生する虞がある。ここで、ディスターブとは、非選択メモリセルのメモリセルを構成する強誘電体層に対して、分極が反転する方向に、即ち、保存されていたデータが劣化若しくは破壊される方向に、電界が加わる現象を指す。

このようなディスターブに対する対策として、特開平9－121032号公報に開示された不揮発性メモリにおいては、メモリセルMC_{1M}及びメモリセルMC_{2M}から構成されたメモリユニットにおいて、m＝1からm＝Mまで、順次、且つ、一括してメモリセルMC_{1m}，MC_{2m}にアクセスする。これによって、各メモリセル

MC_{1m}，MC_{2m}の受けるディスターブの回数を（M－1）回に制限している。ここで、特に外部からアドレスの指定を行うこと無く、1番目のメモリセルMC_{11}，MC_{21}からM番目のメモリセルMC_{M1}，MC_{2M}まで、順次、データの書き込みを行う。即ち、m＝1の各メモリセルMC_{11}，MC_{21}においてデータの書き込みを行った後、m＝2の各メモリセルMC_{12}，MC_{22}においてデータの書き込みを行い、この動作を、m＝Mとなるまで繰り返す。これによって、各メモリセルMC_{1m}，MC_{2m}の受けるディスターブの回数を（M－1）回としている。各メモリセルMC_{1m}，MC_{2m}のデータ読み出し及びデータの再書き込みにおいても、同様に、m＝1からm＝Mまで、順次、且つ、一括してメモリセルMC_{1m}，MC_{2m}にアクセスする。

特開平9－121032号公報に開示された不揮発性メモリの面積を縮小する手法は、非常に効果的な手法である。しかしながら、データの書き込みや、データの読み出し及び再書き込みは、1番目のメモリセルから順次開始される。各メモリセルMC_{1m}，MC_{2m}へのデータの読み出し及び再書き込みには、例えば、100ナノ秒程度の時間が必要とされる。従って、例えば、8番目のメモリセルMC_{18}，MC_{28}へのデータの読み出し及び再書き込みは、データの読み出し及び再書き込みを開始してから約0．8マイクロ秒後となってしまい、所望のメモリセルからのデータの読み出し及び再書き込みに時間を要するといった問題がある。また、データの書き込みにおいては、メモリユニットを構成するメモリセルの全てにおいてデータの書き込みを行う。それ故、やはり、所望のメモリセルへのデータの書き込みに時間を要するといった問題がある。メモリユニットを構成するメモリセルの数が多くなればなる程、面積効率は高くなるが、一方で、メモリセルへのアクセスが遅くなってしまう。

従って、本発明の目的は、ディスターブの影響を抑制しつつ、所望のメモリセルに直ちにアクセス可能な強誘電体型不揮発性半導体メモリ及びその駆動方法を提供することにある。

発明の開示

上記の目的を達成するための本発明の第１の態様に係る強誘電体型不揮発性半導体メモリの駆動方法は、データの読み出しに関し、

（Ａ）ビット線と、

（Ｂ）選択用トランジスタと、

（Ｃ）Ｍ個（但し、Ｍ≧２）のメモリセルから構成されたサブメモリユニットと、

（Ｄ）Ｍ本のプレート線と、

（Ｅ）ビット線に接続されたセンスアンプ、

から成るメモリユニットから構成され、

各メモリセルは、第１の電極と強誘電体層と第２の電極とから成り、

サブメモリユニットを構成するメモリセルの第１の電極は、サブメモリユニットにおいて共通であり、該共通の第１の電極は、選択用トランジスタを介してビット線に接続され、第２の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法であって、

外部から指定された指定アドレスのメモリセルに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを出力することを特徴とする。

以下の説明においては、指定アドレスのメモリセルをMC_J（$1 \leqq J \leqq M$）で表し、サブメモリユニットを構成する他のメモリセル（指定アドレスのメモリセル以外のメモリセル）をMC_k（$k \neq J$）で表す。

本発明の第１の態様に係る強誘電体型不揮発性半導体メモリの駆動方法（以下、本発明の第１の態様に係る不揮発性メモリの駆動方法と呼ぶ）においては、前記センスアンプにラッチされたデータを出力した後、センスアンプにラッチされた該データを前記指定アドレスのメモリセルMC_Jに再書き込みし、次いで、外部からアドレスを指定すること無く、サブメモリユニットを構成する他のメモリセル

MC_kに記憶されたデータを読み出し、センスアンプにラッチする構成とすることができる。

そして、この場合、更には、サブメモリユニットを構成する他のメモリセルMC_kに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを該他のメモリセルMC_kに再書き込みする構成とすることができる。このような構成を、便宜上、第１Ａの構成と呼ぶ。この第１Ａの構成においては、メモリセルは、いわば、ランダムアクセスされ、データの読み出し及び再書き込みが行われる。尚、この場合、サブメモリユニットを構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次［即ち、（Ｊ＋１）番目のメモリセルMC_{J+1}、（Ｊ＋２）番目のメモリセルMC_{J+2}、・・・、Ｍ番目のメモリセルMC_M、１番目のメモリセルMC_1、２番目のメモリセルMC_2、・・・、（Ｊ－２）番目のメモリセルMC_{J-2}、（Ｊ－１）番目のメモリセルMC_{J-1}まで順次］、データの読み出し及びデータの再書き込みを行うことが望ましい。これによって、他のメモリセルMC_kにおけるディスターブの発生を確実に抑制することができる。

あるいは又、この場合、サブメモリユニットを構成する他のメモリセルMC_kに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを出力する構成とすることができる。そして、更には、サブメモリユニットを構成する他のメモリセルMC_kに記憶されたデータを読み出し、センスアンプにラッチし、次いで、センスアンプにラッチされた該データを出力した後、センスアンプにラッチされた該データを該他のメモリセルMC_kに再書き込みする構成とすることができる。このような構成を、便宜上、第１Ｂの構成と呼ぶ。この第１Ｂの構成においては、メモリセルは、いわばシーケンシャルアクセスされ、データの読み出し、出力及び再書き込みが行われる。尚、この場合、サブメモリユニットを構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次［即ち、（Ｊ＋１）番目のメモリセルMC_{J+1}、（Ｊ＋２）

番目のメモリセルMC_{J+2}、・・・、M番目のメモリセルMC_M、１番目のメモリセルMC_1、２番目のメモリセルMC_2、・・・、（Ｊ－２）番目のメモリセルMC_{J-2}、（Ｊ－１）番目のメモリセルMC_{J-1}まで順次]、データの読み出し、出力及びデータの再書き込みを行うことが望ましい。これによって、他のメモリセルMC_kにおけるディスターブの発生を確実に抑制することができる。

尚、本発明の第１の態様に係る不揮発性メモリの駆動方法においては、第１Ａの構成と第１Ｂの構成を組み合わせることもできる。即ち、（Ｊ＋１）番目のメモリセルMC_{J+1}から所定の数のメモリセルまで第１Ｂの構成の駆動方法を順次実行した後、残りの他のメモリセルについては第１Ａの構成の駆動方法を順次実行してもよいし、（Ｊ＋１）番目のメモリセルMC_{J+1}から所定の数のメモリセルまで第１Ａの構成の駆動方法を順次実行した後、残りの他のメモリセルについては第１Ｂの構成の駆動方法を順次実行してもよい。

上記の目的を達成するための本発明の第２の態様に係る強誘電体型不揮発性半導体メモリの駆動方法は、データの書き込みに関し、

（Ａ）ビット線と、

（Ｂ）選択用トランジスタと、

（Ｃ）Ｍ個（但し、Ｍ≧２）のメモリセルから構成されたサブメモリユニットと、

（Ｄ）Ｍ本のプレート線と、

（Ｅ）ビット線に接続されたセンスアンプ、

から成るメモリユニットから構成され、

各メモリセルは、第１の電極と強誘電体層と第２の電極とから成り、

サブメモリユニットを構成するメモリセルの第１の電極は、サブメモリユニットにおいて共通であり、該共通の第１の電極は、選択用トランジスタを介してビット線に接続され、第２の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法であって、

書き込むべきデータをセンスアンプにラッチした後、外部から指定された指定アドレスのメモリセルに該データを書き込むことを特徴とする。

本発明の第２の態様に係る強誘電体型不揮発性半導体メモリの駆動方法（以下、本発明の第２の態様に係る不揮発性メモリの駆動方法と呼ぶ）においては、センスアンプにラッチされたデータを前記指定アドレスのメモリセルMC_Jに書き込んだ後、書き込むべきデータをセンスアンプにラッチし、次いで、外部からアドレスを指定すること無く、サブメモリユニットを構成する他のメモリセルMC_kに該データを書き込む構成とすることができる。このような構成を、便宜上、第２Ａの構成と呼ぶ。この第２Ａの構成においては、サブメモリユニットを構成する全てのメモリセルにデータの書き込みが行われる。尚、この場合、サブメモリユニットを構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次［即ち、（Ｊ＋１）番目のメモリセルMC_{J+1}、（Ｊ＋２）番目のメモリセルMC_{J+2}、・・・、Ｍ番目のメモリセルMC_M、１番目のメモリセルMC_1、２番目のメモリセルMC_2、・・・、（Ｊ－２）番目のメモリセルMC_{J-2}、（Ｊ－１）番目のメモリセルMC_{J-1}まで順次］、データの書き込みを行うことが好ましい。

あるいは又、本発明の第２の態様に係る不揮発性メモリの駆動方法においては、センスアンプにラッチされたデータを前記指定アドレスのメモリセルMC_Jに書き込んだ後、外部からアドレスを指定すること無く、サブメモリユニットを構成する他のメモリセルMC_kに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを該他のメモリセルMC_kに再書き込みする構成とすることができる。このような構成を、便宜上、第２Ｂの構成と呼ぶ。この第２Ｂの構成においては、指定アドレスのメモリセルMC_Jにのみデータが書き込まれ、他のメモリセルMC_kにおいては、データの読み出し及び再書き込みが行われる。尚、この場合、サブメモリユニットを構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次［即ち、（Ｊ＋１）番目のメモリセルMC_{J+1}、（Ｊ＋２）番目のメモリセルMC_{J+2}、・・・、Ｍ番目のメモ

リセルMC_M、１番目のメモリセルMC_1、２番目のメモリセルMC_2、・・・、（Ｊ－２）番目のメモリセルMC_{J-2}、（Ｊ－１）番目のメモリセルMC_{J-1}まで順次]、データの読み出し及び再書き込みを行うことが好ましい。これによって、他のメモリセルMC_kにおけるディスターブの発生を確実に抑制することができる。

尚、本発明の第２の態様に係る不揮発性メモリの駆動方法においては、第２Ａの構成と第２Ｂの構成を組み合わせることもできる。即ち、（Ｊ＋１）番目のメモリセルMC_{J+1}から所定の数のメモリセルまで第２Ｂの構成の駆動方法を順次実行した後、残りの他のメモリセルについては第２Ａの構成の駆動方法を順次実行してもよいし、（Ｊ＋１）番目のメモリセルMC_{J+1}から所定の数のメモリセルまで第２Ａの構成の駆動方法を順次実行した後、残りの他のメモリセルについては第２Ｂの構成の駆動方法を順次実行してもよい。

上記の目的を達成するための本発明の強誘電体型不揮発性半導体メモリは、

（Ａ）ビット線と、

（Ｂ）選択用トランジスタと、

（Ｃ）Ｍ個（但し、Ｍ≧２）のメモリセルから構成されたサブメモリユニットと、

（Ｄ）Ｍ本のプレート線と、

（Ｅ）ビット線に接続されたセンスアンプ、

から成るメモリユニットから構成され、

各メモリセルは、第１の電極と強誘電体層と第２の電極とから成り、

サブメモリユニットを構成するメモリセルの第１の電極は、サブメモリユニットにおいて共通であり、該共通の第１の電極は、選択用トランジスタを介してビット線に接続され、第２の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリであって、

（Ｆ）外部から指定されたプレート線のアドレスを記憶する指定プレート線アドレスレジスタと、

（G）プレート線を指定するプレート線アドレスを順次インクリメントするプレート線アドレスカウンタ、

を更に備えていることを特徴とする。

本発明の強誘電体型不揮発性半導体メモリ（以下、本発明の不揮発性メモリと呼ぶ場合がある）にあっては、指定プレート線アドレスレジスタ及びプレート線アドレスカウンタに接続され、指定プレート線アドレスレジスタに記憶された指定プレート線アドレスの値と、プレート線アドレスカウンタにおけるプレート線アドレスの値を比較するコンパレータを更に備えていることが好ましい。

本発明の第１の態様あるいは第２の態様に係る不揮発性メモリの駆動方法における不揮発性メモリを、

（A－1）第１のビット線と、

（B－1）N個（但し、N≧１）の第１の選択用トランジスタと、

（C－1）それぞれがM個（但し、M≧２）の第１のメモリセルから構成された、N個の第１のサブメモリユニットと、

（D－1）N個のサブメモリユニットのそれぞれを構成する第１のメモリセルで共通とされたM本のプレート線、

から成る第１のメモリユニット、並びに、

（A－2）第２のビット線と、

（B－2）N個の第２の選択用トランジスタと、

（C－2）それぞれがM個の第２のメモリセルから構成された、N個の第２のサブメモリユニットと、

（D－2）N個のサブメモリユニットのそれぞれを構成する第２のメモリセルで共通とされ、且つ、前記第１のメモリユニットを構成するM本のプレート線と共通のM本のプレート線、

から成る第２のメモリユニットから構成され、

更に、

（E）第１及び第２のビット線に接続されたセンスアンプ、

から構成され、

各メモリセルは、第１の電極と強誘電体層と第２の電極とから成り、

第１のメモリユニットにおいて、第ｎ番目（但し、ｎ＝１，２・・・Ｎ）の第１のサブメモリユニットを構成する第１のメモリセルの第１の電極は、第ｎ番目の第１のサブメモリユニットにおいて共通であり、該共通の第１の電極は、第ｎ番目の第１の選択用トランジスタを介して第１のビット線に接続され、第２の電極は共通のプレート線に接続されており、

第２のメモリユニットにおいて、第ｎ番目の第２のサブメモリユニットを構成する第２のメモリセルの第１の電極は、第ｎ番目の第２のサブメモリユニットにおいて共通であり、該共通の第１の電極は、第ｎ番目の第２の選択用トランジスタを介して第２のビット線に接続され、第２の電極は共通のプレート線に接続されている構成とすることもできる。

尚、本発明の不揮発性メモリにあっても、メモリユニットを、上述の２つのメモリユニット（第１のメモリユニット及び第２のメモリユニット）から構成することができる。

そして、このような構成において、本発明の第１の態様に係る駆動方法にあっては、第１のメモリセルに記憶されたデータの読み出しを行うとき、第１の選択用トランジスタをオン状態とし、第２の選択用トランジスタをオフ状態とし、且つ、第２のビット線に参照電位を印加し、第２のメモリセルに記憶されたデータの読み出しを行うとき、第２の選択用トランジスタをオン状態とし、第１の選択用トランジスタをオフ状態とし、且つ、第１のビット線に参照電位を印加する構成とすることができる。

あるいは又、本発明の第１の態様に係る駆動方法においては、第ｎ番目の第１のサブメモリユニットを構成する第ｍ番目（但し、ｍ＝１，２・・・Ｍ）の第１のメモリセルと、第ｎ番目の第２のサブメモリユニットを構成する第ｍ番目の第

２のメモリセルとを対として、相補的なデータを読み出す構成とすることもできる。

また、このような構成において、本発明の第２の態様に係る駆動方法にあっては、第１のメモリセルにデータの書き込みを行うとき、第１の選択用トランジスタをオン状態とし、第２の選択用トランジスタをオフ状態とし、第２のメモリセルにデータの書き込みを行うとき、第２の選択用トランジスタをオン状態とし、第１の選択用トランジスタをオフ状態とすることができる。

あるいは又、本発明の第２の態様に係る駆動方法においては、第ｎ番目の第１のサブメモリユニットを構成する第ｍ番目（但し、ｍ＝１，２・・・Ｍ）の第１のメモリセルと、第ｎ番目の第２のサブメモリユニットを構成する第ｍ番目の第２のメモリセルとを対として、相補的なデータを書き込む構成とすることもできる。

本発明の不揮発性メモリあるいはその駆動方法（以下、これらを総称して、単に、本発明と呼ぶ場合がある）における不揮発性メモリにおいては、一層の高集積化を達成するために、不揮発性メモリを積層し、あるいは又、不揮発性メモリを構成する第１のメモリユニットと、この不揮発性メモリと第１のビット線の延在する方向に隣接した不揮発性メモリを構成する第１のメモリユニットとを層間絶縁層を介して積層し、不揮発性メモリを構成する第２のメモリユニットと、この不揮発性メモリと第２のビット線の延在する方向に隣接した不揮発性メモリを構成する第２のメモリユニットとを層間絶縁層を介して積層した構成とすることができる。あるいは又、第１のメモリユニットを構成する第１のサブメモリユニットのそれぞれは層間絶縁層を介して積層されており、第２のメモリユニットを構成する第２のサブメモリユニットのそれぞれは層間絶縁層を介して積層されている構成とすることもできる。あるいは又、第１のメモリユニットを構成する第１のサブメモリユニット及び第２のメモリユニットを構成する第２のサブメモリユニットのそれぞれが、層間絶縁層を介して積層されている構成とすることもで

きる。

本発明においては、M≧２を満足すればよく、実際的なMの値として、例えば、２のべき数（２，４，８，１６，３２・・・）を挙げることができる。また、N≧１を満足すればよく、実際的なNの値として、例えば２のべき数（１，２，４，８・・・）を挙げることができる。

本発明における強誘電体層を構成する材料として、ビスマス層状化合物、より具体的には、Ｂｉ系層状構造ペロブスカイト型の強誘電体材料を挙げることができる。Ｂｉ系層状構造ペロブスカイト型の強誘電体材料は、所謂不定比化合物に属し、金属元素、アニオン（Ｏ等）元素の両サイトにおける組成ずれに対する寛容性がある。また、化学量論的組成からやや外れたところで最適な電気的特性を示すことも珍しくない。Ｂｉ系層状構造ペロブスカイト型の強誘電体材料は、例えば、一般式 $(Bi_2O_2)^{2+}(A_{m-1}B_mO_{3m+1})^{2-}$ で表すことができる。ここで、「A」は、Ｂｉ、Ｐｂ、Ｂａ、Ｓｒ、Ｃａ、Ｎａ、Ｋ、Ｃｄ等の金属から構成された群から選択された１種類の金属を表し、「B」は、Ｔｉ、Ｎｂ、Ｔａ、Ｗ、Ｍｏ、Ｆｅ、Ｃｏ、Ｃｒから成る群から選択された１種類、若しくは複数種の任意の比率による組み合わせを表す。また、mは１以上の整数である。

あるいは又、強誘電体層を構成する材料は、

$(Bi_X, Sr_{1-X})_2(Sr_Y, Bi_{1-Y})(Ta_Z, Nb_{1-Z})_2O_d$ 式（１）

（但し、０．９≦Ｘ≦１．０、０．７≦Ｙ≦１．０、０≦Ｚ≦１．０、８．７≦ｄ≦９．３）で表される結晶相を主たる結晶相として含んでいることが好ましい。

あるいは又、強誘電体層を構成する材料は、

$Bi_XSr_YTa_2O_d$ 式（２）

（但し、Ｘ＋Ｙ＝３、０．７≦Ｙ≦１．３、８．７≦ｄ≦９．３）で表される結晶相を主たる結晶相として含んでいることが好ましい。これらの場合、式（１）若しくは式（２）で表される結晶相を主たる結晶相として８５％以上含んでいることが一層好ましい。尚、式（１）中、(Bi_X, Sr_{1-X}) の意味は、結晶構造にお

ける本来Ｂｉが占めるサイトをＳｒが占め、このときのＢｉとＳｒの割合がＸ：（１－Ｘ）であることを意味する。また、（Sr_Y，Bi_{1-Y}）の意味は、結晶構造における本来Ｓｒが占めるサイトをＢｉが占め、このときのＳｒとＢｉの割合がＹ：（１－Ｙ）であることを意味する。式（１）若しくは式（２）で表される結晶相を主たる結晶相として含む強誘電体層を構成する材料には、Ｂｉの酸化物、ＴａやＮｂの酸化物、Ｂｉ、ＴａやＮｂの複合酸化物が若干含まれている場合もあり得る。

あるいは又、強誘電体層を構成する材料は、

$Bi_X(Sr, Ca, Ba)_Y(Ta_Z, Nb_{1-Z})_2O_d$　式（３）

（但し、１．７≦Ｘ≦２．５、０．６≦Ｙ≦１．２、０≦Ｚ≦１．０、８．０≦ｄ≦１０．０）で表される結晶相を含んでいてもよい。尚、「（Ｓｒ，Ｃａ，Ｂａ）」は、Ｓｒ、Ｃａ及びＢａから構成された群から選択された１種類の元素を意味する。これらの各式で表される強誘電体層を構成する材料の組成を化学量論的組成で表せば、例えば、$Bi_2SrTa_2O_9$、$Bi_2SrNb_2O_9$、$Bi_2BaTa_2O_9$、$Bi_2SrTaNbO_9$等を挙げることができる。あるいは又、強誘電体層を構成する材料として、$Bi_4SrTi_4O_{15}$、$Bi_4Ti_3O_{12}$、$Bi_2PbTa_2O_9$等を例示することができるが、これらの場合においても、各金属元素の比率は、結晶構造が変化しない程度に変化させ得る。即ち、金属元素及び酸素元素の両サイトにおける組成ずれがあってもよい。

あるいは又、強誘電体層を構成する材料として、$PbTiO_3$、ペロブスカイト型構造を有する$PbZrO_3$と$PbTiO_3$の固溶体であるチタン酸ジルコン酸鉛［ＰＺＴ，$Pb(Zr_{1-y}, Ti_y)O_3$（但し、$0<y<1$）］、ＰＺＴにＬａを添加した金属酸化物であるＰＬＺＴ、あるいはＰＺＴにＮｂを添加した金属酸化物であるＰＮＺＴといったＰＺＴ系化合物を挙げることができる。

強誘電体層を得るためには、強誘電体薄膜を形成した後の工程において、強誘電体薄膜をパターニングすればよい。場合によっては、強誘電体薄膜のパターニ

ングは不要である。強誘電体薄膜の形成は、例えば、ＭＯＣＶＤ法、パルスレーザアブレーション法、スパッタ法、ゾルーゲル法、ビスマス－酸素結合を有するビスマス有機金属化合物（ビスマスアルコキシド化合物）を原料としたＭＯＤ（Metal Organic Decomposition）法、ＬＳＭＣＤ（Liquid Source Mist Chemical Deposition）法といった強誘電体薄膜を構成する材料に適宜適した方法にて行うことができる。また、強誘電体薄膜のパターニングは、例えば異方性イオンエッチング（ＲＩＥ）法にて行うことができる。

本発明における第１の電極及び第２の電極を構成する材料として、例えば、Ｉｒ、IrO_{2-X}、$SrIrO_3$、Ｒｕ、RuO_{2-X}、$SrRuO_3$、Ｐｔ、Ｐｔ／IrO_{2-X}、Ｐｔ／RuO_{2-X}、Ｐｄ、Ｐｔ／Ｔｉの積層構造、Ｐｔ／Ｔａの積層構造、Ｐｔ／Ｔｉ／Ｔａの積層構造、$La_{0.5}Sr_{0.5}CoO_3$（ＬＳＣＯ）、Ｐｔ／ＬＳＣＯの積層構造、$YBa_2Cu_3O_7$を挙げることができる。ここで、Ｘの値は、$0 \leqq X < 2$である。尚、積層構造においては、「／」の前に記載された材料が上層を構成し、「／」の後ろに記載された材料が下層を構成する。第１の電極と第２の電極は、同じ材料から構成されていてもよいし、同種の材料から構成されていてもよいし、異種の材料から構成されていてもよい。第１の電極あるいは第２の電極を形成するためには、第１の電極材料層あるいは第２の電極材料層を形成した後の工程において、第１の電極材料層あるいは第２の電極材料層をパターニングすればよい。第１の電極材料層あるいは第２の電極材料層の形成は、例えばスパッタ法、反応性スパッタ法、電子ビーム蒸着法、ＭＯＣＶＤ法、あるいはパルスレーザアブレーション法といった第１の電極材料層や第２の電極材料層を構成する材料に適宜適した方法にて行うことができる。また、第１の電極材料層や第２の電極材料層のパターニングは、例えばイオンミーリング法やＲＩＥ法にて行うことができる。

本発明の不揮発性メモリにおける層間絶縁層を構成する材料として、酸化シリコン（SiO_2）、窒化シリコン（ＳｉＮ）、ＳｉＯＮ、ＳＯＧ、ＮＳＧ、ＢＰＳＧ、ＰＳＧ、ＢＳＧ及びＬＴＯを例示することができる。

本発明の不揮発性メモリにおいては、強誘電体層の下に第１の電極を形成し、強誘電体層の上に第２の電極を形成する構成（即ち、第１の電極は下部電極に相当し、第２の電極は上部電極に相当する）とすることもできるし、強誘電体層の上に第１の電極を形成し、強誘電体層の下に第２の電極を形成する構成（即ち、第１の電極は上部電極に相当し、第２の電極は下部電極に相当する）とすることもできる。プレート線は、第２の電極から延在している構成とすることもできるし、第２の電極とは別途に形成され、第２の電極と接続された構成とすることもできる。後者の場合、プレート線を構成する配線材料として、例えばアルミニウムやアルミニウム系合金を例示することができる。第１の電極が共通である構造として、具体的には、ストライプ状の第１の電極を形成し、かかるストライプ状の第１の電極の全面を覆うように強誘電体層を形成する構成を挙げることができる。尚、このような構造においては、第１の電極と強誘電体層と第２の電極の重複領域がメモリセルに相当する。第１の電極が共通である構造として、その他、第１の電極の所定の領域に、それぞれの強誘電体層が形成され、強誘電体層上に第２の電極が形成された構造、あるいは又、配線層の所定の表面領域に、それぞれの第１の電極が形成され、かかるそれぞれの第１の電極上に強誘電体層が形成され、強誘電体層上に第２の電極が形成された構造を挙げることができるが、これらの構成に限定するものではない。

選択用トランジスタ（スイッチング用トランジスタ）は、例えば、周知のＭＩＳ型ＦＥＴやＭＯＳ型ＦＥＴから構成することができる。ビット線を構成する材料として、不純物がドーピングされたポリシリコンや高融点金属材料を挙げることができる。共通の第１の電極と選択用トランジスタとの電気的な接続は、共通の第１の電極と選択用トランジスタとの間に形成された絶縁層に設けられた接続孔（コンタクトホール）を介して、あるいは又、かかる絶縁層に設けられた接続孔（コンタクトホール）及び絶縁層上に形成された配線層を介して行うことができる。尚、絶縁層を構成する材料として、酸化シリコン（SiO_2）、窒化シリコン

（SiN）、SiON、SOG、NSG、BPSG、PSG、BSG及びLTOを例示することができる。

センスアンプは周知のラッチ回路とすることができるし、指定プレート線アドレスレジスタやプレート線アドレスカウンタ、コンパレータも周知のレジスタ、カウンタ、コンパレータとすることができる。

本発明の第１の態様に係る不揮発性メモリの駆動方法においては、外部から指定された指定アドレスのメモリセルに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを出力し、また、本発明の第２の態様に係る不揮発性メモリの駆動方法においては、書き込むべきデータをセンスアンプにラッチした後、外部から指定された指定アドレスのメモリセルに該データを書き込むので、所望のメモリセルに直ちにアクセスが可能となる。しかも、本発明の第１Ａの構成、第１Ｂの構成、第２Ａの構成、第２Ｂの構成にあっては、他のメモリセルにデータの書き込みあるいは再書き込みを行うので、他のメモリセルにおけるディスターブの発生を確実に抑制することができる。

図面の簡単な説明

以下、図面を参照して、実施例に基づき本発明を説明する。

図１は、実施例１の強誘電体型不揮発性半導体メモリの駆動方法の流れ図である。

図２は、実施例４の強誘電体型不揮発性半導体メモリの駆動方法の流れ図である。

図３は、実施例５の強誘電体型不揮発性半導体メモリの駆動方法の流れ図である。

図４は、実施例６の強誘電体型不揮発性半導体メモリの駆動方法の流れ図である。

図５は、実施例１の強誘電体型不揮発性半導体メモリの等価回路図である。

図６は、実施例１の強誘電体型不揮発性半導体メモリにおけるメモリユニットの模式的な一部断面図である。

図７は、実施例１の強誘電体型不揮発性半導体メモリのデータ読み出し及び再書き込み動作における動作波形を示す図である。

図８は、実施例２の強誘電体型不揮発性半導体メモリの等価回路図である。

図９は、実施例２及び実施例３の強誘電体型不揮発性半導体メモリのデータ読み出し及び再書き込み動作における動作波形を示す図である。

図１０は、実施例３の強誘電体型不揮発性半導体メモリの等価回路図である。

図１１は、実施例５及び特開平９－１２１０３２号公報に開示された強誘電体型不揮発性半導体メモリにおける動作波形を示す図である。

図１２は、図８に等価回路図を示した強誘電体型不揮発性半導体メモリにおけるメモリユニットの模式的な一部断面図である。

図１３は、図８に等価回路図を示した強誘電体型不揮発性半導体メモリの変形例の等価回路図である。

図１４は、図１０に等価回路図を示した強誘電体型不揮発性半導体メモリの変形例の等価回路図である。

図１５は、図１３あるいは図１４に等価回路図を示した強誘電体型不揮発性半導体メモリにおけるメモリユニットの模式的な一部断面図である。

図１６は、図８に等価回路図を示した強誘電体型不揮発性半導体メモリの別の変形例の等価回路図である。

図１７は、図１０に等価回路図を示した強誘電体型不揮発性半導体メモリの別の変形例の等価回路図である。

図１８は、図１６あるいは図１７に等価回路図を示した強誘電体型不揮発性半導体メモリにおけるメモリユニットの模式的な一部断面図である。

図１９は、図１８に示した強誘電体型不揮発性半導体メモリの変形例におけるメモリユニットの模式的な一部断面図である。

図２０は、図１２に示した強誘電体型不揮発性半導体メモリの変形例におけるメモリユニットの模式的な一部断面図である。

図２１は、図１３あるいは図１４に等価回路図を示した強誘電体型不揮発性半導体メモリの変形例におけるメモリユニットの模式的な一部断面図である。

図２２は、ゲインセルタイプの強誘電体型不揮発性半導体メモリの等価回路図である。

図２３は、ゲインセルタイプの強誘電体型不揮発性半導体メモリの動作波形を示す図である。

図２４は、ゲインセルタイプの強誘電体型不揮発性半導体メモリの動作波形を示す図である。

図２５は、ゲインセルタイプの強誘電体型不揮発性半導体メモリの変形例の等価回路図である。

図２６は、ゲインセルタイプの強誘電体型不揮発性半導体メモリにおいて、検出用トランジスタの一端が接続された配線の所定の電位を０ボルトとした場合の、ビット線間に配設された一種のスイッチ回路を示す回路図である。

図２７は、強誘電体のＰ－Ｅヒステリシスループ図である。

図２８は、米国特許第４８７３６６４号に開示された強誘電体型不揮発性半導体メモリの等価回路図である。

図２９は、特開平９－１２１０３２号公報に開示された強誘電体型不揮発性半導体メモリの等価回路図である。

発明を実施するための最良の形態

（実施例１）

実施例１は、本発明の第１の態様に係る不揮発性メモリの駆動方法及び本発明の不揮発性メモリに関し、更に詳しくは、第１Ａの構成に係る不揮発性メモリの駆動方法に関する。図１に実施例１の不揮発性メモリの駆動方法の流れ図を示し、

図５に実施例１の不揮発性メモリの等価回路図を示し、メモリユニットの模式的な一部断面図を図６に示す。

図５及び図６に示す不揮発性メモリは、（A）ビット線BL_Lと、（B）選択用トランジスタTR_Lと、（C）M個（但し、M≧２であり、実施例１においては、M＝８）のメモリセルMC_{LM}から構成されたサブメモリユニットSMU_Lと、（D）M本（実施例１においては、８本）のプレート線PL_Mと、（E）ビット線BL_Lに接続されたセンスアンプSA_Lから成るメモリユニットから構成されている。尚、図５においては、サブメモリユニットSMU_Lに隣接し、ワード線WL及びプレート線PL_Mを共通としたサブメモリユニットSMU_{L+1}も併せて図示した。

そして、各メモリセルMC_{Lm}は、第１の電極３１（下部電極）と強誘電体層３２と第２の電極３３（上部電極）とから成り、サブメモリユニットSMU_Lを構成するメモリセルMC_{Lm}の第１の電極３１は、サブメモリユニットSMU_Lにおいて共通であり、この共通の第１の電極３１（共通ノードCN_Lと呼ぶ）は、選択用トランジスタTR_Lを介してビット線BL_Lに接続され、第２の電極３３はプレート線PL_mに接続されている。

また、この不揮発性メモリは、外部から指定されたプレート線のアドレスを記憶する指定プレート線アドレスレジスタ１１と、プレート線を指定するプレート線アドレスを順次インクリメントするプレート線アドレスカウンタ１２と、コンパレータ１４とを備えている。コンパレータ１４は、指定プレート線アドレスレジスタ１１及びプレート線アドレスカウンタ１２に接続され、指定プレート線アドレスレジスタ１１に記憶された指定プレート線アドレスの値と、プレート線アドレスカウンタ１２におけるプレート線アドレスの値を比較する。指定プレート線アドレスレジスタ１１は周知のレジスタから構成され、プレート線アドレスカウンタ１２は周知の２ビットの循環型カウンタから構成され、コンパレータ１４は周知のコンパレータから構成されている。

更には、この不揮発性メモリは、外部からのコマンドを受け取り、コマンドを

デコードとするコマンドデコーダ１０、ユニットアドレスレジスタ１３、ユニットコントローラ１５、ユニットデコーダ１６、ワード線デコーダ／ドライバWD、プレート線デコーダ／ドライバＰＤから構成されている。コマンドデコーダ１０は、ユニットコントローラ１５、指定プレート線アドレスレジスタ１１、プレート線アドレスカウンタ１２及びユニットアドレスレジスタ１３に接続されている。また、ユニットアドレスレジスタ１３はユニットデコーダ１６に接続されている。更には、プレート線アドレスカウンタ１２はプレート線デコーダ／ドライバＰＤに接続され、コンパレータ１４はユニットコントローラ１５に接続され、ユニットコントローラ１５はユニットデコーダ１６に接続され、ユニットデコーダ１６はワード線デコーダ／ドライバWD及びプレート線デコーダ／ドライバＰＤに接続されている。そして、ワード線ＷＬは、ワード線デコーダ／ドライバWDに接続されており、M本のプレート線PL_mは、プレート線デコーダ／ドライバＰＤに接続されている。尚、これらの各構成要素も周知の回路から構成することができる。

尚、図６においては、選択用トランジスタTR_L及びメモリセルMC_{Lm}、並びに、ビット線BL_Lの延びる方向に隣接する選択用トランジスタTR'_L及びメモリセルMC'_{Lm}の一部分を併せて図示した。ビット線BL_Lの延びる方向に隣接するメモリセルMC_{Lm}，MC'_{Lm}・・・におけるビット線BL_Lは共通化されている。

実施例１の不揮発性メモリの駆動方法にあっては、外部から指定された指定アドレス（Ｊ、但し１≦Ｊ≦Mである）のメモリセルをメモリセルMC_{LJ}とする。また、アドレス指定されたサブメモリユニットをサブメモリユニットSMU_Lとする。そして、実施例１にあっては、外部からアドレスを指定されたメモリセルMC_{LJ}に記憶されたデータを読み出し、センスアンプSA_Lにラッチした後、センスアンプSA_Lにラッチされたデータを外部に出力する。

実施例１においては、更には、センスアンプSA_Lにラッチされたデータを出力した後、センスアンプSA_Lにラッチされたデータを外部からアドレスを指定され

たメモリセルMC_{LJ}に再書き込みする。その後、外部からアドレスを指定すること無く、サブメモリユニットSMU_Lを構成する他のメモリセルMC_{Lk}（$k \neq J$）に記憶されたデータを読み出し、センスアンプSA_Lにラッチする。そして、その後、センスアンプSA_Lにラッチされたデータを他のメモリセルMC_{Lk}に再書き込みする。実施例１においては、メモリセルは、いわば、ランダムアクセスされ、データの読み出し及び再書き込みが行われる。

以下、図１、図５、及び、動作波形を示す図７を参照して、実施例１の駆動方法を説明する。尚、以下の説明におけるコマンドと、その実行内容は、以下のとおりである。ここで、各コマンドはクロックに同期して入力され、コマンドデコーダ１０を構成する集積回路の複数の所定入力ピンに入力される「０」、「１」の組合せで決定される。尚、アドレスには、ロー方向に対応してサブメモリユニット及びプレート線（更には、サブメモリユニットを構成するメモリセル）を選択するＲＡＳアドレスと、コラム方向に対応してセンスアンプを選択するＣＡＳアドレスがあり、各コマンドに対応して使い分ける。

ACTコマンド・・・ＲＡＳアドレスの上位成分であるアドレスAD_j（$1 \leqq j \leqq M$）で指定されたメモリセルMC_jからデータを読み出し、センスアンプにラッチさせるコマンド。

RAS_INCコマンド・・・センスアンプにラッチされているデータをＲＡＳアドレスの上位成分であるアドレスAD_jで指定されたメモリセルMC_jへ再書き込みし、次いで、アドレスをインクリメントして、かかるアドレスのメモリセルに記憶されたデータを読み出し、センスアンプにラッチさせるコマンド。データ出力は次にREADコマンドを実行することによって行われ、データ（再）書き込みは次にWRITEコマンドを実行することによって行われる。

READコマンド・・・センスアンプにラッチされているデータ群から、コマンドと同時に入力されたＣＡＳアドレスに相当するデータを外部に出力するコマンド。このコマンドは、ACTコマンドあるいはRAS_INCコマンドの後に入力される。

RESTORE コマンド・・・センスアンプにラッチされているデータをアドレスAD_jで指定されたメモリセルMC_jへ（再）書き込みし、次いで、アドレスをインクリメントして、かかるアドレスのメモリセルに記憶されたデータを読み出し、センスアンプにラッチさせるコマンド。

WRITE コマンド・・・外部からのデータを、ＣＡＳアドレスに従って所望のセンスアンプにラッチさせるコマンド。このコマンドは、ACT コマンド又は RAS_INC コマンドの後に入力され、選択されたセンスアンプのデータは書き換えられる。一方、非選択のセンスアンプには、読み出されたままのデータが残る。

NOP コマンド・・・前に入力したコマンドの実行が１クロックで終了しない場合、クロックを進めるための　ＮＯ　ＯＰＥＲＡＴＩＯＮ　コマンド。また、以下のようなバースト転送にも使用される。即ち、READ コマンドの後では、ＣＡＳアドレスをインクリメントしつつ、各センスアンプのデータを順次バースト出力する。また、WRITE コマンドの後では、ＣＡＳアドレスをインクリメントしつつ、各センスアンプにデータをバースト書き込みする。

［ステップ－１００］

先ず、ACT コマンドがコマンドデコーダ１０に入力され、併せて、サブメモリユニット及びメモリセルを指定するアドレス（ＲＡＳアドレス）が入力される。このＲＡＳアドレスは、図示しないシフトレジスタによって上位成分と下位成分に分離され、メモリセルMC_{LJ}のアドレスAD_Jを指定する上位成分は、指定プレート線アドレスレジスタ１１及びプレート線アドレスカウンタ１２にラッチされる。一方、サブメモリユニットSMU_Lのアドレスを指定する下位成分は、ユニットアドレスレジスタ１３にラッチされる。ここで、指定プレート線アドレスレジスタ１１にラッチされたメモリセルMC_Jのアドレスを指定する上位成分をアドレス「Ｊ」、プレート線アドレスカウンタ１２にラッチされたメモリセルMC_Jのアドレスを指定する上位成分をアドレス「ｊ」（＝Ｊ）、ユニットアドレスレジスタ１３にラッチされたサブメモリユニットSMU_Lのアドレスを指定する下位成分をア

ドレス「L」とする。

更には、コマンドデコーダ１０からの信号を受け取ったユニットコントローラ１５は、ユニットデコーダ１６に信号を送り、ユニットデコーダ１６を活性化させる。加えて、ユニットアドレスレジスタ１３からの信号を受け取ったユニットデコーダ１６はサブメモリユニットSMU_Lを選択する。一方、プレート線アドレスカウンタ１２からの信号は、プレート線デコーダ／ドライバＰＤに送られる。以上によって、ワード線デコーダ／ドライバＷＤ及びプレート線デコーダ／ドライバＰＤが活性化され、しかも、プレート線デコーダ／ドライバＰＤによってプレート線PL_Jが選択される。

[ステップ－１１０]

そして、アドレスAD_jで指定されたメモリセルMC_{Lj}（具体的にはメモリセルMC_{LJ}である）に記憶されたデータを読み出し、センスアンプＳＡにラッチする。具体的な動作は後述する。

尚、以上のステップにおいては、同一ワード線及び同一プレート線に接続されたサブメモリユニット及びメモリセルが複数選択されてもよい。即ち、サブメモリユニットSMU_L，SMU_{L+1}，SMU_{L+2}，・・・のそれぞれにおけるメモリセル$MC_{L,J}$，$MC_{L+1,J}$，$MC_{L+2,J}$，・・・が選択されてもよい。これによって、センスアンプSA_L，SA_{L+1}，SA_{L+2}，・・・には、メモリセルMC_{LJ}，$MC_{L+1,J}$，$MC_{L+2,J}$，・・・のデータがラッチされる。

[ステップ－１２０]

その後、READ コマンドがコマンドデコーダ１０に入力され、併せて、センスアンプSA_Lを指定するＣＡＳアドレスが入力される。このコマンド及びＣＡＳアドレスに従って、図示しないラインを経てセンスアンプSA_Lに指令が発せられ、センスアンプSA_Lにラッチされたデータは外部に出力される。

[ステップ－１３０]

センスアンプSA_{L+1}，SA_{L+2}，・・・にメモリセル$MC_{L+1,J}$，$MC_{L+2,J}$，・・・のデ

ータがラッチされていた場合には、次いで、NOPコマンドが入力されることによって、図示しないカウンタを用いて、これらのセンスアンプにラッチされたデータを順次バースト転送する。これらのセンスアンプと外部とのアクセスは、図示していないが、従来のシンクロナスＤＲＡＭ等と全く同様のアクセス方法とすればよい。

［ステップ－１４０］

外部へのデータの出力完了後、RESTOREコマンドが入力される。これによって、先ず、センスアンプSA_Lにラッチされたデータが指定アドレスのメモリセルMC_{Lj}（具体的にはメモリセルMC_{LJ}である）に再書き込みされる。具体的な動作は後述する。尚、実際には、RESTOREコマンドは１クロックで終了しないので、クロックを進めるためのNOPコマンドを実行する。

次いで、外部からアドレスを指定すること無く、サブメモリユニットSMU_Lを構成する他のメモリセルMC_{Lk}（$k \neq J$）に記憶されたデータを読み出し、センスアンプSA_Lにラッチする。そして、センスアンプSA_Lにラッチされたデータを他のメモリセルMC_{Lk}に再書き込みする。具体的には、プレート線アドレスカウンタ１２をインクリメントし、プレート線アドレスカウンタ１２の値と指定プレート線アドレスレジスタ１１の値をコンパレータ１４で比較し、もしも値が一致している場合には、動作を終了する。もしも値が不一致の場合には、プレート線アドレスカウンタ１２の値が値「M」を越えていないかを判断し、越えている場合には、プレート線アドレスカウンタ１２の値を「１」にリセットして、アドレスAD_jで指定されたメモリセルMC_{Lj}（メモリセルMC_{Lk}に相当する）を読み出し、センスアンプSA_Lにラッチする。尚、プレート線アドレスカウンタ１２をインクリメントするので、外部からメモリセルのアドレスを指定する必要は無い。

この［ステップ－１４０］の動作を、サブメモリユニットSMU_Lを構成する全ての他のメモリセルMC_kにおいて、外部からアドレスを指定すること無く、行う。即ち、（Ｊ＋１）番目のメモリセル$MC_{L,J+1}$、（Ｊ＋２）番目のメモリセルＭＣ

$_{L,J+2}$、・・・、M番目のメモリセル$MC_{L,M}$、１番目のメモリセル$MC_{L,1}$、２番目のメモリセル$MC_{L,2}$、・・・、（Ｊ－２）番目のメモリセル$MC_{L,J-2}$、（Ｊ－１）番目のメモリセル$MC_{L,J-1}$まで順次、データの読み出し及びデータの再書き込みを行う。実施例１においては、センスアンプSA_Lにラッチされたデータを外部に出力しない。

動作の終了においては、コンパレータ１４はユニットコントローラ１５にその旨を通知し、ユニットコントローラ１５は、ユニットデコーダ１６を不活性とし、ワード線ＷＬ及びプレート線PL_Mの全てを非選択状態に戻す。

以上のステップによって、任意のメモリセルに素早くアクセスでき、しかも、同一サブメモリユニットの他のメモリセルに記憶されたデータ全てに１回ずつ再書き込みを行うことができる。

ここで、ディスターブ回数の最悪値は以下のとおりとなる。即ち、アドレスとして「Ｐ」が指定され、ACT コマンドによるアクセスでメモリセルMC_P（$1 \leqq P \leqq M$）が選択され、その後の RESTORE コマンドによって、他のメモリセルが再書き込みされた場合、メモリセルMC_Pの受けるディスターブ回数は（Ｍ－１）回となる。その後、今度は、アドレスとして「Ｐ＋１」が指定され、ACTコマンドによるアクセスでメモリセルMC_{P+1}が選択され、その後のRESTOREコマンドによって、他のメモリセルが再書き込みされた場合、メモリセルMC_Pは（Ｍ－１）回のディスターブを受けた後に再書き込みされる。従って、このような場合には、メモリセルMC_Pは、データの再書き込み後、再びデータの再書き込みを受ける前に、２×（Ｍ－１）回のディスターブを受けることになる。ディスターブにおけるデータの劣化は、この程度のディスターブ回数では殆ど生じない。それ故、メモリセルへのランダムアクセスを可能にしつつ、ディスターブを抑制することができる。

以下、実施例１の不揮発性メモリにおけるデータ読み出し及び再書き込み動作を、動作波形を示す図７を参照して説明する。ここで、一例として、プレート線PL_1に接続されたメモリセルMC_{L1}からデータを読み出し、データを再書き込みするものとする。尚、動作波形を示す図面において、括弧内の数字は、以下に説

明する工程の番号と対応している。

（１Ａ）［ステップー１００］において、ACT コマンドの入力前には、即ち、待機状態では、ビット線、ワード線、全プレート線が０ボルトとなっている。更には、共通ノードCN_Lも０ボルトで浮遊状態となっている。

（２Ａ）［ステップー１００］において、ACT コマンドが入力されると、ワード線デコーダ／ドライバWD及びプレート線デコーダ／ドライバPDが活性化され、しかも、プレート線PL_1が選択される。そして、［ステップー１１０］においてデータの読み出しが開始される。即ち、選択プレート線PL_1に高電位V_{PL-H}（＝V_{cc}）が印加される。このとき、選択メモリセルMC_{L1}にデータ「１」が記憶されていれば、強誘電体層に分極反転が生じ、蓄積電荷量が増加し、共通ノードCN_Lの電位が上昇する。一方、選択メモリセルMC_{L1}にデータ「０」が記憶されていれば、強誘電体層に分極反転が生ぜず、共通ノードCN_Lの電位は殆ど上昇しない。即ち、共通ノードCN_Lは、非選択メモリセルMC_{Lk}の強誘電体層を介して複数の非選択プレート線PL_k（k＝２，３，・・・M）にカップリングされているので、共通ノードCN_Lの電位は０ボルトに比較的近いレベルに保たれる。このようにして、選択メモリセルMC_{L1}に記憶されたデータに依存して共通ノードCN_Lの電位に変化が生じる。

（３Ａ）次に、ビット線BL_Lを浮遊状態とし、ワード線WLをハイレベルとすることによって、選択用トランジスタTR_Lをオン状態とする。これによって、選択メモリセルMC_{L1}に記憶されたデータに基づき共通の第１の電極（共通ノードCN_L）に生じた電位がビット線BL_Lに現れ、センスアンプSA_Lにラッチされる。

（４Ａ）その後、ワード線WLをローレベルとすることによって、選択用トランジスタTR_Lをオフ状態とし、サブメモリユニットSMU_Lの共通ノードCN_Lとビット線BL_Lとの接続を解く。

（５Ａ）その後、ビット線BL_Lに接続されたセンスアンプSA_Lを活性化してデータを増幅し、データの読み出し動作を完了する。そして、［ステップー１２０］に

おける READ コマンドによって、センスアンプSA_Lにラッチされたデータを外部に出力する。

以上の動作によって、選択メモリセルMC_{L1}に記憶されていたデータが一旦破壊されてしまうので、データの再書き込み動作を行う。

（６Ａ）そのために、[ステップ－１４０]においては、先ず、非選択プレート線PL_k（k＝２，３・・・M）の電位をV_{PL-M}［＝（１／２）V_{cc}］とする。

（７Ａ）その後、ワード線ＷＬをハイレベルとすることによって、選択用トランジスタTR_Lをオン状態とする。これによって、共通ノードCN_Lの電位はビット線BL_Lの電位と等しくなる。即ち、選択メモリセルMC_{L1}に記憶されていたデータが「１」の場合には、共通ノードCN_Lの電位はV_{BL-H}（＝V_{cc}）となり、選択メモリセルMC_{L1}に記憶されていたデータが「０」の場合には、共通ノードCN_Lの電位はV_{BL-L}（＝０ボルト）となる。選択プレート線PL_1の電位はV_{PL-H}（＝V_{cc}）のままであるが故に、共通ノードCN_Lの電位が０ボルトの場合、選択メモリセルMC_{L1}にはデータ「０」が再書き込みされる。

（８Ａ）次に、選択プレート線PL_1の電位をV_{PL-L}（＝０ボルトとする。これによって、選択メモリセルMC_{L1}に記憶されていたデータが「１」の場合には、共通ノードCN_Lの電位がV_{BL-H}（＝V_{cc}）であるが故に、データ「１」が再書き込みされる。選択メモリセルMC_1にデータ「０」が既に再書き込みされていた場合には、選択メモリセルMC_{Lk}に変化は生じない。

（９Ａ）その後、ビット線BL_Lを０ボルトとする。

（１０Ａ）最後に、非選択プレート線PL_kを０ボルトとし、選択用トランジスタTR_Lをオフ状態とする。

他のメモリセルMC_k（k＝２，３・・・M）からデータを読み出し、データを再書き込みする場合には、RESTORE コマンドに基づき概ね同様の操作を繰り返し実行すればよい。

以下、実施例１の不揮発性メモリの製造方法を説明するが、他の実施例あるい

はその変形における不揮発性メモリも、実質的に同様の方法で製造することができる。

先ず、不揮発性メモリにおける選択用トランジスタとして機能するＭＯＳ型トランジスタを半導体基板２０に形成する。そのために、例えばＬＯＣＯＳ構造を有する素子分離領域２１を公知の方法に基づき形成する。尚、素子分離領域２１は、トレンチ構造を有していてもよいし、ＬＯＣＯＳ構造とトレンチ構造の組合せとしてもよい。その後、半導体基板２０の表面を例えばパイロジェニック法により酸化し、ゲート絶縁膜２２を形成する。次いで、不純物がドーピングされたポリシリコン層をＣＶＤ法にて全面に形成した後、ポリシリコン層をパターニングし、ゲート電極２３を形成する。このゲート電極２３はワード線ＷＬを兼ねている。尚、ゲート電極２３をポリシリコン層から構成する代わりに、ポリサイドや金属シリサイドから構成することもできる。次に、半導体基板２０にイオン注入を行い、ＬＤＤ構造を形成する。その後、全面にＣＶＤ法にてSiO_2層を形成した後、このSiO_2層をエッチバックすることによって、ゲート電極２３の側面にゲートサイドウオール（図示せず）を形成する。次いで、半導体基板２０にイオン注入を施した後、イオン注入された不純物の活性化アニール処理を行うことによって、ソース／ドレイン領域２４を形成する。

次いで、SiO_2から成る下層絶縁層をＣＶＤ法にて形成した後、一方のソース／ドレイン領域２４の上方の下層絶縁層に開口部をＲＩＥ法にて形成する。そして、かかる開口部内を含む下層絶縁層上に不純物がドーピングされたポリシリコン層をＣＶＤ法にて形成する。これによって、接続孔（コンタクトホール）２５を得ることができる。次に、下層絶縁層上のポリシリコン層をパターニングすることによって、ビット線BL_Lを形成する。その後、ＢＰＳＧから成る上層絶縁層をＣＶＤ法にて全面に形成する。尚、ＢＰＳＧから成る上層絶縁層の形成後、窒素ガス雰囲気中で例えば９００°Ｃ×２０分間、上層絶縁層をリフローさせることが好ましい。更には、必要に応じて、例えば化学的機械的研磨法（ＣＭＰ法）

にて上層絶縁層の頂面を化学的及び機械的に研磨し、上層絶縁層を平坦化することが望ましい。尚、下層絶縁層と上層絶縁層を纏めて、絶縁層２６と呼ぶ。

次に、他方のソース／ドレイン領域２４の上方の絶縁層２６に開口部２７をＲＩＥ法にて形成した後、かかる開口部２７内を、不純物をドーピングしたポリシリコンで埋め込み、接続孔（コンタクトホール）２８を完成させる。ビット線ＢＬは、下層絶縁層上を、図の左右方向に接続孔２８と接触しないように延びている。

尚、接続孔２８は、絶縁層２６に形成された開口部２７内に、例えば、タングステン、Ｔｉ、Ｐｔ、Ｐｄ、Ｃｕ、ＴｉＷ、ＴｉＮＷ、WSi_2、$MoSi_2$等の高融点金属や金属シリサイドから成る金属配線材料を埋め込むことによって形成することもできる。接続孔２８の頂面は絶縁層２６の表面と略同じ平面に存在していてもよいし、接続孔２８の頂部が絶縁層２６の表面に延在していてもよい。タングステンにて開口部２７を埋め込み、接続孔２８を形成する条件を、以下の表１に例示する。尚、タングステンにて開口部２７を埋め込む前に、Ｔｉ層及びＴｉＮ層を順に例えばマグネトロンスパッタ法にて開口部２７内を含む絶縁層２６の上に形成することが好ましい。ここで、Ｔｉ層及びＴｉＮ層を形成する理由は、オーミックな低コンタクト抵抗を得ること、ブランケットタングステンＣＶＤ法における半導体基板２０の損傷発生の防止、タングステンの密着性向上のためである。

［表１］

Ｔｉ層（厚さ：２０ｎｍ）のスパッタ条件

プロセスガス：Ａｒ＝３５ｓｃｃｍ

圧力　　：０．５２Ｐａ

ＲＦパワー　：２ｋＷ

基板の加熱　：無し

ＴｉＮ層（厚さ：１００ｎｍ）のスパッタ条件

プロセスガス：N_2／Ａｒ＝１００／３５sccm

圧力　　：１．０Ｐａ

ＲＦパワー　：６ｋＷ

基板の加熱　：無し

タングステンのＣＶＤ形成条件

使用ガス：WF_6／H_2／Ａｒ＝４０／４００／２２５０sccm

圧力　　：１０．７ｋＰａ

形成温度：４５０°Ｃ

タングステン層及びＴｉＮ層、Ｔｉ層のエッチング条件

第１段階のエッチング：タングステン層のエッチング

使用ガス　：SF_6／Ａｒ／Ｈｅ＝１１０：９０：５sccm

圧力　　：４６Ｐａ

ＲＦパワー：２７５Ｗ

第２段階のエッチング：ＴｉＮ層／Ｔｉ層のエッチング

使用ガス　：Ａｒ／Cl_2＝７５／５sccm

圧力　　：６．５Ｐａ

ＲＦパワー：２５０Ｗ

次に、絶縁層２６上に、ＴｉＮから成る密着層（図示せず）を形成することが望ましい。そして、密着層上にＩｒから成る第１の電極（下部電極）３１を構成する第１の電極材料層を、例えばスパッタ法にて形成し、第１の電極材料層及び密着層をフォトリソグラフィ技術及びドライエッチング技術に基づきパターニングすることによって、第１の電極３１（共通ノードＣN_L）を得ることができる。

その後、例えば、ＭＯＣＶＤ法によって、Ｂｉ系層状構造ペロブスカイト型の強誘電体材料（具体的には、例えば、$Bi_2SrTa_2O_9$）から成る強誘電体薄膜を全面に形成する。その後、２５０°Ｃの空気中で乾燥処理を行った後、７５０°Ｃの酸素ガス雰囲気で１時間の熱処理を施し、結晶化を促進させる。

次に、IrO_{2-X}層、Ｐｔ層を、スパッタ法にて、順次、全面に形成した後、フォトリソグラフィ技術、ドライエッチング技術に基づき、Ｐｔ層、IrO_{2-X}層、強誘電体薄膜を順次、パターニングして、プレート線PL_mを兼ねた第２の電極３３及び強誘電体層３２を形成する。尚、エッチングによって、強誘電体層３２にダメージが加わる場合には、ダメージ回復に必要とされる温度にて、熱処理を行えばよい。その後、絶縁層２６及びメモリセルの上に上部絶縁層３６Ａを形成する。

尚、各第２の電極３３はプレート線PL_mを兼ねていなくともよい。この場合には、絶縁層２６及びメモリセルの上に上層絶縁層を形成した後、上層絶縁層上にプレート線PL_mを形成し、併せて、第２の電極３３とプレート線PL_mとを、上層絶縁層に設けられた接続孔（ビアホール）によって接続すればよい。また、強誘電体薄膜はパターニングしなくともよい。

例えば、$Bi_2SrTa_2O_9$から成る強誘電体薄膜の形成条件を、以下の表２に例示する。尚、表２中、「ｔｈｄ」は、テトラメチルヘプタンジオンの略である。また、表２に示したソース原料はテトラヒドロフラン（ＴＨＦ）を主成分とする溶媒中に溶解されている。

［表２］

ＭＯＣＶＤ法による形成

ソース材料　：$Sr(thd)_2$−tetraglyme

$Bi(C_6H_5)_3$

$Ta(O-iC_3H_7)_4(thd)$

形成温度　　：４００～７００°Ｃ

プロセスガス：Ar/O_2＝１０００／１０００cm^3

形成速度　　：５～２０ｎｍ／分

あるいは又、$Bi_2SrTa_2O_9$から成る強誘電体薄膜をパルスレーザアブレーション法、ゾルーゲル法、あるいはＲＦスパッタ法にて全面に形成することもで

きる。これらの場合の形成条件を、以下の表3、表4、表5に例示する。尚、ゾルーゲル法によって厚い強誘電体薄膜を形成する場合、所望の回数、スピンコート及び乾燥、あるいはスピンコート及び焼成（又は、アニール処理）を繰り返せばよい。

[表3]

パルスレーザアブレーション法による形成

ターゲット：$Bi_2SrTa_2O_9$

使用レーザ：ＫｒＦエキシマレーザ（波長２４８ｎｍ、パルス幅２５ｎ秒、５Ｈｚ）

形成温度　：４００～８００° Ｃ

酸素濃度　：３Ｐａ

[表4]

ゾルーゲル法による形成

原料：$Bi(CH_3(CH_2)_3CH(C_2H_5)COO)_3$

[ビスマス・２エチルヘキサン酸，Ｂｉ（ＯＯｃ）$_3$]

$Sr(CH_3(CH_2)_3CH(C_2H_5)COO)_2$

[ストロンチウム・２エチルヘキサン酸，Ｓｒ（ＯＯｃ）$_2$]

$Ta(OEt)_5$　[タンタル・エトキシド]

スピンコート条件：３０００ｒｐｍ×２０秒

乾燥：２５０° Ｃ×７分

焼成：４００～８００° Ｃ×１時間（必要に応じてＲＴＡ処理を加える）

[表5]

ＲＦスパッタ法による形成

ターゲット：$Bi_2SrTa_2O_9$セラミックターゲット

ＲＦパワー：１．２Ｗ～２．０Ｗ／ターゲット１ｃｍ^2

雰囲気圧力：０．２～１．３Ｐａ

形成温度　：室温～６００° Ｃ

プロセスガス：Ａｒ／O_2の流量比＝２／１～９／１

強誘電体層を、ＰＺＴあるいはＰＬＺＴから構成するときの、マグネトロンスパッタ法によるＰＺＴあるいはＰＬＺＴの形成条件を以下の表６に例示する。あるいは又、ＰＺＴやＰＬＺＴを、反応性スパッタ法、電子ビーム蒸着法、ゾルーゲル法、又はＭＯＣＶＤ法にて形成することもできる。

［表６］

ターゲット　：ＰＺＴあるいはＰＬＺＴ

プロセスガス：Ａｒ／O_2＝９０体積％／１０体積％

圧力　　：４Ｐａ

パワー　　：５０Ｗ

形成温度　　：５００° Ｃ

更には、ＰＺＴやＰＬＺＴをパルスレーザアブレーション法にて形成することもできる。この場合の形成条件を以下の表７に例示する。

［表７］

ターゲット：ＰＺＴ又はＰＬＺＴ

使用レーザ：ＫｒＦエキシマレーザ（波長２４８ｎｍ、パルス幅２５ｎ秒、３Ｈｚ）

出力エネルギー：４００ｍＪ（１．１Ｊ／ｃｍ^2）

形成温度　：５５０～６００° Ｃ

酸素濃度　：４０～１２０Ｐａ

（実施例２）

実施例２の不揮発性メモリの駆動方法は、実施例１にて説明した不揮発性メモリの駆動方法の変形である。また、実施例２における不揮発性メモリは、実施例１における不揮発性メモリの変形である。実施例２の不揮発性メモリは、図８に等価回路図を示すように、

（Ａ－１）第１のビット線BL_{L1}と、

（Ｂ－１）Ｎ個（但し、Ｎ≧１であり、実施例２においてはＮ＝１）の第１の選択用トランジスタTR_{L1}と、

（Ｃ－１）それぞれがＭ個（但し、Ｍ≧２であり、実施例２においてはＭ＝８）の第１のメモリセルMC_{L1M}から構成された、Ｎ個の第１のサブメモリユニットSMU_{L1}と、

（Ｄ－１）Ｎ個のサブメモリユニットSMU_{L1}のそれぞれを構成する第１のメモリセルMC_{L1M}で共通とされたＭ本のプレート線PL_{M}、

から成る第１のメモリユニット、並びに、

（Ａ－２）第２のビット線BL_{L2}と、

（Ｂ－２）Ｎ個の第２の選択用トランジスタTR_{L2}と、

（Ｃ－２）それぞれがＭ個の第２のメモリセルMC_{L2M}から構成された、Ｎ個の第２のサブメモリユニットSMU_{L2}と、

（Ｄ－２）Ｎ個のサブメモリユニットSMU_{L2}のそれぞれを構成する第２のメモリセルMC_{L2M}で共通とされ、且つ、前記第１のメモリユニットを構成するＭ本のプレート線PL_{M}と共通のＭ本のプレート線PL_{M}、

から成る第２のメモリユニットから構成され、

更に、

（Ｅ）第１及び第２のビット線に接続されたセンスアンプSA_{L}、

から構成されている。

そして、各メモリセルMC_{L1M}は、第１の電極（下部電極）３１と強誘電体層３２と第２の電極（上部電極）３３とから成る。第１のメモリユニットにおいて、第ｎ番目（但し、ｎ＝１，２・・・Ｎ）の第１のサブメモリユニットSMU_{L1}を構成する第１のメモリセルMC_{L1M}の第１の電極３１は、第ｎ番目の第１のサブメモリユニットSMU_{L1}において共通であり（共通ノードCN_{L1}で表す）、該共通の第１の電極（共通ノードCN_{L1}）は、第ｎ番目の第１の選択用トランジスタTR_{L1}を

介して第１のビット線BL_{L1}に接続され、第２の電極３３は共通のプレート線PL_mに接続されている。また、第２のメモリユニットにおいて、第ｎ番目の第２のサブメモリユニットSMU_{L2}を構成する第２のメモリセルMC_{L2M}の第１の電極３１は、第ｎ番目の第２のサブメモリユニットSMU_{L2}において共通であり（共通ノードCN$_{L2}$で表す）、該共通の第１の電極（共通ノードCN$_{L2}$）は、第ｎ番目の第２の選択用トランジスタTR_{L2}を介して第２のビット線BL_{L2}に接続され、第２の電極３３は共通のプレート線PL_mに接続されている。第ｎ番目の第１の選択用トランジスタTR_{L1}と第ｎ番目の第２の選択用トランジスタTR_{L2}は同じワード線ＷＬに接続されている。

実施例２の不揮発性メモリにおけるその他の構成は、実施例１の不揮発性メモリと同様とすることができるので、詳細な説明は省略する。

そして、実施例２の不揮発性メモリにあっては、第ｎ番目の第１のサブメモリユニットSMU_{L1}を構成する第ｍ番目（但し、ｍ＝１，２・・・Ｍ）の第１のメモリセルMC_{L1m}と、第ｎ番目の第２のサブメモリユニットSMU_{L2}を構成する第ｍ番目の第２のメモリセルMC_{L2m}との対から、相補的なデータ構成の１ビットを読み出し、相補的なデータ構成の１ビットを再書き込みする。

実施例２の不揮発性メモリからデータを読み出し、データを再書き込みする不揮発性メモリの駆動方法を、以下、説明するが、データの読み出し及び再書き込みの各ステップは実施例１の［ステップー１００］～［ステップー１４０］と同様とすることができるので、詳細な説明は省略する。尚、一例として、プレート線PL_1を共有した（即ち、対となった）メモリセル（MC_{L11}，MC_{L21}）からデータを読み出し、再書き込みするものとする。ここで、第１のメモリセルMC_{L11}にはデータ「１」が記憶され、第２のメモリセルMC_{L21}にはデータ「０」が記憶されているものとする。動作波形を図９に示す。図９中、括弧内の数字は、以下に説明する工程の番号と対応している。

先ず、選択されたメモリセル（MC_{L11}，MC_{L21}）のデータの読み出しを行う。

（１Ｂ）初期状態では、全ビット線、全ワード線、全プレート線が０ボルトとなっている。更には、共通ノードCN_{L1}，CN_{L2}も０ボルトで浮遊状態となっている。

（２Ｂ）データ読み出しの開始時、ワード線ＷＬをハイレベルとすることによって、第１の選択用トランジスタTR_{L1}及び第２の選択用トランジスタTR_{L2}をオン状態とする。これによって、第１のサブメモリユニットSMU_{L1}の共通ノードCN_{L1}が第１のビット線BL_{L1}に接続され、第２のサブメモリユニットSMU_{L2}の共通ノードCN_{L2}が第２のビット線BL_{L2}に接続される。尚、第１のビット線BL_{L1}及び第２のビット線BL_{L2}は、浮遊状態としておく。

（３Ｂ）次に、選択されたプレート線PL_1にV_{PL-H}（＝V_{cc}）を印加する。非選択プレート線PL_kをV_{PL-L}（＝０ボルト）のままとする。このとき、第１の選択メモリセルMC_{L11}にはデータ「１」が書き込まれていたので、強誘電体層における分極反転が生じ、共通ノードCN_{L1}の電位、更には、第１のビット線BL_{L1}の電位は上昇する。一方、第２の選択メモリセルMC_{L21}にはデータ「０」が書き込まれていたので、強誘電体層における分極反転が生ぜず、共通ノードCN_{L2}の電位、更には、第２のビット線BL_{L2}の電位は０ボルトよりも若干高い程度となる。これによって、第１のビット線BL_{L1}と第２のビット線BL_{L2}との間に電位差が生じる。

（４Ｂ）その後、ワード線ＷＬをローレベルとすることによって、第１の選択用トランジスタTR_{L1}及び第２の選択用トランジスタTR_{L2}をオフ状態とし、サブメモリユニットSMU_{L1}の共通ノードCN_{L1}と第１のビット線BL_{L1}との接続を解き、サブメモリユニットSMU_{L2}の共通ノードCN_{L2}と第２のビット線BL_{L2}との接続を解く。

（５Ｂ）次に、センスアンプSA_Lを活性化して、データを確定し、かかるデータを読み出し、外部に出力すると共に、第１のビット線BL_{L1}及び第２のビット線BL_{L2}を充放電する。

次に、選択されたメモリセル（MC_{L11}，MC_{L21}）におけるデータの再書き込みを行う。

（６Ｂ）データの再書き込み開始においては、第１の選択用トランジスタTR_{L1}及び第２の選択用トランジスタTR_{L2}はオフ状態である。また、第１及び第２の選択メモリセルMC_{L11}，MC_{L21}に接続されたプレート線PL_1には高電位V_{PL-H}（＝V_{cc}）が印加されている。この状態で、非選択メモリセルMC_{1k}，MC_{2k}に接続されたプレート線PL_kに中間電位V_{PL-M}［＝（１／２）V_{cc}］を印加する。尚、第１の選択メモリセルMC_{L11}に再書き込みすべきデータが「１」であるので、第１のビット線BL_{L1}は高電位V_{BL-H}（＝V_{cc}）となっており、第２の選択メモリセルMC_{L21}に再書き込みすべきデータが「０」であるので、第２のビット線BL_{L2}は低電位V_{BL-L}（＝０ボルト）となっている。

（７Ｂ）次に、ワード線ＷＬをハイレベルとすることによって、第１の選択用トランジスタTR_{L1}及び第２の選択用トランジスタTR_{L2}をオン状態とし、サブメモリユニットSMU_{L1}の共通ノードCN_{L1}と第１のビット線BL_{L1}とを第１の選択用トランジスタTR_{L1}を介して接続し、サブメモリユニットSMU_{L2}の共通ノードCN_{L2}と第２のビット線BL_{L2}とを第２の選択用トランジスタTR_{L2}を介して接続する。

（８Ｂ）その後、選択プレート線PL_1に低電位V_{PL-L}（＝０ボルト）を印加する。

尚、工程（６Ｂ）において、第１のビット線BL_{L1}に高電位V_{BL-H}（＝V_{cc}）が印加されているので、工程（７Ｂ）において、第１の選択用トランジスタTR_{L1}をオン状態とし、共通ノードCN_{L1}と第１のビット線BL_{L1}とを第１の選択用トランジスタTR_{L1}を介して接続したとき、選択プレート線PL_1に高電位V_{PL-H}（＝V_{cc}）が印加されているが故に、第１の選択メモリセルMC_{L11}にはデータが書き込まれない。その後、工程（８Ｂ）において、選択プレート線PL_1に低電位V_{PL-L}（＝０ボルト）を印加するので、第１の選択メモリセルMC_{L11}にデータ「１」が再書き込みされる。

一方、工程（６Ｂ）において、第２のビット線BL_{L2}に低電位V_{BL-L}が印加されているので、工程（７Ｂ）において、第２の選択用トランジスタTR_{L2}をオン状態

とし、共通ノードCN$_{L2}$と第2のビット線BL$_{L2}$とを第2の選択用トランジスタTR$_{L2}$を介して接続したとき、選択プレート線PL$_1$に高電位V$_{PL-H}$が印加されているが故に、第2の選択メモリセルMC$_{L21}$にデータ「0」が再書き込みされる。その後、工程（8B）において、選択プレート線PL$_1$に低電位V$_{PL-L}$（＝0ボルト）を印加するが、第2の選択メモリセルMC$_{L21}$に書き込まれたデータ「0」は変化することがない。

（9B）その後、第1のビット線BL$_{L1}$及び第2のビット線BL$_{L2}$を0ボルトとする。

（10B）最後に、非選択プレート線PL$_k$を0ボルトとし、第1及び第2の選択用トランジスタTR$_{L1}$，TR$_{L2}$をオフ状態とする。

以降、メモリセル（MC$_{L1m}$，MC$_{L2m}$）（m＝2，3・・・8）に対して、順次、工程（1B）～（10B）の操作を行う。但し、データを外部に出力しない。

尚、実施例2における動作波形を、実施例1にて説明した動作波形とすることもできる。

（実施例3）

実施例3の不揮発性メモリの駆動方法も、実施例1にて説明した不揮発性メモリの駆動方法の変形である。また、実施例3における不揮発性メモリは、実施例2における不揮発性メモリの変形である。実施例3の不揮発性メモリは、図10に等価回路図を示すように、第1の選択用トランジスタTR$_{L1}$は第1のワード線WL$_1$に接続され、第2の選択用トランジスタTR$_{L2}$は第2のワード線WL$_2$に接続され、これらは独立してワード線デコーダ／ドライバWDによって制御される。この点を除き、実施例3の不揮発性メモリの構成は、実施例2にて説明した不揮発性メモリの構成と同じである。

実施例3における不揮発性メモリの駆動方法においては、第1のメモリセルMC$_{L1m}$に記憶されたデータの読み出しを行うとき、第1の選択用トランジスタTR$_{L1}$をオン状態とし、第2の選択用トランジスタTR$_{L2}$をオフ状態とし、且つ、第2の

ビット線BL_{L2}に参照電位を印加し、第２のメモリセルMC_{L2m}に記憶されたデータの読み出しを行うとき、第２の選択用トランジスタTR_{L2}をオン状態とし、第１の選択用トランジスタTR_{L1}をオフ状態とし、且つ、第１のビット線BL_{L1}に参照電位を印加する。

実施例３の不揮発性メモリからデータを読み出し、データを再書き込みする不揮発性メモリの駆動方法を、以下、説明するが、データの読み出し及び再書き込みの各ステップは実施例１の［ステップ－１００］～［ステップ－１４０］と同様とすることができるので、詳細な説明は省略する。尚、一例として、プレート線PL_1を共有した（即ち、対となった）メモリセルMC_{L11}，MC_{L21}の内のメモリセルMC_{L11}からデータを読み出し、再書き込みするものとする。動作波形は図９に示したと同様である。尚、図９中、括弧内の数字は、以下に説明する工程の番号と対応している。但し、図９中の括弧内の数字の次のアルファベット「Ｂ」は、以下の説明における工程番号の数字の次のアルファベット「Ｃ」と対応している。

先ず、選択された第１のメモリセルMC_{L11}のデータの読み出しを行う。

（１Ｃ）初期状態では、全ビット線、全ワード線、全プレート線が０ボルトとなっている。更には、共通ノードCN_{L1}，CN_{L2}も０ボルトで浮遊状態となっている。

（２Ｃ）データ読み出しの開始時、ワード線WL_1をハイレベルとすることによって、第１の選択用トランジスタTR_{L1}をオン状態とする。これによって、第１のサブメモリユニットSMU_{L1}の共通ノードCN_{L1}が第１のビット線BL_{L1}に接続される。尚、第１のビット線BL_{L1}及び第２のビット線BL_{L2}は、浮遊状態としておく。

（３Ｃ）次に、選択されたプレート線PL_1にV_{PL-H}（＝V_{cc}）を印加する。非選択プレート線PL_kをV_{PL-L}（＝０ボルト）のままとする。このとき、選択メモリセルMC_{L11}にデータ「１」が書き込まれていた場合には、強誘電体層における分極反転が生じ、サブメモリユニットSMU_{L1}の共通ノードCN_{L1}の電位、更には、第１のビット線BL_{L1}の電位は上昇する。一方、選択メモリセルMC_{L11}にデータ「０」が書き込まれていた場合には、強誘電体層における分極反転が生ぜず、共通ノー

ドCN$_{L1}$の電位、更には、第1のビット線BL$_{L1}$の電位は0ボルトより若干高くなる程度である。一方、ダミーセル等を用いて、第2のビット線BL$_{L2}$に、データ「1」のときのビット線電位と、データ「0」のときのビット線電位の中間の参照電位を与える。

（4C）その後、ワード線WL$_1$をローレベルとすることによって、第1の選択用トランジスタTR$_{L1}$をオフ状態とし、共通ノードCN$_{L1}$と第1のビット線BL$_{L1}$との接続を解く。

（5C）次に、センスアンプSA$_L$を活性化して、データを確定し、かかるデータを読み出し、外部に出力すると共に、第1のビット線BL$_{L1}$を充放電する。

次に、選択されたメモリセルMC$_{L11}$におけるデータの再書き込みを行う。

（6C）データの再書き込み開始においては、第1の選択用トランジスタTR$_{L1}$はオフ状態である。また、選択メモリセルMC$_{L11}$に接続されたプレート線PL$_1$には高電位V$_{PL-H}$（＝V$_{cc}$）が印加されている。この状態で、非選択メモリセルMC$_{Lk}$に接続されたプレート線PL$_k$に中間電位V$_{PL-M}$［＝（1／2）V$_{cc}$］を印加する。尚、選択メモリセルMC$_{L11}$に再書き込みすべきデータが「1」である場合には、第1のビット線BL$_{L1}$は高電位V$_{BL-H}$（＝V$_{cc}$）となっており、再書き込みすべきデータが「0」である場合には、第1のビット線BL$_{L1}$は低電位V$_{BL-L}$（＝0ボルト）となっている。

（7C）次に、第1の選択用トランジスタTR$_{L1}$をオン状態とし、共通ノードCN$_{L1}$と第1のビット線BL$_{L1}$とを第1の選択用トランジスタTR$_{L1}$を介して接続する。

（8C）その後、選択プレート線PL$_1$に低電位V$_{PL-L}$（＝0ボルト）を印加する。

尚、工程（6C）において、第1のビット線BL$_{L1}$に低電位V$_{BL-L}$（＝0ボルト）が印加されている場合、工程（7C）において、第1の選択用トランジスタTR$_{L1}$をオン状態とし、共通ノードCN$_{L1}$と第1のビット線BL$_{L1}$とを第1の選択用トランジスタTR$_{L1}$を介して接続したとき、選択プレート線PL$_1$に高電位V$_{PL-H}$（＝V$_{cc}$）が印加されているが故に、選択メモリセルMC$_{L11}$にデータ「0」が再書き込み

される。その後、工程（８Ｃ）において、選択プレート線PL_1に低電位V_{PL-L}（＝０ボルト）を印加しても、選択メモリセルMC_{L11}に書き込まれたデータ「０」は変化することがない。

一方、工程（６Ｃ）において、第１のビット線BL_{L1}に高電位V_{BL-H}が印加されている場合、工程（７Ｃ）において、第１の選択用トランジスタTR_{L1}をオン状態とし、共通ノードCN_{L1}と第１のビット線BL_{L1}とを第１の選択用トランジスタTR_{L1}を介して接続したとき、選択プレート線PL_1に高電位V_{PL-H}が印加されているが故に、選択メモリセルMC_{L11}にはデータが書き込まれない。その後、工程（８Ｃ）において、選択プレート線PL_1に低電位V_{PL-L}（＝０ボルト）を印加することによって、選択メモリセルMC_{L11}にデータ「１」が再書き込みされる。

（９Ｃ）その後、第１のビット線BL_{L1}を０ボルトとする。

（１０Ｃ）最後に、非選択プレート線PL_kを０ボルトとし、第１の選択用トランジスタTR_{L1}をオフ状態とする。

以降、メモリセルMC_{L21}，MC_{L1m}，MC_{L2m}（m＝２，３・・・８）に対して、順次、工程（１Ｃ）～（１０Ｃ）の操作を行う。但し、データを外部に出力しない。

尚、実施例３における動作波形を、実施例１にて説明した動作波形とすることもできる。

（実施例４）

実施例４も、本発明の第１の態様に係る不揮発性メモリの駆動方法及び本発明の不揮発性メモリに関し、更に詳しくは、第１Ｂの構成に係る不揮発性メモリの駆動方法に関する。図２に実施例４の不揮発性メモリの駆動方法の流れ図を示す。実施例４においては、図８に示した等価回路を有する不揮発性メモリを用いたが、図５あるいは図１０に示した等価回路を有する不揮発性メモリを用いることもできる。

実施例４の不揮発性メモリの駆動方法にあっては、外部から指定された指定アドレス（Ｊ、但し１≦Ｊ≦Ｍである）のメモリセルをメモリセルMC_{LJ}とする。ま

た、アドレス指定されたサブメモリユニットをサブメモリユニットSMU_Lとする。そして、実施例４にあっては、外部からアドレスを指定されたメモリセルMC_{LJ}に記憶されたデータを読み出し、センスアンプSA_Lにラッチした後、センスアンプSA_Lにラッチされたデータを外部に出力する。

実施例４においては、更には、センスアンプSA_Lにラッチされたデータを出力した後、センスアンプSA_Lにラッチされたデータを外部からアドレスを指定されたメモリセルMC_{LJ}に再書き込みする。その後、外部からアドレスを指定すること無く、サブメモリユニットSMU_Lを構成する他のメモリセルMC_{Lk}（$k \neq J$）に記憶されたデータを読み出し、センスアンプSA_Lにラッチした後、センスアンプSA_Lにラッチされたデータを外部に出力する。そして、その後、センスアンプSA_Lにラッチされたデータを他のメモリセルMC_{Lk}に再書き込みする。実施例４においては、メモリセルは、いわばシーケンシャルアクセスされ、データの読み出し、出力及び再書き込みが行われる。

以下、図２及び図８を参照して、実施例４の駆動方法を説明する。尚、動作波形は、実質的に図９に示したと同様とすることができるので詳細な説明は省略する。

［ステップ－４００］

先ず、ACTコマンドがコマンドデコーダ１０に入力され、併せて、サブメモリユニット及びメモリセルを指定するアドレス（ＲＡＳアドレス）が入力される。このＲＡＳアドレスは、図示しないシフトレジスタによって上位成分と下位成分に分離され、メモリセルMC_{L1J}，MC_{L2J}のアドレスAD_Jを指定する上位成分は、指定プレート線アドレスレジスタ１１及びプレート線アドレスカウンタ１２にラッチされる。一方、サブメモリユニットSMU_{L1}，SMU_{L2}のアドレスを指定する下位成分は、ユニットアドレスレジスタ１３にラッチされる。ここで、指定プレート線アドレスレジスタ１１にラッチされたメモリセルMC_{L1J}，MC_{L2J}のアドレスを指定する上位成分をアドレス「Ｊ」、プレート線アドレスカウンタ１２にラッチ

されたメモリセルMC_{L1J}，MC_{L2J}のアドレスを指定する上位成分をアドレス「j」（＝J）、ユニットアドレスレジスタ１３にラッチされたサブメモリユニットSMU_{L1}，SMU_{L2}のアドレスを指定する下位成分をアドレス「L」とする。

更には、コマンドデコーダ１０からの信号を受け取ったユニットコントローラ１５は、ユニットデコーダ１６に信号を送り、ユニットデコーダ１６を活性化させる。加えて、ユニットアドレスレジスタ１３からの信号を受け取ったユニットデコーダ１６はサブメモリユニットSMU_{L1}，SMU_{L2}を選択する。一方、プレート線アドレスカウンタ１２からの信号は、プレート線デコーダ／ドライバＰＤに送られる。以上によって、ワード線デコーダ／ドライバＷＤ及びプレート線デコーダ／ドライバＰＤが活性化され、しかも、プレート線デコーダ／ドライバＰＤによってプレート線PL_Jが選択される。

[ステップ－４１０]

そして、アドレスAD_jで指定されたメモリセルMC_{L1j}，MC_{L2j}（具体的にはメモリセルMC_{L1J}，MC_{L2j}である）に記憶されたデータを読み出し、センスアンプSA_Lにラッチする。

尚、以上のステップにおいては、同一ワード線及び同一プレート線に接続されたサブメモリユニット及びメモリセルが複数選択されてもよい。即ち、サブメモリユニット$SMU_{L,1}$，$SMU_{L,1}$，$SMU_{L+1,1}$，$SMU_{L+1,2}$，$SMU_{L+2,1}$，$SMU_{L+2,2}$，・・・のそれぞれにおけるメモリセル$MC_{L,1,J}$，$MC_{L,2,J}$，$MC_{L+1,1,J}$，$MC_{L+1,2,J}$，$MC_{L+2,1,J}$，$MC_{L+2,2,J}$，・・・が選択されてもよい。これによって、センスアンプSA_L，SA_{L+1}，SA_{L+2}，・・・には、メモリセル$MC_{L,1,J}$，$MC_{L,2,J}$，$MC_{L+1,1,J}$，$MC_{L+1,2,J}$，$MC_{L+2,1,J}$，$MC_{L+2,2,J}$，・・・のデータがラッチされる。

[ステップ－４２０]

その後、READ コマンドがコマンドデコーダ１０に入力され、併せて、センスアンプSA_Lを指定するＣＡＳアドレスが入力される。このコマンド及びＣＡＳアドレスに従って、図示しないラインを経てセンスアンプSA_Lに指令が発せられ、セ

ンスアンプSA_Lにラッチされたデータは外部に出力される。

[ステップー４３０]

センスアンプSA_{L+1}，SA_{L+2}，・・・にメモリセル$MC_{L,1,J}$，$MC_{L,2,J}$，$MC_{L+1,1,J}$，$MC_{L+1,2,J}$，$MC_{L+2,1,J}$，$MC_{L+2,2,J}$，・・・のデータがラッチされていた場合には、次いで、NOPコマンドが入力されることによって、図示しないカウンタを用いて、これらのセンスアンプにラッチされたデータを順次バースト転送する。これらのセンスアンプと外部とのアクセスは、図示していないが、従来のシンクロナスＤＲＡＭ等と全く同様のアクセス方法とすればよい。

[ステップー４４０]

外部へのデータの出力完了後、RAS_INCコマンドが入力される。これによって、先ず、センスアンプSA_Lにラッチされたデータが指定アドレスのメモリセルMC_{L1j}，MC_{L2j}（具体的にはメモリセルMC_{L1J}，MC_{L2J}である）に再書き込みされる。

次いで、外部からアドレスを指定すること無く、サブメモリユニットSMU_Lを構成する他のメモリセルMC_{L1k}，MC_{L2k}（$k \neq J$）に記憶されたデータを読み出し、センスアンプSA_Lにラッチする。具体的には、プレート線アドレスカウンタ１２をインクリメントし、プレート線アドレスカウンタ１２の値と指定プレート線アドレスレジスタ１１の値をコンパレータ１４で比較し、もしも値が一致している場合には、動作を終了する。もしも値が不一致の場合には、プレート線アドレスカウンタ１２の値が値「M」を越えていないかを判断し、越えている場合には、プレート線アドレスカウンタ１２の値を「１」にリセットして、アドレスAD_jで指定されたメモリセルMC_{L1j}，MC_{L2j}（メモリセルMC_{L1k}，MC_{L2k}に相当する）を読み出し、センスアンプSA_Lにラッチする。尚、プレート線アドレスカウンタ１２をインクリメントするので、外部からメモリセルのアドレスを指定する必要は無い。

[ステップー４５０]

その後、[ステップー４２０]以降の動作が繰り返される。即ち、[ステップー

４２０］～［ステップ－４５０］の動作を、サブメモリユニットSMU_{L1}，SMU_{L2}を構成する全ての他のメモリセルMC_{L1k}，MC_{L2k}において、外部からアドレスを指定すること無く、行う。即ち、（Ｊ＋１）番目のメモリセル$MC_{L,1,J+1}$，$MC_{L,2,J+1}$、（Ｊ＋２）番目のメモリセル$MC_{L,1,J+2}$，$MC_{L,2,J+2}$、・・・、Ｍ番目のメモリセル$MC_{L,1,M}$，$MC_{L,2,M}$、１番目のメモリセル$MC_{L,1,1}$，$MC_{L,2,1}$、２番目のメモリセル$MC_{L,1,2}$，$MC_{L,2,2}$、・・・、（Ｊ－２）番目のメモリセル$MC_{L,1,J-2}$，$MC_{L,2,J-2}$、（Ｊ－１）番目のメモリセル$MC_{L,1,J-1}$，$MC_{L,2,J-1}$まで順次、データの読み出し及びデータの再書き込みを行う。実施例４においては、実施例２と異なり、センスアンプSA_Lにラッチされたデータが外部に出力される。

動作の終了においては、コンパレータ１４はユニットコントローラ１５にその旨を通知し、ユニットコントローラ１５は、ユニットデコーダ１６を不活性とし、ワード線ＷＬ及びプレート線PL_Nの全てを非選択状態に戻す。

以上のステップによって、任意のメモリセルに素早くアクセスでき、しかも、同一サブメモリユニットの他のメモリセルに記憶されたデータ全てを外部に出力でき、しかも、１回ずつ再書き込みを行うことができる。

（実施例５）

実施例５は、本発明の第２の態様に係る不揮発性メモリの駆動方法及び本発明の不揮発性メモリに関し、更に詳しくは、第２Ａの構成に係る不揮発性メモリの駆動方法に関する。図３に実施例５の不揮発性メモリの駆動方法の流れ図を示す。実施例５においては、図８に示した等価回路を有する不揮発性メモリを用いたが、図５あるいは図１０に示した等価回路を有する不揮発性メモリを用いることもできる。また、図１１に動作波形を示す。尚、図１１中、括弧内の数字は、以下に説明する工程の番号と対応している。

実施例５の不揮発性メモリの駆動方法にあっては、書き込むべきデータをセンスアンプSA_Lにラッチした後、外部から指定された指定アドレス（Ｊ。但し、１≦Ｊ≦Ｍである）のメモリセルMC_{L1J}，MC_{L2J}にデータを書き込む。そして、そ

の後、書き込むべきデータをセンスアンプにラッチし、次いで、外部からアドレスを指定すること無く、サブメモリユニットSMU_{L1}，SMU_{L2}を構成する他のメモリセルMC_{L1k}，MC_{L2k}にデータを書き込む。実施例５においては、サブメモリユニットSMU_{L1}，SMU_{L2}を構成する全てのメモリセルMC_{L1k}，MC_{L2k}にデータの書き込みが行われる。更には、サブメモリユニットSMU_{L1}，SMU_{L2}を構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次、即ち、（Ｊ＋１）番目のメモリセル$MC_{L,1,J+1}$，$MC_{L,2,J+1}$、（Ｊ＋２）番目のメモリセル$MC_{L,1,J+2}$，$MC_{L,2,J+2}$、・・・、Ｍ番目のメモリセル$MC_{L,1,M}$，$MC_{L,2,M}$、１番目のメモリセル$MC_{L,1,1}$，$MC_{L,2,1}$、２番目のメモリセル$MC_{L,1,2}$，$MC_{L,2,2}$、・・・、（Ｊ－２）番目のメモリセル$MC_{L,1,J-2}$，$MC_{L,2,J-2}$、（Ｊ－１）番目のメモリセル$MC_{L,1,J-1}$，$MC_{L,2,J-1}$まで順次、データの書き込みを行う。

以下、図３、図８、及び、動作波形を示す図１１を参照して、実施例５の駆動方法を説明する。

［ステップ－５００］

先ず、ACTコマンドがコマンドデコーダ１０に入力され、併せて、サブメモリユニット及びメモリセルを指定するアドレス（ＲＡＳアドレス）が入力される。このＲＡＳアドレスは、図示しないシフトレジスタによって上位成分と下位成分に分離され、メモリセルMC_{L1J}，MC_{L2J}のアドレスAD_Jを指定する上位成分は、指定プレート線アドレスレジスタ１１及びプレート線アドレスカウンタ１２にラッチされる。一方、サブメモリユニットSMU_{L1}，SMU_{L2}のアドレスを指定する下位成分は、ユニットアドレスレジスタ１３にラッチされる。ここで、指定プレート線アドレスレジスタ１１にラッチされたメモリセルMC_{L1J}，MC_{L2J}のアドレスを指定する上位成分をアドレス「Ｊ」、プレート線アドレスカウンタ１２にラッチされたメモリセルMC_{L1J}，MC_{L2J}のアドレスを指定する上位成分をアドレス「ｊ」（＝Ｊ）、ユニットアドレスレジスタ１３にラッチされたサブメモリユニットSMU_{L1}，SMU_{L2}のアドレスを指定する下位成分をアドレス「Ｌ」とする。そして、

アドレスAD_jで指定されたメモリセルMC_{L1j}，MC_{L2j}に記憶されたデータを読み出し、センスアンプSA_Lにラッチする。

［ステップ－５１０］

更には、WRITEコマンドが入力されたコマンドデコーダ１０は、図示しないセンスアンプ制御回路に信号を送り、外部からのデータをセンスアンプSA_Lにラッチする処理を実行する。即ち、センスアンプSA_Lにおけるデータの書き換えを行う。

尚、以上のステップにおいては、同一ワード線及び同一プレート線に接続されたサブメモリユニット及びメモリセルが複数選択されてもよい。即ち、先ず、ACTコマンドで複数のセンスアンプのデータがラッチされ、WRITEコマンドの後のNOPコマンドで各センスアンプにバースト書き込みを行ってもよい。

［ステップ－５２０］

その後、RAS_INCコマンドがコマンドデコーダ１０に入力され、このコマンドに従って、コマンドデコーダ１０からの信号を受け取ったユニットコントローラ１５は、ユニットデコーダ１６に信号を送り、ユニットデコーダ１６を活性化させる。加えて、ユニットアドレスレジスタ１３からの信号を受け取ったユニットデコーダ１６はサブメモリユニットSMU_{L1}，SMU_{L2}を選択する。一方、プレート線アドレスカウンタ１２からの信号は、プレート線デコーダ／ドライバPDに送られる。以上によって、ワード線デコーダ／ドライバWD及びプレート線デコーダ／ドライバPDが活性化され、しかも、プレート線デコーダ／ドライバPDによってプレート線PL_Jが選択される。そして、センスアンプSA_Lにラッチされていたデータが、メモリセルMC_{L1J}，MC_{L2J}に書き込まれる。

［ステップ－５３０］

次いで、外部からアドレスを指定すること無く、サブメモリユニットSMU_{L1}，SMU_{L2}を構成する他のメモリセルMC_{L1j}，MC_{L2j}（具体的には、MC_{L1k}，MC_{L2k}である）にデータを書き込む。具体的には、プレート線アドレスカウンタ１２をインクリメントし、プレート線アドレスカウンタ１２の値と指定プレート線アド

レスレジスタ１１の値をコンパレータ１４で比較し、もしも値が一致している場合には、動作を終了する。もしも値が不一致の場合には、プレート線アドレスカウンタ１２の値が値「M」を越えていないかを判断し、越えている場合には、プレート線アドレスカウンタ１２の値を「１」にリセットする。そして、メモリセルからのデータをセンスアンプSA_Lにラッチする。即ち、一旦、センスアンプにデータを読み出してから、メモリセルへのデータの書き込みを行う。

この［ステップ－５１０］～［ステップ－５３０］の動作を、サブメモリユニットSMU_{L1}, SMU_{L2}を構成する全ての他のメモリセルMC_{L1k}, MC_{L2k}において、外部からアドレスを指定すること無く、行う。即ち、（Ｊ＋１）番目のメモリセル$MC_{L,1,J+1}$, $MC_{L,2,J+1}$、（Ｊ＋２）番目のメモリセル$MC_{L,1,J+2}$, $MC_{L,2,J+2}$、・・・、M番目のメモリセル$MC_{L,1,M}$, $MC_{L,2,M}$、１番目のメモリセル$MC_{L,1,1}$, $MC_{L,2,1}$、２番目のメモリセル$MC_{L,1,2}$, $MC_{L,2,2}$、・・・、（Ｊ－２）番目のメモリセル$MC_{L,1,J-2}$, $MC_{L,2,J-2}$、（Ｊ－１）番目のメモリセル$MC_{L,1,J-1}$, $MC_{L,2,J-1}$まで順次、データの書き込みを行う。

動作の終了においては、コンパレータ１４はユニットコントローラ１５にその旨を通知し、ユニットコントローラ１５は、ユニットデコーダ１６を不活性とし、ワード線ＷＬ及びプレート線PL_Mの全てを非選択状態に戻す。

以上のステップによって、任意のメモリセルに素早くアクセスでき、しかも、同一サブメモリユニットの他のメモリセルにもデータの書き込みを行うことができる。

以下、実施例５の不揮発性メモリにおけるデータ書き込み動作を、動作波形を示す図１１を参照して説明する。ここで、一例として、プレート線PL_1に接続されたメモリセルMC_{L11}, MC_{L21}のそれぞれに、データ「１」、データ「０」を書き込みするものとする。尚、動作波形を示す図面において、括弧内の数字は、以下に説明する工程の番号と対応している。

（１）待機状態では、ワード線、全プレート線は０ボルトとなっている。また、

ビット線BL_{L1}，BL_{L2}は0ボルトにイコライズされている。尚、センスアンプSA_Lには、書き込むべきデータが保持されている。

（2）[ステップー520]におけるデータ書き込みの開始時、ビット線BL_{L1}に高電位V_{BL-H}（$=V_{cc}$）が印加され、ビット線BL_{L2}に低電位V_{BL-L}（＝0ボルト）が印加される。ここで、V_{cc}は、電源電圧である。

（3）次いで、ワード線WLをハイレベルとすることによって、選択用トランジスタTR_{L1}，TR_{L2}をオン状態とする。併せて、選択プレート線PL_1に高電位V_{PL-H}（$=V_{cc}$）を印加し、非選択プレート線PL_k（k＝2，3，・・・8）には中間電位V_{PL-M}[＝（1／2）V_{cc}]を印加する。これによって、メモリセルMC_{L21}においては、選択プレート線PL_1の電位が高電位V_{PL-H}であり、ビット線BL_{L2}の電位が低電位V_{BL-L}であるが故に、データ「0」が書き込まれる。

（4）その後、選択プレート線PL_1を低電位V_{PL-L}（＝0ボルト）とする。これによって、メモリセルMC_{L11}においては、選択プレート線PL_1の電位が低電位V_{PL-L}であり、ビット線BL_{L1}の電位が高電位V_{BL-H}であるが故に、データ「1」が書き込まれる。

（5）次いで、ワード線WLをローレベルとすることによって、選択用トランジスタTR_{L1}，TR_{L2}をオフ状態とした後、ビット線BL_{L1}を0ボルトまで放電し、非選択プレート線PL_k（k＝2，3・・・8）を0ボルトまで放電する。

（6）以降、メモリセル（MC_{L1m}，MC_{L2m}）（m＝2，3・・・8）に対して、順次、工程（1）～（5）の操作を行う。

（実施例6）

実施例6も、本発明の第2の態様に係る不揮発性メモリの駆動方法及び本発明の不揮発性メモリに関し、更に詳しくは、第2Bの構成に係る不揮発性メモリの駆動方法に関する。図4に実施例6の不揮発性メモリの駆動方法の流れ図を示す。実施例6においても、図8に示した等価回路を有する不揮発性メモリを用いたが、図5あるいは図10に示した等価回路を有する不揮発性メモリを用いることもで

きる。

実施例６の不揮発性メモリの駆動方法においては、センスアンプSA_Lにラッチされたデータを指定アドレスのメモリセルMC_{L1J}，MC_{L2J}に書き込んだ後、外部からアドレスを指定すること無く、サブメモリユニットを構成する他のメモリセルMC_{L1k}，MC_{L2k}に記憶されたデータを読み出し、センスアンプSA_Lにラッチした後、センスアンプSA_Lにラッチされたデータを他のメモリセルMC_{L1k}，MC_{L2k}に再書き込みする。実施例６においては、指定アドレスのメモリセルMC_{L1J}，MC_{L2J}にのみデータが書き込まれ、他のメモリセルMC_{L1k}，MC_{L2k}においては、データの読み出し及び再書き込みが行われる。尚、サブメモリユニットSMU_{L1}，SMU_{L2}を構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次、即ち、（Ｊ＋１）番目のメモリセル$MC_{L,1,J+1}$，$MC_{L,2,J+1}$、（Ｊ＋２）番目のメモリセル$MC_{L,1,J+2}$，$MC_{L,2,J+2}$、・・・、M番目のメモリセル$MC_{L,1,M}$，$MC_{L,2,M}$、１番目のメモリセル$MC_{L,1,1}$，$MC_{L,2,1}$、２番目のメモリセル$MC_{L,1,2}$，$MC_{L,2,2}$、・・・、（Ｊ－２）番目のメモリセル$MC_{L,1,J-2}$，$MC_{L,2,J-2}$、（Ｊ－１）番目のメモリセル$MC_{L,1,J-1}$，$MC_{L,2,J-1}$まで順次、データの読み出し及び再書き込みを行う。

実施例６の不揮発性メモリの駆動方法は、図４に流れ図を示すように、実質的に、実施例５の［ステップ－５００］、［ステップ－５１０］、実施例１の［ステップ－１４０］を順次、実行すればよいので、詳細な説明は省略する。

以上、本発明を、実施例に基づき説明したが、本発明はこれらに限定されるものではない。実施例にて説明した不揮発性メモリの構造、使用した材料、各種の形成条件、回路構成、駆動方法等は例示であり、適宜変更することができる。

実施例１～実施例４にて説明した不揮発性メモリの駆動方法においては、第１Ａの構成と第１Ｂの構成を組み合わせることもできる。これによって、柔軟で自由度の高い不揮発性メモリの駆動を行うことが可能となる。即ち、（Ｊ＋１）番目のメモリセルMC_{J+1}から所定の数のメモリセルまで第１Ｂの構成の駆動方法を実

行した後、残りの他のメモリセルについては第１Ａの構成の駆動方法を実行してもよい。具体的には、RAS_INC コマンドを所定あるいは所望の回数、実行した後に、残りの他のメモリセルについては RESTORE コマンドを実行してもよい。あるいは又、（Ｊ＋１）番目のメモリセルMC_{J+1}から所定の数のメモリセルまで第１Ａの構成の駆動方法を実行した後、残りの他のメモリセルについては第１Ｂの構成の駆動方法を実行してもよい。具体的には、RESTORE コマンドを中途で中止し、残りの他のメモリセルについては RAS_INC コマンドを実行してもよい。

また、実施例５及び実施例６にて説明した不揮発性メモリの駆動方法においては、第２Ａの構成と第２Ｂの構成を組み合わせることもできる。これによって、柔軟で自由度の高い不揮発性メモリの駆動を行うことが可能となる。即ち、（Ｊ＋１）番目のメモリセルMC_{J+1}から所定の数のメモリセルまで第２Ｂの構成の駆動方法を実行した後、残りの他のメモリセルについては第２Ａの構成の駆動方法を実行してもよい。具体的には、RAS_INC コマンドを所定あるいは所望の回数、実行した後に、残りの他のメモリセルについては RESTORE コマンドを実行してもよい。あるいは又、（Ｊ＋１）番目のメモリセルMC_{J+1}から所定の数のメモリセルまで第２Ａの構成の駆動方法を実行した後、残りの他のメモリセルについては第２Ｂの構成の駆動方法を実行してもよい。具体的には、RESTORE コマンドを途中で中止し、残りの他のメモリセルについては RAS_INC コマンドを実行してもよい。

以下に、不揮発性メモリの構造の各種の変形例を説明するが、これらの不揮発性メモリの各種の駆動方法は、各実施例にて説明したと同様の駆動方法とすることができるので、詳細な説明は省略する。また、図１２～図２５においては、サブメモリユニットのアドレスを指定する添字「Ｌ」の表示を省略した。更には、図１３、図１４、図１６、図１７、図２２、図２５においては、コマンドデコーダ１０等の図示を省略した。

例えば、図８に示した等価回路を有する不揮発性メモリにおいて、第１のメモリユニットと、この不揮発性メモリと第１のビット線BL_{L1}の延在する方向に隣接

した不揮発性メモリを構成する第１のメモリユニットとを層間絶縁層３６を介して積層し、不揮発性メモリを構成する第２のメモリユニットと、この不揮発性メモリと第２のビット線BL_{L2}の延在する方向に隣接した不揮発性メモリを構成する第２のメモリユニットとを層間絶縁層３６を介して積層した構成を有する。かかる不揮発性メモリの模式的な一部断面図を図１２に示す。但し、図１２においては、第１のメモリユニットのみを図示した。第２のメモリユニットは、図１２の紙面垂直方向に隣接している。尚、第１のビット線BL_{L1}の延在する方向に隣接した不揮発性メモリを構成する第１のメモリユニットの構成要素に関する参照番号には「'」を付した。

より具体的には、図１２に示す不揮発性メモリにおいては、ｐ型のシリコン半導体基板２０に形成されたＬＯＣＯＳ構造、シャロートレンチ構造、あるいはＬＯＣＯＳ構造とシャロートレンチ構造の組合せから成る素子分離領域２１に囲まれた活性領域に、ＭＯＳ型ＦＥＴから成る選択用トランジスタTR_1, TR'_1が形成されている。選択用トランジスタTR_1, TR'_1は、シリコン半導体基板２０の表面に形成された、例えばシリコン酸化膜から成るゲート絶縁膜２２、ゲート絶縁膜２２上に形成されたゲート電極２３（ワード線WL_1, WL'_1を兼ねている）、及び、シリコン半導体基板２０の活性領域に形成され、n^+型不純物を含有するソース／ドレイン領域２４から構成されている。

そして、全面に形成された下層絶縁層上にビット線BL_1が形成され、ビット線BL_1は、下層絶縁層に形成された接続孔（コンタクトホール）２５を介して、選択用トランジスタTR_1, TR'_1の一方のソース／ドレイン領域２４に接続されている。また、ビット線BL_1を含む下層絶縁層上には上層絶縁層が形成されている。尚、図面においては、下層絶縁層及び上層絶縁層を纏めて絶縁層２６で表した。また、ビット線BL_1は、後述する接続孔（コンタクトホール）２８と接触しないように、図１２の左右方向に延びている。

絶縁層２６上には第１の電極（下部電極）３１が形成され、第１の電極３１上

に強誘電体層３２が形成され、強誘電体層３２上に第２の電極（上部電極）３３が形成され、これらによってメモリセルMC_{1M}が構成されている。第１の電極３１は、メモリセルMC_{1M}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極３１は、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して選択用トランジスタTR_1の他方のソース／ドレイン領域２４に接続されている。尚、共通の第１の電極３１を、共通ノードCN_1で示す。強誘電体層３２は、第２の電極３３と略同じパターンにて形成されている。

更に、メモリセルMC_{1M}及び絶縁層２６上には、層間絶縁層３６が形成されている。そして、層間絶縁層３６上には第１の電極（下部電極）３１’が形成され、第１の電極３１’上に強誘電体層３２’が形成され、強誘電体層３２’上に第２の電極（上部電極）３３’が形成され、これらによってメモリセルMC'_{1M}が構成されている。第１の電極３１’は、メモリセルMC'_{1M}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極３１’は、層間絶縁層３６に形成された開口部３７内に設けられた接続孔３８、絶縁層２６上に形成されたパッド部３５、及び、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して、選択用トランジスタTR'_1の他方のソース／ドレイン領域２４に接続されている。尚、共通の第１の電極３１’を、共通ノードCN'_1で示す。強誘電体層３２’は、第２の電極３３’と略同じパターンにて形成されている。更には、メモリセルMC'_{1M}及び層間絶縁層３６上には、上部絶縁層４６Ａが形成されている。

ワード線WL_1，WL'_1は、図１２の紙面垂直方向に延びている。また、第２の電極３３，３３’は、図１２の紙面垂直方向に隣接するメモリセルMC_{2m}，MC'_{2m}と共通であり、プレート線PL_mを兼ねている。また、メモリセルMC_{1M}とメモリセルMC'_{1M}とは、垂直方向に揃っている。このような構造にすることによって、メモリセルの占有面積を小さくすることができ、集積度の向上を図ることができる。

図８及び図１０に示した等価回路を有する不揮発性メモリの変形例の等価回路

図を図１３及び図１４に示し、かかる不揮発性メモリの模式的な一部断面図を図１５に示す。

図１３に等価回路図を示す不揮発性メモリにおいては、サブメモリユニットSMU_{11}，SMU_{21}に接続された選択用トランジスタTR_{11}，TR_{21}のゲート電極のそれぞれは、ワード線WL_1に接続され、サブメモリユニットSMU_{12}，SMU_{22}に接続された選択用トランジスタTR_{12}，TR_{22}のゲート電極のそれぞれは、ワード線WL_2に接続されている。一方、図１４に等価回路図を示す不揮発性メモリにおいては、サブメモリユニットSMU_{11}，SMU_{12}，SMU_{21}，SMU_{22}に接続された選択用トランジスタTR_{11}，TR_{12}，TR_{21}，TR_{22}のゲート電極のそれぞれは、ワード線WL_1，WL_2，WL_3，WL_4に接続されている。

この不揮発性メモリは、

（Ａ－１）第１のビット線BL_1と、

（Ｂ－１）Ｎ個（但し、Ｎ≧１であり、図示した例では、具体的には、Ｎ＝２）の第１の選択用トランジスタTR_{1N}と、

（Ｃ－１）それぞれがＭ個（但し、Ｍ≧２であり、図示した例では、Ｍ＝８）の第１のメモリセルMC_{1nM}（ｎ＝１，２・・・Ｎ）から構成された、Ｎ個（但し、Ｎ≧２であり、図示した例では、Ｎ＝２）の第１のサブメモリユニットSMU_{1N}と、

（Ｄ－１）Ｎ個のサブメモリユニットSMU_{1N}のそれぞれを構成する第１のメモリセルMC_{1nm}（ｍ＝１，２・・・Ｍ）で共通とされたＭ本のプレート線PL_m、から成る第１のメモリユニットMU_1、並びに、

（Ａ－２）第２のビット線BL_2と、

（Ｂ－２）Ｎ個の第２の選択用トランジスタTR_{2N}と、

（Ｃ－２）それぞれがＭ個の第２のメモリセルMC_{2nM}から構成された、Ｎ個の第２のサブメモリユニットSMU_{2N}と、

（Ｄ－２）Ｎ個のサブメモリユニットSMU_{2N}のそれぞれを構成する第２のメモ

リセルMC_{2nm}で共通とされ、且つ、前記第１のメモリユニットMU_1を構成するＭ本のプレート線PL_mと共通のＭ本のプレート線PL_m、

から成る第２のメモリユニットMU_2から構成されている。

尚、図１５の模式的な一部断面図において、これらの第２のビット線BL_2、第２の選択用トランジスタTR_{21}，TR_{22}及び第２のメモリユニットMU_2は、第１のビット線BL_1、第１の選択用トランジスタTR_{11}，TR_{12}及び第１のメモリユニットMU_1と、紙面垂直方向に隣接している。

そして、各メモリセルMC_{1nm}(ｍ＝１，２・・・Ｍであり、ｎ＝１，２・・・Ｎであり、図示した例では、ｍ＝１，２，・・・８、ｎ＝１，２）は、第１の電極（下部電極）３１，４１と、強誘電体層３２，４２と、第２の電極（上部電極）３３，４３とから成る。そして、第１のメモリユニットMU_1において、第ｎ番目（但し、ｎ＝１，２・・Ｎ）の第１のサブメモリユニットSMU_{1n}を構成する第１のメモリセルMC_{1nm}の第１の電極３１，４１は、第ｎ番目の第１のサブメモリユニットSMU_{1n}において共通であり、該共通の第１の電極３１，４１（共通ノードCN_{1n}と呼ぶ場合がある）は、第ｎ番目の第１の選択用トランジスタTR_{1n}を介して第１のビット線BL_1に接続され、第２の電極３３，４３は共通のプレート線PL_mに接続されている。一方、第２のメモリユニットMU_2において、第ｎ番目の第２のサブメモリユニットSMU_{2n}を構成する第２のメモリセルMC_{2nm}の第１の電極３１，４１は、第ｎ番目の第２のサブメモリユニットSMU_{2n}において共通であり、該共通の第１の電極３１，４１（共通ノードCN_{2n}と呼ぶ場合がある）は、第ｎ番目の第２の選択用トランジスタTR_{2n}を介して第２のビット線BL_2に接続され、第２の電極３３，４３は共通のプレート線PL_mに接続されている。

尚、不揮発性メモリのメモリユニットを構成するメモリセルの数は８個に限定されず、一般には、２×Ｍ個（但し、Ｍ＝１，２，３・・・）とすることができるが、例えば、２のべき数（２，４，８，１６，３２・・・）であることが好ましい。

メモリセルMC_{11m}，MC_{12m}，MC_{21m}，MC_{22m}におけるプレート線PL_mは共通化されており、プレート線デコーダ／ドライバPDに接続されている。更には、第1の選択用トランジスタTR_{11}のゲート電極と第2の選択用トランジスタTR_{21}のゲート電極はワード線WL_1に接続され、第1の選択用トランジスタTR_{12}のゲート電極と第2の選択用トランジスタTR_{22}のゲート電極はワード線WL_2に接続され、ワード線WL_1，WL_2は、ワード線デコーダ／ドライバWDに接続されている。また、第1のビット線BL_1及び第2のビット線BL_2は、センスアンプSAに接続されている。

図15に示した不揮発性メモリにおいては、第1のメモリユニットMU_1を構成する第1のサブメモリユニットSMU_{11}，SMU_{12}のそれぞれは層間絶縁層36を介して積層されており、第2のメモリユニットMU_2を構成する第2のサブメモリユニットSMU_{21}，SMU_{22}のそれぞれは層間絶縁層36を介して積層されている。即ち、第1のメモリユニットMU_1を構成する第1番目のサブメモリユニットSMU_{11}と第2番目のサブメモリユニットSMU_{12}とは層間絶縁層36を介して積層されている。更には、第2のメモリユニットMU_2を構成する第1番目のサブメモリユニットSMU_{21}と第2番目のサブメモリユニットSMU_{22}も層間絶縁層36を介して積層されている。これによって、不揮発性メモリの高集積化を図ることができる。

以下、図15に図示した不揮発性メモリの詳細を説明する。尚、以下の説明においては、第1のメモリユニットMU_1について説明するが、第2のメモリユニットMU_2も同様の構造である。

より具体的には、図15に示す不揮発性メモリにおいては、p型のシリコン半導体基板20に形成されたLOCOS構造、シャロートレンチ構造、あるいはLOCOS構造とシャロートレンチ構造の組合せから成る素子分離領域21に囲まれた活性領域に、MOS型FETから成る第1の選択用トランジスタTR_{11}，TR_{12}が形成されている。第1の選択用トランジスタTR_{11}，TR_{12}は、シリコン半導

体基板２０の表面に形成された、例えばシリコン酸化膜から成るゲート絶縁膜２２、ゲート絶縁膜２２上に形成されたゲート電極２３（ワード線WL_1，WL_2を兼ねている）、及び、シリコン半導体基板２０の活性領域に形成され、n^+型不純物を含有するソース／ドレイン領域２４から構成されている。

そして、全面に形成された下層絶縁層上にビット線BL_1が形成され、ビット線BL_1は、下層絶縁層に形成された接続孔（コンタクトホール）２５を介して、選択用トランジスタTR_{11}，TR_{12}の一方のソース／ドレイン領域２４に接続されている。また、ビット線BL_1を含む下層絶縁層上には上層絶縁層が形成されている。尚、図面においては、下層絶縁層及び上層絶縁層を纏めて絶縁層２６で表した。また、ビット線BL_1は、後述する接続孔（コンタクトホール）２８と接触しないように、図１５の左右方向に延びている。

絶縁層２６上には第１の電極（下部電極）３１が形成され、第１の電極３１上に強誘電体層３２が形成され、強誘電体層３２上に第２の電極（上部電極）３３が形成され、これらによってメモリセルMC_{11M}が構成され、更には、第１番目のサブメモリユニットSMU_{11}が構成されている。第１の電極３１は、メモリセルMC_{11M}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極３１は、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して選択用トランジスタTR_{11}の他方のソース／ドレイン領域２４に接続されている。尚、共通の第１の電極３１を、共通ノードCN_{11}で示す。強誘電体層３２は、第２の電極３３と略同じパターンにて形成されている。

更に、メモリセルMC_{11M}（サブメモリユニットSMU_{11}）及び絶縁層２６上には、層間絶縁層３６が形成されている。そして、層間絶縁層３６上には第１の電極（下部電極）４１が形成され、第１の電極４１上に強誘電体層４２が形成され、強誘電体層４２上に第２の電極（上部電極）４３が形成され、これらによってメモリセルMC_{12M}が構成され、更には、第２番目のサブメモリユニットSMU_{12}が構成されている。第１の電極４１は、メモリセルMC_{12M}に共通であり、ストライプ状の

平面形状を有する。そして、第１の電極４１は、層間絶縁層３６に形成された開口部３７内に設けられた接続孔３８、絶縁層２６上に形成されたパッド部３５、及び、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して、選択用トランジスタTR_{12}の他方のソース／ドレイン領域２４に接続されている。尚、共通の第１の電極４１を、共通ノードCN_{12}で示す。強誘電体層４２は、第２の電極４３と略同じパターンにて形成されている。更には、メモリセルMC_{12M}及び層間絶縁層３６上には、上部絶縁層４６Ａが形成されている。

ワード線WL_1，WL_2は、図１５の紙面垂直方向に延びている。また、第２の電極３３は、図１５の紙面垂直方向に隣接する第２のメモリユニットMU_2を構成する第１番目のサブメモリユニットSMU_{21}のメモリセルMC_{21m}と共通であり、プレート線PL_mを兼ねている。更には、第２の電極４３も、図１５の紙面垂直方向に隣接する第２のメモリユニットMU_2を構成する第２番目のサブメモリユニットSMU_{22}のメモリセルMC_{22m}と共通であり、プレート線PL_mを兼ねている。各メモリセルMC_{11m}，MC_{12m}，MC_{21m}，MC_{22m}で共有されたこれらの各プレート線PL_mは、図１５の紙面垂直方向に延びており、図示しない領域において接続孔を介して接続されている。また、メモリセルMC_{11M}とメモリセルMC_{12M}とは、垂直方向に揃っている。このような構造にすることによって、メモリセルの占有面積を小さくすることができ、集積度の向上を図ることができる。

図８及び図１０に示した等価回路を有する不揮発性メモリの別の変形例の等価回路図を図１６及び図１７に示し、かかる不揮発性メモリの模式的な一部断面図を図１８に示す。

図１６に等価回路図を示す不揮発性メモリにおいては、サブメモリユニットSMU_{11}，SMU_{21}に接続された選択用トランジスタTR_{11}，TR_{21}のゲート電極のそれぞれは、ワード線WL_1に接続され、サブメモリユニットSMU_{12}，SMU_{22}に接続された選択用トランジスタTR_{12}，TR_{22}のゲート電極のそれぞれは、ワード線WL_2に接続され、サブメモリユニットSMU_{13}，SMU_{23}に接続された選択用トラ

ンジスタTR_{13}，TR_{23}のゲート電極のそれぞれは、ワード線WL_3に接続され、サブメモリユニットSMU_{14}，SMU_{24}に接続された選択用トランジスタTR_{14}，TR_{24}のゲート電極のそれぞれは、ワード線WL_4に接続されている。一方、図１７に等価回路図を示す不揮発性メモリにおいては、サブメモリユニットSMU_{11}，SMU_{12}，SMU_{13}，SMU_{14}，SMU_{21}，SMU_{22}，SMU_{23}，SMU_{24}に接続された選択用トランジスタTR_{11}，TR_{12}，TR_{13}，TR_{14}，TR_{21}，TR_{22}，TR_{23}，TR_{24}のゲート電極のそれぞれは、ワード線WL_1，WL_2，WL_3，WL_4，WL_5，WL_6，WL_7，WL_8に接続されている。尚、図１６及び図１７においては、第１のビット線BL_1及び第２のビット線BL_2が接続されたセンスアンプＳＡの図示を省略した。

この不揮発性メモリにおいては、第１のメモリユニットMU_1を構成するサブメモリユニットSMU_{11}，SMU_{12}，SMU_{13}，SMU_{14}が４段に積層されている。また、図示しないが、第２のメモリユニットMU_2を構成するサブメモリユニットSMU_{21}，SMU_{22}，SMU_{23}，SMU_{24}も４段に積層されている。

この不揮発性メモリは、

（Ａ－１）第１のビット線BL_1と、

（Ｂ－１）Ｎ個（但し、Ｎ≧１であり、具体的には、Ｎ＝４）の第１の選択用トランジスタTR_{1N}（TR_{11}，TR_{12}，TR_{13}，TR_{14}）と、

（Ｃ－１）それぞれがＭ個（但し、Ｍ≧２であり、Ｍ＝８）の第１のメモリセルMC_{1nM}（MC_{11M}，MC_{12M}，MC_{13M}，MC_{14M}）から構成された、Ｎ個の第１のサブメモリユニットSMU_{1N}（SMU_{11}，SMU_{12}，SMU_{13}，SMU_{14}）と、

（Ｄ－１）Ｎ個のサブメモリユニットSMU_{1n}のそれぞれを構成する第１のメモリセルMC_{1nm}（MC_{11m}，MC_{12m}，MC_{12m}，MC_{14m}）で共通とされたＭ本のプレート線PL_m、

から成る第１のメモリユニットMU_1、並びに、

（Ａ－２）第２のビット線BL_2と、

（B－2）N個の第2の選択用トランジスタTR_{2N}（TR_{21}，TR_{22}，TR_{23}，TR_{24}）と、

（C－2）それぞれがM個の第2のメモリセルMC_{2nM}（MC_{21M}，MC_{22M}，MC_{23M}，MC_{24M}）から構成された、N個の第2のサブメモリユニットSMU_{2N}（SMU_{21}，SMU_{22}，SMU_{23}，SMU_{24}）と、

（D－2）N個のサブメモリユニットSMU_{2n}のそれぞれを構成する第2のメモリセルMC_{2nm}（MC_{21m}，MC_{22m}，MC_{22m}，MC_{24m}）で共通とされ、且つ、前記第1のメモリユニットを構成するM本のプレート線と共通のM本のプレート線PL_m、から成る第2のメモリユニットMU_2から構成されている。

即ち、この不揮発性メモリは、メモリユニットを構成するサブメモリユニットが4層構成である。尚、サブメモリユニットを構成するメモリセルの数は8個に限定されず、また、メモリユニットを構成するメモリセルの数は32個に限定されない。

そして、各メモリセルは、第1の電極と強誘電体層と第2の電極とから成る。具体的には、メモリセルMC_{11M}及びメモリセルMC_{21M}のそれぞれは、第1の電極31と、強誘電体層32と、第2の電極33とから成る。また、メモリセルMC_{12M}及びメモリセルMC_{22M}のそれぞれは、第1の電極41と、強誘電体層42と、第2の電極43とから成る。更には、メモリセルMC_{13M}及びメモリセルMC_{23M}のそれぞれは、第1の電極51と、強誘電体層52と、第2の電極53とから成る。また、メモリセルMC_{14M}及びメモリセルMC_{24M}のそれぞれは、第1の電極61と、強誘電体層62と、第2の電極63とから成る。

第1のメモリユニットMU_1において、第n番目（n＝1，2・・・N）の第1のサブメモリユニットSMU_{1n}を構成する第1のメモリセルMC_{1nm}の第1の電極31，41，51，61は、第n番目の第1のサブメモリユニットSMU_{1n}において共通であり、該共通の第1の電極31，41，51，61は、第n番目の第1の選択用トランジスタTR_{1n}を介して第1のビット線BL_1に接続され、第2の電

極３３，４３，５３，６３は共通のプレート線PL_mに接続されている。

第２のメモリユニットMU_2において、第ｎ番目の第２のサブメモリユニットSMU_{2n}を構成する第２のメモリセルMC_{2nm}の第１の電極３１，４１，５１，６１は、第ｎ番目の第２のサブメモリユニットSMU_{2n}において共通であり、該共通の第１の電極３１，４１，５１，６１は、第ｎ番目の第２の選択用トランジスタTR_{2n}を介して第２のビット線BL_2に接続され、第２の電極３３，４３，５３，６３は共通のプレート線PL_nに接続されている。

より具体的には、図１８に示す不揮発性メモリにおいては、ｐ型のシリコン半導体基板２０に形成されたＬＯＣＯＳ構造、シャロートレンチ構造、あるいはＬＯＣＯＳ構造とシャロートレンチ構造の組合せから成る素子分離領域２１に囲まれた活性領域に、ＭＯＳ型ＦＥＴから成る第１の選択用トランジスタTR_{11}，TR_{12}，TR_{13}，TR_{14}が形成されている。第１の選択用トランジスタTR_{11}，TR_{12}，TR_{13}，TR_{14}は、シリコン半導体基板２０の表面に形成された、例えばシリコン酸化膜から成るゲート絶縁膜２２、ゲート絶縁膜２２上に形成されたゲート電極２３（ワード線WL_1，WL_2，WL_3，WL_4を兼ねている）、及び、シリコン半導体基板２０の活性領域に形成され、n^+型不純物を含有するソース／ドレイン領域２４から構成されている。

そして、全面に形成された下層絶縁層上にビット線BL_1が形成され、ビット線BL_1は、下層絶縁層に形成された接続孔２５を介して、第１番目及び第２番目の第１の選択用トランジスタTR_{11}，TR_{12}の一方のソース／ドレイン領域２４、並びに、第３番目及び第４番目の第１の選択用トランジスタTR_{13}，TR_{14}の一方のソース／ドレイン領域２４に接続されている。また、ビット線BL_1を含む下層絶縁層上には上層絶縁層が形成されている。ビット線BL_1は、後述する接続孔２８と接触しないように、図１８の左右方向に延びている。

絶縁層２６上には第１の電極（下部電極）３１が形成され、第１の電極３１上に強誘電体層３２が形成され、強誘電体層３２上に第２の電極（上部電極）３３

が形成され、これらによってメモリセルMC_{11M}が構成され、サブメモリユニットSMC_{11}が構成されている。第１の電極３１は、サブメモリユニットSMC_{11}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極３１は、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して第１番目の選択用トランジスタTR_{11}の他方のソース／ドレイン領域２４に接続されている。尚、共通の第１の電極３１を、共通ノードCN_{11}で示す。強誘電体層３２は、第２の電極３３と略同じパターンにて形成されている。

更に、サブメモリユニットSMC_{11}及び絶縁層２６上には、第１の層間絶縁層３６が形成されている。そして、第１の層間絶縁層３６上には第１の電極（下部電極）４１が形成され、第１の電極４１上に強誘電体層４２が形成され、強誘電体層４２上に第２の電極（上部電極）４３が形成され、これらによってメモリセルMC_{12M}、サブメモリユニットSMU_{12}が構成されている。第１の電極４１は、メモリセルMC_{12M}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極４１は、第１の層間絶縁層３６に形成された開口部３７内に設けられた接続孔３８、絶縁層２６上に形成されたパッド部３５、及び、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して、第２番目の選択用トランジスタTR_{12}の他方のソース／ドレイン領域２４に接続されている。尚、共通の第１の電極４１を、共通ノードCN_{12}で示す。強誘電体層４２は、第２の電極４３と略同じパターンにて形成されている。

更に、サブメモリユニットSMC_{12}及び第１の層間絶縁層３６上には、第２の層間絶縁層４６が形成されている。そして、第２の層間絶縁層４６上には第１の電極（下部電極）５１が形成され、第１の電極５１上に強誘電体層５２が形成され、強誘電体層５２上に第２の電極（上部電極）５３が形成され、これらによってメモリセルMC_{13M}、サブメモリユニットSMU_{13}が構成されている。第１の電極５１は、メモリセルMC_{13M}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極５１は、第２の層間絶縁層４６に形成された開口部４７内に設けられ

た接続孔４８、第１の層間絶縁層３６上に形成されたパッド部４５、第１の層間絶縁層３６に形成された開口部３７内に設けられた接続孔３８、絶縁層２６上に形成されたパッド部３５、及び、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して、第３番目の選択用トランジスタTR_{13}の他方のソース／ドレイン領域２４に接続されている。尚、共通の第１の電極５１を、共通ノードCN_{13}で示す。強誘電体層５２は、第２の電極５３と略同じパターンにて形成されている。

更に、サブメモリユニットSMC_{13}及び第２の層間絶縁層４６上には、第３の層間絶縁層５６が形成されている。そして、第３の層間絶縁層５６上には第１の電極（下部電極）６１が形成され、第１の電極６１上に強誘電体層６２が形成され、強誘電体層６２上に第２の電極（上部電極）６３が形成され、これらによってメモリセルMC_{14M}が構成され、サブメモリユニットSMU_{14}が構成されている。第１の電極６１は、メモリセルMC_{14M}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極６１は、第３の層間絶縁層５６に形成された開口部５７内に設けられた接続孔５８、第２の層間絶縁層４６上に形成されたパッド部５５、第２の層間絶縁層４６に形成された開口部４７内に設けられた接続孔４８、第１の層間絶縁層３６上に形成されたパッド部４５、第１の層間絶縁層３６に形成された開口部３７内に設けられた接続孔３８、絶縁層２６上に形成されたパッド部３５、及び、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して、第４番目の選択用トランジスタTR_{14}の他方のソース／ドレイン領域２４に接続されている。尚、共通の第１の電極６１を、共通ノードCN_{14}と呼ぶ場合がある。強誘電体層６２は、第２の電極６３と略同じパターンにて形成されている。更には、メモリセルMC_{14M}及び第３の層間絶縁層５６上には、上部絶縁層６６Ａが形成されている。

ワード線WL_1，WL_2，WL_3，WL_4は、図１８の紙面垂直方向に延びている。また、第２の電極３３は、図１８の紙面垂直方向に隣接するメモリセルMC_{21m}と

共通であり、プレート線PL_mを兼ねている。更には、第2の電極43，53，63も、図18の紙面垂直方向に隣接するメモリセルMC_{22m}，MC_{23m}，MC_{24m}と共通であり、プレート線PL_mを兼ねている。各メモリセルMC_{11m}，MC_{12m}，MC_{13m}，MC_{14m}，MC_{21m}，MC_{22m}，MC_{23m}，MC_{24m}で共有されたこれらの各プレート線PL_mは、図18の紙面垂直方向に延びており、図示しない領域において接続孔を介して接続されている。また、メモリセルMC_{11M}とメモリセルMC_{12M}とメモリセルMC_{13M}とメモリセルMC_{14M}は、垂直方向に揃っている。このような構造にすることによって、メモリセルの占有面積をより一層小さくすることができ、集積度のより一層の向上を図ることができる。

この不揮発性メモリにおいては、第1番目の選択用トランジスタTR_{11}，TR_{21}はワード線WL_1に接続されており、第2番目の選択用トランジスタTR_{12}，TR_{22}はワード線WL_2に接続されており、第3番目の選択用トランジスタTR_{13}，TR_{23}はワード線WL_3に接続されており、第4番目の選択用トランジスタTR_{14}，TR_{24}はワード線WL_4に接続されている。

そして、プレート線PL_1を共有したメモリセルMC_{11m}，MC_{21m}、プレート線PL_2を共有したメモリセルMC_{12m}，MC_{22m}、プレート線PL_3を共有したMC_{13m}，MC_{23m}、プレート線PL_4を共有したメモリセルMC_{14m}，MC_{24m}に相補的なデータを書き込むことで、それぞれに、1ビットを記憶し、1つのメモリユニット（アクセス単位ユニット）においては32ビットを記憶する（図16の等価回路図参照）。尚、第2の選択用トランジスタTR_{21}，TR_{22}，TR_{23}，TR_{24}の構造、メモリセルMC_{21m}，MC_{22m}，MC_{23m}，MC_{24m}の構造は、図18に示した構造と同じであり、図18の紙面垂直方向に隣接している。あるいは又、8つの選択用トランジスタTR_{11}～TR_{14}，TR_{21}～TR_{24}と、64個のメモリセルMC_{11m}～MC_{14m}，MC_{21m}～MC_{24m}によって、1つのメモリユニット（アクセス単位ユニット）が構成され、各メモリセルに1ビットを記憶し、メモリユニットにおいては64ビットを記憶する（図17の等価回路図参照）。

ワード線WL_1，WL_2，WL_3，WL_4はワード線デコーダ／ドライバWDに接続されている。また、ビット線BL_1，BL_2は、センスアンプ（図示せず）に接続されている。更には、プレート線PL_mは、プレート線デコーダ／ドライバPDに接続されている。

実際の不揮発性メモリにおいては、この３２ビットあるいは６４ビットを記憶する不揮発性メモリの集合がアクセス単位ユニットとしてアレイ状に配設されている。

図１８に示した不揮発性メモリの変形例の模式的な一部断面図を図１９に示す。

図１９に示す不揮発性メモリが、図１８に示した不揮発性メモリと異なる点は、第１番目のサブメモリユニットSMU_{11}のメモリセルMC_{11m}と第２番目のサブメモリユニットSMU_{12}のメモリセルMC_{12m}で第２の電極（プレート線）が共通とされ、第３番目のサブメモリユニットSMU_{13}のメモリセルMC_{13m}と第４番目のサブメモリユニットSMU_{14}のメモリセルMC_{14m}で第２の電極（プレート線）が共通とされている点にある。また、第１番目のサブメモリユニットSMU_{21}のメモリセルMC_{21m}と第２番目のサブメモリユニットSMU_{22}のメモリセルMC_{22m}で第２の電極（プレート線）が共通とされ、第３番目のサブメモリユニットSMU_{23}のメモリセルMC_{23m}と第４番目のサブメモリユニットSMU_{24}のメモリセルMC_{24m}で第２の電極（プレート線）が共通とされている。

図１９に模式的な一部断面図を示す不揮発性メモリは、

① 第１の電極３１Ａと強誘電体層３２Ａと第２の電極３３とから成るメモリセルMC_{11m}（m＝１，２，３・・・７，８であり、具体的には、MC_{111}，MC_{112}，MC_{113}・・・MC_{117}，MC_{118}であり、サブメモリユニットSMU_{11}である）、

② 第１の電極３１Ｂと強誘電体層３２Ｂと第２の電極３３とから成るメモリセルMC_{12m}（m＝１，２，３・・・７，８であり、具体的には、MC_{121}，MC_{122}，MC_{123}・・・MC_{127}，MC_{128}であり、サブメモリユニットSMU_{12}である）、

③ 第１の電極４１Ａと強誘電体層４２Ａと第２の電極４３とから成るメモリセ

ルMC$_{13m}$（m＝１，２，３・・・７，８であり、具体的には、MC$_{131}$，MC$_{132}$，MC$_{133}$・・・MC$_{137}$，MC$_{138}$であり、サブメモリユニットSMU$_{13}$である）、並びに、

④　第１の電極４１Ｂと強誘電体層４２Ｂと第２の電極４３とから成るメモリセルMC$_{14m}$（m＝１，２，３・・・７，８であり、具体的には、MC$_{141}$，MC$_{142}$，MC$_{143}$・・・MC$_{147}$，MC$_{148}$であり、サブメモリユニットSMU$_{14}$である）、

から構成されている。

即ち、図１９に示す不揮発性メモリは、各メモリユニットを構成するサブメモリユニットが４層構成である。尚、メモリユニットを構成するメモリセルの数は８個に限定されず、また、不揮発性メモリを構成するメモリセルの数は３２個に限定されない。

選択用トランジスタTR$_{11}$，TR$_{12}$、TR$_{13}$，TR$_{14}$，TR$_{21}$，TR$_{22}$，TR$_{23}$，TR$_{24}$の構造は、図１８に示した不揮発性メモリの構造と同じであるが故に、詳細な説明は省略する。

そして、絶縁層２６上には第１の電極３１Ａが形成され、第１の電極３１Ａ上に強誘電体層３２Ａが形成され、強誘電体層３２Ａ上に第２の電極３３が形成され、これらによってメモリセルMC$_{11M}$が構成されている。第１の電極３１Ａは、メモリセルMC$_{11M}$に共通であり、ストライプ状の平面形状を有する。そして、第１の電極３１Ａは、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して選択用トランジスタTR$_{11}$の他方のソース／ドレイン領域２４に接続されている。強誘電体層３２Ａは、第２の電極３３と略同じパターンにて形成されている。

更に、メモリセルMC$_{11M}$及び絶縁層２６上には、強誘電体層３２Ｂが形成され、その上には第１の電極３１Ｂが形成されている。そして、第１の電極３１Ｂ、強誘電体層３２Ｂ及び第２の電極３３によってメモリセルMC$_{12M}$が構成されている。第１の電極３１Ｂは、メモリセルMC$_{12M}$に共通であり、ストライプ状の平面形状を有する。そして、第１の電極３１Ｂは、絶縁層２６に形成された開口部２７内

に設けられた接続孔２８を介して、選択用トランジスタTR_{12}の他方のソース／ドレイン領域２４に接続されている。強誘電体層３２Ｂは、第１の電極３１Ｂと略同じパターンにて形成されている。

更に、メモリセルMC_{12M}及び絶縁層２６上には、層間絶縁層３６が形成されている。そして、層間絶縁層３６上には第１の電極４１Ａが形成され、第１の電極４１Ａ上に強誘電体層４２Ａが形成され、強誘電体層４２Ａ上に第２の電極４３が形成され、これらによってメモリセルMC_{13M}が構成されている。第１の電極４１Ａは、メモリセルMC_{13M}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極４１Ａは、層間絶縁層３６に形成された開口部３７内に設けられた接続孔３８、絶縁層２６上に形成されたパッド部３５、及び、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して、選択用トランジスタTR_{13}の他方のソース／ドレイン領域２４に接続されている。強誘電体層４２Ａは、第２の電極４３と略同じパターンにて形成されている。

更に、メモリセルMC_{13M}及び層間絶縁層３６上には、強誘電体層４２Ｂが形成され、その上には第１の電極４１Ｂが形成されている。そして、第１の電極４１Ｂ、強誘電体層４２Ｂ及び第２の電極４３によってメモリセルMC_{14M}が構成されている。第１の電極４１Ｂは、メモリセルMC_{14M}に共通であり、ストライプ状の平面形状を有する。そして、第１の電極４１Ｂは、層間絶縁層３６に形成された開口部３７内に設けられた接続孔３８、絶縁層２６上に形成されたパッド部３５、及び、絶縁層２６に形成された開口部２７内に設けられた接続孔２８を介して、選択用トランジスタTR_{14}の他方のソース／ドレイン領域２４に接続されている。強誘電体層４２Ｂは、第１の電極４１Ｂと略同じパターンにて形成されている。更には、メモリセルMC_{14M}及び層間絶縁層３６上には、上部絶縁層４６Ａが形成されている。

メモリセルMC_{11M}とメモリセルMC_{12M}とメモリセルMC_{13M}とメモリセルMC_{14M}は、垂直方向に揃っている。このような構造にすることによって、メモリセルの

占有面積をより一層小さくすることができ、集積度のより一層の向上を図ることができる。

尚、メモリユニットMU_2の構成も同様とすることができる。図１９に示した不揮発性メモリの等価回路図は図１６あるいは図１７に示したと同様である。更には、ワード線WL_1～WL_4、あるいは、ワード線WL_1～WL_8、プレート線PL_mの構造は、図１８に示した不揮発性メモリと実質的に同様とすることができるので、詳細な説明は省略する。

また、例えば、図２０に示すように、図１２に示した不揮発性メモリの変形例として、第１の電極３１を上部電極とし、第２の電極３３を下部電極とすることもできる。このような構造は、他の不揮発性メモリにも適用することができる。尚、図２０中、参照番号８０Ａ，８０Ｂは、それぞれ、第１の層間絶縁層の下層及び上層を示し、参照番号９０Ａ，９０Ｂは、それぞれ、上部絶縁層の下層及び上層を示す。

図１３あるいは図１４に等価回路図を示した不揮発性メモリの変形例を、図２１の模式的な一部断面図に示す。この不揮発性メモリにおいては、第１のメモリユニットMU_1を構成する第１のサブメモリユニットSMU_{11}(メモリセルMC_{11M})，SMU_{12}（メモリセルMC_{12M}）及び第２のメモリユニットMU_2を構成する第２のサブメモリユニットSMU_{21}（メモリセルMC_{21M}），SMU_{22}（メモリセルMC_{22M}）のそれぞれが、層間絶縁層３６，４６，５６を介して積層されている。この点を除き、この不揮発性メモリの構造は、図１５に示した不揮発性メモリの構造と同様とすることができるので、詳細な説明は省略する。尚、このような構造は、他の不揮発性メモリにも適用することができる。

更には、所謂ゲインセルタイプの強誘電体型不揮発性半導体メモリとすることもできる。ゲインセルタイプの不揮発性メモリの等価回路図を図２２に示す。ゲインセルタイプの不揮発性メモリは、ビット線ＢＬと、書込用トランジスタTR_Wと、M個（但し、M≧２であり、例えば、M＝８）のメモリセルMC_Mから構成さ

れたサブメモリユニットＳＭＵと、Ｍ本のプレート線$ＰＬ_{M}$から成るメモリユニットＭＵから構成されている。そして、各メモリセル$ＭＣ_{M}$は、第１の電極３１と強誘電体層３２と第２の電極３３とから成り、サブメモリユニットＳＭＵを構成するメモリセル$ＭＣ_{M}$の第１の電極３１は、サブメモリユニットＳＭＵにおいて共通であり、この共通の第１の電極（以下、共通ノードＣＮと呼ぶ場合がある）は、書込用トランジスタ$ＴＲ_{W}$を介してビット線ＢＬに接続され、第２の電極３３はプレート線$ＰＬ_{m}$に接続されている。尚、不揮発性メモリのサブメモリユニットＳＭＵを構成するメモリセルの数（Ｍ）は８個に限定されず、一般には、Ｍ≧２を満足すればよく、２のべき数（Ｍ＝２，４，８，１６，３２・・・）とすることが好ましい。

更には、この不揮発性メモリは、検出用トランジスタ$ＴＲ_{D}$、及び、読出用トランジスタ$ＴＲ_{R}$を備えている。そして、検出用トランジスタ$ＴＲ_{D}$の一端は所定の電位$Ｖ_{cc}$を有する配線（例えば、不純物層から構成された電源線）に接続され、他端は読出用トランジスタ$ＴＲ_{R}$を介してビット線ＢＬに接続され、各メモリセル$ＭＣ_{m}$に記憶されたデータの読み出し時、読出用トランジスタ$ＴＲ_{R}$が導通状態とされ、各メモリセル$ＭＣ_{m}$に記憶されたデータに基づき共通の第１の電極（共通ノードＣＮ）に生じた電位により、検出用トランジスタ$ＴＲ_{D}$の動作が制御される。書込用トランジスタ$ＴＲ_{W}$と検出用トランジスタ$ＴＲ_{D}$と読出用トランジスタ$ＴＲ_{R}$によって選択用トランジスタが構成される。

具体的には、各種のトランジスタはＭＯＳ型ＦＥＴから構成されており、書込用トランジスタ$ＴＲ_{W}$の一方のソース／ドレイン領域はビット線ＢＬに接続され、他方のソース／ドレイン領域は、共通の第１の電極（共通ノードＣＮ）に接続されている。また、検出用トランジスタ$ＴＲ_{D}$の一方のソース／ドレイン領域は、所定の電位$Ｖ_{cc}$を有する配線に接続され、他方のソース／ドレイン領域は、読出用トランジスタ$ＴＲ_{R}$の一方のソース／ドレイン領域に接続されている。より具体的には、検出用トランジスタ$ＴＲ_{D}$の他方のソース／ドレイン領域と読出用トランジス

タTR_Rの一方のソース／ドレイン領域とは、１つのソース／ドレイン領域を占めている。更には、読出用トランジスタTR_Rの他方のソース／ドレイン領域はビット線ＢＬに接続され、更に、共通の第１の電極（共通ノードＣＮ、あるいは、書込用トランジスタTR_Wの他方のソース／ドレイン領域）は、ワード線WL_Dを介して検出用トランジスタTR_Dのゲート部に接続されている。また、書込用トランジスタTR_Wを構成するワード線WL_W及び読出用トランジスタTR_Rを構成するワード線WL_Rは、ワード線デコーダ／ドライバＷＤに接続されている。一方、各プレート線PL_mは、プレート線デコーダ／ドライバＰＤに接続されている。更には、ビット線ＢＬはセンスアンプＳＡに接続されている。

この不揮発性メモリへのデータの書き込み動作を、以下、説明する。尚、一例として、プレート線PL_1に接続されたメモリセルMC_1にデータを書き込むものとする。図２３に動作波形を示す。尚、図２３及び後述する図２４中、括弧内の数字は、以下に説明する工程の番号と対応している。

（１Ｄ）待機状態では、ビット線、ワード線、全プレート線が０ボルトとなっている。更には、共通ノードＣＮも０ボルトで浮遊状態となっている。

（２Ｄ）データ書き込みの開始時、選択プレート線PL_1の電位をV_{cc}とし、非選択プレート線PL_k（ｋ＝２，３・・・８）の電位を（１／２）V_{cc}とする。これによって、浮遊状態の共通ノードＣＮの電位は、プレート線PL_Mとのカップリングにより、概ね（１／２）V_{cc}近傍まで上昇する。また、選択メモリセルMC_1にデータ「１」を書き込む場合には、ビット線ＢＬの電位をV_{cc}とし、データ「０」を書き込む場合には、ビット線ＢＬの電位を０ボルトとする。

（３Ｄ）その後、書込用トランジスタTR_Wをオン状態とする。これによって、共通ノードＣＮの電位は、選択メモリセルMC_1にデータ「１」を書き込む場合には、V_{cc}となり、データ「０」を書き込む場合には、０ボルトとなる。尚、選択プレート線PL_1にはV_{cc}が印加された状態にあるので、共通ノードＣＮの電位が０ボルトの場合、選択メモリセルMC_1にデータ「０」が書き込まれる。一方、共通ノー

ドＣＮの電位がV_{cc}の場合、選択メモリセルMC_1には何らデータが書き込まれない。

（４Ｄ）次いで、選択プレート線PL_1の電位を０ボルトとする。共通ノードＣＮの電位がV_{cc}の場合、選択メモリセルMC_1にデータ「１」が書き込まれる。選択メモリセルMC_1に既にデータ「０」が書き込まれている場合には、選択メモリセルMC_1に何ら変化は生じない。

（５Ｄ）その後、ビット線ＢＬを０ボルトと印加する。

（６Ｄ）更に、非選択プレート線PL_kを０ボルトとし、書込用トランジスタTR_Wをオフ状態とする。

他のメモリセルMC_k（ｋ＝２，３・・・８）にデータを書き込む場合には、同様の操作を繰り返す。このような書き込み動作においては、非選択メモリセルMC_kに（±１／２）V_{cc}のディスターブが発生するが、V_{cc}の値を適切に設定することによって、非選択メモリセルMC_kにおけるデータの破壊を確実に防止することができる。

次に、この不揮発性メモリからデータを読み出し、データを再書き込みする動作を、以下、説明する。尚、一例として、プレート線PL_1に接続されたメモリセルMC_1からデータを読み出し、データを再書き込みするものとする。図２４に動作波形を示す。

（１Ｅ）待機状態では、ビット線、ワード線、全プレート線が０ボルトとなっている。更には、共通ノードＣＮも０ボルトで浮遊状態となっている。

（２Ｅ）データ読み出し時、選択プレート線PL_1にV_{cc}を印加する。このとき、選択メモリセルMC_1にデータ「１」が記憶されていれば、強誘電体層に分極反転が生じ、蓄積電荷量が増加し、共通ノードＣＮの電位が上昇する。一方、選択メモリセルMC_1にデータ「０」が記憶されていれば、強誘電体層に分極反転が生ぜず、共通ノードＣＮの電位は殆ど上昇しない。即ち、共通ノードＣＮは、非選択メモリセルの強誘電体層を介して複数の非選択プレート線PL_kにカップリングさ

れているので、共通ノードＣＮの電位は０ボルトに比較的近いレベルに保たれる。このようにして、選択メモリセルMC_1に記憶されたデータに依存して共通ノードＣＮの電位に変化が生じる。従って、選択メモリセルMC_1の強誘電体層には、分極反転に十分な電界を与えることができる。

（３Ｅ）次に、ビット線ＢＬを浮遊状態とし、読出用トランジスタTR_Rをオン状態とする。これによって、選択メモリセルMC_1に記憶されたデータに基づき共通の第１の電極（共通ノードＣＮ）に生じた電位により、検出用トランジスタTR_Dの動作が制御される。具体的には、検出用トランジスタTR_Dの一方のソース／ドレイン領域は所定の電位V_{cc}を有する配線に接続されているので、かかる配線から、検出用トランジスタTR_D及び読出用トランジスタTR_Rを介してビット線ＢＬに電流が流れ、ビット線ＢＬの電位が上昇する。ここで、検出用トランジスタTR_Dの閾値をV_{th}、検出用トランジスタTR_Dのゲート部の電位（即ち、共通ノードＣＮの電位）をV_gとすれば、ビット線ＢＬの電位は概ね（$V_g - V_{th}$）となる。尚、検出用トランジスタTR_Dをディプレッション型のＮＭＯＳＦＥＴとすれば、閾値V_{th}は負の値をとる。これにより、ビット線ＢＬの負荷の大小に拘わらず、安定したセンス信号量を確保できる。尚、検出用トランジスタTR_DをＰＭＯＳＦＥＴから構成することもできる。

（４Ｅ）次いで、読出用トランジスタTR_Rをオフ状態とする。

（５Ｅ）その後、ビット線ＢＬに接続されたセンスアンプＳＡを活性化してデータを増幅し、データの読み出し動作を完了する。

以上の動作によって、選択メモリセルに記憶されていたデータが一旦破壊されてしまうので、データの再書き込み動作を行う。

（６Ｅ）そのために、先ず、非選択プレート線PL_k（ｋ＝２，３・・・８）の電位を（１／２）V_{cc}とする。

（７Ｅ）その後、書込用トランジスタTR_Wをオン状態とする。これによって、共通ノードＣＮの電位はビット線ＢＬの電位と等しくなる。即ち、選択メモリセル

MC_1に記憶されていたデータが「１」の場合には、共通ノードＣＮの電位はV_{cc}となり、選択メモリセルMC_1に記憶されていたデータが「０」の場合には、共通ノードＣＮの電位は０ボルトとなる。選択プレート線PL_1の電位はV_{cc}のままであるが故に、共通ノードＣＮの電位が０ボルトの場合、選択メモリセルMC_1にはデータ「０」が再書き込みされる。

（８Ｅ）次に、選択プレート線PL_1の電位を０ボルトとする。これによって、選択メモリセルMC_1に記憶されていたデータが「１」の場合には、共通ノードＣＮの電位がV_{cc}であるが故に、データ「１」が再書き込みされる。選択メモリセルMC_1にデータ「０」が既に再書き込みされていた場合には、選択メモリセルに変化は生じない。

（９Ｅ）その後、ビット線ＢＬを０ボルトとする。

（１０Ｅ）最後に、非選択プレート線PL_kを０ボルトとし、書込用トランジスタTR_Wをオフ状態とする。

他のメモリセルMC_k（ｋ＝２，３・・・８）からデータを読み出し、データを再書き込みする場合には、同様の操作を繰り返す。

上述の工程（２Ｅ）において、サブメモリユニットＳＭＵを構成するメモリセルの個数（Ｍ）は、選択メモリセルの強誘電体層に十分に大きな電界を与えて、かかる強誘電体層に確実に分極反転が生じるような個数とする必要がある。即ち、Ｍの値が値が小さ過ぎると、工程（２Ｅ）において、選択プレート線PL_1にV_{cc}を印加したとき、第２の電極と第１の電極とのカップリングによって、浮遊状態にある第１の電極の電位が大きく上昇してしまい、第２の電極と第１の電極との間に十分なる電界が形成されず、強誘電体層に分極反転が生じなくなる。一方、第１の電極に現れる電位（信号電位と呼ぶ）は、蓄積電荷量を負荷容量で除したものなので、Ｍの値が大き過ぎると、第１の電極に現れる電位が低くなり過ぎる。Ｍの値は、$2 \leqq M \leqq 128$、好ましくは、$4 \leqq M \leqq 32$を満足することが望ましい。

あるいは又、ゲインセルタイプの不揮発性メモリの変形例の等価回路図を図２５に示す。このゲインセルタイプの不揮発性メモリは、ビット線ＢＬと、書込用トランジスタTR_Wと、M個（但し、M≧２であり、例えば、M＝８）のメモリセルMC_Mから構成されたN個（但し、N≧２であり、例えば、N＝２）のサブメモリユニットSMU_1，SMU_2と、N個のスイッチ用トランジスタTR_{SW1}，TR_{SW2}と、N個のサブメモリユニットSMU_1，SMU_2のそれぞれを構成するメモリセルMC_{1M}，MC_{2M}で共通とされたM本のプレート線PL_mから成るメモリユニットMUから構成されている。

そして、各メモリセルMC_Mは、第１の電極３１と強誘電体層３２と第２の電極３３とから成り、第ｎ番目（ｎ＝１，２・・・Ｎであり、ｎ＝１又は２）のサブメモリユニットSMU_1，SMU_2を構成するメモリセルMC_{1M}，MC_{2M}の第１の電極３１は、第ｎ番目のサブメモリユニットSMU_1，SMU_2において共通であり、この共通の第１の電極（共通ノードCN_1，CN_2）は、第ｎ番目のスイッチ用トランジスタTR_{SW1}，TR_{SW2}及び書込用トランジスタTR_Wを介してビット線ＢＬに接続され、第２の電極３３は共通のプレート線PL_mに接続されている。尚、不揮発性メモリのサブメモリユニットSMU_1，SMU_2を構成するメモリセルの数（M）は８個に限定されず、一般には、M≧２を満足すればよく、２のべき数（M＝２，４，８，１６，３２・・・）とすることが好ましい。また、Ｎの数も２に限定されず、例えば２のべき数（２，４，８・・・）とすることができる。

更には、この不揮発性メモリは、検出用トランジスタTR_D、及び、読出用トランジスタTR_Rを備えている。書込用トランジスタTR_Wと検出用トランジスタTR_Dと読出用トランジスタTR_Rによって選択用トランジスタが構成される。そして、検出用トランジスタTR_Dの一端は所定の電位V_{cc}を有する配線（不純物層から構成された電源線）に接続され、他端は読出用トランジスタTR_Rを介してビット線ＢＬに接続され、第ｎ番目のサブメモリユニットSMU_1，SMU_2を構成する各メモリセルMC_{1m}，MC_{2m}に記憶されたデータの読み出し時、第ｎ番目のスイッチ用

トランジスタTR_{SW1}，TR_{SW2}及び読出用トランジスタTR_Rが導通状態とされ、各メモリセルMC_{1m}，MC_{2m}に記憶されたデータに基づき共通の第１の電極（共通ノードCN_1，CN_2）に生じた電位により、検出用トランジスタTR_Dの動作が制御される。

具体的には、各種のトランジスタはＭＯＳ型ＦＥＴから構成されており、書込用トランジスタTR_Wの一方のソース／ドレイン領域はビット線ＢＬに接続され、他方のソース／ドレイン領域は、スイッチ用トランジスタTR_{SW1}，TR_{SW2}のそれぞれの一方のソース／ドレイン領域に接続されている。また、スイッチ用トランジスタTR_{SW1}，TR_{SW2}のそれぞれの他方のソース／ドレイン領域は、各サブメモリユニットSMU_1，SMU_2のそれぞれを構成する共通の第１の電極（共通ノードCN_1，CN_2）に接続されている。更には、検出用トランジスタTR_Dの一方のソース／ドレイン領域は、所定の電位V_{cc}を有する配線に接続され、他方のソース／ドレイン領域は、読出用トランジスタTR_Rの一方のソース／ドレイン領域に接続されている。また、読出用トランジスタTR_Rの他方のソース／ドレイン領域はビット線ＢＬに接続されている。更に、各サブメモリユニットSMU_1，SMU_2を構成する共通の第１の電極（共通ノードCN_1，CN_2、あるいは、書込用トランジスタTR_Wの他方のソース／ドレイン領域）は、検出用トランジスタTR_Dのゲート部に接続されている。検出用トランジスタTR_Dの他方のソース／ドレイン領域と読出用トランジスタTR_Rの一方のソース／ドレイン領域とは、１つのソース／ドレイン領域を占めている。また、書込用トランジスタTR_Wを構成するワード線WL_W、読出用トランジスタTR_Rを構成するワード線WL_R、及び、スイッチ用トランジスタTR_{SW1}，TR_{SW2}を構成するワード線WL_{SW1}，WL_{SW2}は、ワード線デコーダ／ドライバＷＤに接続されている。一方、各プレート線PL_mは、プレート線デコーダ／ドライバＰＤに接続されている。更には、ビット線ＢＬはセンスアンプＳＡに接続されている。

各サブメモリユニットSMU_1，SMU_2の構造は、実質的に、図２２を参照して

説明したサブメモリユニットＳＭＵと同様の構造とすることができるので、詳細な説明は省略する。尚、サブメモリユニットSMU_1を構成する共通の第１の電極（共通ノードCN_1）は、スイッチ用トランジスタTR_{SW1}の他方のソース／ドレイン領域と、絶縁層２６に設けられた接続孔２８を介して接続されており、サブメモリユニットSMU_2を構成する共通の第１の電極（共通ノードCN_2）は、スイッチ用トランジスタTR_{SW2}の他方のソース／ドレイン領域と、絶縁層２６に設けられた接続孔２８を介して接続されている。また、書込用トランジスタTR_Wの一方のソース／ドレイン領域、及び、読出用トランジスタTR_Rの他方のソース／ドレイン領域は、下層絶縁層上に形成されたビット線ＢＬに、下層絶縁層に設けられた接続孔２５を介して接続されている。更には、スイッチ用トランジスタTR_{SW1}，TR_{SW2}の一方のソース／ドレイン領域、書込用トランジスタTR_Wの他方のソース／ドレイン領域、検出用トランジスタTR_Dのゲート部（ワード線WL_D）は、下層絶縁層に設けられた接続孔を介して、下層絶縁層上に形成された副ビット線に接続されている。ここで、副ビット線は、下層絶縁層上を延び、ビット線ＢＬに接続されている。以上に説明した構造は、例えば、図１５に示した不揮発性メモリと略同様の構造とすることができる。

この不揮発性メモリにおいては、複数のサブメモリユニットが設けられているので、図２２を参照して説明した不揮発性メモリよりも更に１ビット当たりのセル面積の一層の縮小化を図ることができる。即ち、この不揮発性メモリの大きさ（占有面積）は、基本的には、一方向においては、プレート線PL_Mのピッチと本数（Ｍの値）で決定され、かかる方向と直交する方向においては、共通ノードＣＮのピッチと本数（Ｎの値）で決定される。不揮発性メモリが占める半導体基板の領域の面積（大きさ）は、スイッチ用トランジスタTR_{SW1}，TR_{SW2}の占める面積（大きさ）によって主に決定される。書込用トランジスタTR_W、読出用トランジスタTR_R、検出用トランジスタTR_Dは、半導体基板の空領域に形成すればよく、空領域の面積は、サブメモリユニットの数（Ｎ）、サブメモリユニットを構成する

メモリセルの数（M）が大きくなるほど、広くなる。従って、このように、書込用トランジスタTR_W、読出用トランジスタTR_R、検出用トランジスタTR_Dを、半導体基板の空領域に形成すれば、半導体基板を極めて効果的に利用することができる。

この不揮発性メモリにおけるデータ書き込み動作、データ読み出し及び再書き込み動作は、スイッチ用トランジスタTR_{SW1}，TR_{SW2}によってサブメモリユニットSMU_1，SMU_2を適宜選択することを付加した状態で、図２２を参照して説明した不揮発性メモリにて説明したデータ書き込み動作、データ読み出し及び再書き込み動作と同様の動作を行えばよいので、詳細な説明は省略する。

ゲインセルタイプの不揮発性メモリにおいては、検出用トランジスタの一端が接続された配線の所定の電位はV_{cc}に限定されず、例えば、接地されていてもよい。即ち、検出用トランジスタの一端が接続された配線の所定の電位を０ボルトとしてもよい。但し、この場合には、選択メモリセルにおけるデータの読み出し時に電位（V_{cc}）がビット線に現れた場合、再書き込み時には、ビット線の電位を０ボルトとし、選択メモリセルにおけるデータの読み出し時に０ボルトがビット線に現れた場合、再書き込み時には、ビット線の電位をV_{cc}とする必要がある。そのためには、図２６に例示するような、トランジスタTR_{IN-1}，TR_{IN-2}，TR_{IN-3}，TR_{IN-4}から構成された一種のスイッチ回路（反転回路）をビット線間に配設し、データの読み出し時には、トランジスタTR_{IN-2}，TR_{IN-4}をオン状態とし，データの再書き込み時には、トランジスタTR_{IN-1}，TR_{IN-3}をオン状態とすればよい。

ゲインセルタイプの不揮発性メモリにおいては、各メモリセルに記憶されたデータに基づき共通の第１の電極に生じた電位により検出用トランジスタの動作が制御されるが、第１の電極はM個のメモリセルに共通であるが故に、第１の電極に一種の追加の負荷容量が付加された状態となっている。その結果、データの読み出し時、プレート線に電圧を印加した際、第１の電極の電位上昇を抑制することができ、第１の電極と第２の電極との間に十分な電位差が生じる結果、強誘電

体層に確実に分極反転が発生する。

本発明の不揮発性メモリあるいはその駆動方法（以下、これらを総称して、単に、本発明と呼ぶ場合がある）における不揮発性メモリにおいて、不揮発性メモリを積層し、あるいは又、メモリユニットを積層し、あるいは又、サブメモリユニットを積層する場合、上方に位置する不揮発性メモリ、メモリユニットあるいはサブメモリユニット（以下、これらを総称して、メモリユニット等と呼ぶ）のメモリセルを構成する強誘電体層の結晶化温度が、下方に位置するメモリユニット等のメモリセルを構成する強誘電体層の結晶化温度よりも低いことが好ましい。ここで、メモリセルを構成する強誘電体層の結晶化温度は、例えば、X線回折装置や表面走査型電子顕微鏡を用いて調べることができる。具体的には、例えば、強誘電体材料層を形成した後、強誘電体材料層の結晶化を行うための熱処理温度を種々変えて結晶化促進のための熱処理を行い、熱処理後の強誘電体材料層のX線回折分析を行い、強誘電体材料に特有の回折パターン強度（回折ピークの高さ）を評価することによって、強誘電体層の結晶化温度を求めることができる。

ところで、メモリユニット等が積層された構成を有する強誘電体型不揮発性半導体メモリを製造する場合、強誘電体層、あるいは、強誘電体層を構成する強誘電体薄膜の結晶化のために、熱処理（結晶化熱処理と呼ぶ）を積層されたメモリユニット等の段数だけ行わなければならない。従って、下段に位置するメモリユニット等ほど長時間の結晶化熱処理を受け、上段に位置するほどメモリユニット等は短時間の結晶化熱処理を受けることになる。それ故、上段に位置するメモリユニット等に対して最適な結晶化熱処理を施すと、下段に位置するメモリユニット等は過度の熱負荷を受ける虞があり、下段に位置するメモリユニット等の特性劣化が生じる虞がある。尚、多段のメモリユニット等を作製した後、一度で結晶化熱処理を行う方法も考えられるが、結晶化の際に強誘電体層に大きな体積変化が生じたり、各強誘電体層から脱ガスが生じる可能性が高く、強誘電体層にクラックや剥がれが生じるといった問題が発生し易い。上方に位置するメモリユニッ

ト等を構成する強誘電体層の結晶化温度を、下方に位置するメモリユニット等を構成する強誘電体層の結晶化温度よりも低くすれば、積層されたメモリユニット等の段数だけ結晶化熱処理を行っても、下方に位置するメモリユニット等を構成するメモリセルの特性劣化といった問題は生じない。また、各段におけるメモリユニット等を構成するメモリセルに対して、最適な条件での結晶化熱処理を行うことができ、特性の優れた不揮発性メモリを得ることができる。以下の表８に、強誘電体層を構成する代表的な材料の結晶化温度を示すが、強誘電体層を構成する材料をかかる材料に限定するものではない。尚、先に説明した強誘電体層を構成する各種の材料において、これらの組成を化学量論的組成から外すことによって、結晶化温度を変化させることが可能である。

[表８]

材料名	結晶化温度
$Bi_2SrTa_2O_9$	７００～８００° Ｃ
$Bi_2Sr(Ta_{1.5}, Nb_{0.5})O_9$	６５０～７５０° Ｃ
$Bi_4Ti_3O_{12}$	６００～７００° Ｃ
$Pb(Zr_{0.48}, Ti_{0.52})O_3$	５５０～６５０° Ｃ
$PbTiO_3$	５００～６００° Ｃ

本発明の不揮発性メモリの駆動方法においては、外部から指定された指定アドレスのメモリセルに記憶されたデータを読み出し、あるいは又、かかるメモリセルにデータを書き込むので、所望のメモリセルに直ちにアクセスが可能となる。しかも、本発明の構成によっては、他のメモリセルにデータの書き込みあるいは再書き込みを行うので、他のメモリセルにおけるディスターブの発生を確実に抑制することができる。しかも、不揮発性メモリが複数のメモリセルから成るメモリユニットから構成されているが故に、１ビット当たりのセル面積の減少を図ることができる。

請 求 の 範 囲

1． （A）ビット線と、

（B）選択用トランジスタと、

（C）M個（但し、M≧2）のメモリセルから構成されたサブメモリユニットと、

（D）M本のプレート線と、

（E）ビット線に接続されたセンスアンプ、

から成るメモリユニットから構成され、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

サブメモリユニットを構成するメモリセルの第1の電極は、サブメモリユニットにおいて共通であり、該共通の第1の電極は、選択用トランジスタを介してビット線に接続され、第2の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法であって、

外部から指定された指定アドレスのメモリセルに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを出力することを特徴とする強誘電体型不揮発性半導体メモリの駆動方法。

2． 前記センスアンプにラッチされたデータを出力した後、センスアンプにラッチされた該データを前記指定アドレスのメモリセルに再書き込みし、

次いで、外部からアドレスを指定すること無く、サブメモリユニットを構成する他のメモリセルに記憶されたデータを読み出し、センスアンプにラッチすることを特徴とする請求の範囲第1項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

3． サブメモリユニットを構成する他のメモリセルに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを該他のメモリセルに再書き込みすることを特徴とする請求の範囲第2項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

4． サブメモリユニットを構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次、データの読み出し及びデータの再書き込みを行うことを特徴とする請求の範囲第３項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

5． サブメモリユニットを構成する他のメモリセルに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを出力することを特徴とする請求の範囲第２項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

6． サブメモリユニットを構成する他のメモリセルに記憶されたデータを読み出し、センスアンプにラッチし、次いで、センスアンプにラッチされた該データを出力した後、センスアンプにラッチされた該データを該他のメモリセルに再書き込みすることを特徴とする請求の範囲第５項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

7． サブメモリユニットを構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次、データの読み出し、出力及びデータの再書き込みを行うことを特徴とする請求の範囲第６項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

8． （A）ビット線と、

（B）選択用トランジスタと、

（C）M個（但し、M≧２）のメモリセルから構成されたサブメモリユニットと、

（D）M本のプレート線と、

（E）ビット線に接続されたセンスアンプ、

から成るメモリユニットから構成され、

各メモリセルは、第１の電極と強誘電体層と第２の電極とから成り、

サブメモリユニットを構成するメモリセルの第１の電極は、サブメモリユニッ

トにおいて共通であり、該共通の第１の電極は、選択用トランジスタを介してビット線に接続され、第２の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法であって、

書き込むべきデータをセンスアンプにラッチした後、外部から指定された指定アドレスのメモリセルに該データを書き込むことを特徴とする強誘電体型不揮発性半導体メモリの駆動方法。

９．　センスアンプにラッチされたデータを前記指定アドレスのメモリセルに書き込んだ後、書き込むべきデータをセンスアンプにラッチし、次いで、外部からアドレスを指定すること無く、サブメモリユニットを構成する他のメモリセルに該データを書き込むことを特徴とする請求の範囲第８項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

１０．　サブメモリユニットを構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次、データの書き込みを行うことを特徴とする請求の範囲第９項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

１１．　センスアンプにラッチされたデータを前記指定アドレスのメモリセルに書き込んだ後、外部からアドレスを指定すること無く、サブメモリユニットを構成する他のメモリセルに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを該他のメモリセルに再書き込みすることを特徴とする請求の範囲第８項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

１２．　サブメモリユニットを構成する全ての他のメモリセルにおいて、外部からアドレスを指定すること無く、順次、データの読み出し及び再書き込みを行うことを特徴とする請求の範囲第１１項に記載の強誘電体型不揮発性半導体メモリの駆動方法。

１３．　（Ａ）ビット線と、

（Ｂ）選択用トランジスタと、

（C）M個（但し、M≧２）のメモリセルから構成されたサブメモリユニットと、

（D）M本のプレート線と、

（E）ビット線に接続されたセンスアンプ、

から成るメモリユニットから構成され、

各メモリセルは、第１の電極と強誘電体層と第２の電極とから成り、

サブメモリユニットを構成するメモリセルの第１の電極は、サブメモリユニットにおいて共通であり、該共通の第１の電極は、選択用トランジスタを介してビット線に接続され、第２の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリであって、

（F）外部から指定されたプレート線のアドレスを記憶する指定プレート線アドレスレジスタと、

（G）プレート線を指定するプレート線アドレスを順次インクリメントするプレート線アドレスカウンタ、

を更に備えていることを特徴とする強誘電体型不揮発性半導体メモリ。

１４．　指定プレート線アドレスレジスタ及びプレート線アドレスカウンタに接続され、

指定プレート線アドレスレジスタに記憶された指定プレート線アドレスの値と、プレート線アドレスカウンタにおけるプレート線アドレスの値を比較するコンパレータを更に備えていることを特徴とする請求の範囲第１３項に強誘電体型不揮発性半導体メモリ。

図1

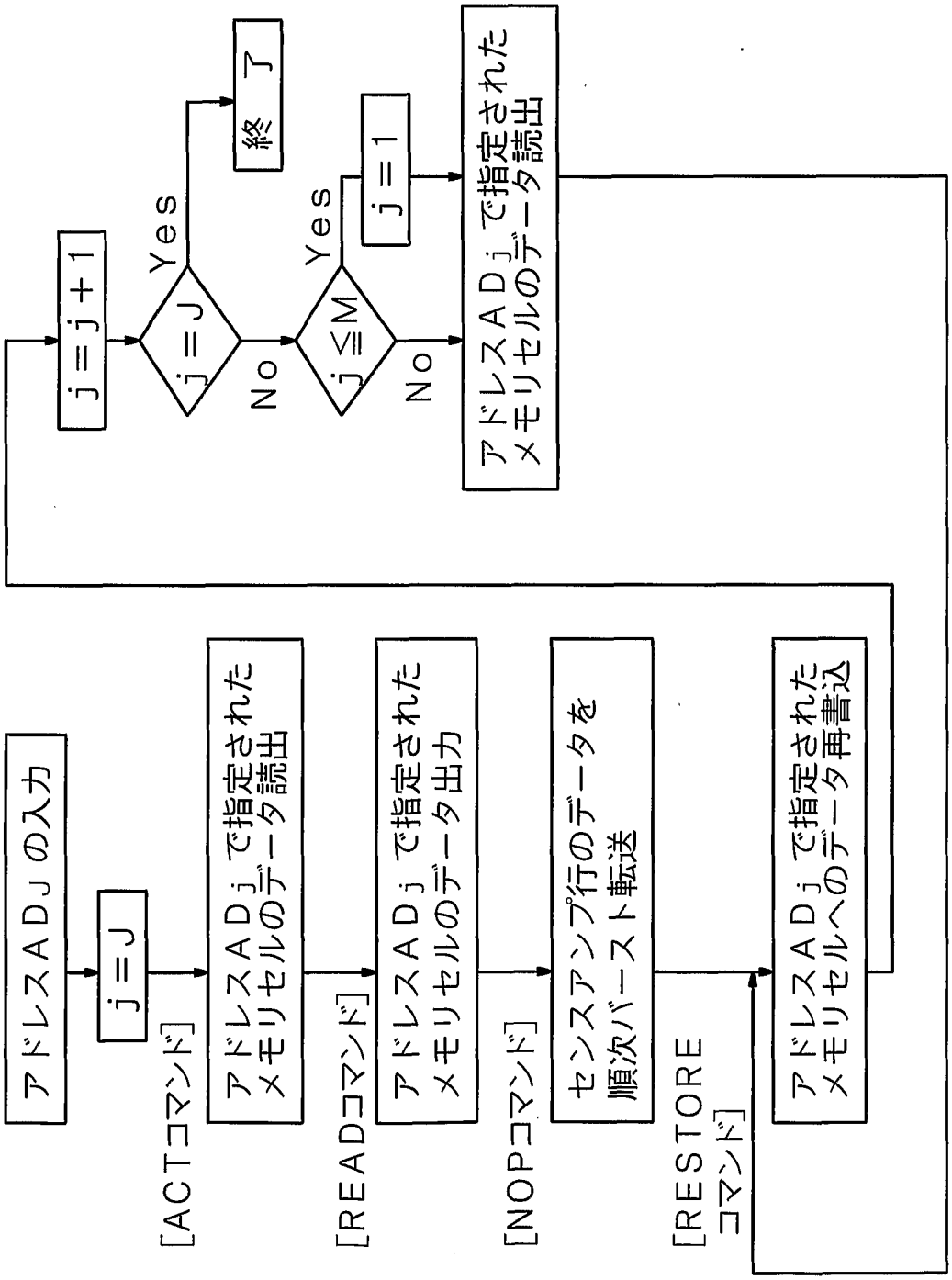

アドレスADJの入力
j=J
[ACTコマンド]
アドレスADjで指定されたメモリセルのデータ読出
[READコマンド]
アドレスADjで指定されたメモリセルのデータ出力
[NOPコマンド]
センスアンプ行のデータを順次バースト転送
[RESTOREコマンド]
アドレスADjで指定されたメモリセルへのデータ再書込
j=j+1
j=J
Yes
No
終了
j≦M
Yes
No
j=1
アドレスADjで指定されたメモリセルのデータ読出

図 2

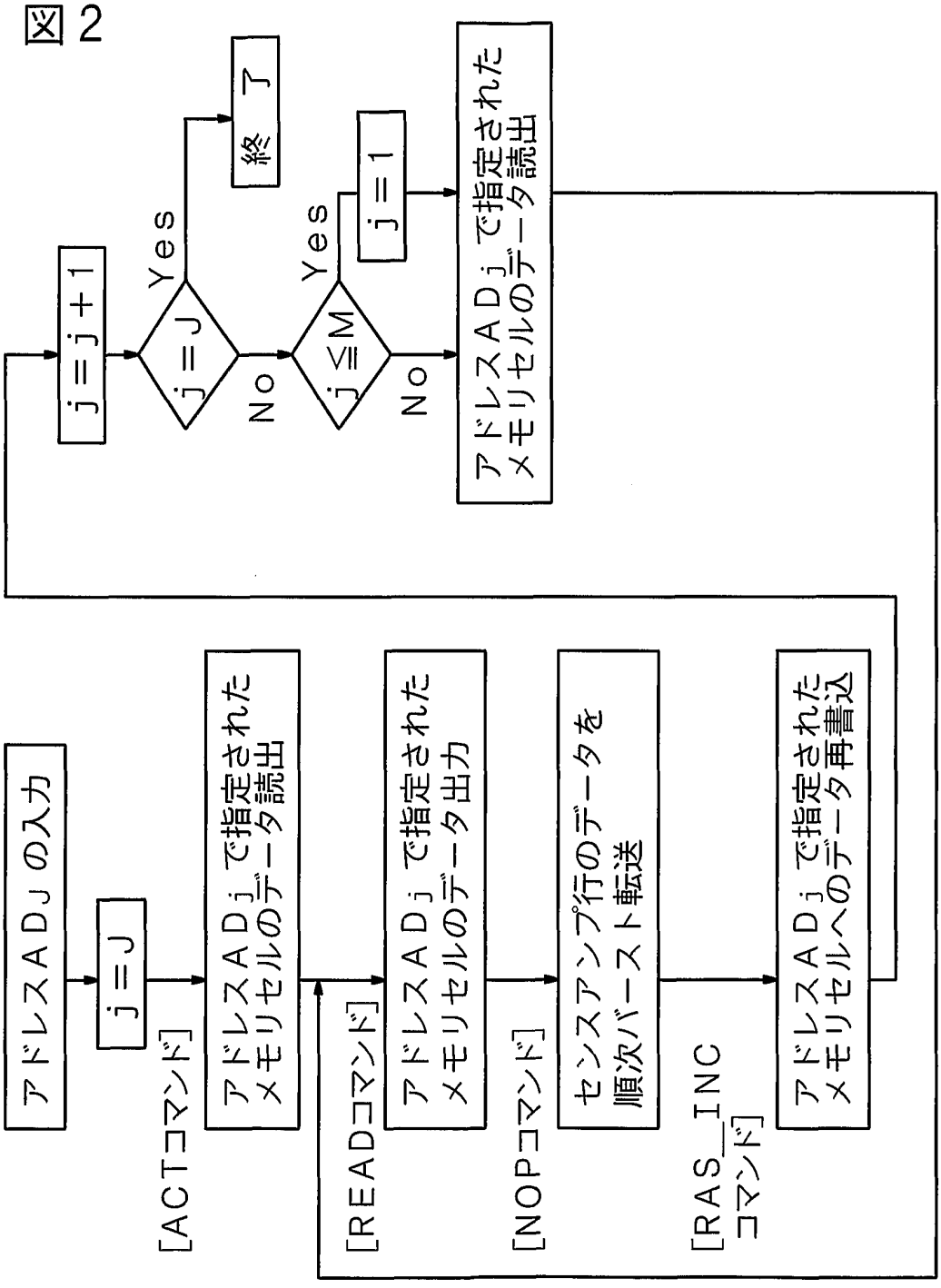

アドレスADJの入力
j＝J
[ACTコマンド]
アドレスADjで指定されたメモリセルのデータ読出
[READコマンド]
アドレスADjで指定されたメモリセルのデータ出力
[NOPコマンド]
センスアンプ行のデータを順次バースト転送
[RAS_INCコマンド]
アドレスADjで指定されたメモリセルへのデータ再書込
j＝j＋1
j＝J
Yes
No
終 了
j≦M
Yes
No
j＝1
アドレスADjで指定されたメモリセルのデータ読出

図3

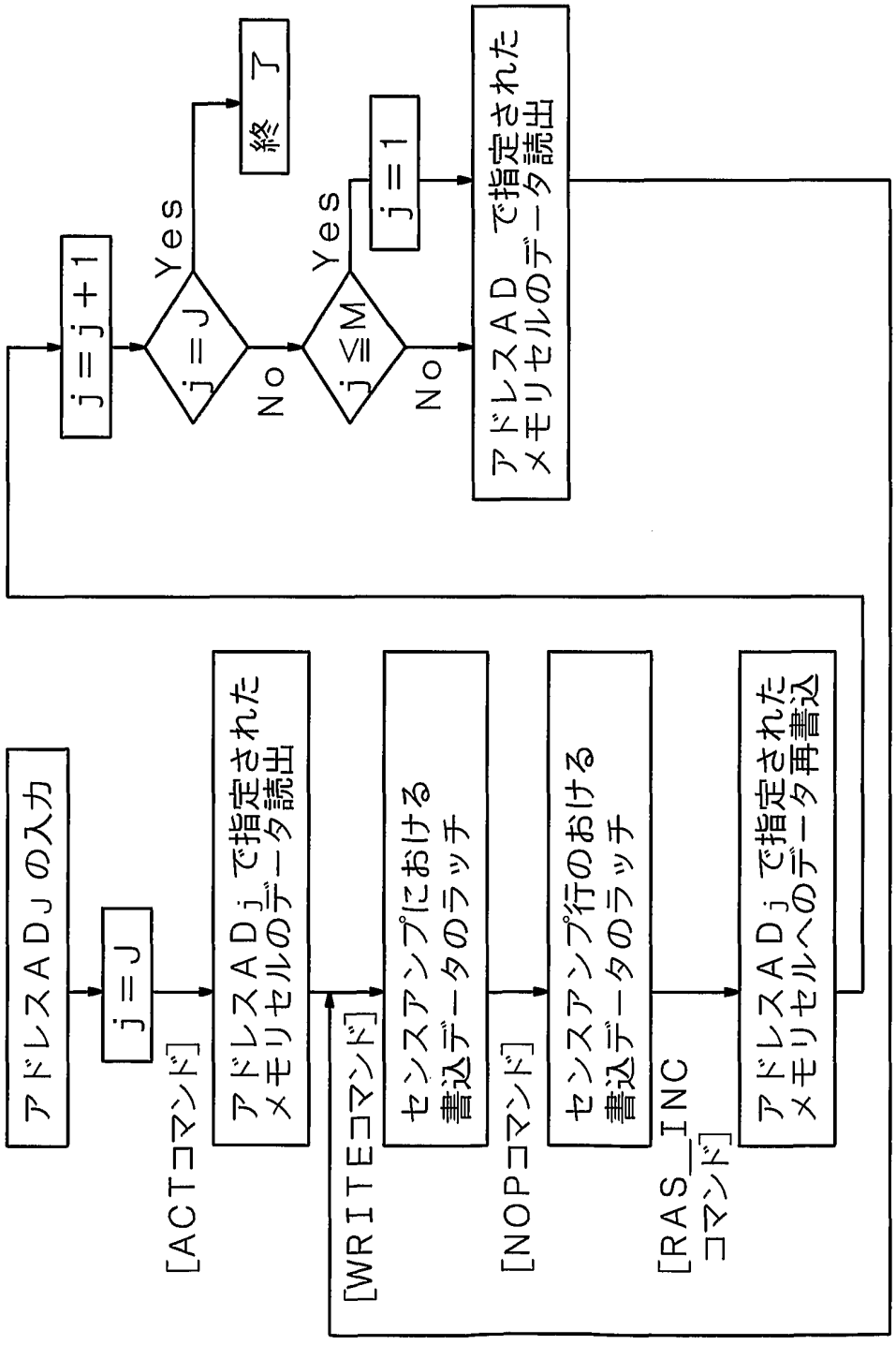

アドレスADJの入力
j=J
[ACTコマンド]
アドレスADjで指定されたメモリセルのデータ読出
[WRITEコマンド]
センスアンプにおける書込データのラッチ
[NOPコマンド]
センスアンプ行のおける書込データのラッチ
[RAS_INCコマンド]
アドレスADjで指定されたメモリセルへのデータ再書込
j=j+1
j=J
Yes
No
終了
j≦M
Yes
No
j=1
アドレスADで指定されたメモリセルのデータ読出

図4

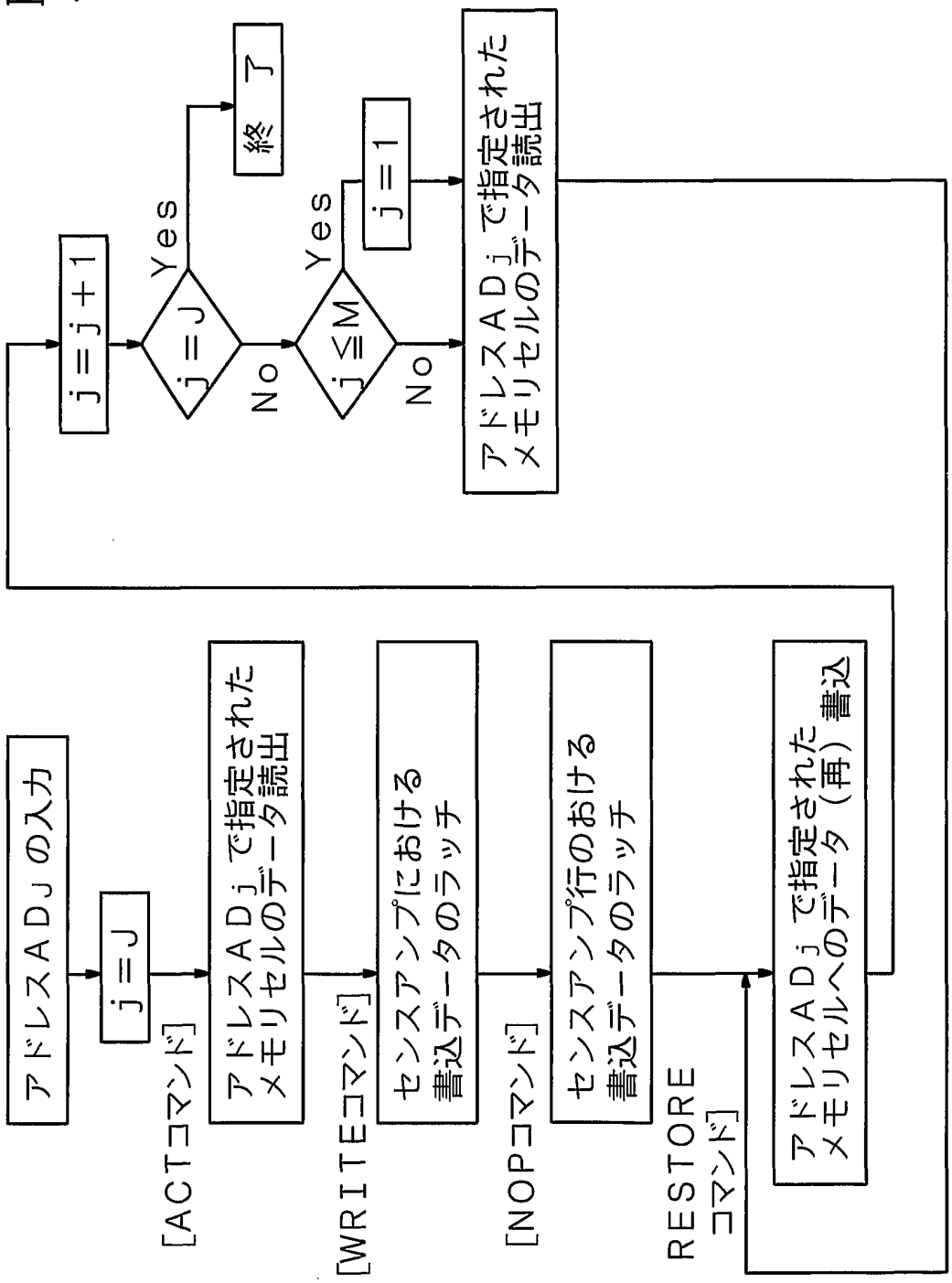

アドレスADJの入力
j=J
[ACTコマンド]
アドレスADjで指定されたメモリセルのデータ読出
[WRITEコマンド]
センスアンプにおけるデータのラッチ
[NOPコマンド]
センスアンプ行のおけるデータのラッチ
RESTORE コマンド]
アドレスADjで指定されたメモリセルへのデータ（再）書込
j=j+1
j=J
Yes
No
終了
j≦M
Yes
No
j=1
アドレスADjで指定されたメモリセルのデータ読出

図5

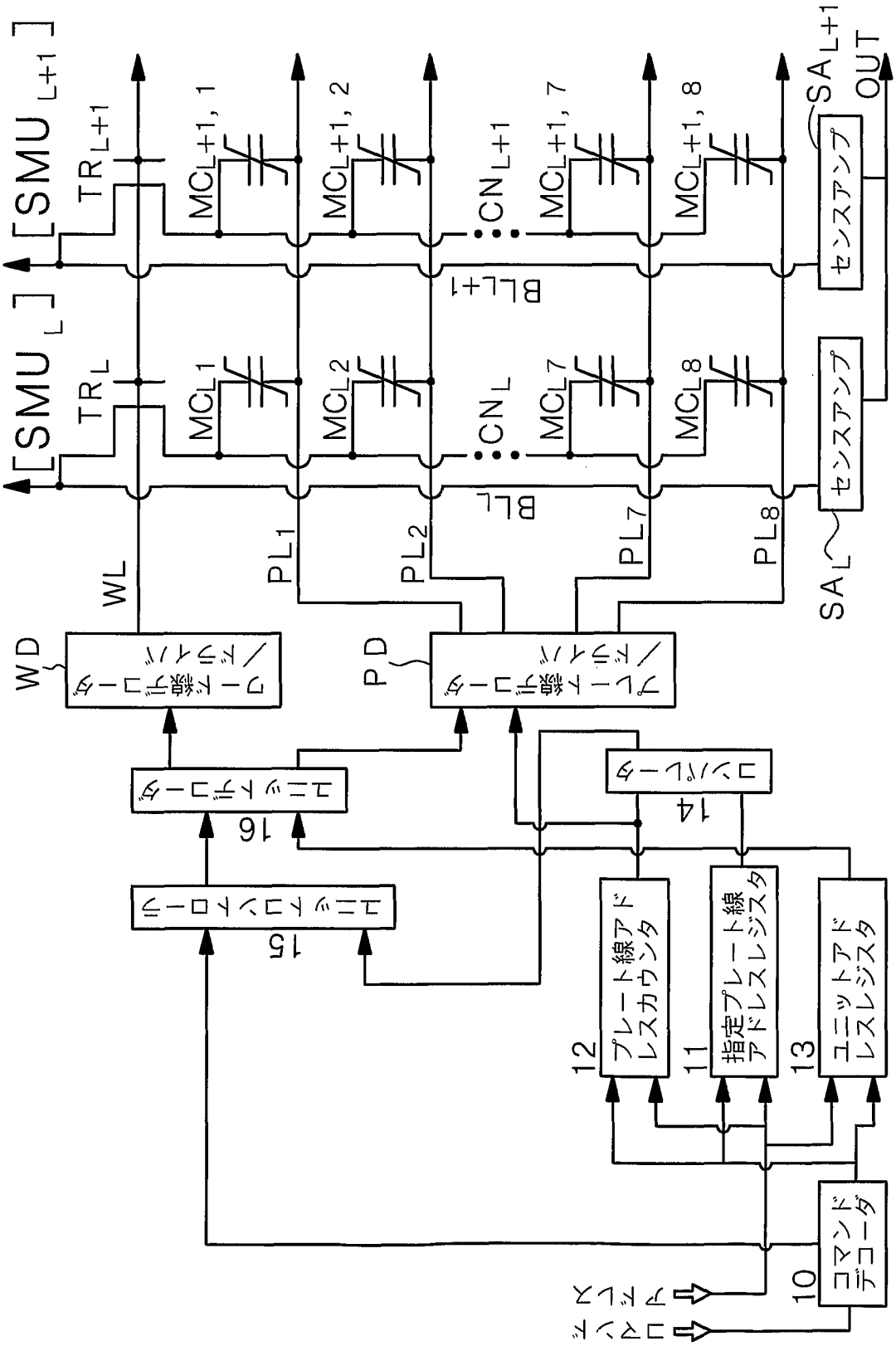

[SMU L+1]
[SMU L]
TR L+1
TR L
MC L+1, 1
MC L+1, 2
MC L+1, 7
MC L+1, 8
MC L1
MC L2
MC L7
MC L8
CN L+1
CN L
BL L+1
BL L
SA L+1
SA L
OUT
センスアンプ
センスアンプ
WL
PL1
PL2
PL7
PL8
WD
PD
ワード線デコーダ／ドライバ
プレート線デコーダ／ドライバ
ユニットデコーダ
ユニットコントローラ
コンパレータ
プレート線アドレスカウンタ
指定プレート線アドレスレジスタ
ユニットアドレスレジスタ
コマンドデコーダ
10
11
12
13
14
15
16

図6

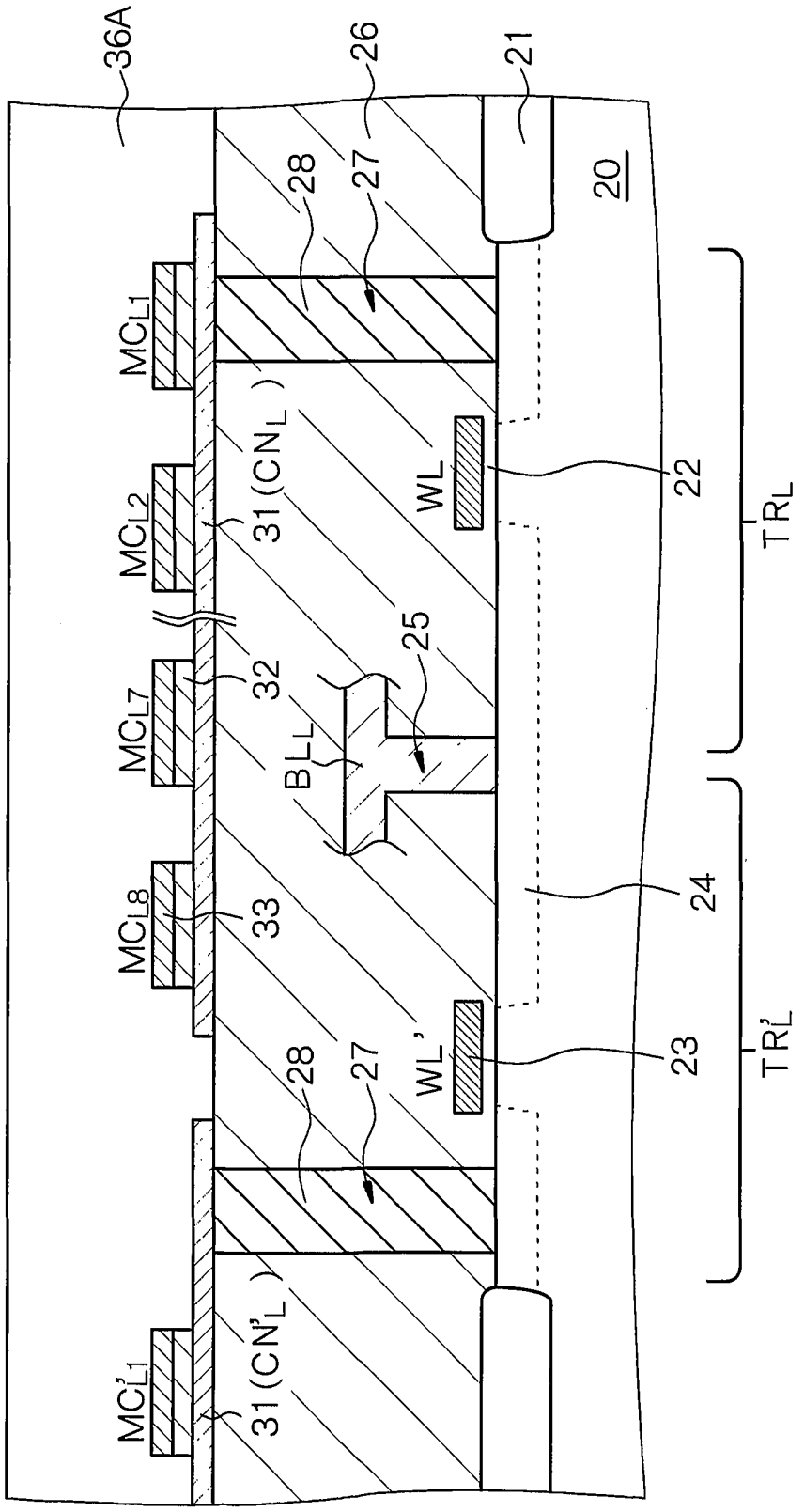

36A
26
21
28
27
20
MCL1
31 (CNL)
MCL2
WL
22
TRL
32
25
MCL7
BLL
MCL8
33
24
28
27
WL'
23
TR'L
31 (CN'L)
MC'L1

図7

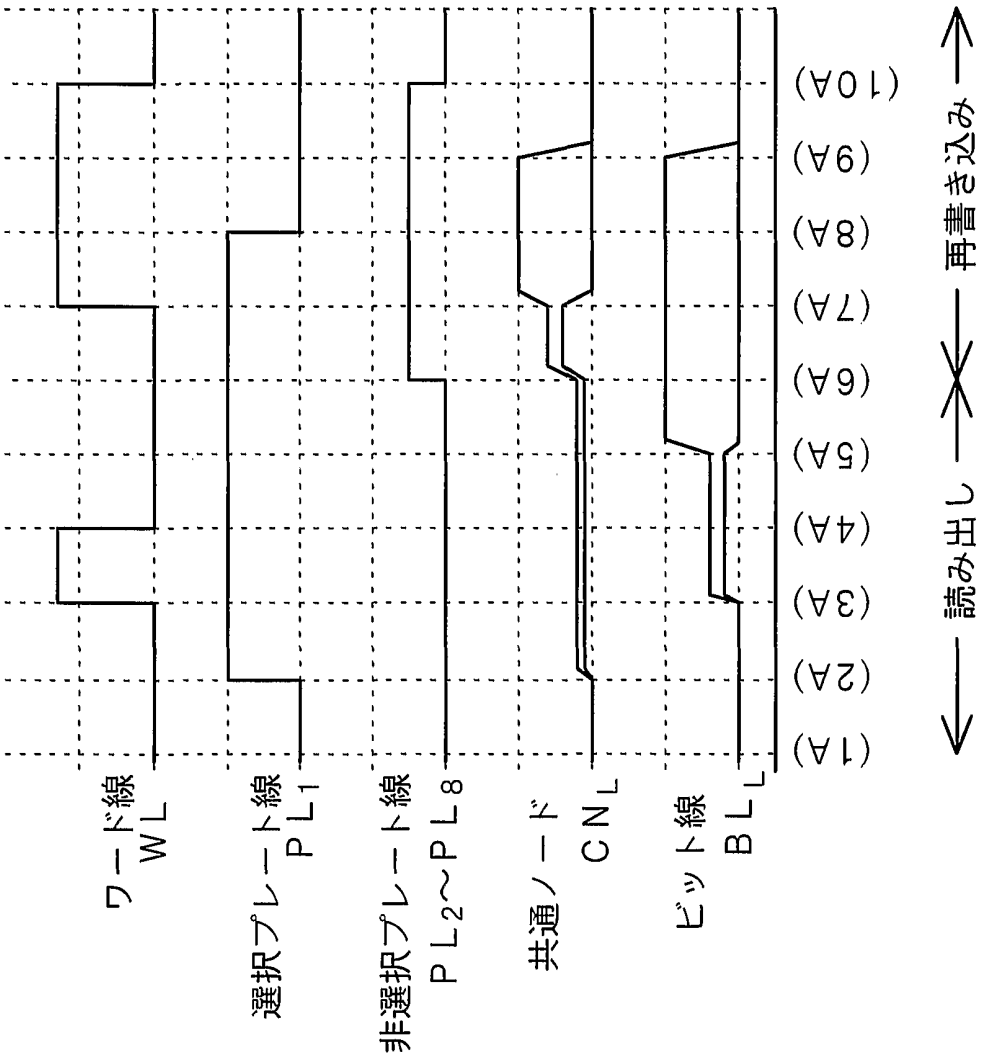

ワード線
WL
選択プレート線
PL1
非選択プレート線
PL2～PL8
共通ノード
CNL
ビット線
BLL
(1A)
(2A)
(3A)
(4A)
(5A)
(6A)
(7A)
(8A)
(9A)
(10A)
読み出し
再書き込み

図8

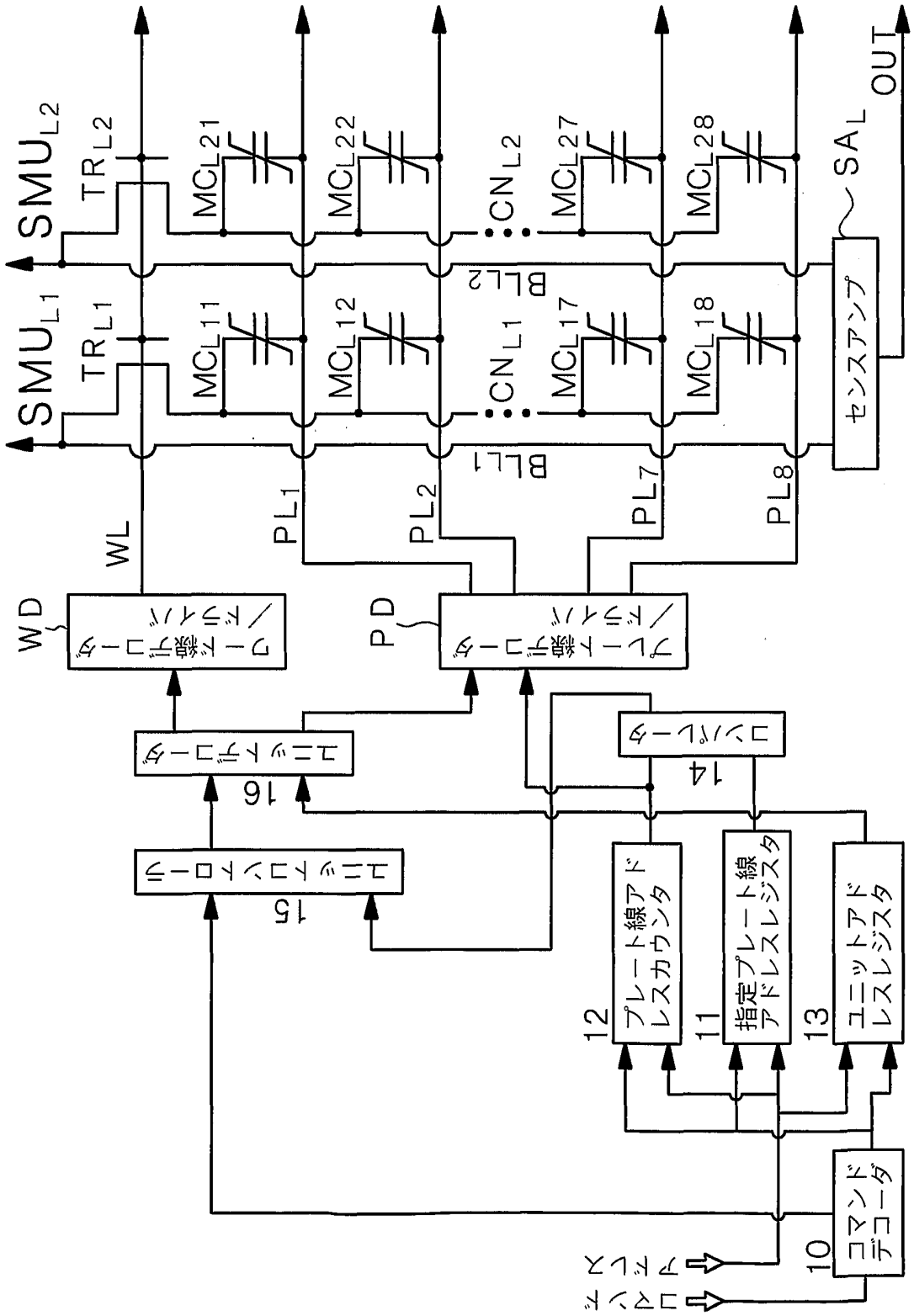

SMU$_{L2}$
SMU$_{L1}$
TR$_{L2}$
TR$_{L1}$
MC$_{L21}$
MC$_{L22}$
MC$_{L27}$
MC$_{L28}$
MC$_{L11}$
MC$_{L12}$
MC$_{L17}$
MC$_{L18}$
CN$_{L2}$
CN$_{L1}$
BL$_{L2}$
BL$_{L1}$
SA$_L$
OUT
センスアンプ
WL
PL$_1$
PL$_2$
PL$_7$
PL$_8$
WD
PD
ワード線デコーダ／ドライバ
プレート線デコーダ／ドライバ
ユニットデコーダ
ユニットパワーデコーダ
ユニットパワーデコーダ
ユニットパワーデコーダ
プレート線アドレスカウンタ
指定プレート線アドレスレジスタ
ユニットアドレスレジスタ
コマンドデコーダ
アドレス
コマンド
10
11
12
13
14
15
16

図9

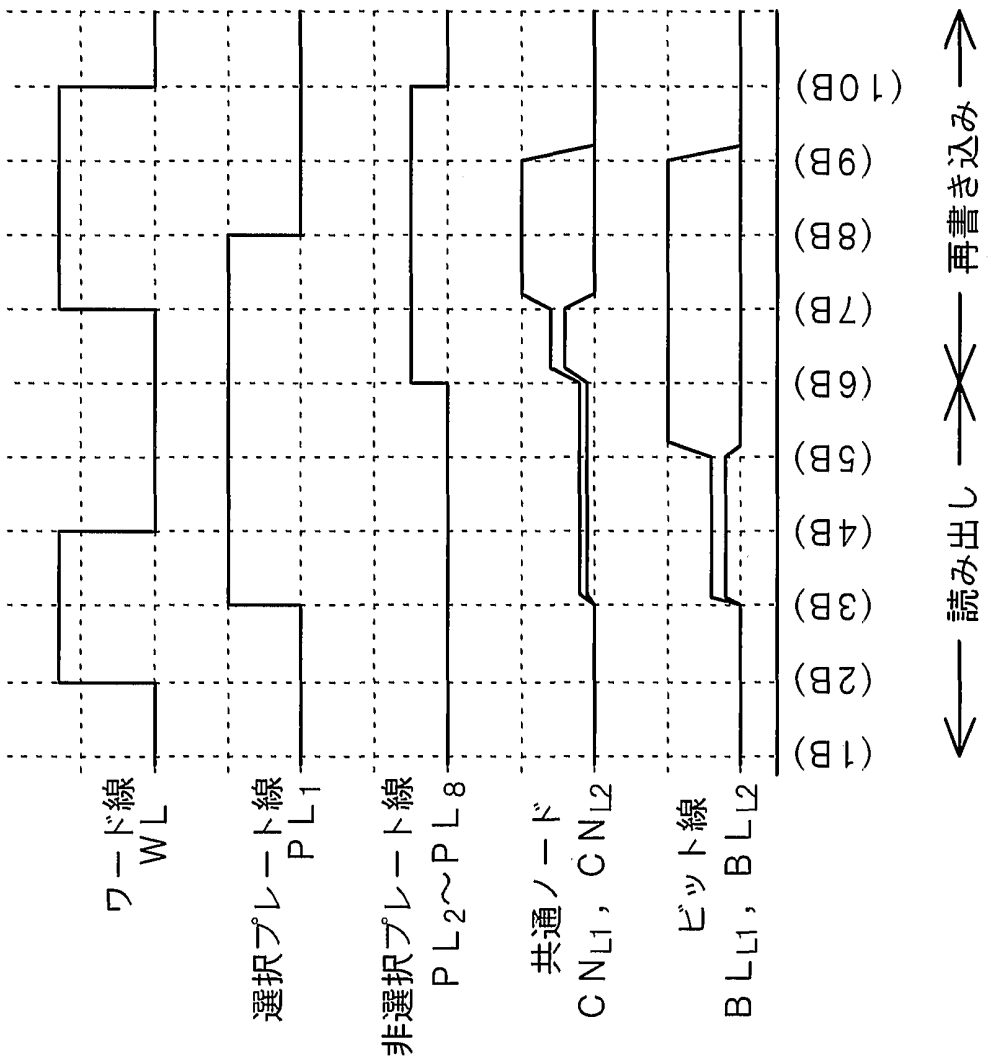

ワード線
WL
選択プレート線
PL1
非選択プレート線
PL2～PL8
共通ノード
CNL1，CNL2
ビット線
BLL1，BLL2
(1B)
(2B)
(3B)
(4B)
(5B)
(6B)
(7B)
(8B)
(9B)
(10B)
読み出し
再書き込み

図10

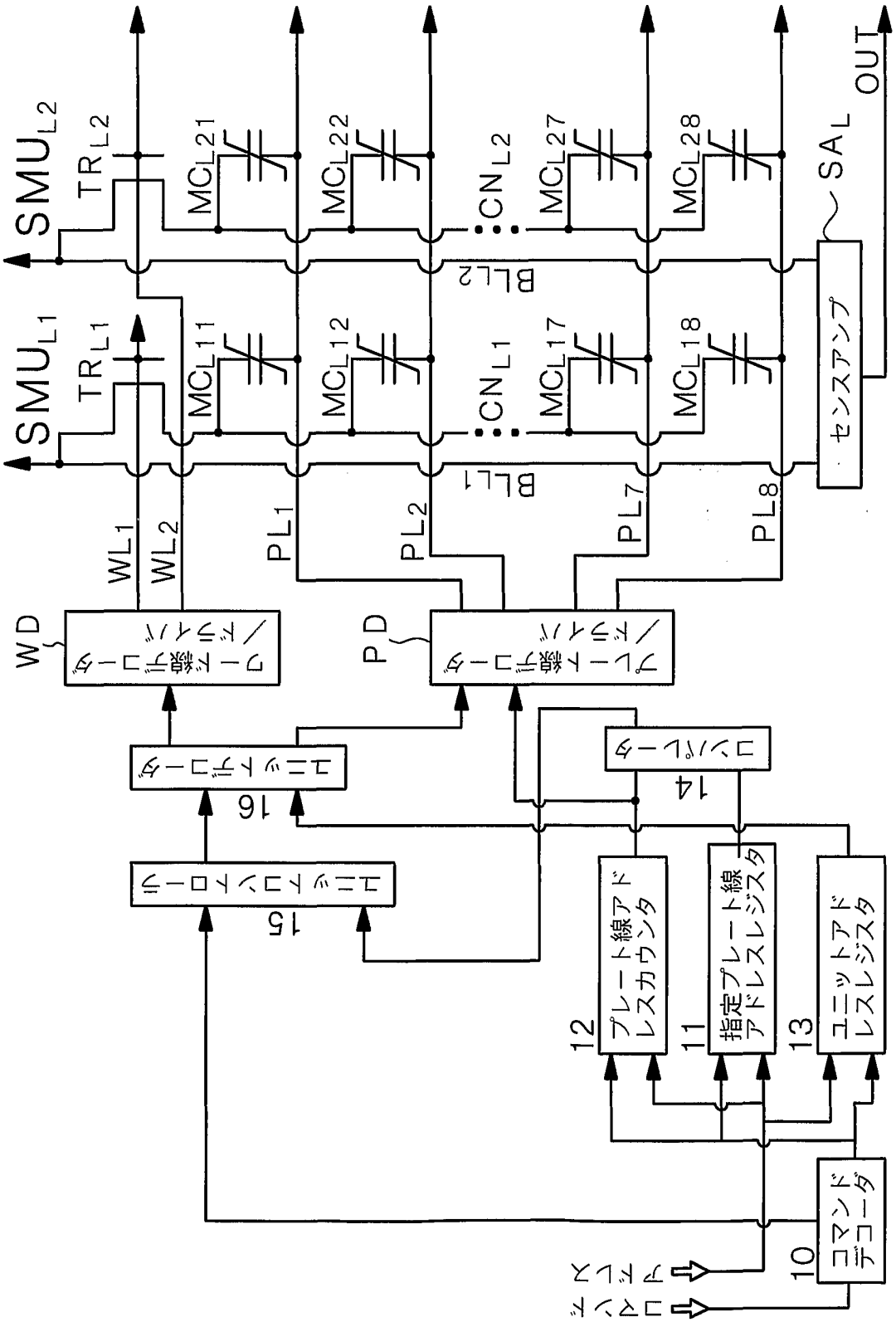

SMU$_{L2}$
SMU$_{L1}$
TR$_{L2}$
TR$_{L1}$
MC$_{L21}$
MC$_{L22}$
MC$_{L27}$
MC$_{L28}$
MC$_{L11}$
MC$_{L12}$
MC$_{L17}$
MC$_{L18}$
CN$_{L2}$
CN$_{L1}$
BL$_{L2}$
BL$_{L1}$
SA$_L$
OUT
センスアンプ
WL$_1$
WL$_2$
PL$_1$
PL$_2$
PL$_7$
PL$_8$
WD
PD
ワード線デコーダ／ドライバ
プレート線デコーダ／ドライバ
ユニットデコーダ
16
ユニットハンドレーラ
15
コンパレータ
14
プレート線アドレスカウンタ
12
指定プレート線アドレスレジスタ
11
ユニットアドレスレジスタ
13
コマンドデコーダ
10
アドレス
コマンド

図１１

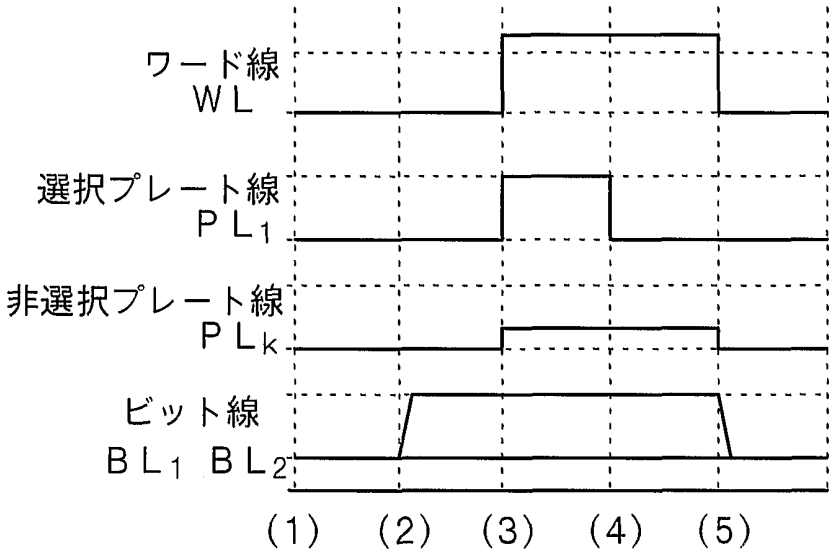


図12

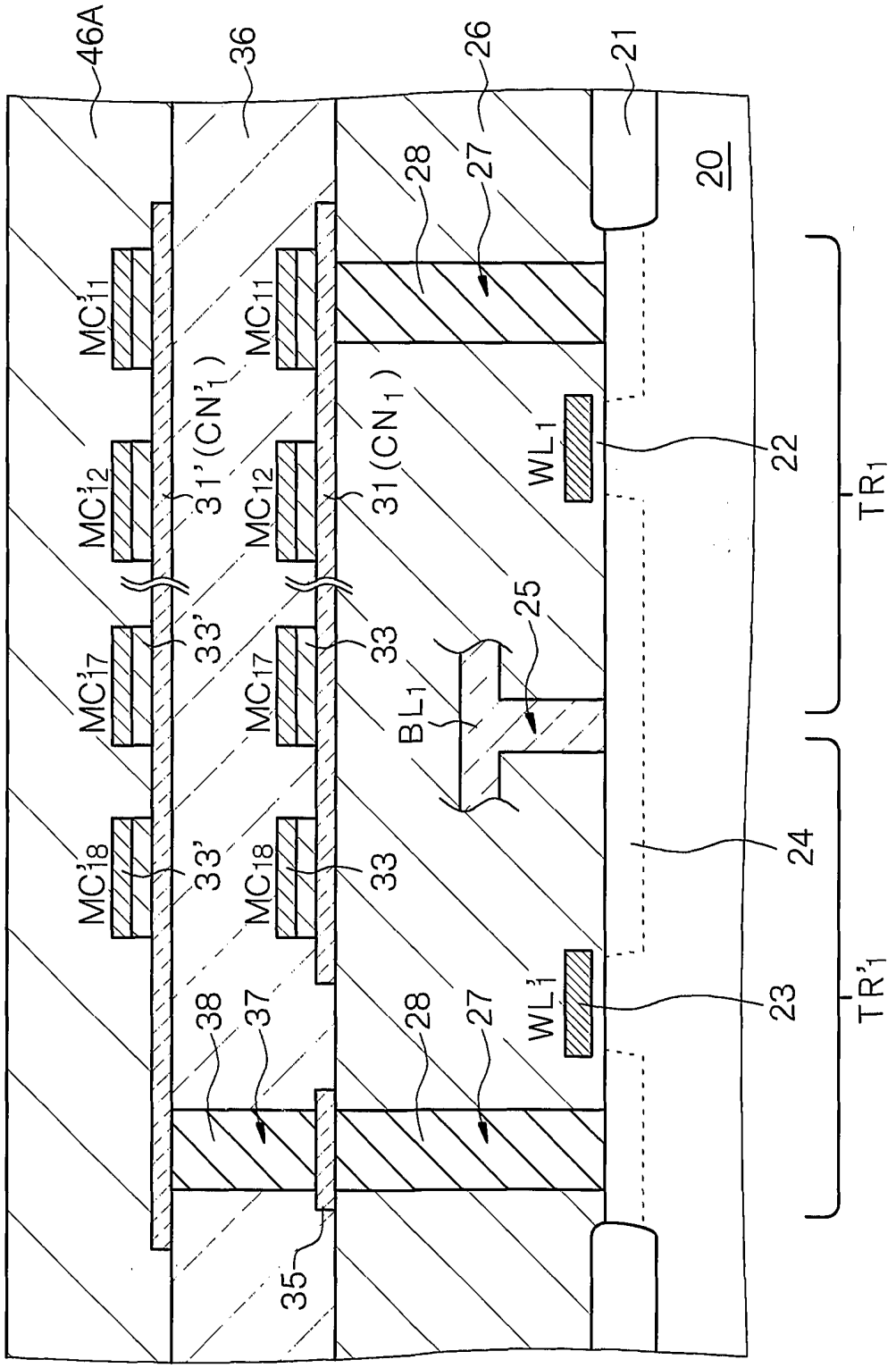

46A
36
26
21
20
28
27
MC'11
MC11
31'(CN'1)
31(CN1)
WL1
22
TR1
MC'12
MC12
MC'17
MC17
33'
33
25
BL1
MC'18
MC18
24
38
37
WL'1
23
TR'1
35

図13

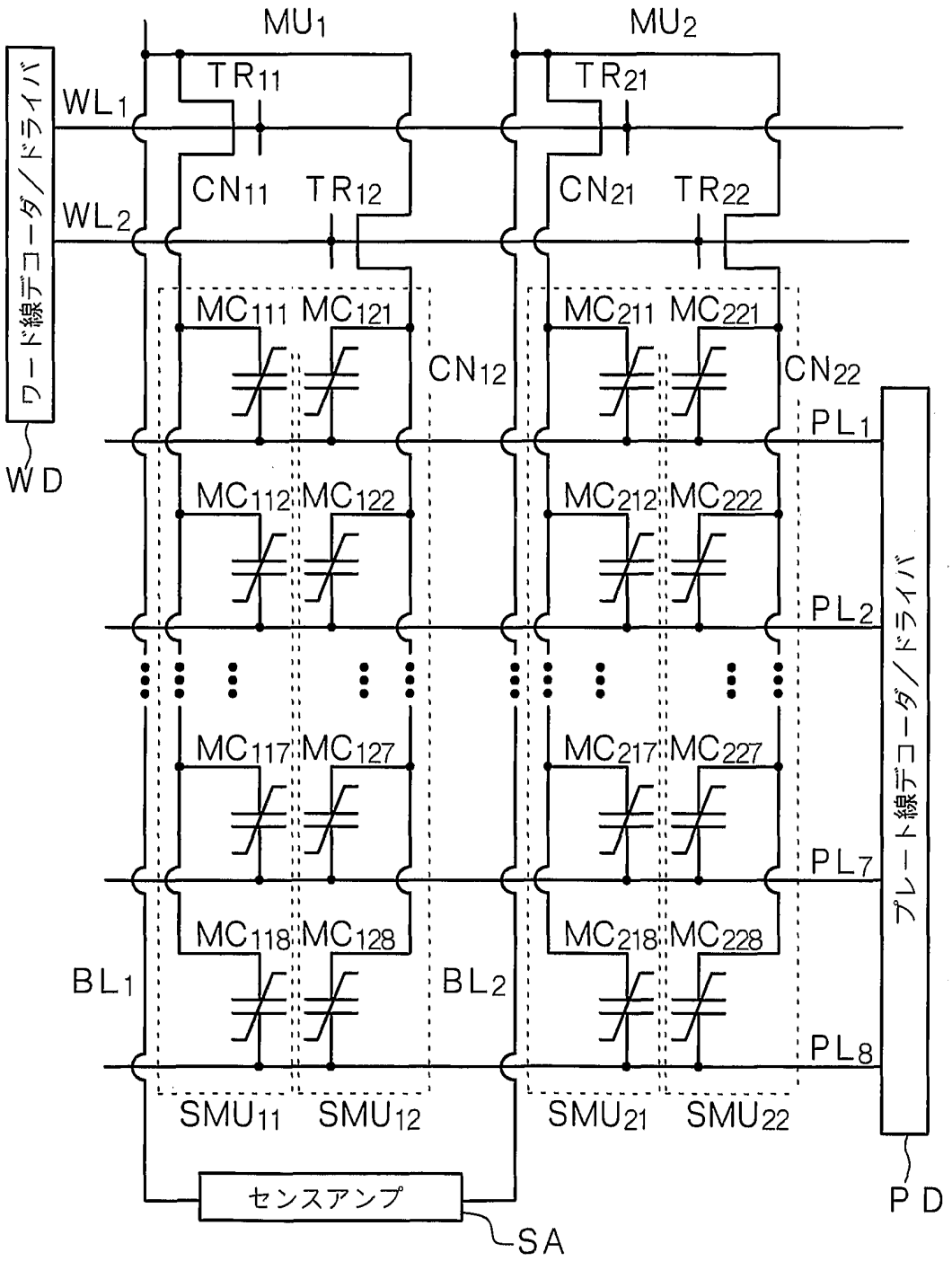

MU1
MU2
TR11
TR21
WL1
WL2
CN11
TR12
CN21
TR22
ワード線デコーダ／ドライバ
MC111 MC121
MC211 MC221
CN12
CN22
PL1
WD
MC112 MC122
MC212 MC222
PL2
MC117 MC127
MC217 MC227
PL7
MC118 MC128
MC218 MC228
BL1
BL2
PL8
プレート線デコーダ／ドライバ
SMU11 SMU12
SMU21 SMU22
センスアンプ
PD
SA

図14

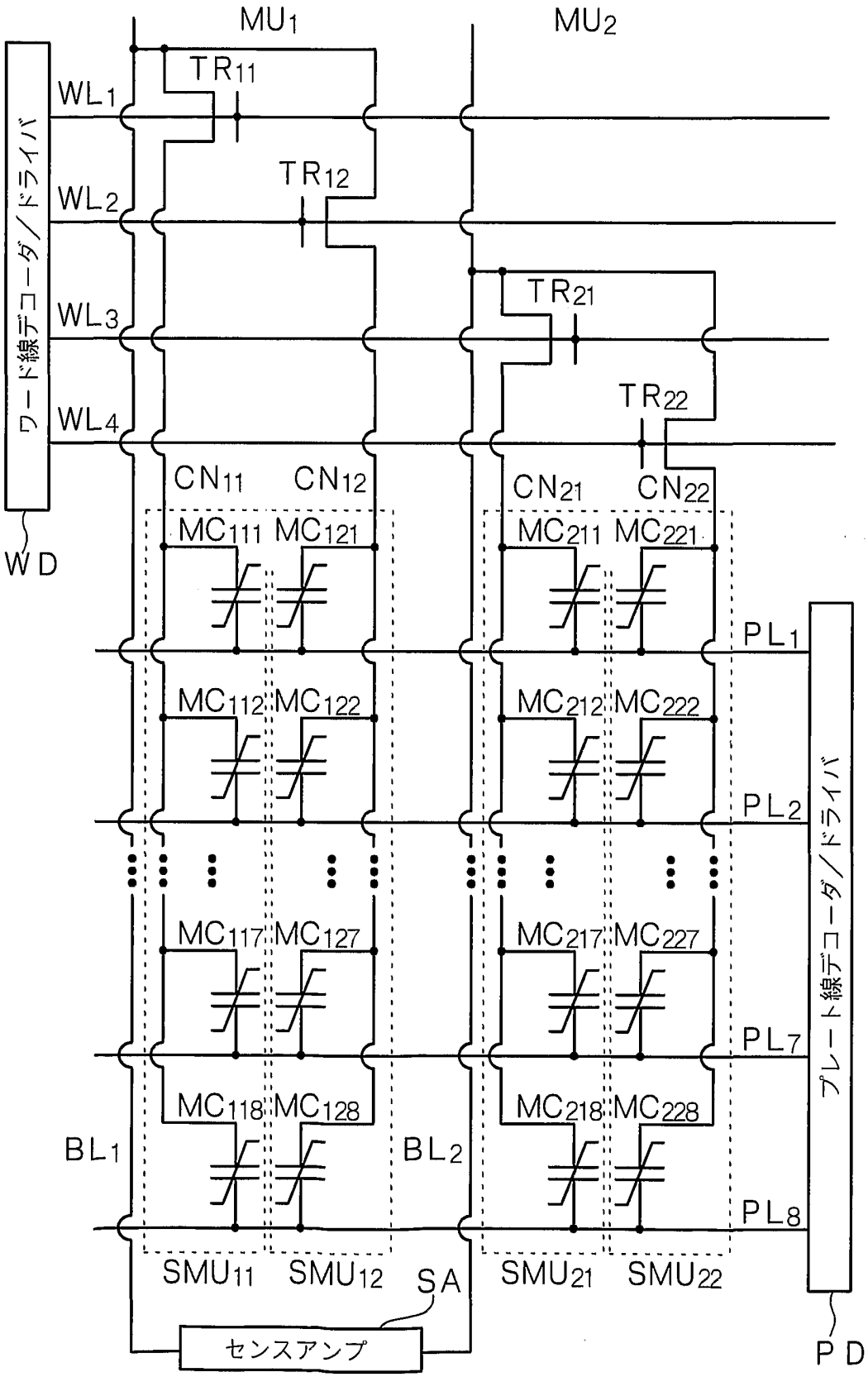

MU1
MU2
TR11
TR12
TR21
TR22
WL1
WL2
WL3
WL4
ワード線デコーダ／ドライバ
WD
CN11
CN12
CN21
CN22
MC111
MC121
MC211
MC221
MC112
MC122
MC212
MC222
MC117
MC127
MC217
MC227
MC118
MC128
MC218
MC228
PL1
PL2
PL7
PL8
プレート線デコーダ／ドライバ
PD
BL1
BL2
SMU11
SMU12
SMU21
SMU22
SA
センスアンプ

図15

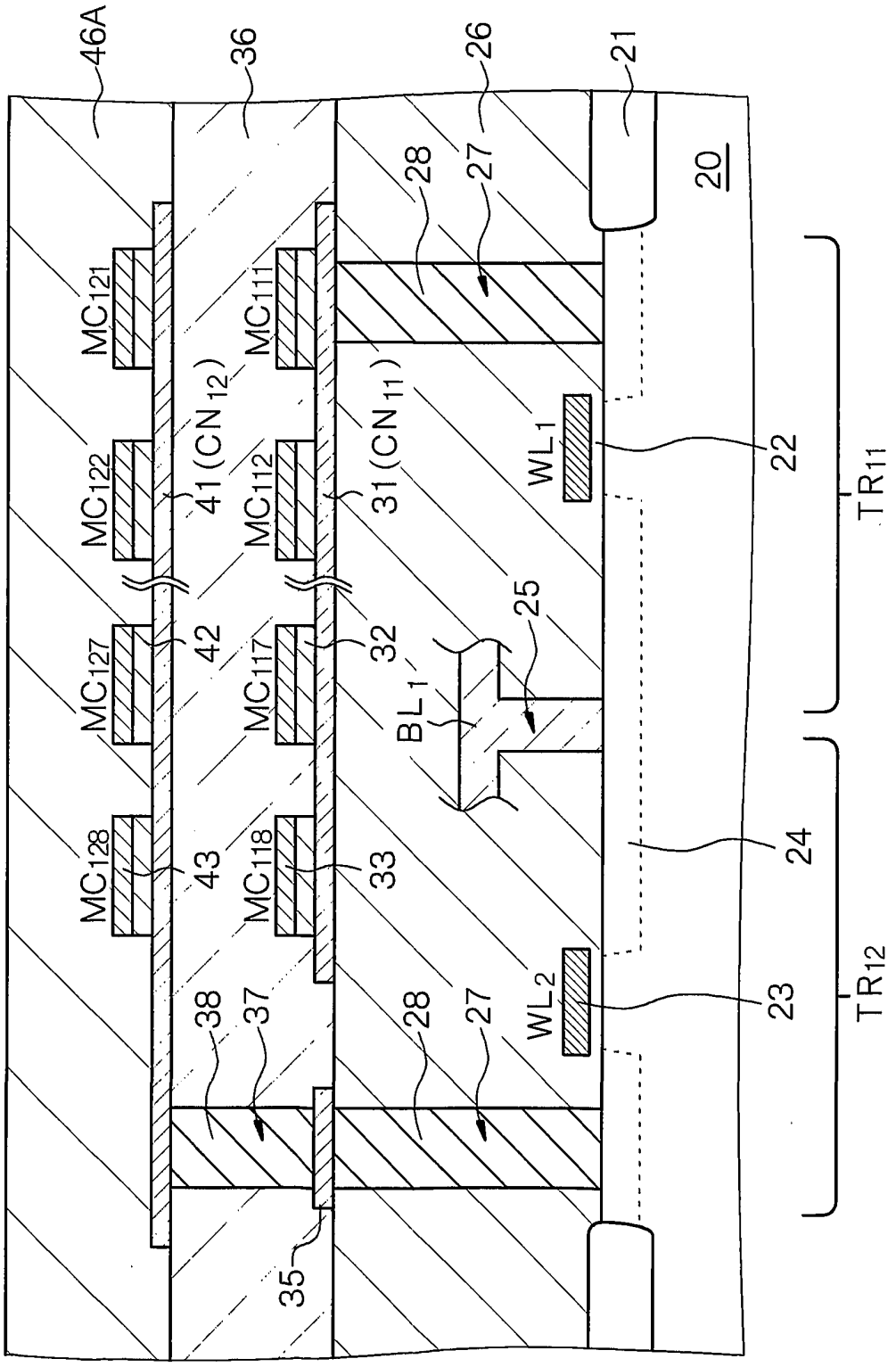

46A
36
26
21
20
28
27
MC121
MC111
MC122
MC112
MC127
MC117
MC128
MC118
41 (CN12)
31 (CN11)
42
32
43
33
WL1
WL2
BL1
25
22
24
23
TR11
TR12
38
37
28
27
35

図16

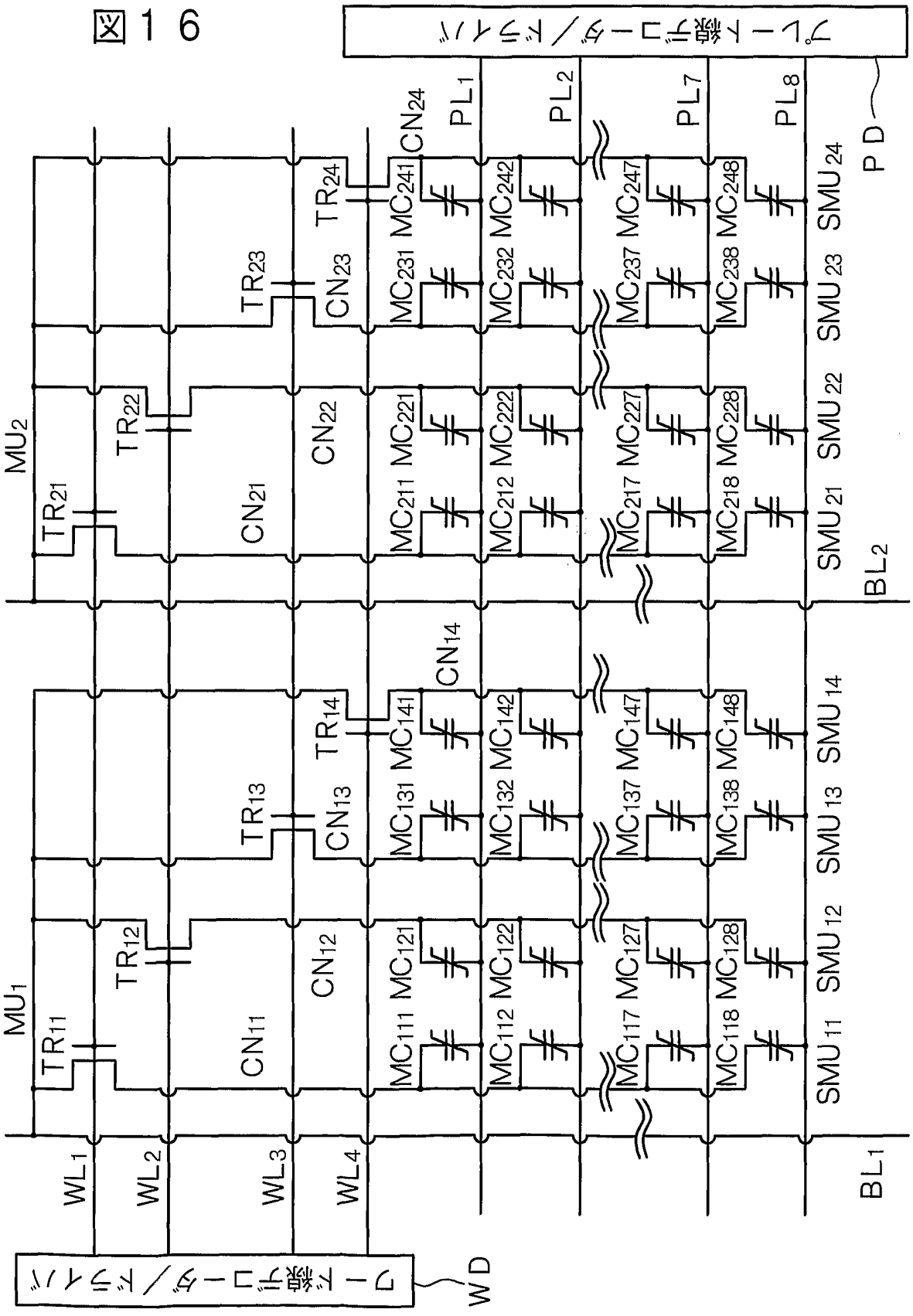

ワード線ドライバ／デコーダ
WD
WL1
WL2
WL3
WL4
BL1
BL2
PD
PL1
PL2
PL7
PL8
MU1
MU2
TR11
TR12
TR13
TR14
TR21
TR22
TR23
TR24
CN11
CN12
CN13
CN14
CN21
CN22
CN23
CN24
MC111
MC112
MC117
MC118
MC121
MC122
MC127
MC128
MC131
MC132
MC137
MC138
MC141
MC142
MC147
MC148
MC211
MC212
MC217
MC218
MC221
MC222
MC227
MC228
MC231
MC232
MC237
MC238
MC241
MC242
MC247
MC248
SMU11
SMU12
SMU13
SMU14
SMU21
SMU22
SMU23
SMU24

図17

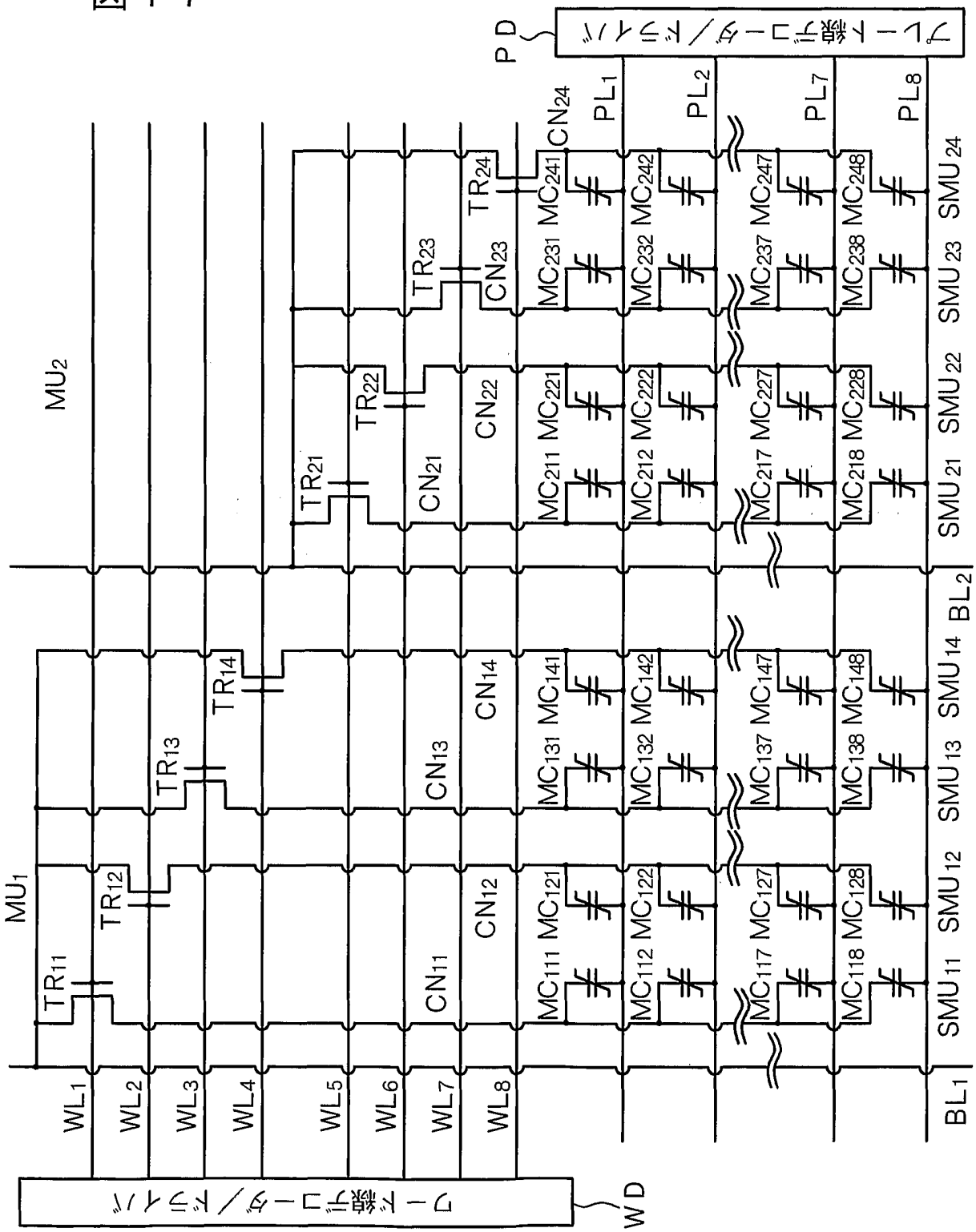

ワード線ドライバ／デコーダ
WD
ビット線ドライバ／デコーダ
PD
MU1
MU2
WL1
WL2
WL3
WL4
WL5
WL6
WL7
WL8
BL1
BL2
PL1
PL2
PL7
PL8
TR11
TR12
TR13
TR14
TR21
TR22
TR23
TR24
CN11
CN12
CN13
CN14
CN21
CN22
CN23
CN24
MC111
MC112
MC117
MC118
MC121
MC122
MC127
MC128
MC131
MC132
MC137
MC138
MC141
MC142
MC147
MC148
MC211
MC212
MC217
MC218
MC221
MC222
MC227
MC228
MC231
MC232
MC237
MC238
MC241
MC242
MC247
MC248
SMU11
SMU12
SMU13
SMU14
SMU21
SMU22
SMU23
SMU24

図18

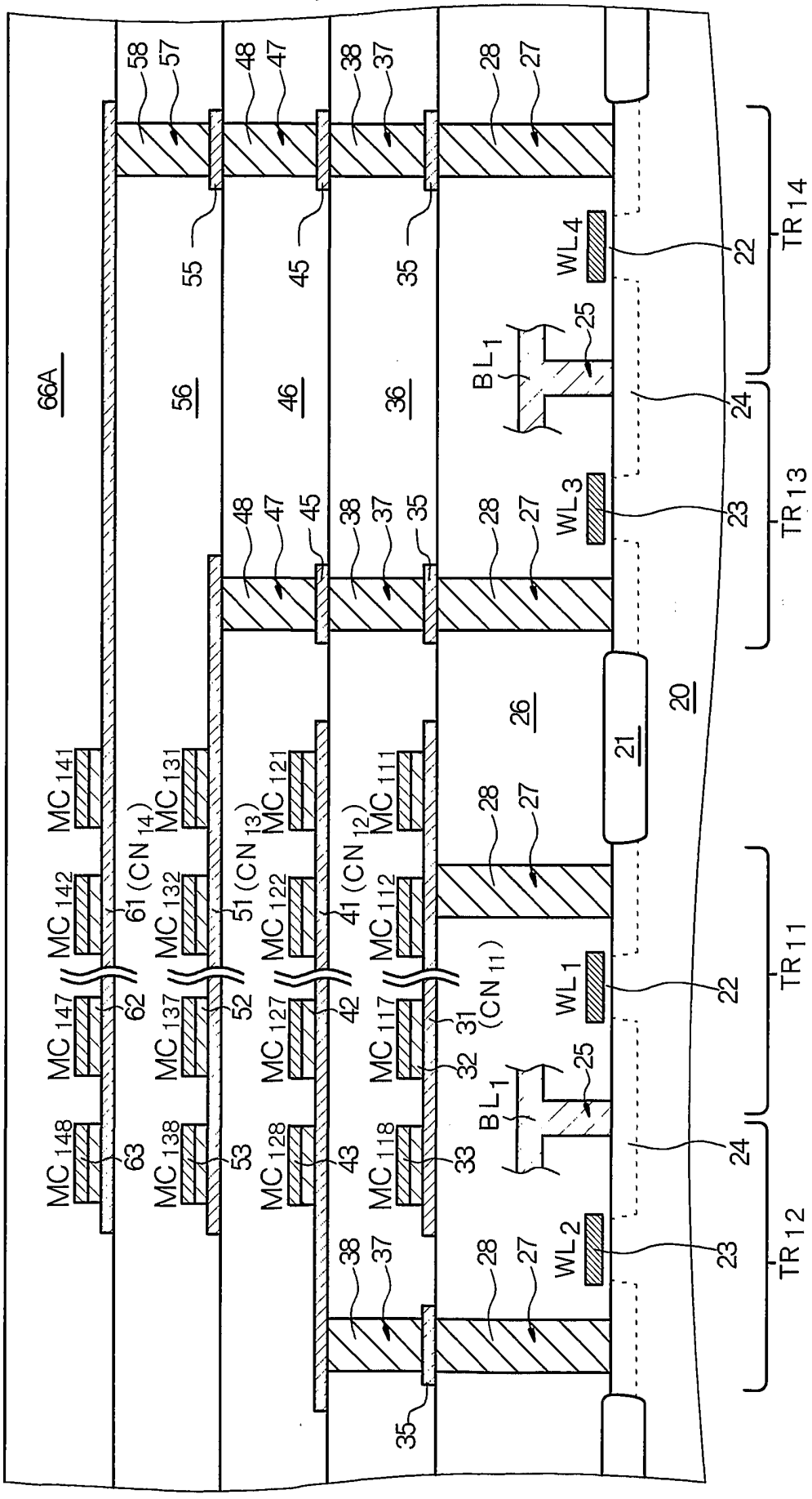

66A
56
46
36
20
21
26
TR14
TR13
TR11
TR12
WL4
WL3
WL1
WL2
BL1
MC141
MC142
MC147
MC148
MC131
MC132
MC137
MC138
MC121
MC122
MC127
MC128
MC111
MC112
MC117
MC118
(CN14)
(CN13)
(CN12)
(CN11)
58
57
48
47
38
37
28
27
55
45
35
25
24
23
22
61
62
63
51
52
53
41
42
43
31
32
33

図19

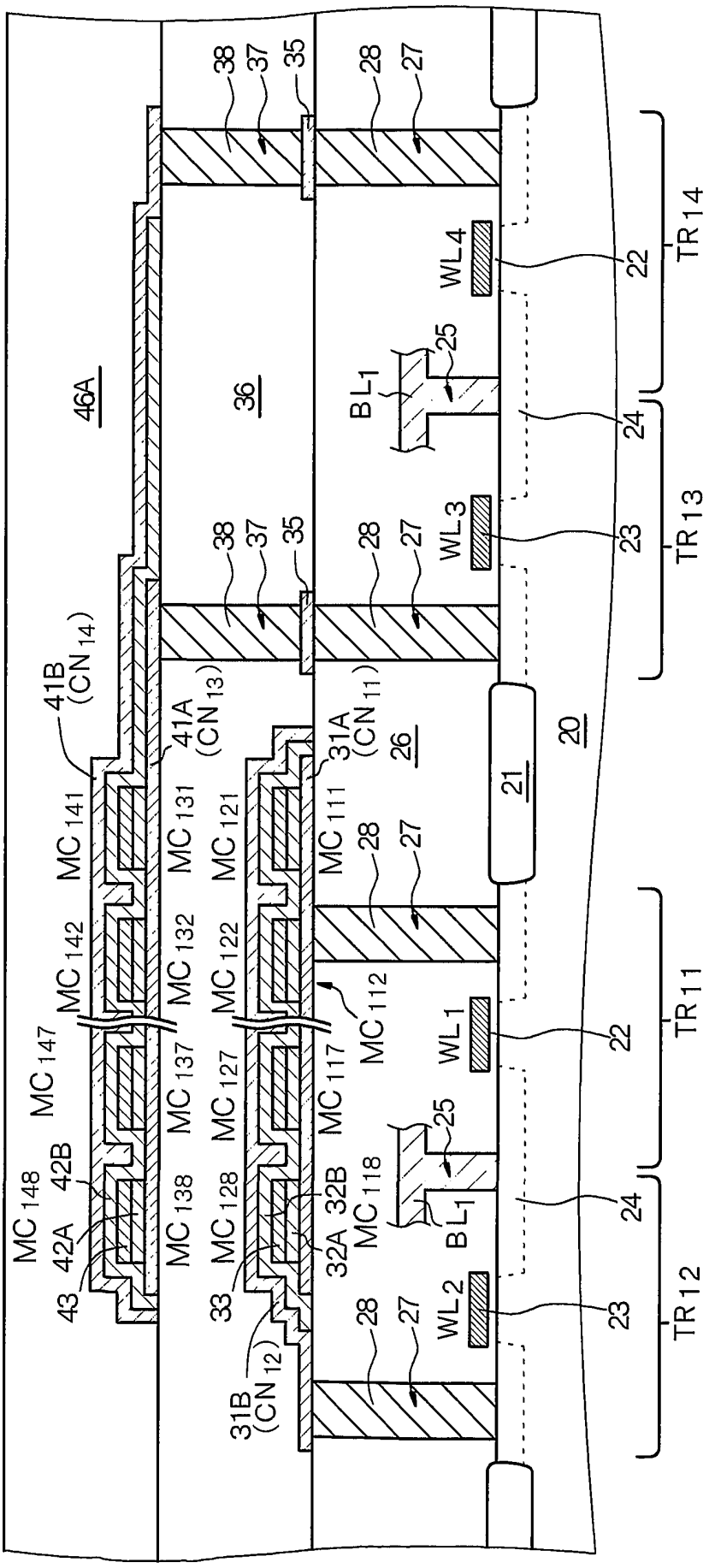

TR14
TR13
TR11
TR12
WL4
WL3
WL1
WL2
BL1
BL1
46A
36
20
21
26
41B (CN14)
41A (CN13)
31A (CN11)
31B (CN12)
MC141
MC142
MC147
MC148
MC131
MC132
MC137
MC138
MC121
MC122
MC127
MC128
MC111
MC112
MC117
MC118
42B
42A
43
32B
32A
33
22
23
24
25
27
28
35
37
38

図20

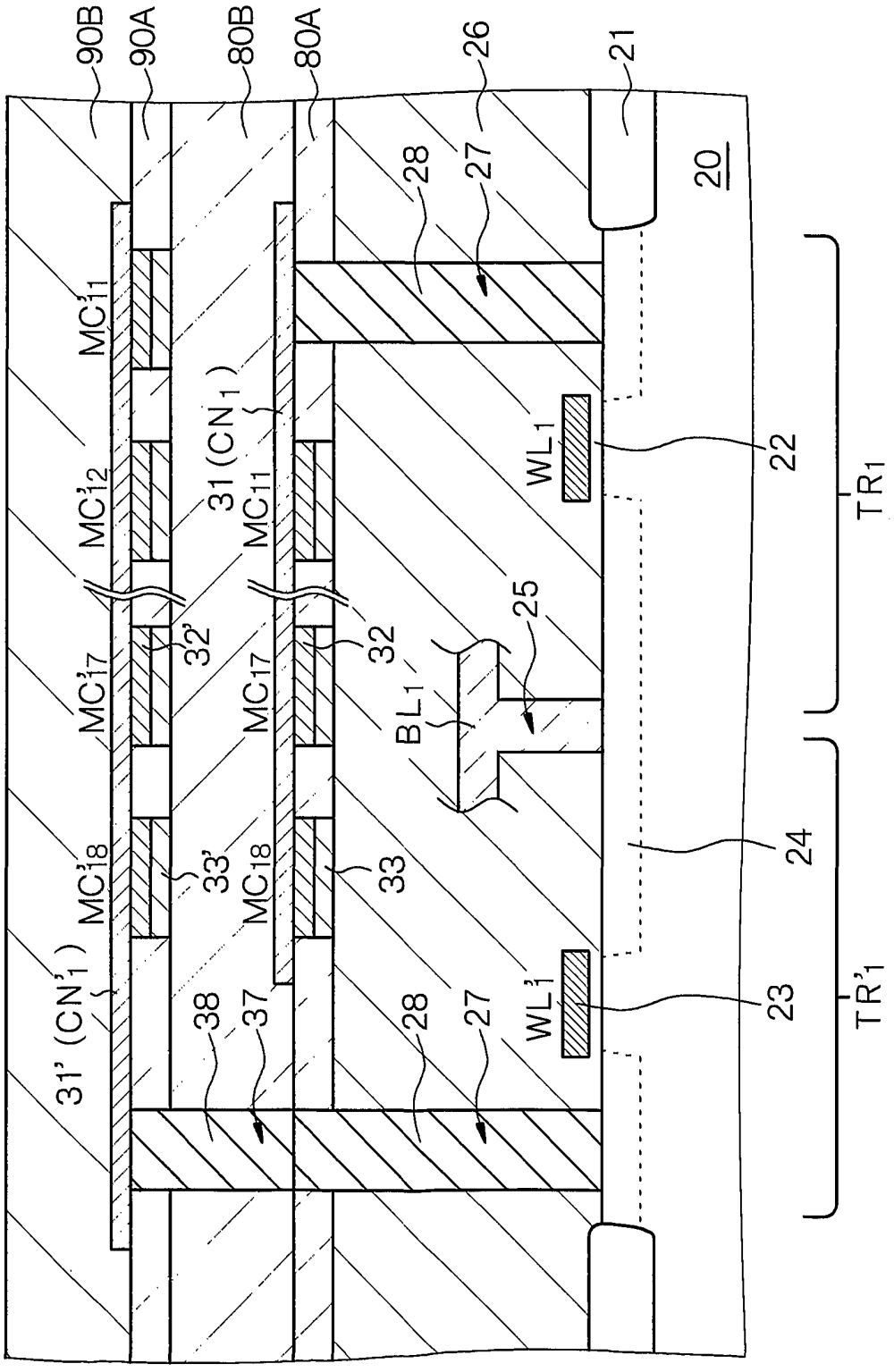

90B
90A
80B
80A
26
21
20
28
27
MC'11
MC'12
MC'17
MC'18
31' (CN'1)
31 (CN1)
MC11
MC17
MC18
32'
32
33'
33
38
37
WL1
WL'1
BL1
25
22
23
24
TR1
TR'1

図21

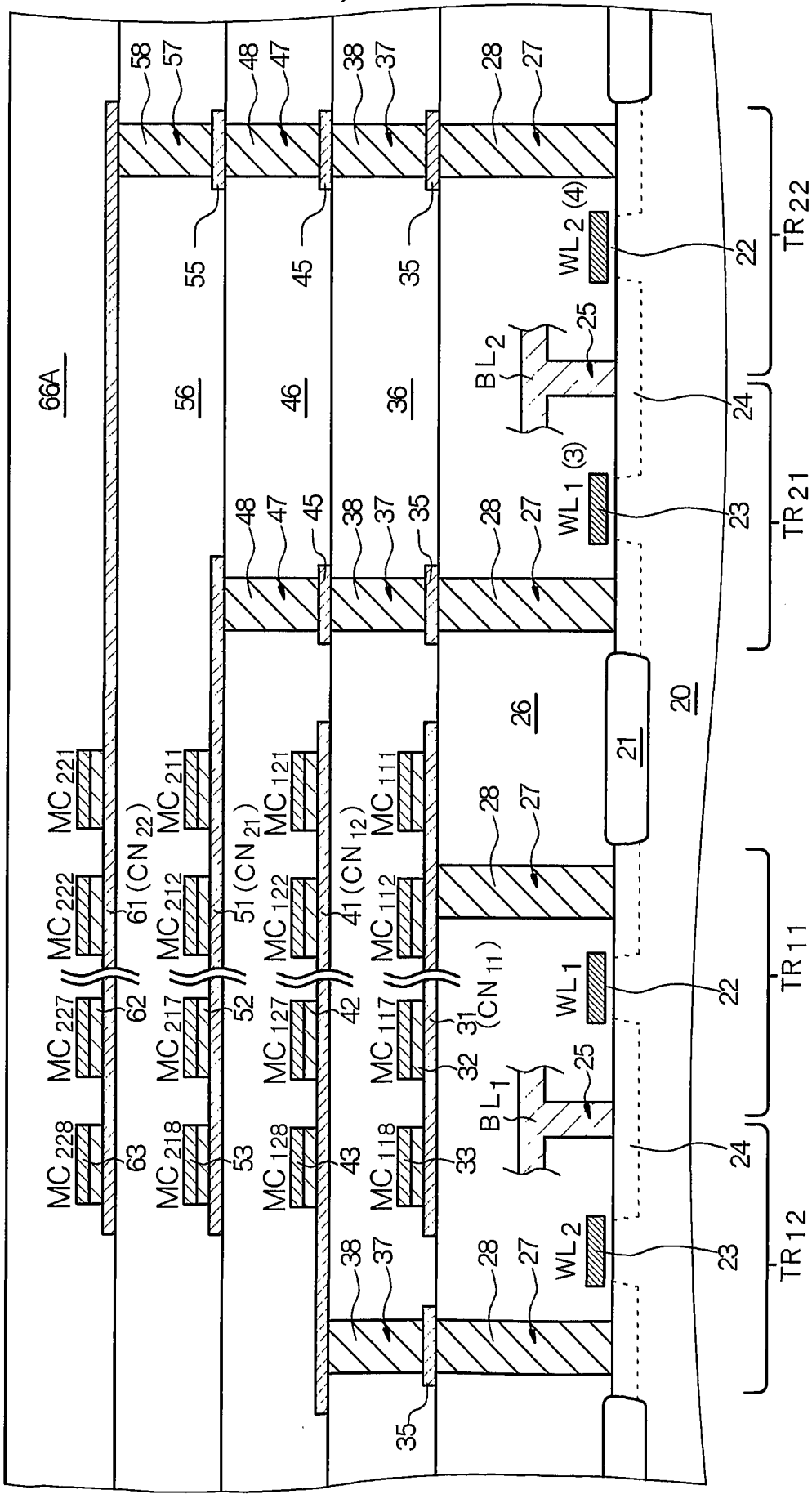

66A
56
46
36
20
21
26
TR22
TR21
TR11
TR12
WL2 (4)
WL1 (3)
WL1
WL2
BL2
BL1
MC221
MC222
MC227
MC228
MC211
MC212
MC217
MC218
MC121
MC122
MC127
MC128
MC111
MC112
MC117
MC118
61 (CN22)
51 (CN21)
41 (CN12)
31 (CN11)
62
63
52
53
42
43
32
33
22
23
24
25
27
28
35
37
38
45
47
48
55
57
58

図22

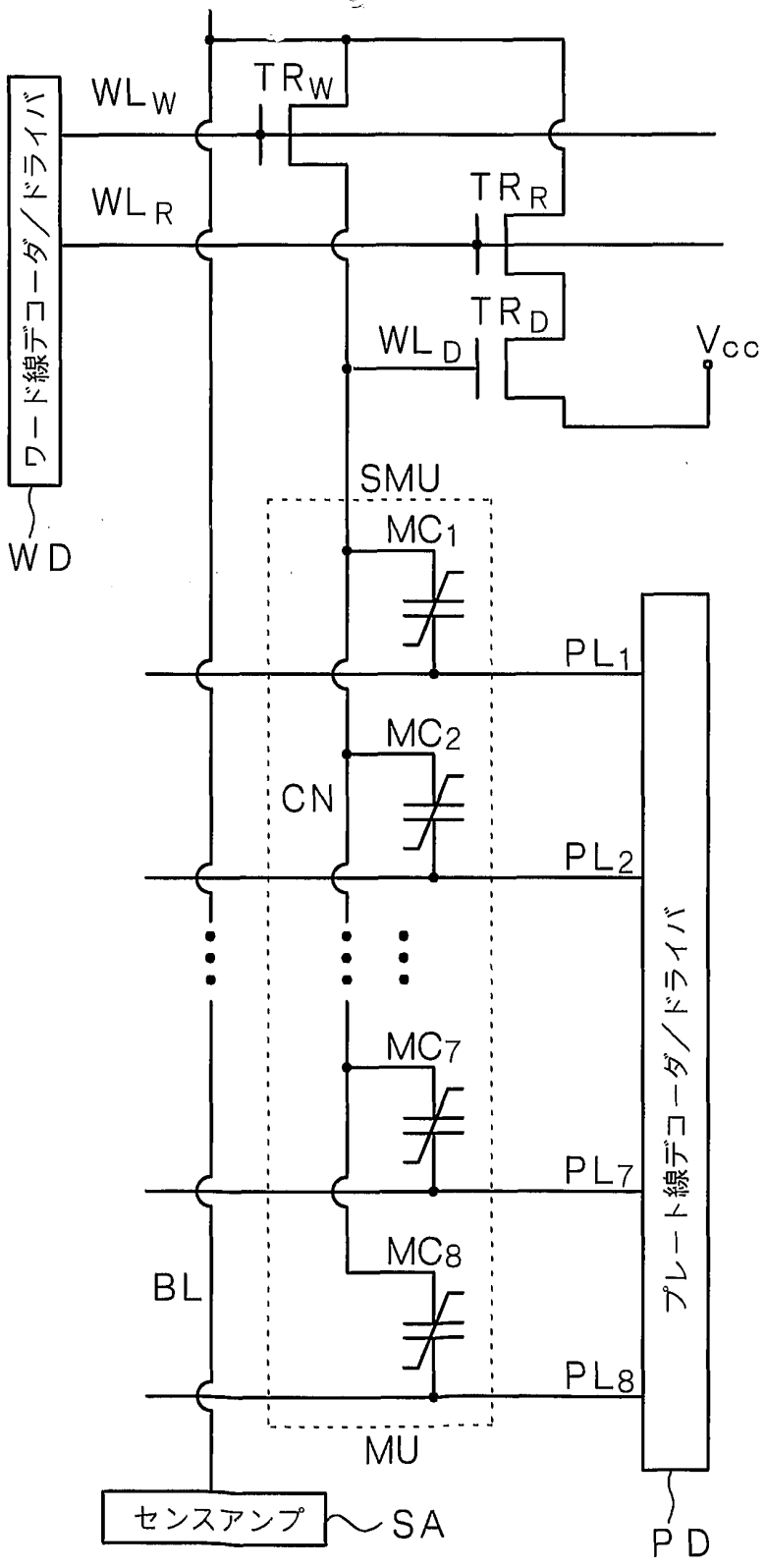

ワード線デコーダ／ドライバ
WD
WLW
WLR
WLD
TRW
TRR
TRD
Vcc
SMU
MC1
MC2
MC7
MC8
CN
BL
PL1
PL2
PL7
PL8
MU
センスアンプ
SA
プレート線デコーダ／ドライバ
PD

図２３

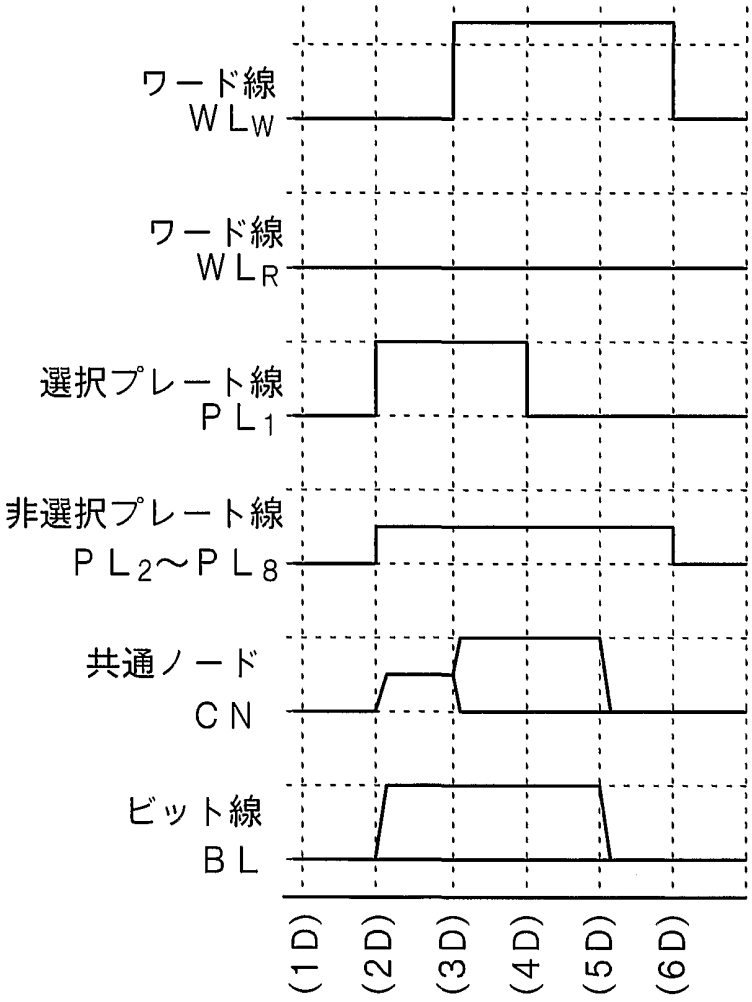

ワード線
WLW
ワード線
WLR
選択プレート線
PL1
非選択プレート線
PL2～PL8
共通ノード
CN
ビット線
BL
(1D)
(2D)
(3D)
(4D)
(5D)
(6D)

図24

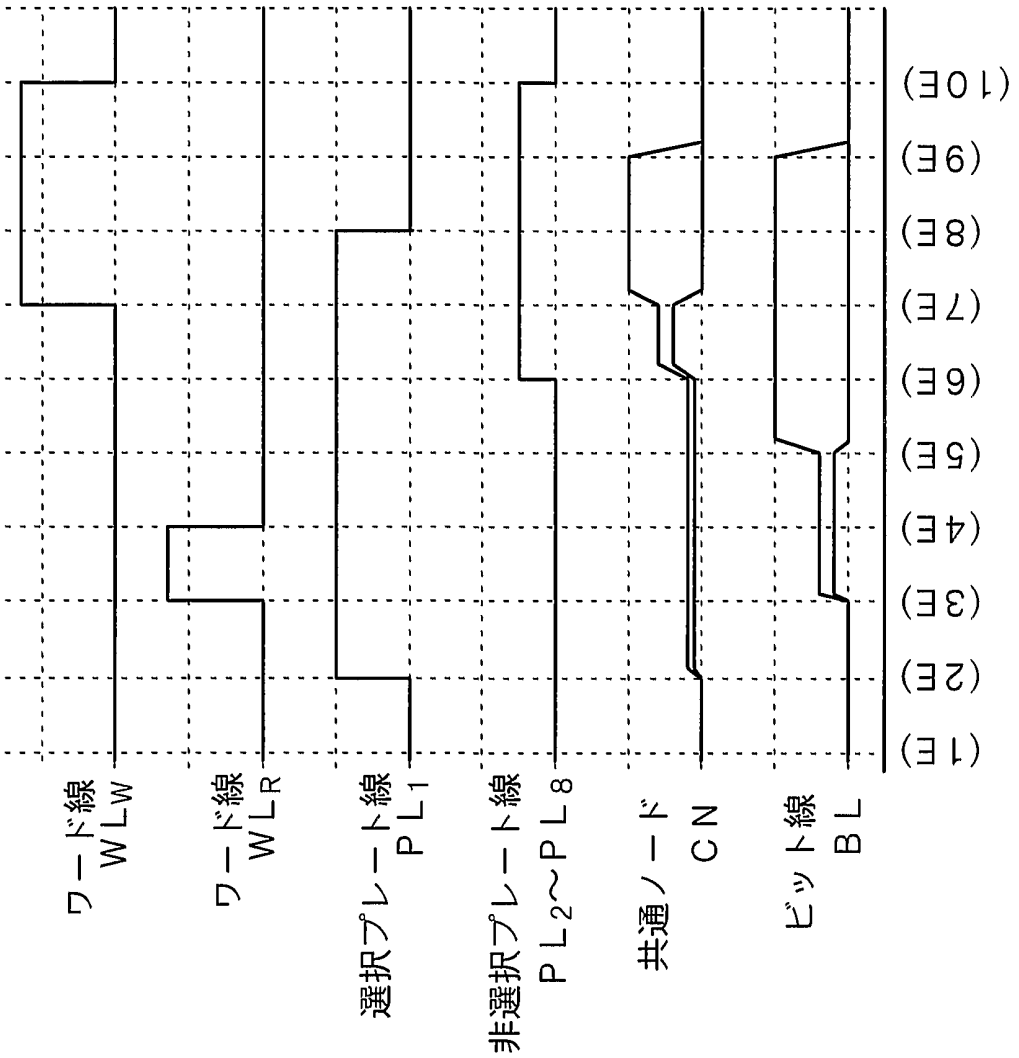

ワード線
WLW
ワード線
WLR
選択プレート線
PL1
非選択プレート線
PL2～PL8
共通ノード
CN
ビット線
BL
(1E)
(2E)
(3E)
(4E)
(5E)
(6E)
(7E)
(8E)
(9E)
(10E)

図25

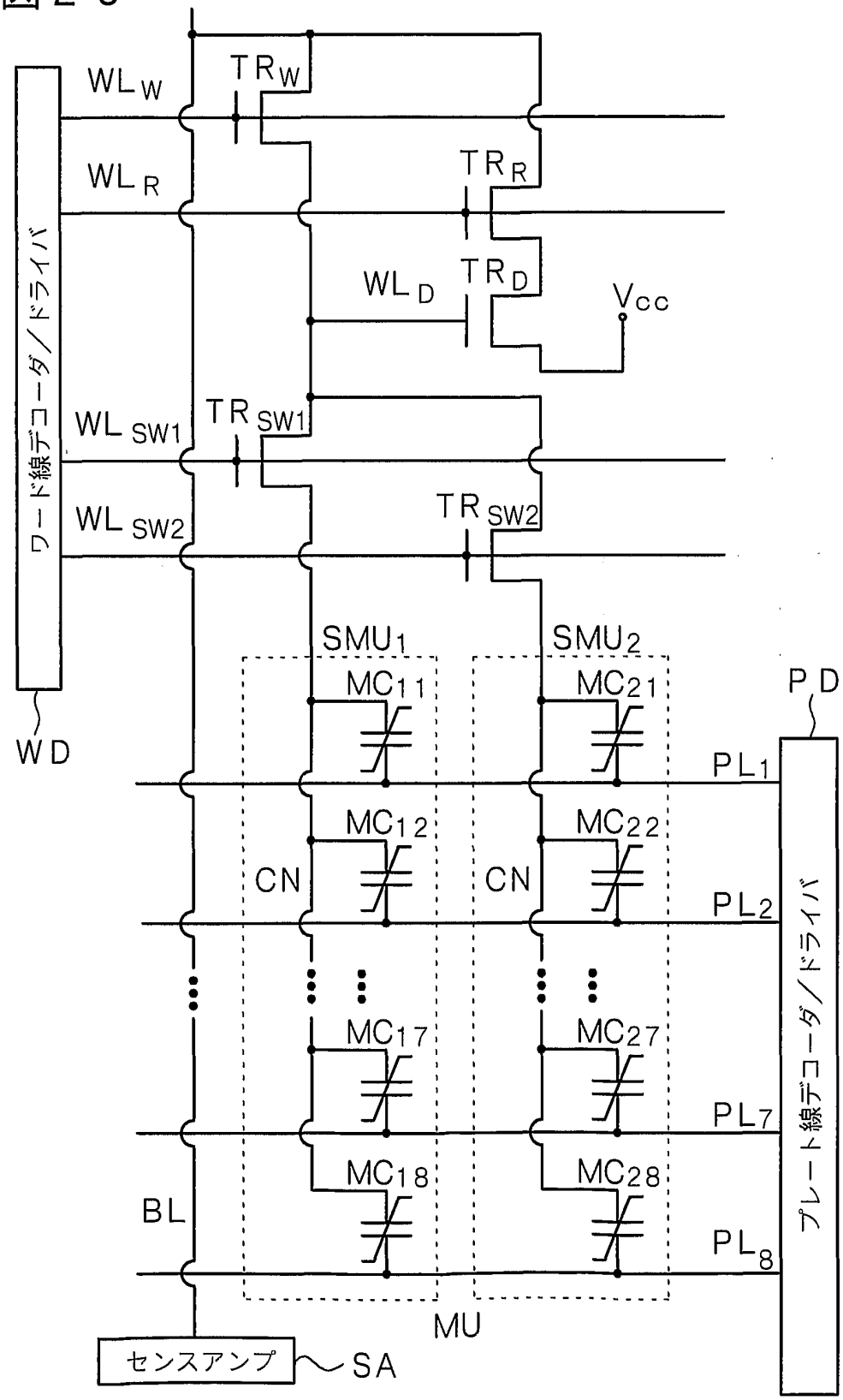

WL W
TR W
WL R
TR R
WL D
TR D
Vcc
WL SW1
TR SW1
WL SW2
TR SW2
ワード線デコーダ／ドライバ
WD
SMU1
SMU2
MC11
MC21
MC12
MC22
CN
CN
MC17
MC27
MC18
MC28
PD
PL1
PL2
PL7
PL8
プレート線デコーダ／ドライバ
BL
MU
センスアンプ
SA

図26

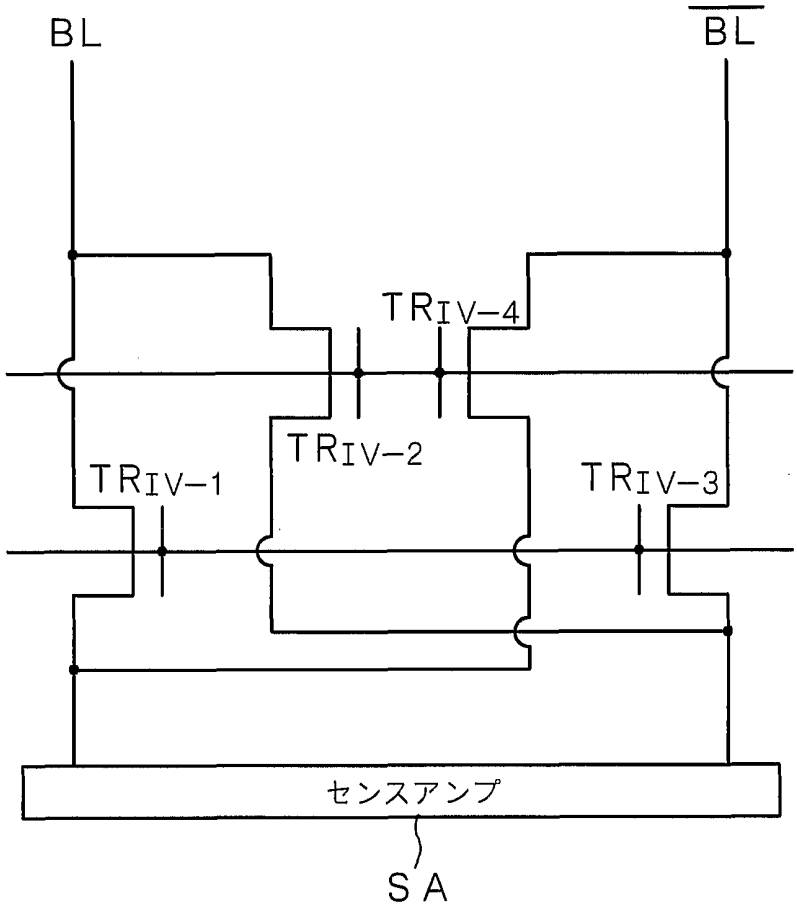


図27

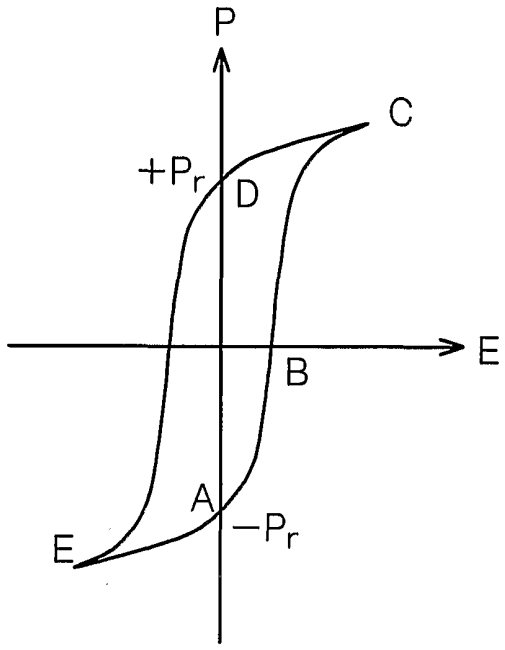


図２８

（従来の技術）

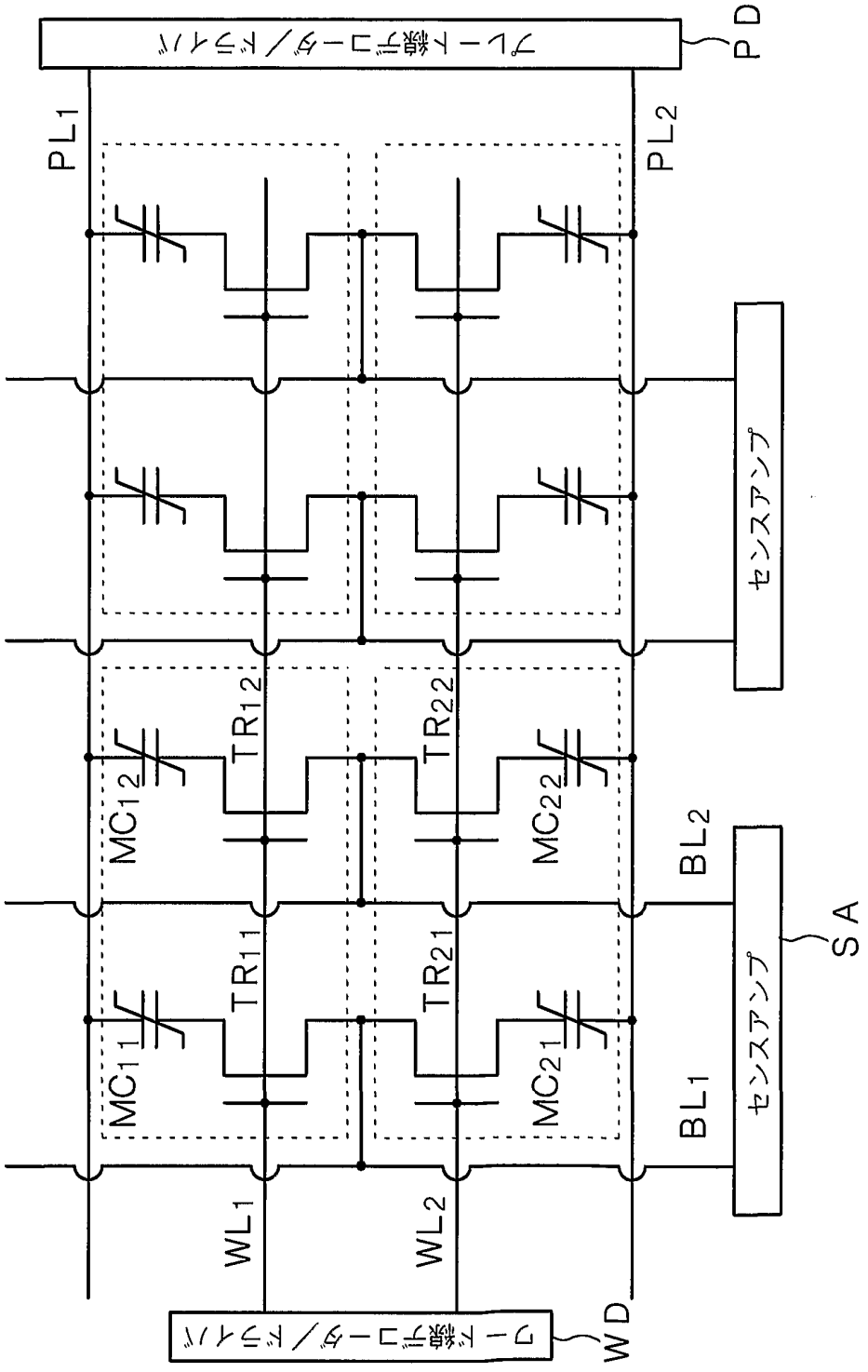
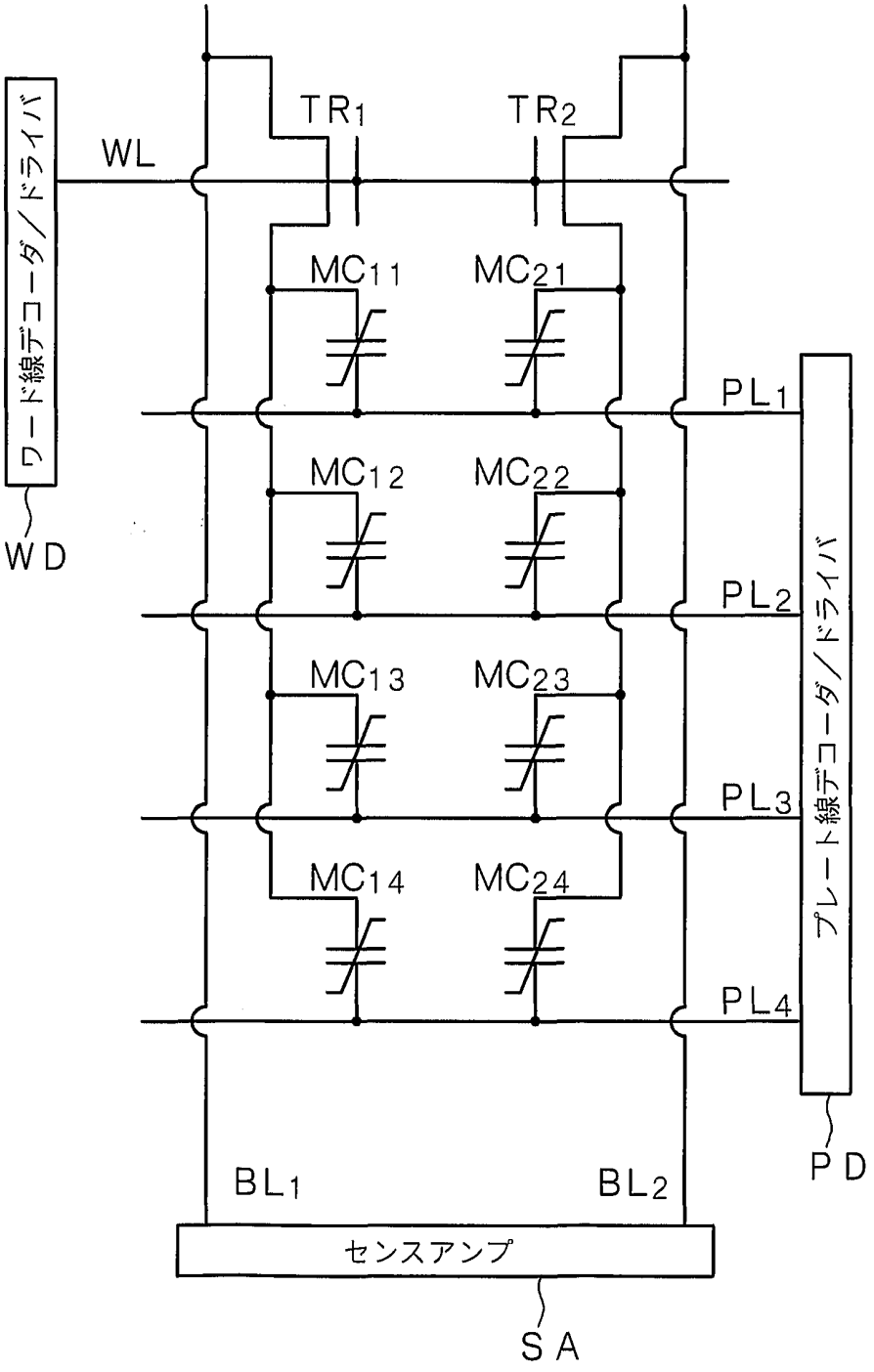

プレート線デコーダ／ドライバ
PD
PL1
PL2
センスアンプ
MC12
TR12
TR22
MC22
BL2
SA
MC11
TR11
TR21
MC21
BL1
センスアンプ
WL1
WL2
ワード線デコーダ／ドライバ
WD

図29

（従来の技術）


ワード線デコーダ／ドライバ
WD
WL
TR1
TR2
MC11
MC21
MC12
MC22
MC13
MC23
MC14
MC24
PL1
PL2
PL3
PL4
プレート線デコーダ／ドライバ
PD
BL1
BL2
センスアンプ
SA

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/00256

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G11C11/22, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G11C11/22, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-349248 A (Sony Corp.), 15 December, 2000 (15.12.00), Column 11, line 47 to column 20, line 27 (Family: none)	1-4,6-14 5
X A	JP 9-116107 A (Sony Corp.), 02 May, 1997 (02.05.97), Column 17, line 43 to column 18, line 13; Figs. 1, 10 (Family: none)	1,8 2-7,9-14

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 April, 2002 (10.04.02)	23 April, 2002 (23.04.02)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０２／００２５６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ．[7]　Ｇ１１Ｃ１１／２２，Ｈ０１Ｌ２７／１０

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ．[7]　Ｇ１１Ｃ１１／２２，Ｈ０１Ｌ２７／１０

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００２年
日本国実用新案登録公報	１９９６－２００２年
日本国登録実用新案公報	１９９４－２００２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ Ａ	ＪＰ　２０００－３４９２４８　Ａ（ソニー株式会社）２０００．１２．１５，第１１欄第４７行－第２０欄第２７行（ファミリーなし）	１－４，６－１４ ５
Ｘ Ａ	ＪＰ　９－１１６１０７　Ａ（ソニー株式会社）１９９７．０５．０２，第１７欄第４３行－第１８欄第１３行，第１図，第１０図（ファミリーなし）	１，８ ２－７，９－１４

☐ Ｃ欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １０．０４．０２	国際調査報告の発送日 23.04.02
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 堀江義隆　５Ｎ　９１７２ 電話番号　０３－３５８１－１１０１　内線　３５８５

様式ＰＣＴ／ＩＳＡ／２１０（第2ページ）（１９９８年7月）